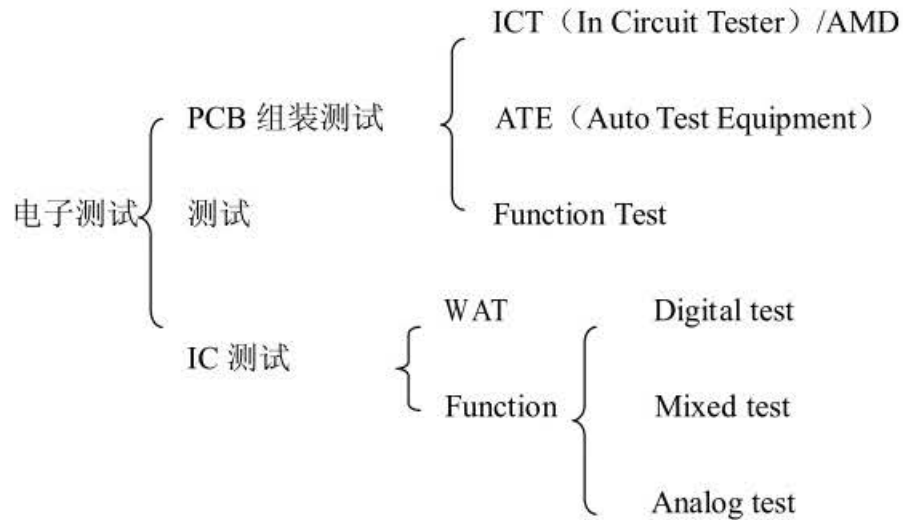


目 录

集成电路测试机发展史简介.....	3
测试的专业术语简介.....	5
芯片测试中的一些专业术语.....	5
测试中硬件的一些专业术语.....	5
测试系统中的一些专业术语.....	6
测试参数中的一些专业术语.....	7
测试设备的一般结构.....	9
FUNCTIONAL 测试原理.....	11
功能测试简介.....	11
Test Vector.....	12
Input Signal Format.....	13
Input Signal Creation.....	14
Output Signal Testing.....	15
一些基本参数的测试原理.....	16
Open/Short Test.....	16
IDD TEST.....	19
VOL/IOL VOH/IOH TEST.....	20
Input Current (IIL/IIH).....	21
附录.....	22
Test Development Steps.....	22

集成电路测试机发展史简介

当今的电子测试业界，分为两大部分，一是 PCB 组装测试，一是集成电路测试，如下图所示：



随着 PCB 组装大规模生产线的出现，使得传统的测试观念发生变化，希望 PCB 上的问题能在成品前的几道工序就能及时发现并修复，于是从 80 年代开始，出现了光板测试仪和在线测试仪（ICT & ATE），并导入生产制程，使 PCB 的成品率大大提升。

1958 年德州仪器公司（TI）研制发明了世界第一块集成电路 7400（与非门逻辑电路）以来，便诞生了世界上第一台集成电路测试机，专用于测试自己产品的 IN HOUSE TESTER。同样，世界上第一颗模拟（Analog）集成电路是 Fairchild 公司的运算放大器 741，同时，便诞生了世界上第一台模拟集成电路测试机。

集成电路测试机已经走过了第一代、第二代，目前正处于第三代的早期，其中每一代测试机的特点及其代表厂家如表一所示：

表一：

项项目	硬件特点	软件特点	代表机型
第一代	ECL 电路，体积庞大	Minicomputer, 文字界面	SENTRY 7 SENTRY 10
第二代	ASIC，体积较大	工作站，UNIX 操作系统	SCHLUMBERGER TRILLIUM 等
第三代	ASIC，FPGA，标准化，模块化，体积很小	WINDOWS 操作系统， 易学易用，向智能化发展	TERADYNE J750 等

1970 年，Fairchild 公司推出了世界上第一代成功的商业化的数字集成电路测试机 Sentry 7，它采用 24 位 BUS，ECL 电路，2MHz 的 minicomputer，体积庞大，主要性能为：DATA RATE 为 10MHz，最大测试通道为 60PIN；直到 1990 年为止，先后推出 S-10，S-20，S-21 等型号，在 1970 年到 1990 年这二十年期间，Sentry 机器凭借其优良的性能，在测试业界独岭风骚，无任何竞争对手。

随着 386CPU 的出现，集成电路的集成度和工作频率大幅度提高，诞生了第二代集成电路测试机，主要特点为：测试机硬件系统开始采用 ASIC，软件系统则引入工作站，用 UNIX 操作系统。其代表性的机器有法国的 SCHLUMBERGER 以及 TRILLIUM。Sentry 公司卖给 SCHLUMBERGER 后，便推出第二代产品 S15 及 S50，而 Sentry 公司的部分员工成立 TRILLIUM 公司，推出 50MHz、256PIN 的数字测试机，赢得较大的市场，SCHLUMBERGER 推出 S15、S50 失败后，推出先进的 ITS9000 系统，此系统在软件和硬件上均代表当时的最高水平，软件采用高级的图形界面，测试程序采用模块化结构，硬件系统采用 SEQUENCE PER PIN 结构（每一 PIN 均有独立的 PMU，TG，VIH，VIL，VOH，VOL 及 SEQUENCE），此时 ITS9000 机器独霸市场，TRILLIUM 不得已卖给 CREDENCE，CREDENCE 推出 SC212 系统，它在软件方面引进 ITS9000 的优点，在硬件方面采用 CMOS 电路，向小型化发展，此系统推出后，打败了众多大系统机台。

随着个人计算机及 WINDOWS 操作系统的广泛普及，如今，出现了第三代数字集成电路测试机，并具备如下特点：采用广泛普及的 PC 机及 WINDOWS 操作系统，易学易用，并向智能化发展，硬件系统向小型化、模块化、标准化发展。其代表机器有 TERADYNE 的 J750，用于工程验证的 HILEVEL、IMS。第三代测试机的出现，使得测试机的购买成本及维护成本大大降低，厂家只需购买自己需要的模块部分，而不必花过多的钱去买自己用不到的部分，并且，测试机也能随时扩充新的功能。

综上，集成电路测试机基本上沿着小型化、模块化、智能化方向发展。

测试的专业术语简介

芯片测试中的一些专业术语

- Wafer Test** 是指在芯片还是 Wafer 状态下,将其进行好坏分离的测试,这是所有芯片测试中最先进行的。也可称为 Wafer Sort。
- Package Test** 是指将 Wafer 上的芯片进行切割、封装,然后再进行测试。其目的是为保证封装过程的正确,并再次验证芯片是否符合系统设计的要求。也可称为 Final Test。
- Pre/Post Burn-in (option)** 是指将芯片放入烘箱进行烘烤,其目的是将芯片进行老化,然后再进行测试。由此可保证芯片在一定的时间内性能的稳定。
- Quality Assurance Test** 是指在 Final Test 后选取一定数量的芯片进行 QA 测试,来验证 Final Test 的正确性。一般来说 QA Test 的规格会比 Final Test 松,但测试项目会多。
- Final Vision Inspection** 是指在产品送出去之前的外观目视检查。它主要检查 Marking 是否清晰、引脚之间的间距和高低是否符合标准。
- Failure Analysis** 是指对测试不通过的芯片进行错误分析,然后根据结果考虑是否改进制程或测试程序。

测试中硬件的一些专业术语

Load Board	是机台同 DUT Board 或直接同芯片(无 DUT Board)连接的通道。其主要用途是将测试机台的资源(电流、电压、频率等)传给 DUT Board 或直接传给芯片。
DUT Board	DUT 是 Device Under Test 的缩写，其主要是一个转接板，是将机台通过 Load Board 传过来得资源再转传给芯片。
Relay	是速度极快的继电器，主要实现让芯片在不同外围电路之间切换。

测试系统中的一些专业术语

Pin Electronics	是在测试头中将输入信号传给 DUT 或从 DUT 中抓到输出信号的电路。同时也可称为 PE Cards 或 I/O Cards。
Drivers	是在 PE Cards 中用于提供给 DUT 逻辑 0、1 电平的电路。
Signal Format	是由 PE Cards 的驱动电路所提供的输入信号的波形。
Comparators	是在 PE Cards 中用于从 DUT 中抓到逻辑 0、1 电平的电路。
Output Sampling	是将输出的电压值与定义的逻辑电平的 0、1 值比较，判断是否通过。
Output Mask	是在功能测试过程中决定测试通道的输出比较是否打开。
Dynamic Loading	是指在 PE Cards 的电路中可加载变化的正负电流，这些动态电流的加载可作为 DUT 输出引脚的 I_{OL} 和 I_{OH} ，并且些电流的大小可由过程控制。
V_{REF}	是 Dynamic Loading 的参考电压。并控制电流 I_{OL} 和 I_{OH} (详情请参见图 X)。
PMU	是 Precision Measurement Unit / Parametric Measurement Unit 的缩写，它具有提供电压测电流和提供电流测电压的功能。
Clamp	是测试系统在硬件上对电流和电压值的限制，这对测试人员、测试机台和芯片起保护作用。

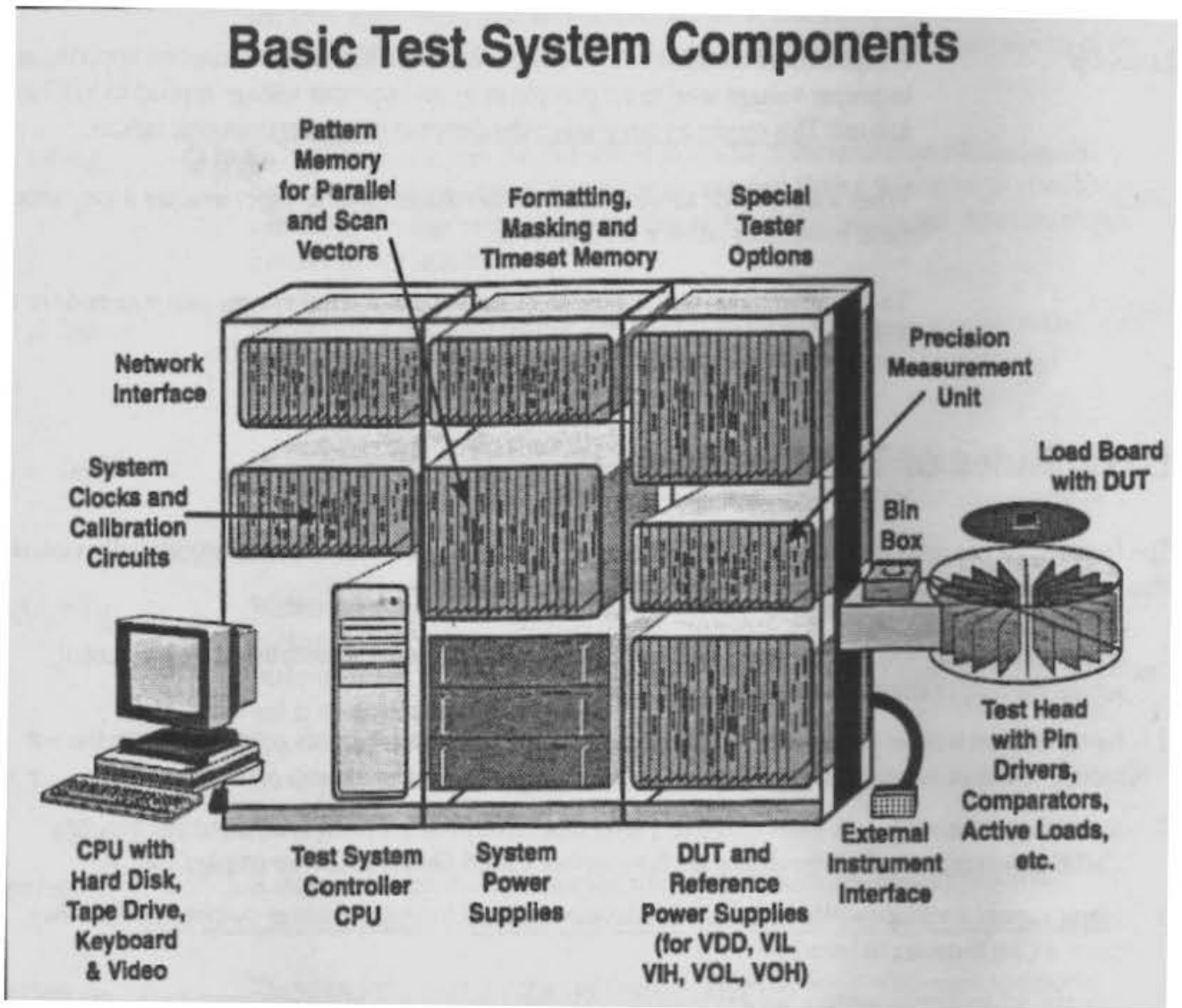
Positive Current / Sink	是指从机台流入芯片的电流。
Negative Current / Source	是指从芯片流入机台的电流。
DPS	是 Device Power Supply 的缩写，其主要作用给芯片提供大电流和高电压。我们一般将其和芯片的 V_{DD} 相连。
RVS	是 Reference Voltage Supply 的缩写，它主要向 PE Cards 的驱动和比较电路提供逻辑的 0、1 电平。
Test Cycle	是指执行一行测试矢量所需的时间，也可称为 Period。
Test Vectors	是同功能测试相配合，定义芯片引脚不同时刻的状态。它有输入、输出两种状态，我们根据测试矢量给某些引脚灌入输入信号，并在某些引脚比较输出波形，由此来判断功能测试的通过与否。其也可称为 Test Pattern。
Vector Memory	用于存储测试矢量的高速存储器。也可称为 Pattern Memory。
Tester Channel	是指在 PE Cards 中的向 DUT 引脚传递电压、电流和时序的电路。也可称为 Test Pin。
Tester Per Pin	是指每个测试通道都是一个小的测试系统，每个引脚都有一套独立的资源(时序、PMU 等)。

测试参数中的一些专业术语

V_{CC}	是指对于 TTL 芯片的驱动电压。
I_{CC}	是指对于 TTL 芯片的驱动电流。
V_{DD}	是指对于 MOS 芯片的驱动电压。
I_{DD}	是指对于 MOS 芯片的驱动电流。
V_{IH}	是 Voltage Input High 的缩写，它根据芯片的操作电压不同而有不同的最低电压的限制。
V_{IL}	是 Voltage Input Low 的缩写，它根据芯片的操作电压不同而有不同的最高电压的限制。

I_{IH}	是 Input Leakage High 的缩写，它定义为当输入引脚加逻辑高电平时，该输入引脚所允许的最大灌电流。
I_{IL}	是 Input Leakage Low 的缩写，它定义为当输入引脚加逻辑低电平时，该输入引脚所允许的最大漏电流。
V_{OH}	是 Voltage Output High 的缩写，它根据芯片的操作电压不同而有不同的最低电压的限制。
V_{OL}	是 Voltage Output Low 的缩写，它根据芯片的操作电压不同而有不同的最高电压的限制。
I_{OH}	是 Current Output High 的缩写，它定义为当输出引脚输出逻辑高电平时，该输出引脚的驱动电流的大小。
I_{OL}	是 Current Output Low 的缩写，它定义为当输出引脚输出逻辑低电平时，该输出引脚的灌电流的大小。
I_{OZH}	是 Output High Impedance Leakage Current High 的缩写，它定义为当输出引脚为逻辑高电平并且处于高阻状态时，该输出引脚的所允许经过的最大电流。
I_{OZL}	是 Output High Impedance Leakage Current Low 的缩写，它定义为当输出引脚为逻辑低电平并且处于高阻状态时，该输出引脚的所允许经过的最大电流。

测试设备的一般结构



图(1)

如图(1)是数字测试系统的经典架构。许多新的测试系统可能会包含有更多的硬件，但还是以上图为基本架构。

Test System Controller CPU 是整个测试系统的核心，它控制测试系统的工作和数据的流向，通过系统的 I/O 口将数据传到外部的 PC 上，或从外部的 PC 上获取命令。外部 PC 只是一个系统平台起存储与显示的作用。所以会有些机台只有外部的 Monitor 而无外部 PC。

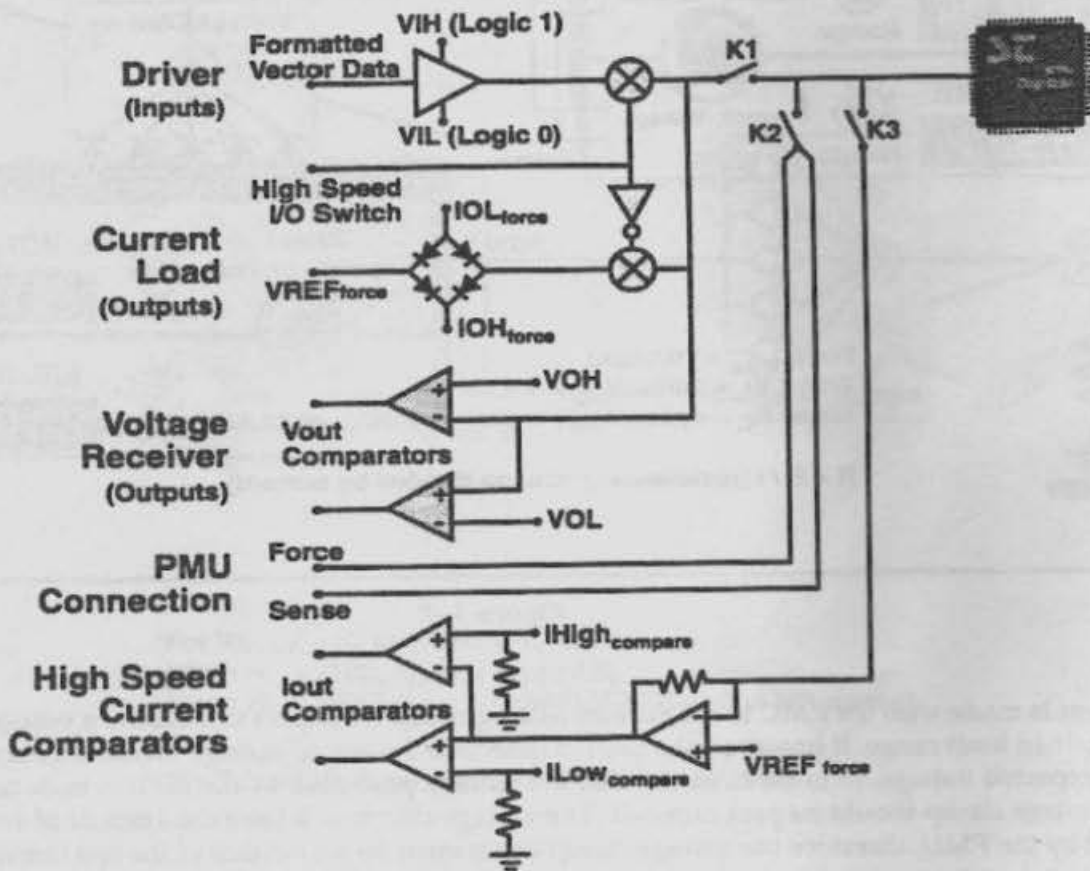
在测试机台的 DC 部分由 System Power Supply、DUT and Reference Power Supply 和 PMU 等组成。System Power Supply 是提供整个测试系统的电源，机台对于电压的稳定性要求极高，一般在测试机台中占有最大的体积。Device Power supply 主要提供芯片 V_{DD}/V_{CC} 。Reference Voltage Supply 提供给芯片参考电压 (V_{IL}/V_{IH} , V_{OH}/V_{OL})。PMU 是进行 DC 参数量测的单元。

在测试机台中还有 Pattern Memory 是用于存储测试矢量的。一般的测试矢量分为并行矢量和线性矢量。并行矢量就是一根 Device Pin 对应矢量的一列的矢量结构；而线性矢量是为提高测试的覆盖度，在芯片的设计过程中加入某些 CELL 就可用串行矢量来测试某些用并行矢量无法测试的项目。

在测试机台的 AC 部分由 Timeset Memory、Formatting Memory 和 Masking Memory 组成，其主要作用是将测试矢量中的输入部分根据测试程序的要求产生相应的输入波形，同时也根据测试程序的要求在相应的时间点去比较输出波形。

测试机台的另一重要部分是测试头，它是测试机台与芯片之间的通道，其主要由 PE Card 组成(PE Card 的结构见图(2))。

Pin Electronics



图(2)

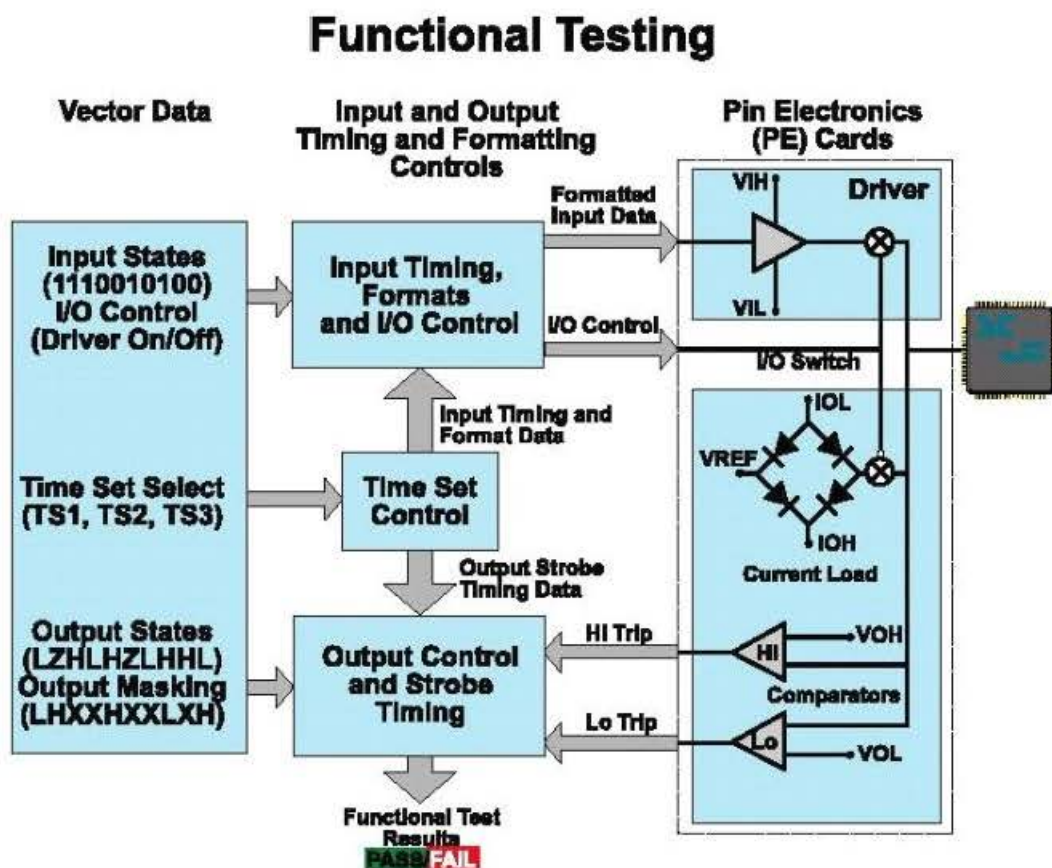
由上图可见 PE Card 由输入、输出和动态负载三部分组成，其中输入部分是给芯片提供 V_{IL}/V_{IH} 的电平；输出部分是将芯片的输出电平与 V_{OH}/V_{OL} 进行比较；图(2)的动态负载分为两部分，一种是通过加载 I_{OL}/I_{OH} 电流将输出电压与设定的 V_{OH}/V_{OL} 比较；另一种是将输出电流与设定的 I_{HIGH}/I_{LOW} 进行比较。比较电流的功能一般只有在高档机台中才会有。

另外在测试头的附近有 Test Box/Bin Box，它包括 Start 和 Reset 等按键，并且能够显示芯片 Pass/Fail 的结果。

FUNCTIONAL 测试原理

功能测试简介

功能性测试主要是验证逻辑功能。在主程序的功能测试部分中包括测试矢量和相关的测试命令。其中测试矢量在输入时向芯片提供逻辑状态，在输出时比较芯片的逻辑状态。在程序中的测试命令是用来控制硬件产生相应的电压、波形和时序。



图(3)

在功能测试过程中，测试系统以周期为单位将输入数据提供给芯片并比较输出数据。如果输出数据与默认的逻辑状态(测试矢量的值)、电压和波形不同，则我们认为该功能测试不通过。

Test Vector

Test Vector 也可称为 test pattern 或 truth table。测试矢量是芯片根据设计要求而所因具有输入输出值的集合。一般用 0/1 来表示输入低/高电平，L/H/Z 来表示输出低/高/高阻状态，X 表示即无输入又无输出。并且我们可根据不同的测试系统使用不同的字符来代表不同的含义。

测试矢量按在测试程序中出现的位置顺序存储在矢量存储单元中，测试矢量的一行表示一个测试周期。矢量存储单元中的输入数据经过机台的转换变成相应的输入波形，经过 PE Cards 传给芯片。芯片的输出波形通过 PE Cards 传给机台，再由机台转变成矢量，与原先存储在矢量存储单元中的输出数据进行比较。

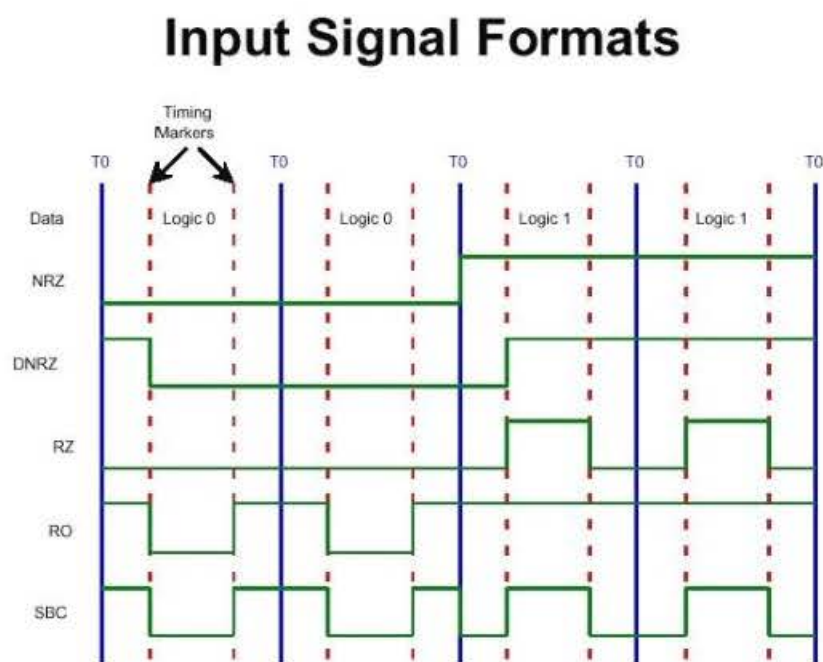
测试矢量一般由设计者将仿真时的数据经过适当的转换得到，不同的机台对矢量的格式有不同的要求。测试矢量的总长度不可超过测试机台矢量存储单元的深度。以下是一段测试矢量(SC212):

INPUT	I/O	OUTPUT
100100	1111100100101	HHHLLLLLHLLL
100100	1001100111011	LLLLLLLLLHHH
100100	0001010101001	HLHLHLHHHLHL
100100	1001011111000	LLHHLLLHHHLH
100100	1111101010101	LLLHLHLHLHL
100100	HHHLLHLHL	HHHLHHLHHLHH
100100	HHHLLLHLHL	HHLHLHLHLHL H
100110	ZZZZZZZZZZZ	LHLHLHLHLHLH
100110	LLHLLHLHLH	HHHLHLHHLHHL

- . don't care
- 0 drive 0
- 1 drive 1
- H compare 1
- L compare 0
- X don't care
- Z compare tri-state

Input Signal Format

信号的波形是测试矢量的重要组成部分，它保证所有的 AC 参数按 SPEC. 的要求进行测试。信号波形和矢量数据、上升/下降沿的位置、输入电压值组合成输入信号波形。常见的信号波形如下图：

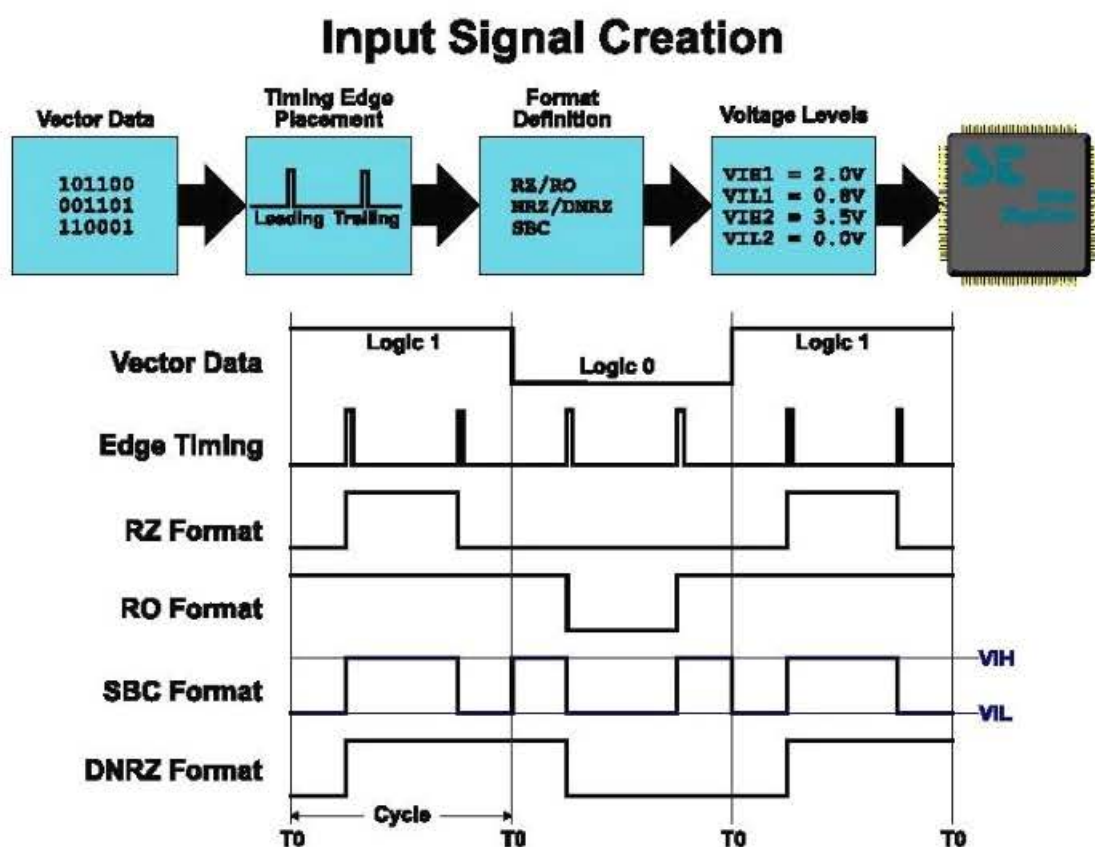


图(4)

- NRZ** 是 Non Return To Zero 的缩写，它不受 Edge timing 的控制，NRZ 波形只有在每个周期的开始才会变化。
- DNRZ** 是 Delayed Non Return To Zero 的缩写，DNRZ 是 NRZ 延时一段时间的波形，它延迟的时间由 Edge timing 的控制。
- RZ** 是 Return To Zero 的缩写，当矢量数据是 1 时产生一个正脉冲，而矢量数据是 0 时不产生脉冲(波形一直为低)。RZ 的波形有一个上升沿和一个下降沿，它们的位置可由 Edge timing 的控制。
- RO** 是 Return To One 的缩写，当矢量数据是 0 时产生一个负脉冲，而矢量数据是 1 时不产生脉冲(波形一直为高)。RO 波形上升沿和下降沿的位置可由 Edge timing 的控制。
- SBC** 是 Surround By Compliment 的缩写，当矢量数据是 0 时产生一个负脉冲，当矢量数据是 1 时产生一个正脉冲。我们可以认为该波形是由 RO 和 RZ 迭加形成的，它的上升沿和下降沿的位置可由 Edge timing 的控制。

Input Signal Creation

输入信号波形需要将测试系统中许多部分的数据综合起来产生，其实在测试头上看到的波形是由矢量数据、Edge Placement Timing、基本信号波形和 V_{IL}/V_{IH} 的值组合而成。如下图所示：

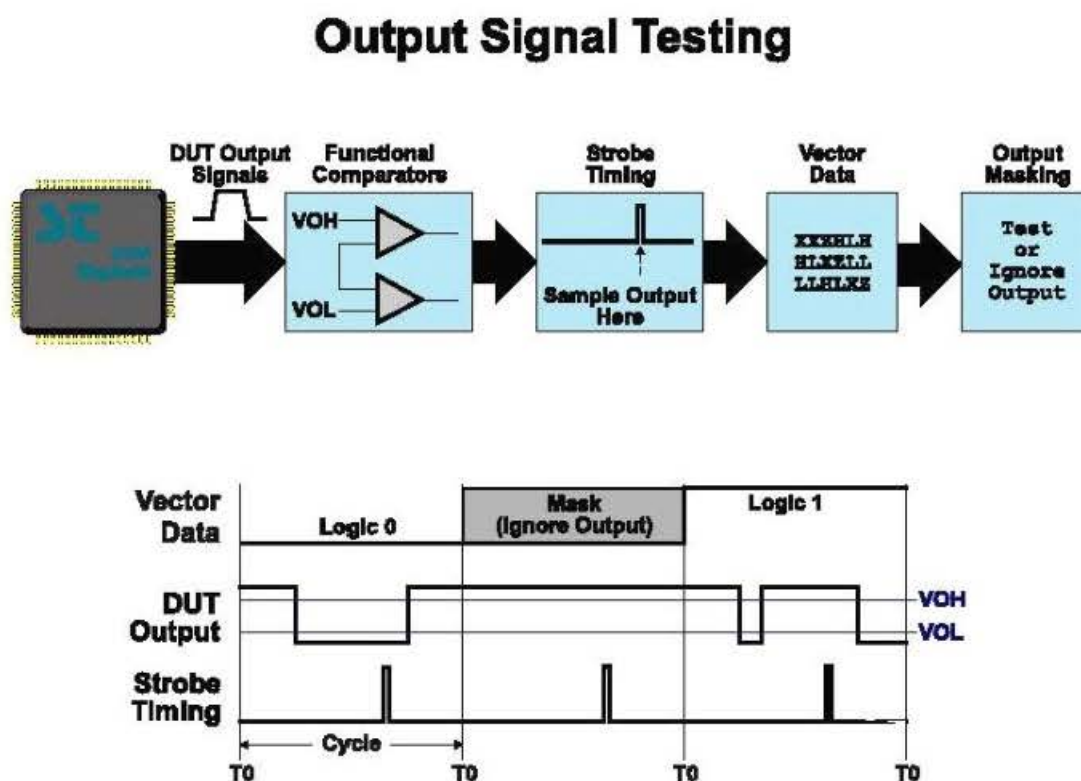


图(5)

所有的输入引脚都要有相应的输入波形。时钟信号的波形一般用 RZ 或 RO 来营造，像 CS(Chip Select)和 READ 这种高电平有效的信号用 RZ 来营造，而像 CS/(Chip Select Bar)和 OE/(Output Enable Bar)这种低电平有效的信号用 RO 来营造；数据信号一般数据不定而且有 Setup Time 和 Hold Time 的要求所以用 SBC 来营造。其他信号一般用 NRZ 和 DNRZ 来营造。

Output Signal Testing

输出比较实际是由 Test vector data(期望芯片输出的逻辑状态)、Output strobe timing(决定在测试周期中何时采样)、 V_{OL}/V_{OH} (期望芯片输出的电压值)、 I_{OL}/I_{OH} (期望芯片输出的电流值)四部分组成。如下图所示：



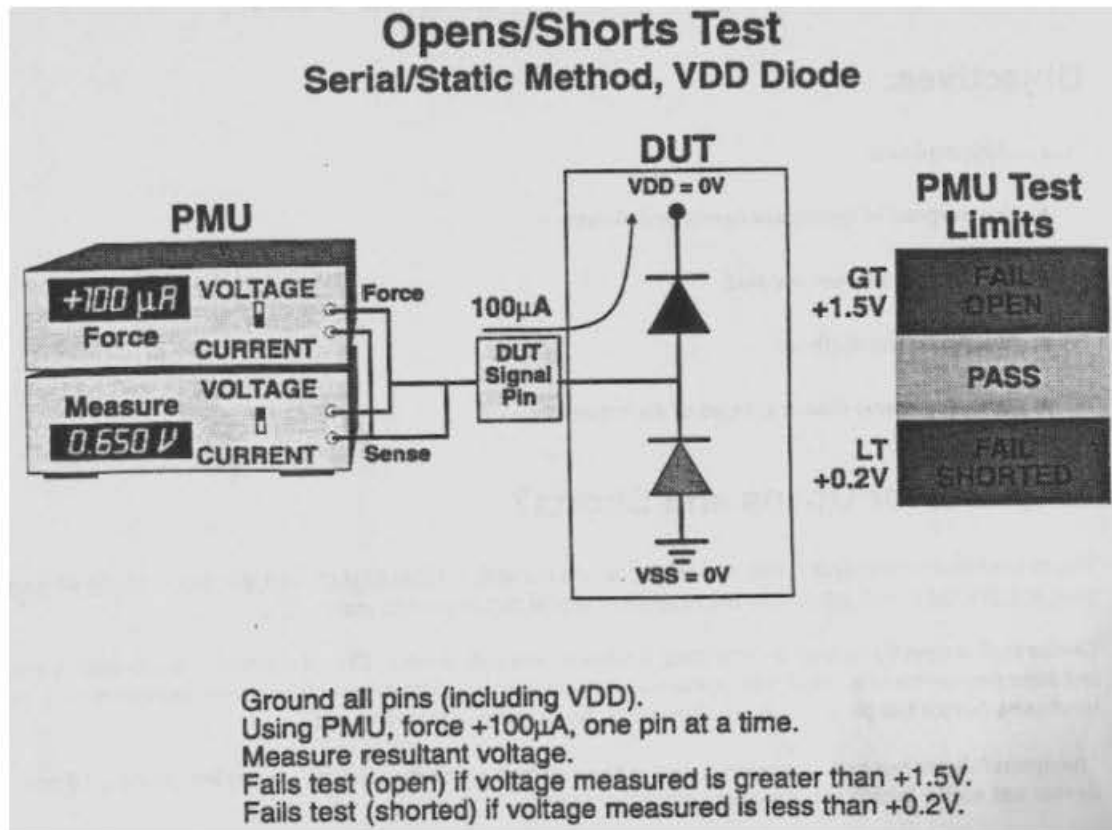
图(6)

在输出比较时，测试机台根据 Strobe timing 在相应的时间读取输出引脚上的电压值。如果期望输出低电平那么芯片的输出必须比设定的 V_{OL} 低，如果期望输出高电平那么芯片的输出必须比设定的 V_{OH} 高。并且我们可利用 Output Masking 来选择哪些需要进行输出比较哪些不需要，由此可形成灵活的输出比较。

一些基本参数的测试原理

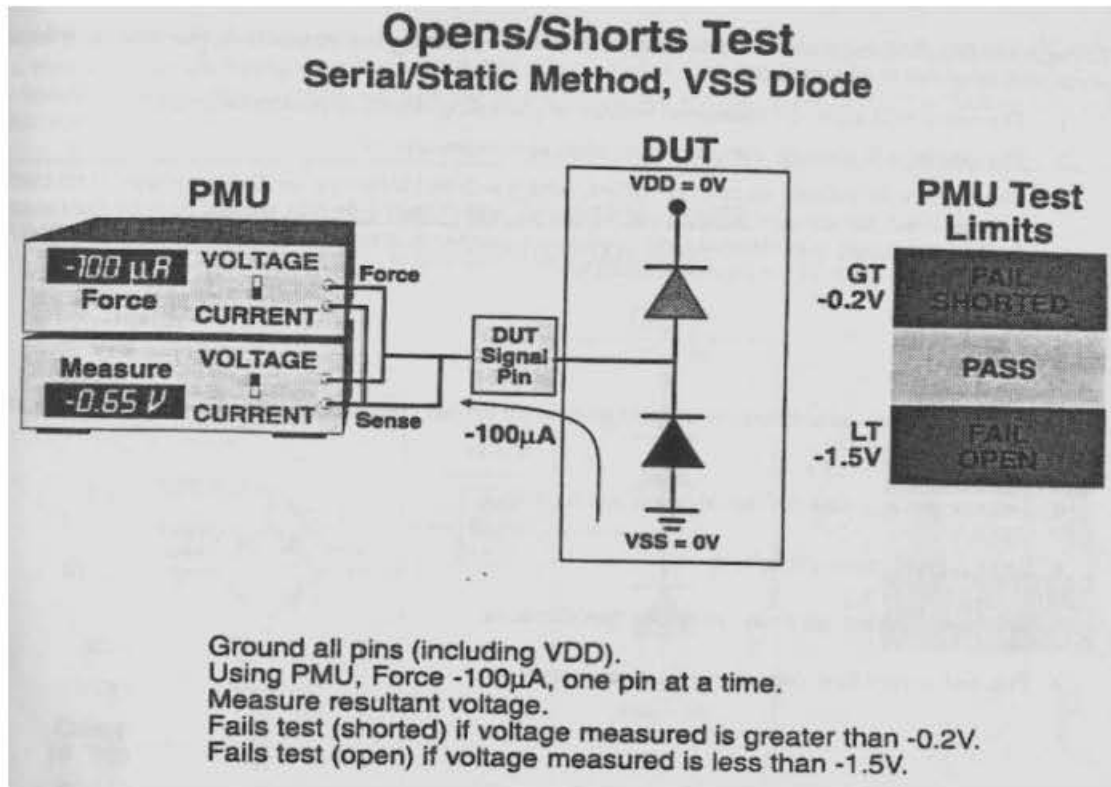
Open/Short Test

Open/Short 的测试原理是测试对 VDD 或 VSS 的保护两极管。一般我们有两种方法，一种是用 PMU 灌入电流测电压，另一种是用 Function 测试的方法用动态负载加载 I_{OL}/I_{OH} 电流比较电压。前一种方法每测一根引脚需要 10ms，后一种方法一共需要 50ms 左右。由此可见在引脚数较多的情况下后一种方法有明显的优势。



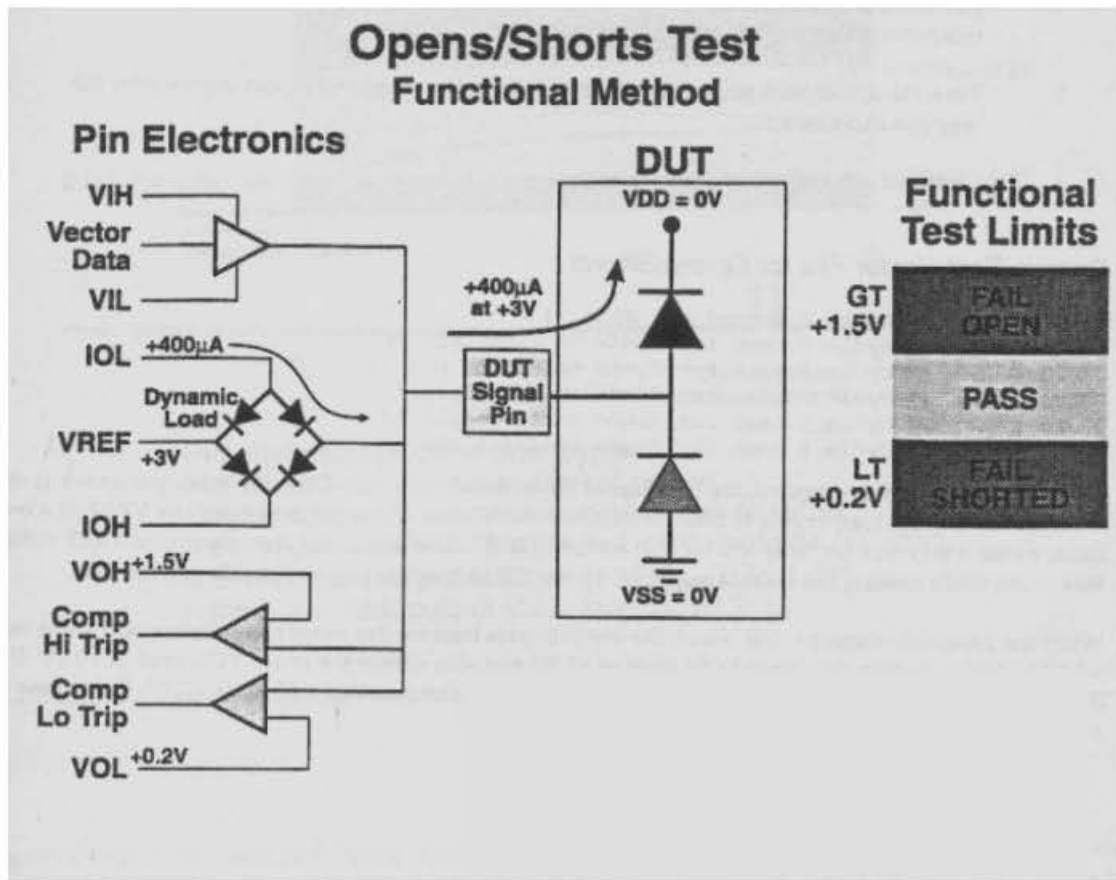
图(7)

上图是用 PMU 测 Open/Short。它通过 PMU 提供 100uA 的电流来验证每个引脚对 V_{DD} 的保护两极管的好坏。如图(3)我们可把 V_{OH}/V_{OL} 设成 1.5V/0.2V。如果测出的电压大于 V_{OH} (1.5V)，那么该引脚是 Open fail。如果测出的电压小于 V_{OL} (0.2V)，那么该引脚是 Short fail。



图(8)

上图也是用 PMU 测 Open/Short。它通过 PMU 提供 $-100\mu\text{A}$ 的电流来验证每个引脚对 V_{SS} 的保护两极管的好坏。如图(3)我们可把 V_{OH}/V_{OL} 设成 $-0.2\text{V}/-1.5\text{V}$ ，如果测出的电压大于 $V_{OH}(-0.2\text{V})$ ，那么该引脚是 Short fail。如果测出的电压小于 $V_{OL}(-1.5\text{V})$ ，那么该引脚是 Open fail。



图(9)

上图是用跑 **Pattern** 的方法测 **Open/Short**。首先将所有的 **Power Pin** 接地 ($V_{DD}=0$) 设 $V_{REF}=-2V$ (V_{REF} 是 **Dynamic Loading** 的参考电压。并控制电流 I_{OL} 和 I_{OH})，加上动态负载 I_{OL}/I_{OH} 各 $100\mu A$ ，再逐次将每根引脚的输出电压与 $V_{OH}(-0.2V)/V_{OL}(-1.0V)$ 比较。如果测出的电压大于 V_{OH} ，那么该引脚是 **Short fail**。如果测出的电压小于 V_{OL} ，那么该引脚是 **Open fail**。

测试所需用到的 **Pattern** 可参考如下格式：

```

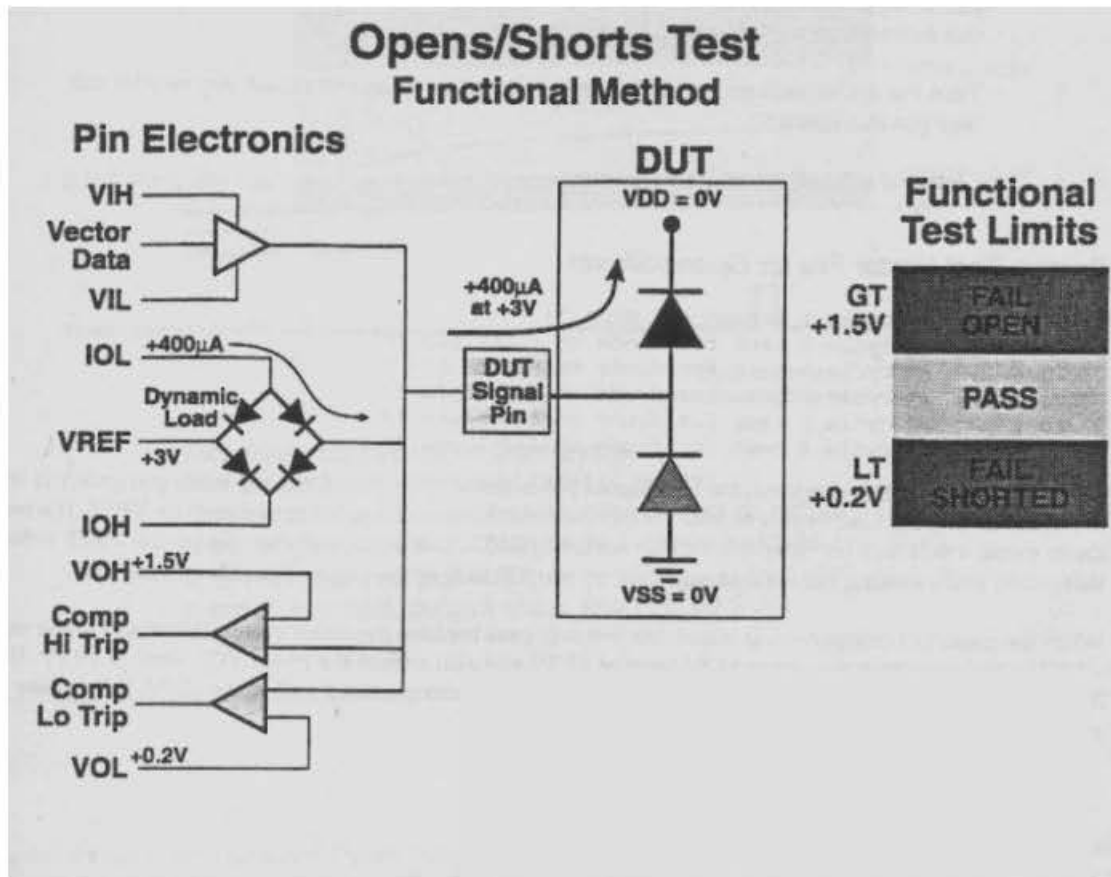
GFFFFFFF /*测试第一根引脚的保护两极管*/
FGFFFFFF /*测试第二根引脚的保护两极管*/
FFGFFFFFF .
FFFGFFFF .
FFFFFGFFF .
FFFFFFGFF .
FFFFFFFGF .
FFFFFFFGF .
FFFFFFFGF /*测试第八根引脚的保护两极管*/

```

其中 **G** 的含义是无论 **INPUT**、**OUTPUT**、**I/O PIN** 均可 **DRIVE 0**；
F 的含义是无论 **INPUT**、**OUTPUT**、**I/O PIN** 均可比较。

IDD TEST

IDD 是测量芯片处在不同状态下流出 V_{DD} 或流入 V_{SS} (当有几个 DPS 供电) 的电流。一般我们将 IDD 电流分成 Static、Dynamic 二种。其中我们将 IDD Static Current 定义为当芯片处于象 Sleep 模式或 Stop 模式下的 IDD 电流；IDD Dynamic Current 定义为当芯片处于象 Standby 模式或 Operation 模式下的 IDD 电流。Static 与 Dynamic 的区别在于芯片所处的状态中内部 RC/Oscillator 是否起振，如果起振那该状态下的 IDD 电流称为 IDD Dynamic Current，相反则称为 IDD Static Current。



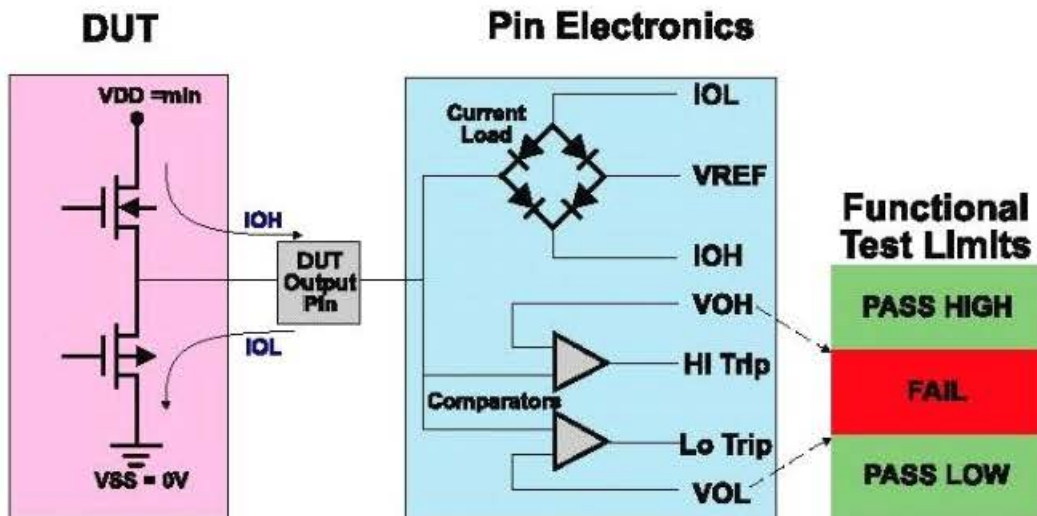
图(10)

如上图通过 PMU/DPS 给 V_{DD} 提供电源，给所有的 Input 引脚相应的 V_{IH}/V_{IL} 防止因为悬空而产生的漏电流，并且输出不接负载防止额外的电流消耗。然后用相应的测试单元来测量电流。

VOL/IOL VOH/IOH TEST

V_{OL}/I_{OL} 是测当输出引脚输出低电平时输出阻抗， V_{OH}/I_{OH} 是测当输出引脚输出高电平时输出阻抗。其主要目的是验证拉或灌相应的电流，它的输出电压 V_{OH}/V_{OL} 是否处于正确的电平。测试方法可分成动态和静态两种。静态方法是用 PMU 对输出引脚提供电压/电流，然后在逐一测电压/电流。动态方法是在 Function 的测试过程中加载动态负载电流，然后再比较电压。

Functional VOL/VOH Test



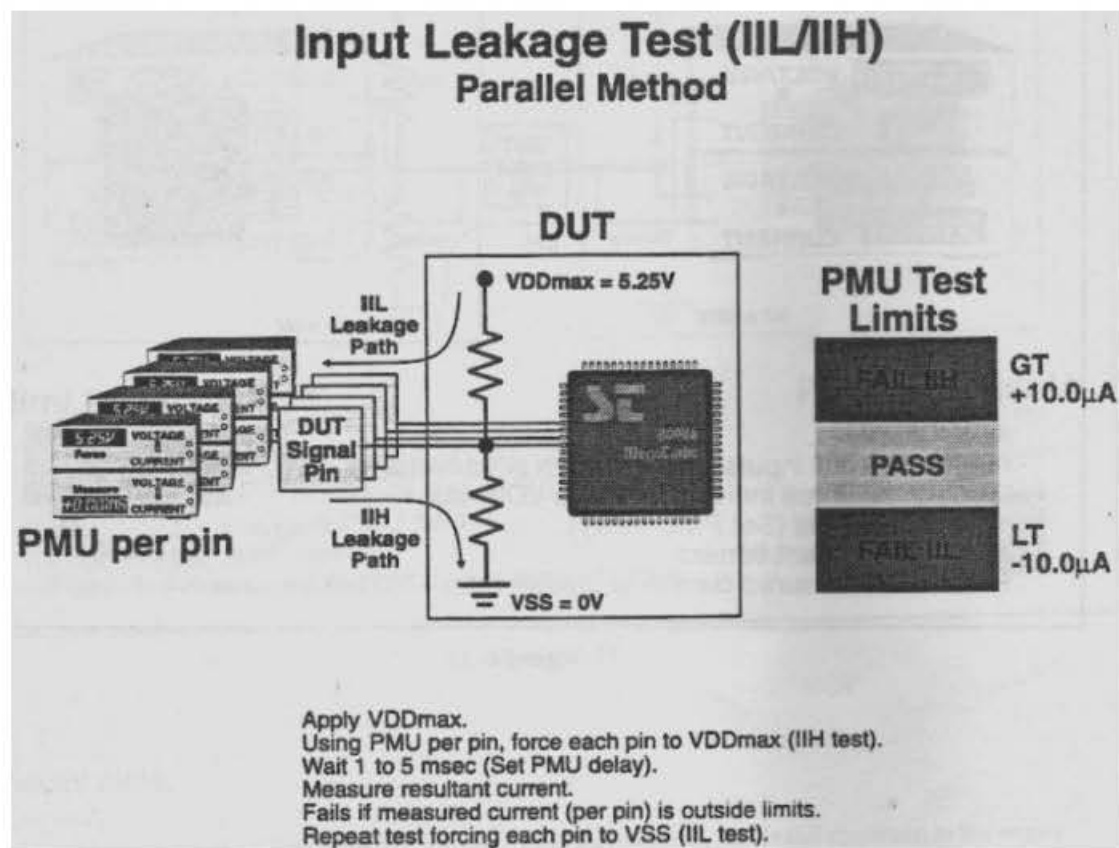
Set Programmable Loads to I_{OL}/I_{OH} spec for each output.
Set Comparator Levels to V_{OL}/V_{OH} spec for each output.
Execute Functional Test Pattern which tests all outputs for logic 0 and logic 1 levels.
Note: You may need to run pattern at a reduced test rate.

图(11)

如上图在跑 Function 时，在输出高电平时加载 I_{OH} 电流，比较输出高电平是否正确。在输出低电平时加载 I_{OL} 电流，比较输出低电平是否正确。

Input Current (IIL/IIH)

IIL 主要是测量输入引脚对 VDD 的漏电流，IIH 是测量输入引脚对 VSS 的漏电流。这项测试除了验证输入阻抗是否符合 SPEC.的要求并且也是鉴定 CMOS 芯片制程问题的方法。对于 Input Current 的测量我们一般用 Serial 和 Ganged 三种方法来测试。其中串行测试可测出引脚与引脚之间的漏电流，但所需的测试时间比较长。合并测试可节约测试时间，但合并测试的 Limit 比较难设定。



图(12)

对于串行测试,在进行 IIL 测试时首先通过 Pattern 将所有的输入引脚置高电平,然后用 PMU 逐个提供低电平测量电流。在进行 IIH 测试时首先通过 Pattern 将所有的输入引脚置低电平,然后用 PMU 逐个提供高电平测量电流。

对于合并测试是将所有的输入引脚并成一个引脚用 PMU 提供高电平或低电平进行电流测试。对于 CMOS 的芯片其输入阻抗非常大所以它的输入漏电流十分小。一般我们会将 Current Limit 定成一根引脚的所允许的最大电流值。