

硬十用户专享资料

之 PCB技术



目录

1、PCB概述

2、PCB开发流程

3、PCB设计要点

4、反射公式与阻抗匹配

5、时序原理

前言

- PCB设计我们关注什么？
- 我们为什么尽量用表贴器件？
- 为什么我们要拼板，拼板时我们要注意什么？
- 布局的时候，我们怎么入手？
- 布线的时候，有哪些原则？
- 信号质量不好，我们可以怎么办？

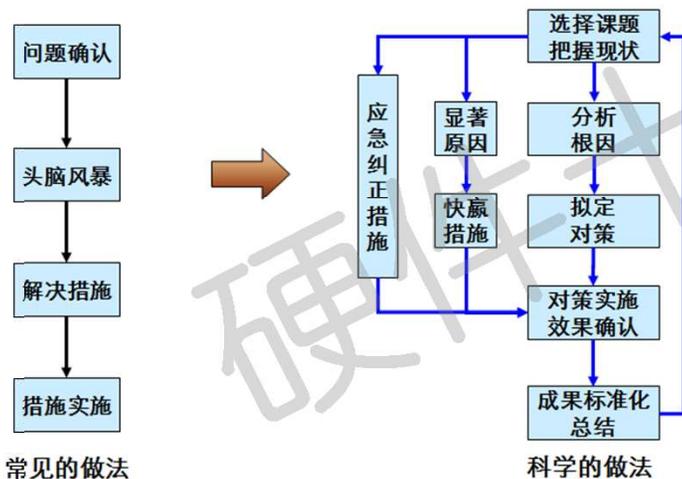
不要经验主义——课程回顾

单身贵族和单身狗

懂原理的再加班都是技术贵族（科技工作者），如果不愿意懂原理干N年都是技术狗（IT民工）

- 实践+原理，螺旋式提升

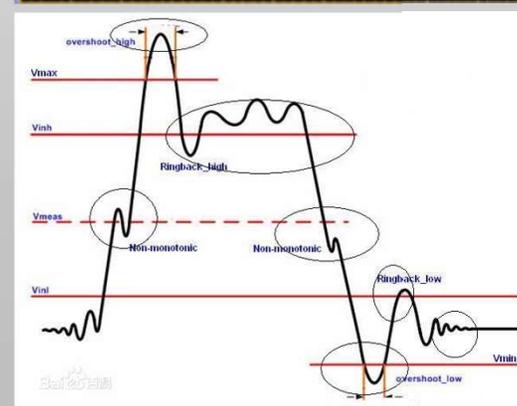
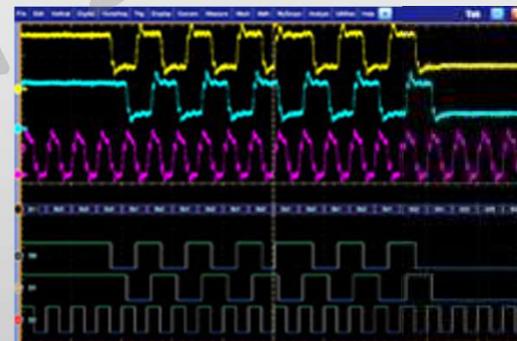
改进的步骤——核心:改进的思路转换



电阻
电容
电感
传输线

完全用理论思考趋势
用实际模型完善，修正细节

举一反三的能力

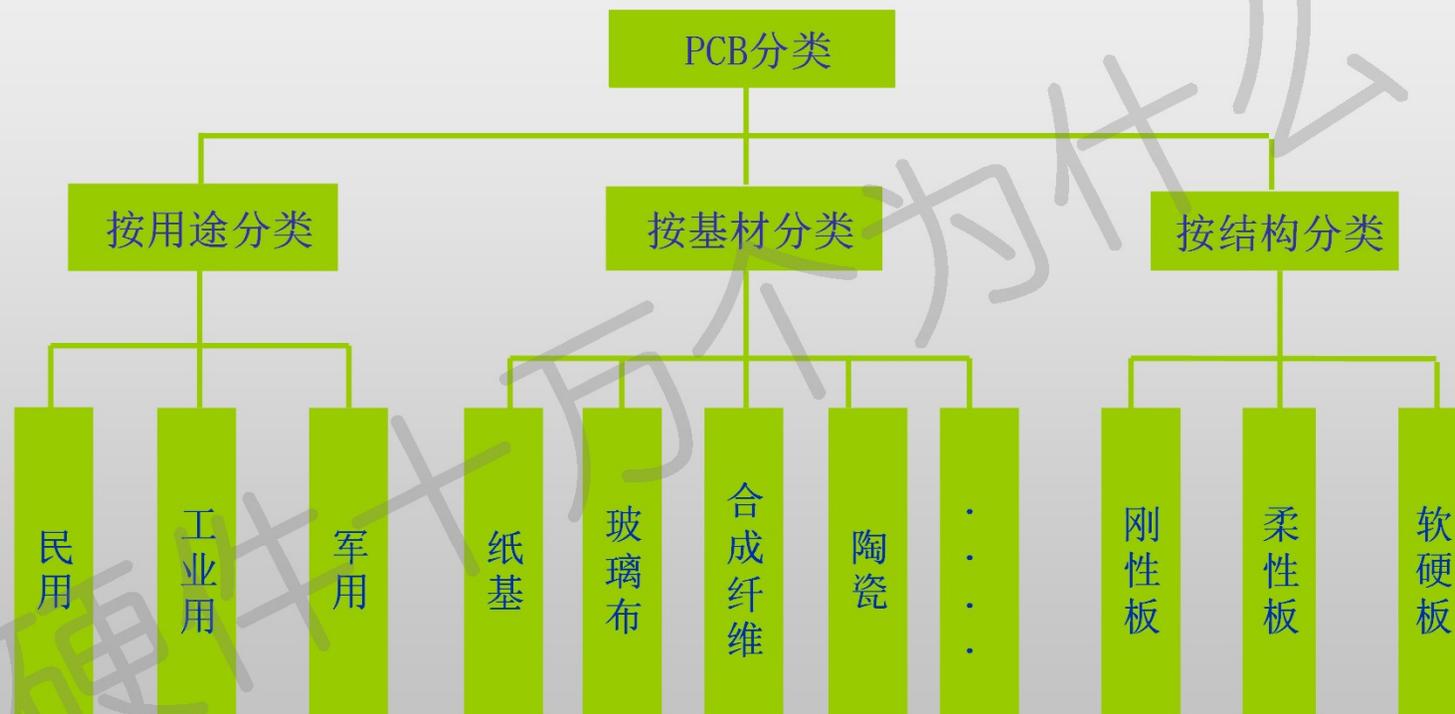


高速电路设计，基尔霍夫定律和欧姆定律不够用了

- 反射公式
- 高速信号定义的公式
- 时序公式

硬件十万个为什么

PCB概述

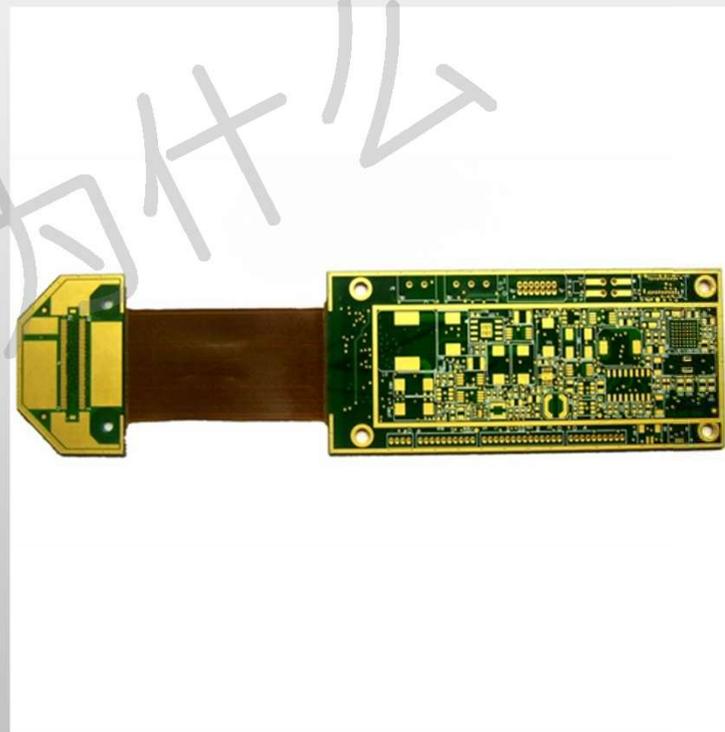


PCB概述——按基材分类

		非阻燃型	阻燃型 (V-0、V-1)
刚性板	纸基板	XPC、XXXPC	FR-1、FR-2、FR-3
	复合基板	CEM-2、CEM-4	CEM-1、CEM-3 CEM-5
	玻纤布基板	G-10、G-11	FR-4、FR-5
		PI板、PTFE板、BT板、PPE (PPO) 板、CE板等。	
	涂树脂铜箔 (RCC)、金属基板、陶瓷基板等。		
挠性板	聚酯薄膜挠性覆铜板、聚酰亚胺薄膜挠性覆铜板		

挠性线路板 (Flexible Printed Circuit Board, 缩写FPC) 又称为柔性印制电路板, 或称软性印制电路板。根据IPC的定义, 挠性印制电路板, 是以印制的方式, 在挠性基材上面进行线路图形的设计和制作的产品。

PCB概述——刚柔板逐步工艺成熟，价格降低



FPC设计规范见SVN

PCB概述——按基材分类

- 我们经常指的“FR-4”是一种耐燃材料等级的代号，它所代表的意思是树脂材料经过燃烧状态必须能够自行熄灭的一种材料规格，它不是一种材料名称，而是一种材料等级，因此目前一般电路板所用的FR-4等级材料就有非常多的种类，但是多数都是以所谓的四功能(Tetra-Function)的环氧树脂加上填充剂(Filler)以及玻璃纤维所做出的复合材料。
- 比如说我们家现在做的FR-4水绿玻纤板 黑色玻纤板，他都具有耐高温、绝缘、阻燃等功能
- 所以大家在选择材料的时候一定要搞清楚自己需要的材料要达到什么特点为。这样就好选购到自己所需的产品



PCB概述

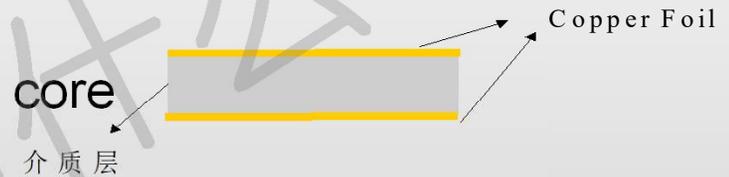
多层PCB组成

- ✓覆铜板（Copper Clad Laminate），也称芯板，**core**
- ✓半固化片（Prepreg）：一般由纤维增强材料浸渍热固性树脂后固化为B阶的片状材料，也称为粘结片、PP。

常见半固化片类型： 106、1080、2313、3313、2116、7628。

- ✓铜箔

常用厚度1oz、Hoz、1/3oz。1oz厚度为35um，约1.4mil。



PCB制作过程

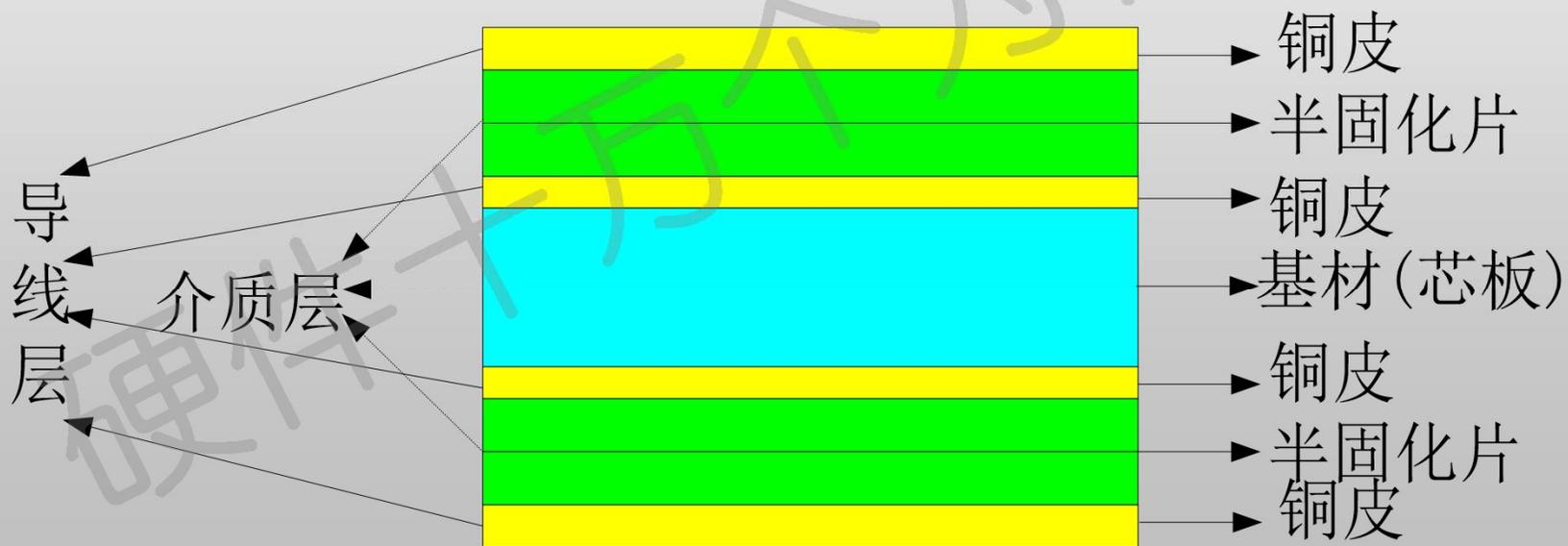
PCB工程资料处理

- 1、审查**Gerber**文件，查看**PCB**可制造性，对于可制造性问题，进行工程确认；
- 2、编写工作指示（**MI**），包括**PCB**拼板设计、叠板设计、阻抗设计、线路补偿、辅助铜添加、钻孔补偿、制作流程，以及检验标准。
- 3、生产工具制作，将设计好的文件转化生成光绘底片和输出**NC**钻孔程序。

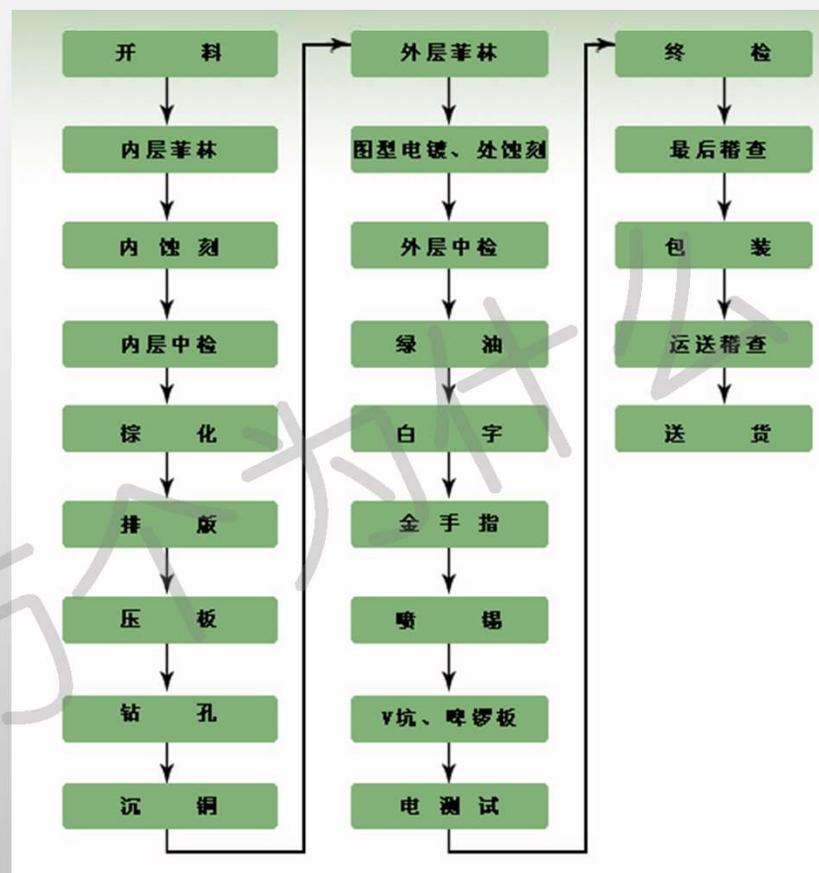
PCB制作过程

➤ PCB加工流程

✓ 以一普通六层板为例



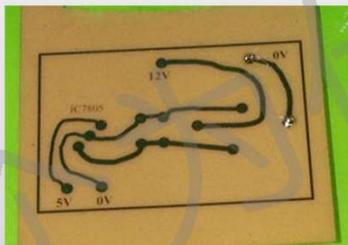
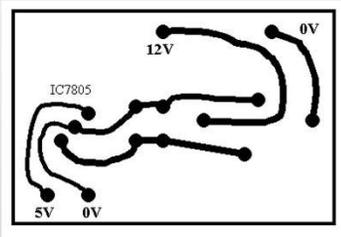
PCB制作过程



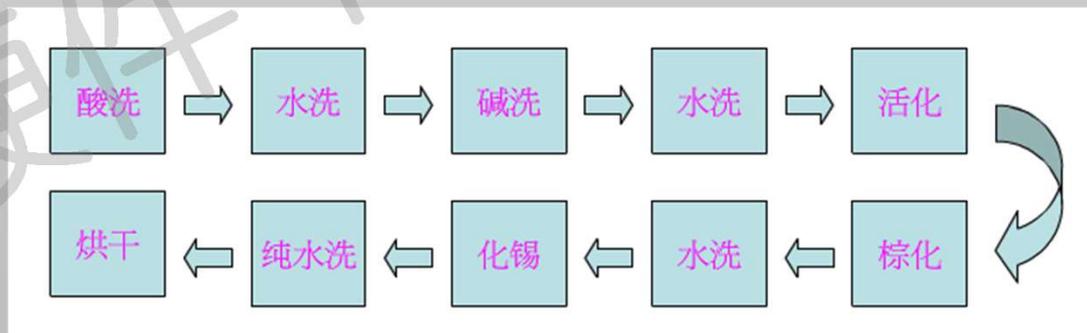
- http://mp.weixin.qq.com/s?__biz=MzAxNDAYMzc0Mg==&mid=220833658&idx=1&sn=c324c47b2e900cf5145349e46cdbcbab#rd

PCB制作过程

蚀刻 是曝光的底片.在做PCB线路,阻焊的时候,PCB表面会涂一层感光液体, 经过80度的温试烤干, 再用菲林贴在PCB板上, 再经过紫外线曝光机曝光, 撕下菲林。

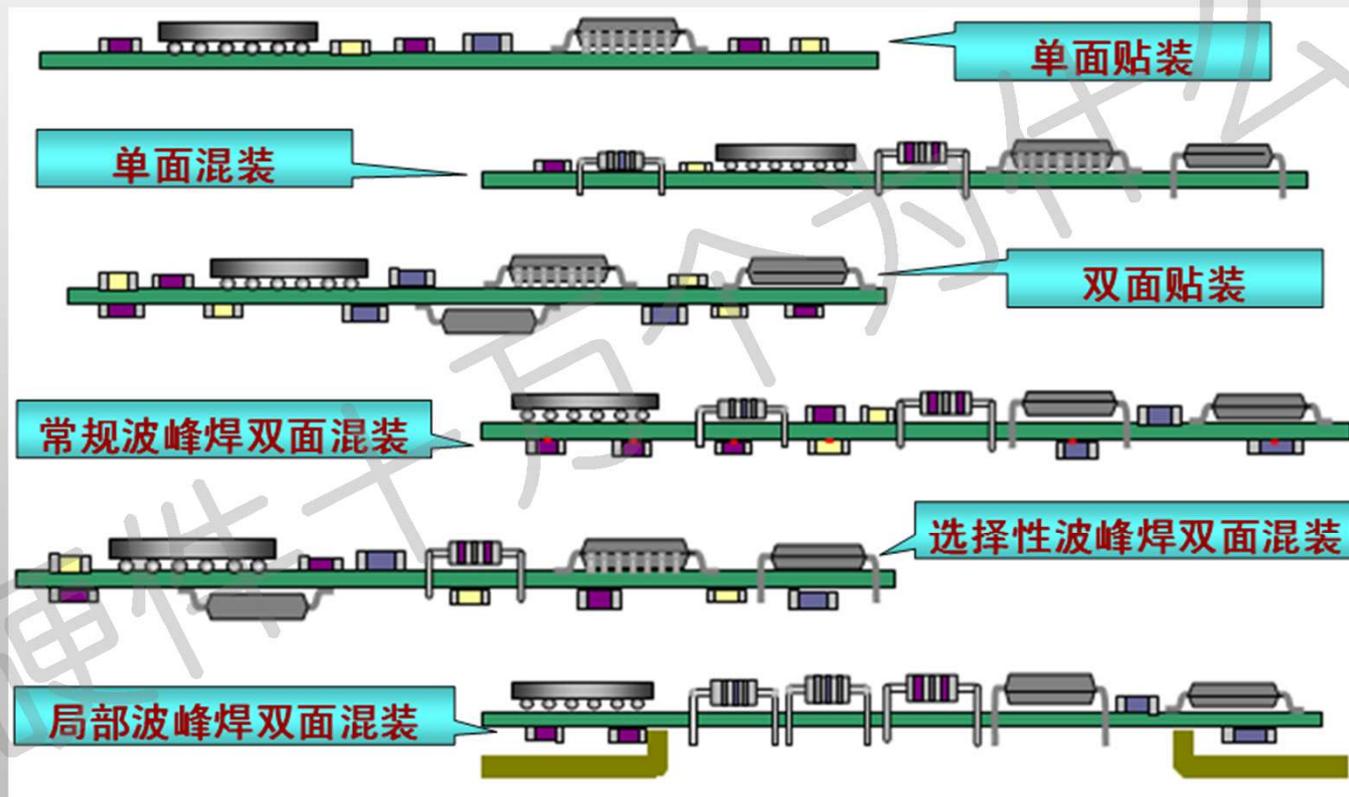


棕化 本工序是继内层开料、内层D/F、内层蚀板之后对生产板进行铜面处理, 在内层铜箔表面生成一层氧化层以提升多层线路板在压合时铜箔和环氧树脂之间的接合力 (常见的有黑氧化及棕氧化等)



PCB组装过程

➤ PCBA六种主流工艺路线



通孔回流焊 有工艺要求

PCB组装过程

➤ PCB组装常用工序

- ✓ SMT
- ✓ 波峰焊（常规、局部、选择性）
- ✓ 压接
- ✓ 手工补焊与结构装配
- ✓ AOI, 5DX, ICT

目录

1、PCB概述

2、PCB开发流程

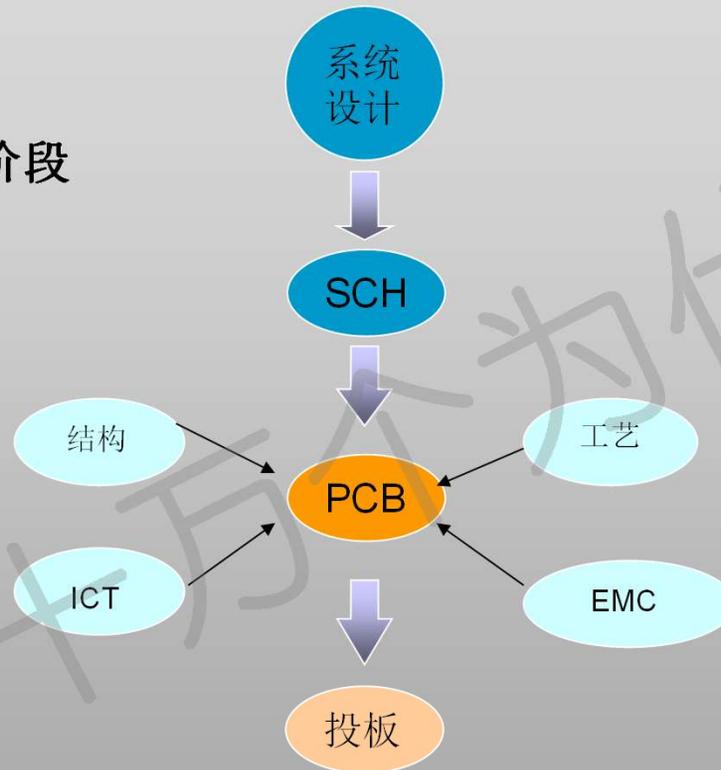
3、PCB设计要点

4、反射公式与阻抗匹配

5、时序原理

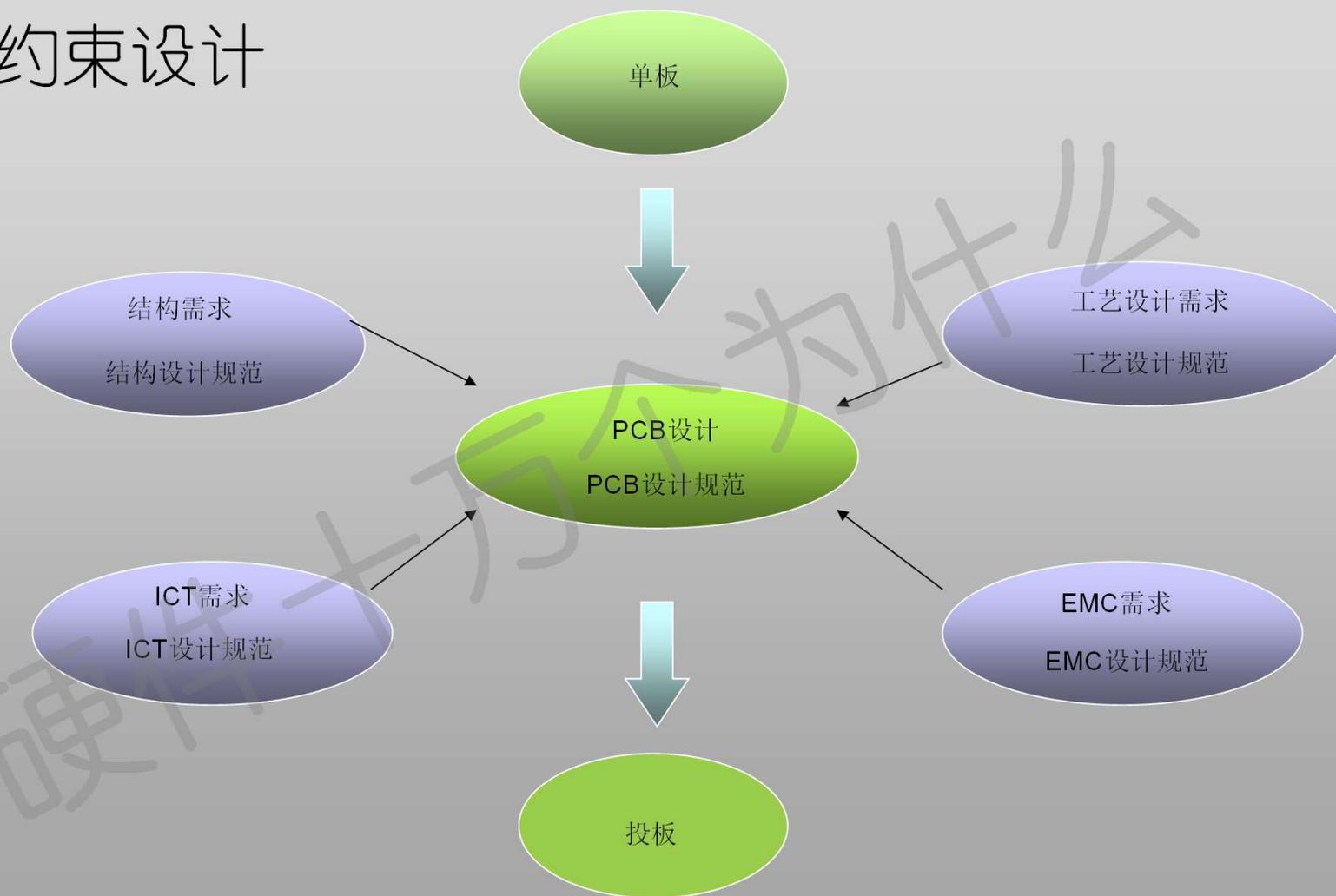
PCB开发流程

详细设计阶段

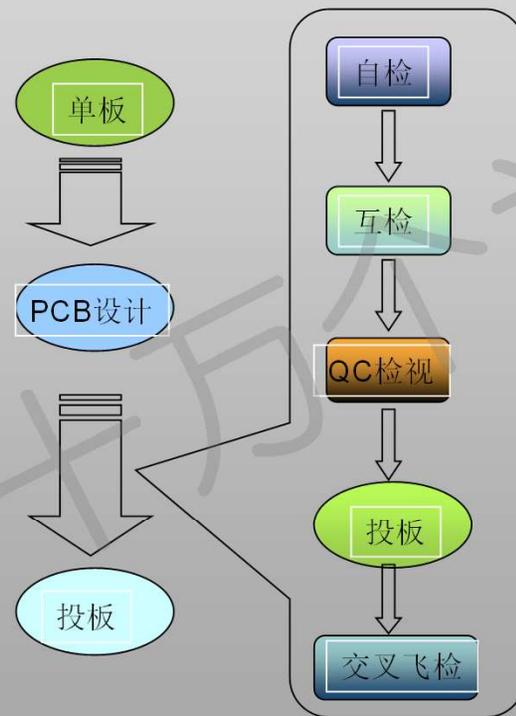


PCB设计保证单板的性能!

规范约束设计



质量保障设计



目录

1、PCB概述

2、PCB开发流程

3、PCB设计要点

4、反射公式与阻抗匹配

5、时序原理

重点关注项

硬件工程师需要重点关注的部分

规则设置检查

特殊器件设计检查

信号和走线检查

电源检查

规则检查

规则驱动设计

- 基本规则检查：

包括：电源地、时钟、差分线、RF网络

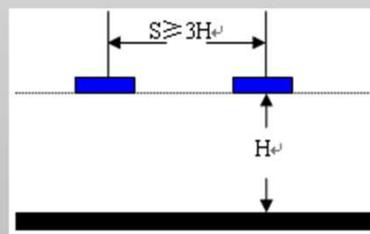
电源地：最小线宽检查（重点关注小电源）

电源地线fanout线宽要求线宽大于10mil，并且尽量短，减小引线电感

时钟：时钟、复位信号网络增加3H规则

关键时钟信号设置优选的布线层

多负载的时钟信号拓扑结构



要求：网络名规范化、规则驱动表完备

规则检查(续)

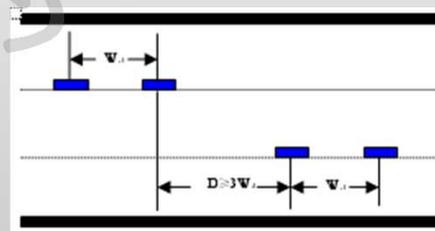
规则驱动设计

- 基本规则检查:

差分线:

差分线需设置相位差、线间间距、
允许的最大非耦合长度规则

同层差分线与其它信号的中心间距
应不小于 $3w$



注意: BGA等区域内网络优先满足区域规则

规则检查(续)

- 电气规则检查
- TOP结构检查

常见TOP结构：点到点、菊花链、星形、远端簇形

结合仿真报告，重点关注TOP结构、匹配及耦合电容、上下拉电阻的位置。

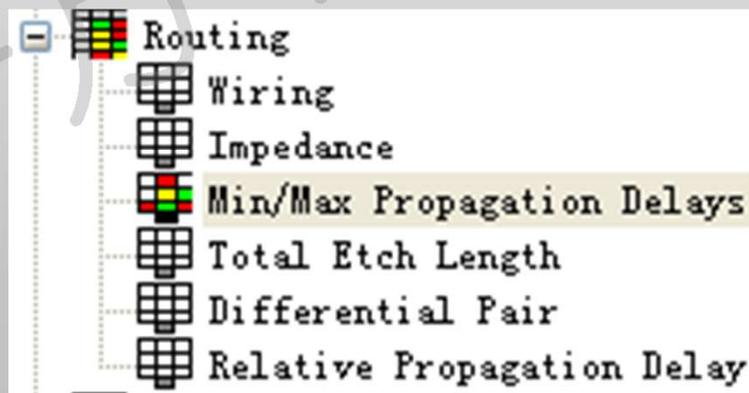
- 时序要求检查

相对规则约束

绝对规则约束

总长度约束

差分对约束



特殊器件设计检查

重点检查器件设计是否干涉，是否有短路风险，是否满足设计性能

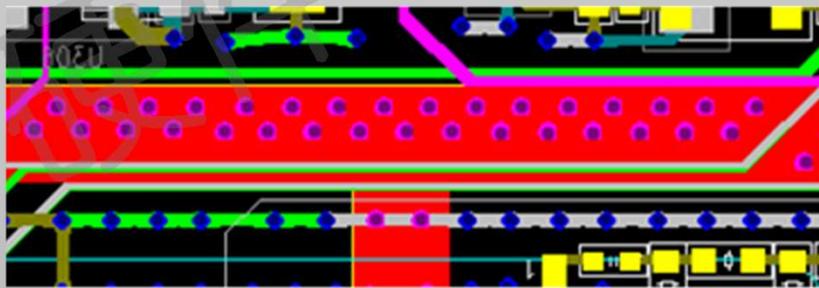
- 金属外壳器件

金属外壳器件周围1.5mm禁布，SOT器件周围1.5mm禁布过孔
晶振、卧装晶体下需铺地铜……

- 隔离及屏蔽器件

变压器、EMI滤波器、AD/DA、保险丝前后级隔离器件，需做禁布或挖空处理

屏蔽罩、隔墙、屏蔽线需要保证良好接地



特殊器件设计检查（续）

- 接口防护器件

接口防护器件需要靠近被防护器件放置，走线短而粗；对信号防护，走线宽度不小于8mil，信号需经过防护器件

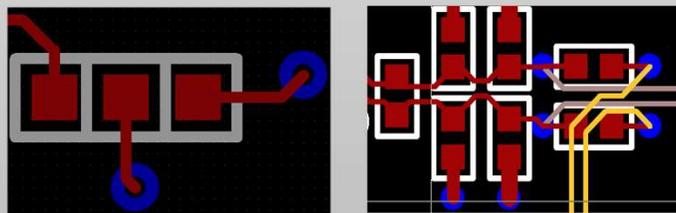


- 兼容设计

检查兼容设计造成的stub是否太长
选焊器件的位置是否正确

- 特殊功能器件设计检查

参考器件设计指导进行检查

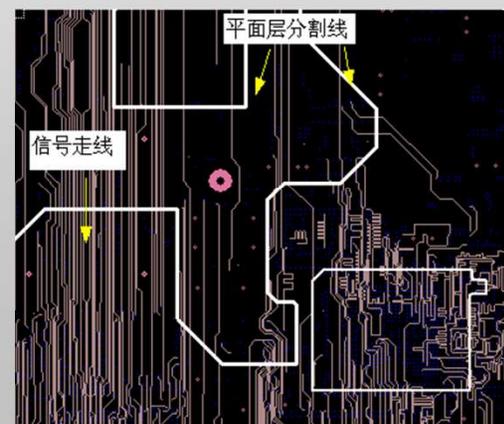
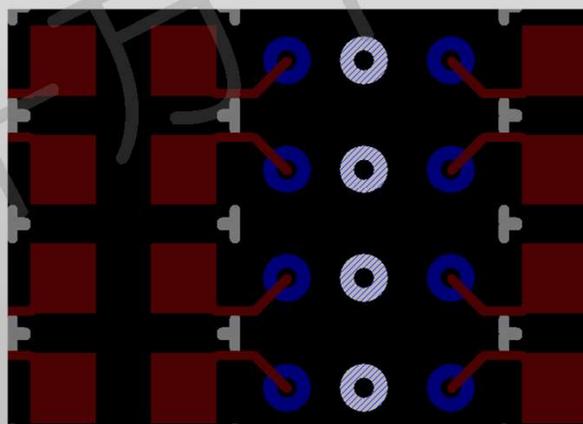
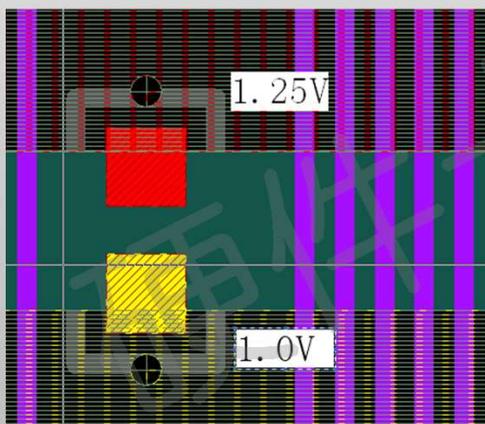


信号和走线检查

重点检查信号回流路径，阻抗是否连续，信号是否相互干扰

包括：时钟、复位信号，高速电路信号，低电平信号，模拟信号，其他关键信号

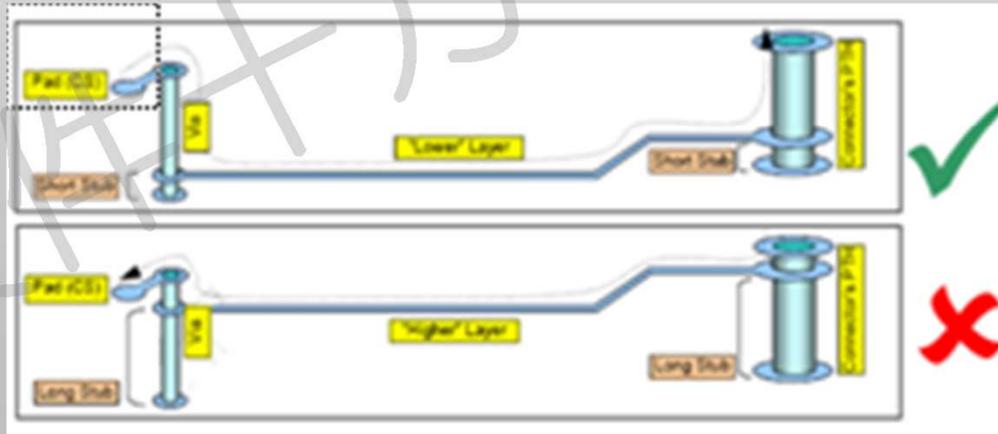
- 关键信号不跨地、电源平面分割
- 对于跨分割信号提供额外回流路径（跨接电容、回流地孔）



信号和走线检查（续）

高速串行走线：

- 高速串行总线需考虑布线的损耗，确定线宽、线长
建议：布线长度不大于10inch，线宽不小于5mil
- 高速串行总线除Fanout过孔外，尽量不要打孔换层，速率达3.125Gbps或以上时，应优化反焊盘以减小损耗
建议：高速串行总线布线换层时，选择使过孔stub最小的布线层



信号和走线（续）

- ▶ 关键信号的回流平面层无过孔隔离带
- ▶ 同层、相邻层平行走线不能太长
- ▶ 低电平信号、模拟信号需远离其他信号，如：
LVDS、LVPECL信号远离TTL和CMOS信号
- ▶ 关键信号远离大电感、开关电源、晶振等强辐射器件

电源

重点检查电源走线通流能力，电压降额要求，抗干扰能力

- 通流能力检查
- 有效宽度检查
- 开关电源设计检查
- 汇接等其他电源检查

电源(续)

通流能力检查

根据走线、过孔通流能力判断其是否满足通流要求

- 经验公式:

(内层)1OZ铜厚1mm宽度通流1A

10MIL过孔通流1A, 5mil微孔通流0.5A

- 精确计算:

通流计算工具

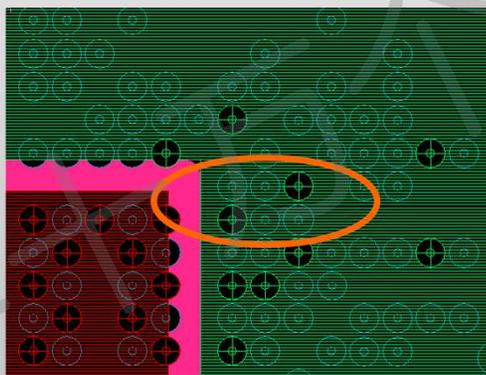


走线通流能力计算
工具

电源(续)

有效宽度检查

- 正负片铜是否有打断 (BGA、过孔密集、以及过孔密集处是否有高速总线), 需重点关注0.8mmBGA



当电流超过**5A**或电压小于**1.5V**时, 必须进行直流压降仿真

电源(续)

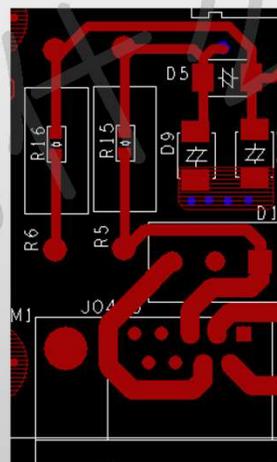
从布局、布线的细节上检查电源、防雷电路设计

▶ 防雷电路检查

- 1、防护器件要优先靠近输入/输出接口放置
- 2、多级防护要按照信号流向及防护等级放置
- 3、防护电路和其他电路之间满足安规间距
- 4、走线要求短而粗：1kA/15mil

▶ 敏感电路检查

- 1、热敏感器件远离发热器件
- 2、时钟、高速线、AD及开关电源小信号等远离开关电源功率回路
- 3、晶体、晶振、继电器远离板边布局
- 4、敏感电路布局要求1000mil/400mil，敏感信号需包地



电源(续)

从布局、布线的细节上检查电源、防雷电路设计

➤ 安规等级检查

主要针对48V电源模块，设计需满足安规要求

➤ PLL电源检查

滤波电容需靠近管脚放置

PLL电源附近及相邻层没有强干扰源

➤ 电容fanout检查

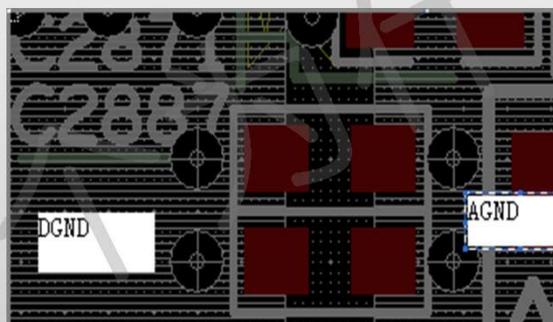
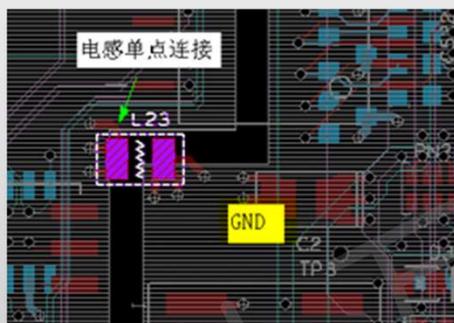
滤波电容fanout需短而粗，回路面积尽量小，以减小寄生电感

电源(续)

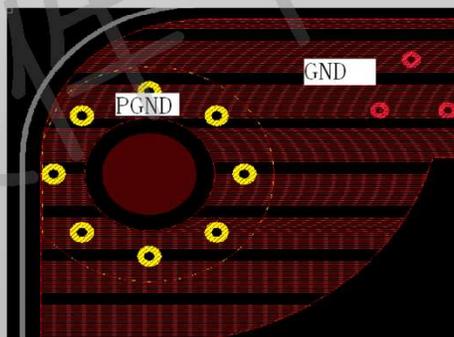
汇接

检查汇接方式是否正确，汇接点是否合理，是否正确反映汇接原理

- 通过跨接磁珠、电容、大电阻汇接



- 通过直接短路汇接 (割断antietch)



电源(续)

开关电源

- 1、主功率部分和控制部分分离；主功率部分会产生大量的热和噪声。
- 2、输出电流过孔数量保证通流能力足够，电流为设定的过流值；
- 3、如果输出电流大于20A，最好区分控制电路AGND和功率地GND，两者单点接地,如果不做区分，保证AGND接地良好；
- 4、输入电容靠近上管的D极放置；
- 5、Phase管脚因为其强电流，高电压的特性，辐射大，需做以下处理
 - a：Phase相连接的上管的S极，下管的D极和电感一端打平面处理，且不打过孔，即尽量保证3者和电源芯片在同一个平面上，且最好放置在top面；
 - b：Phase平面保证足够的通流能力的前提下，尽量减小面积；
 - c：关键信号远离该Phase平面；
 - d：小电流的Phase网络直接拉线处理，禁止拉平面；

电源 (续)

开关电源

- 6、输入电容的GND，电源输入因为噪声大，敏感信号需远离该平面，遵循3W原则，禁止高速信号在上述地平面打的过孔中间走线，尤其关注背板的高速信号；
- 7、GATE,BOOT电容走线尽量粗，一般为15mil~40mil；
- 8、电压采样因为电流小，容易受干扰，如果为近端反馈尽量靠近电源芯片，如果为远端反馈，需走差分线，且远离干扰源；
- 9、DCR电流采样网络，需要差分走线，整个采样网络尽量紧凑，且需靠近电源芯片放置，温度补偿电阻靠近电感放置；
- 10、环路补偿电路尽量面积小，减小环路，靠近电源芯片放置；
- 11、电感下禁止打孔，一方面防止有些电感为金属表层，出现短路；一方面因为电感的辐射大，如果下面打孔，噪声会耦合；
- 12、MOS管下需打过孔进行散热，过孔数量按照输出最大电流计算，非过流值；
- 13、电源芯片底部打过孔到背面进行散热处理，覆铜越大散热越好，最好部分亮铜处理；

电源 (续)

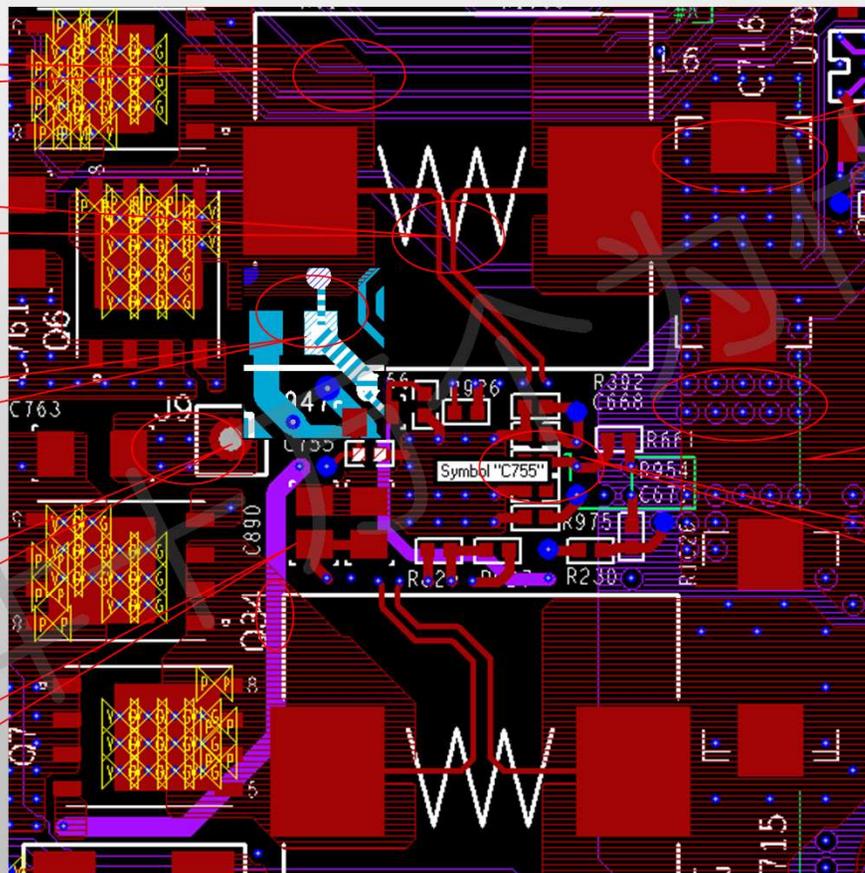
Phase覆铜
尽可能小

电流采样
走差分线

Boot电容从
Phase网络
单独拉线

输入电容与
输出电容共地

驱动线, 尽
可能短, 足
够粗



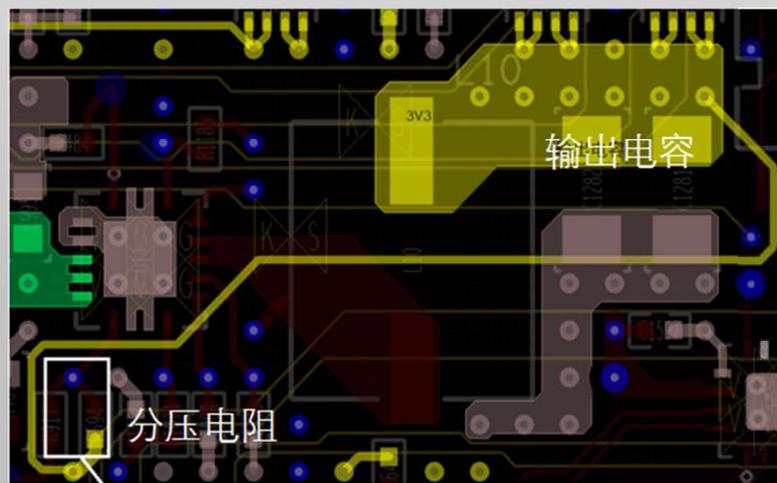
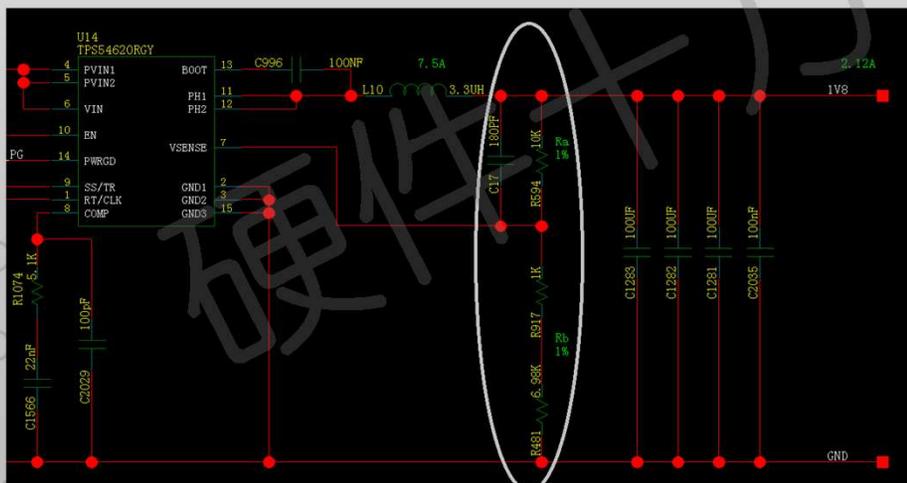
输出电流
通流能力足够

减小功率地对
模拟地 的干
扰

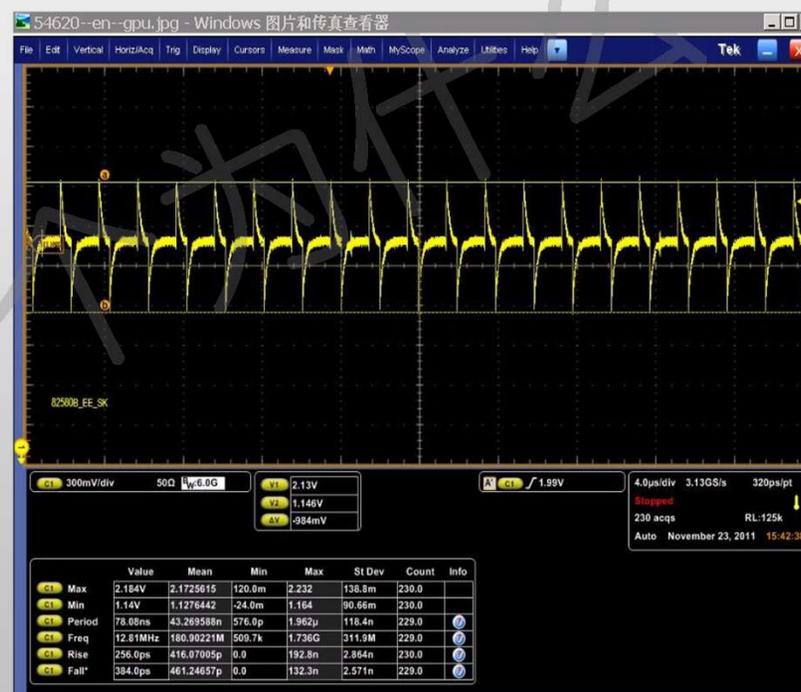
补偿电路尽可
能环路小

电源

- 要点：电源电压远端反馈差分走线
- 电压检测分反馈检测，反馈检测。一般小电流电源采用近端反馈，如下电路为检测电路。分压电阻及反馈线靠近电源输出（输出电容）处放置，并单端信号反馈即可。



PHASE平面在保证通流的前提下面积尽量小



干扰其他管脚和网络，EN最小只有1.14V，导致电源误关断

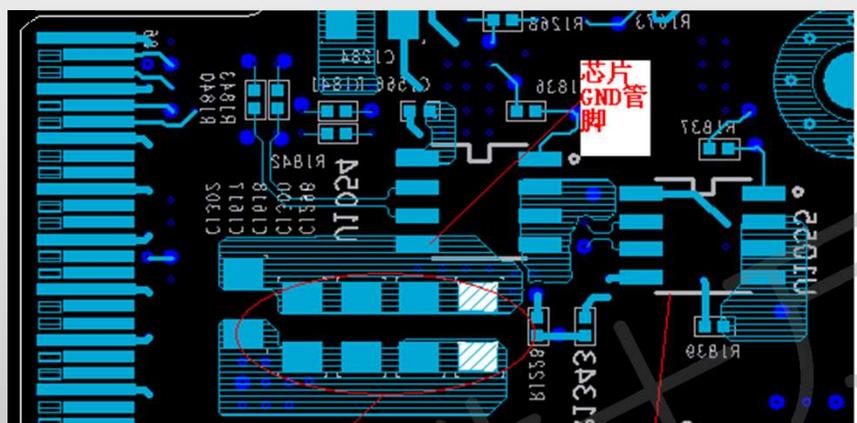
电源输出通流能力需要检查

(内层)1OZ铜厚1mm宽度通流1A

10MIL过孔通流1A，5mil微孔通流0.5A

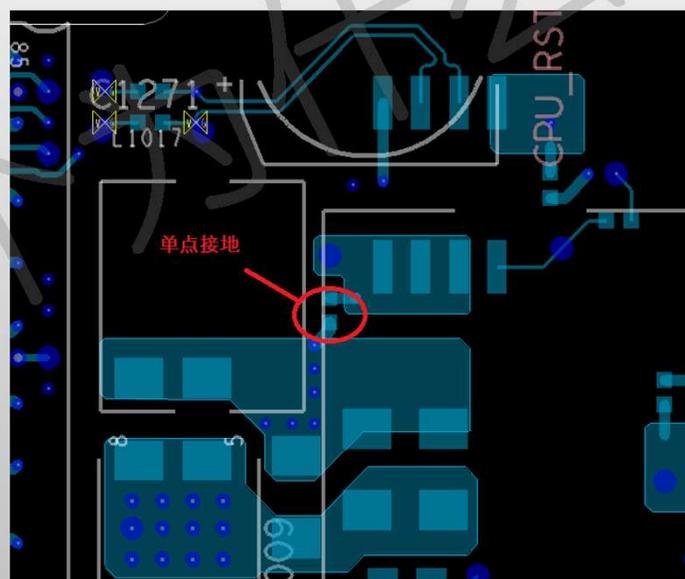
过孔归一化

芯片的GND不能与电源滤波电容的GND共地（尤其需要远离输入电源的滤波电容）



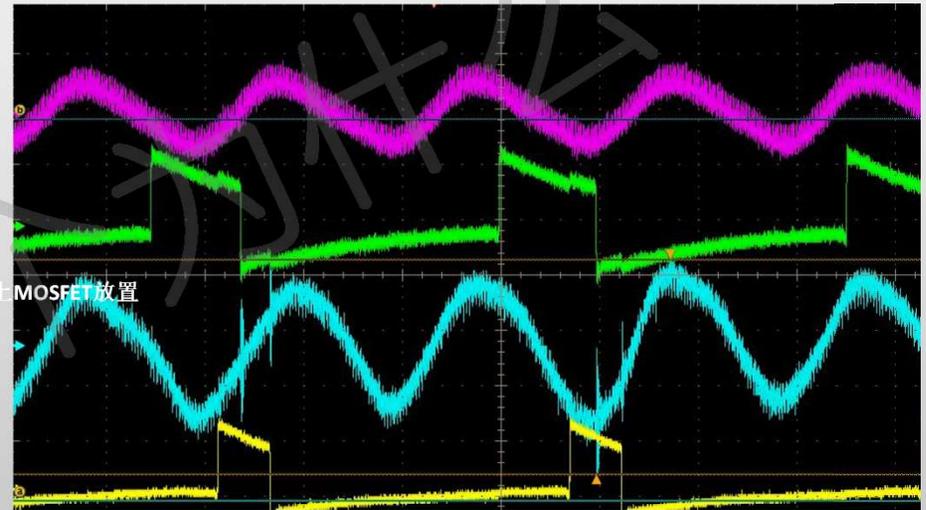
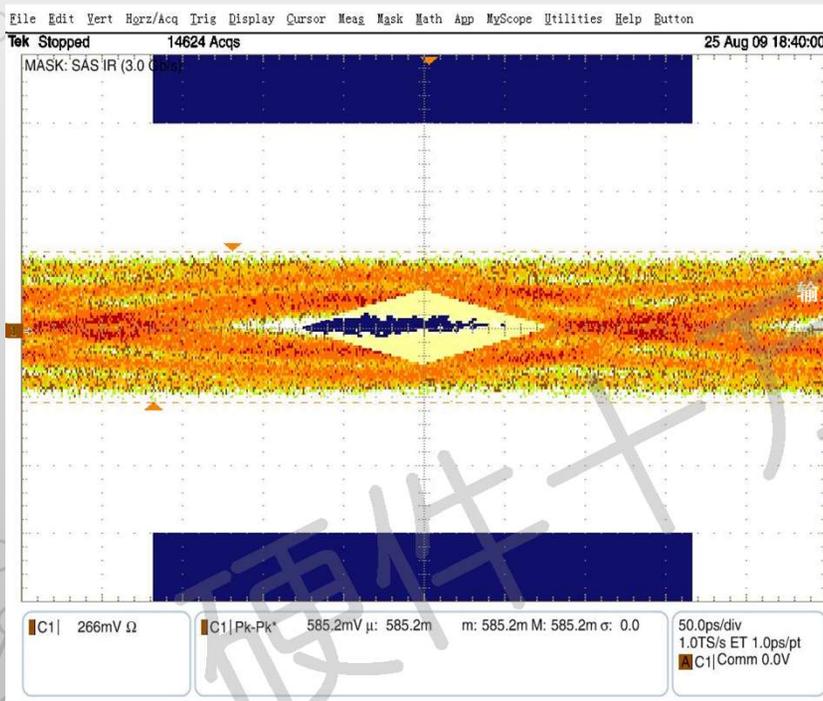
滤波电容

另一路38MHz时钟芯片

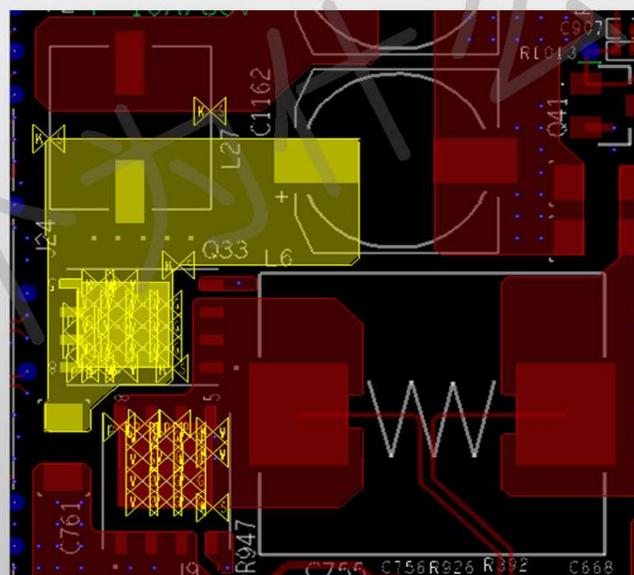
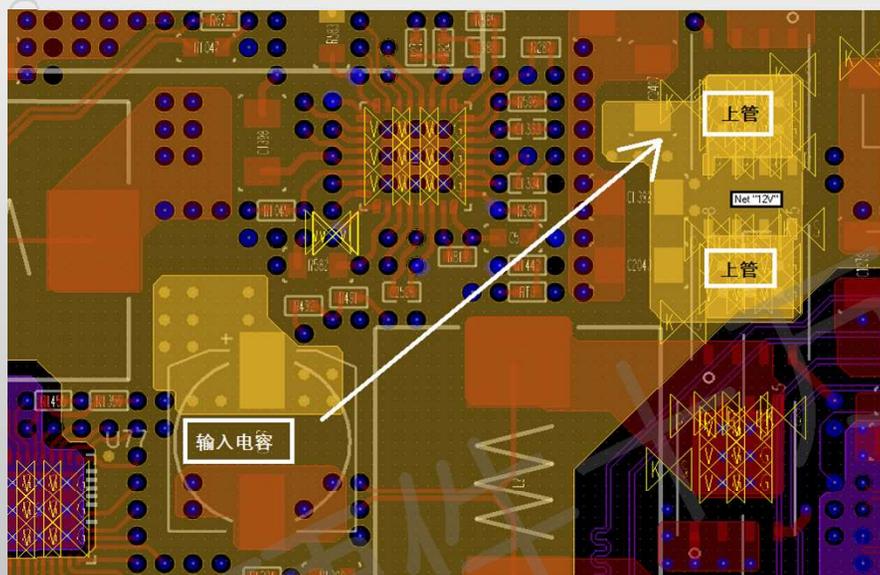


单点接地

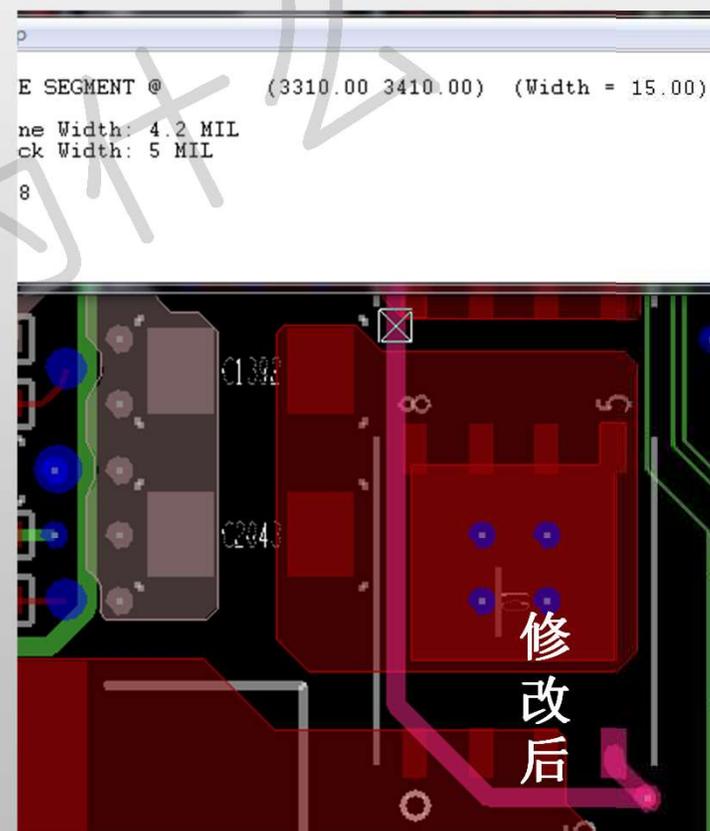
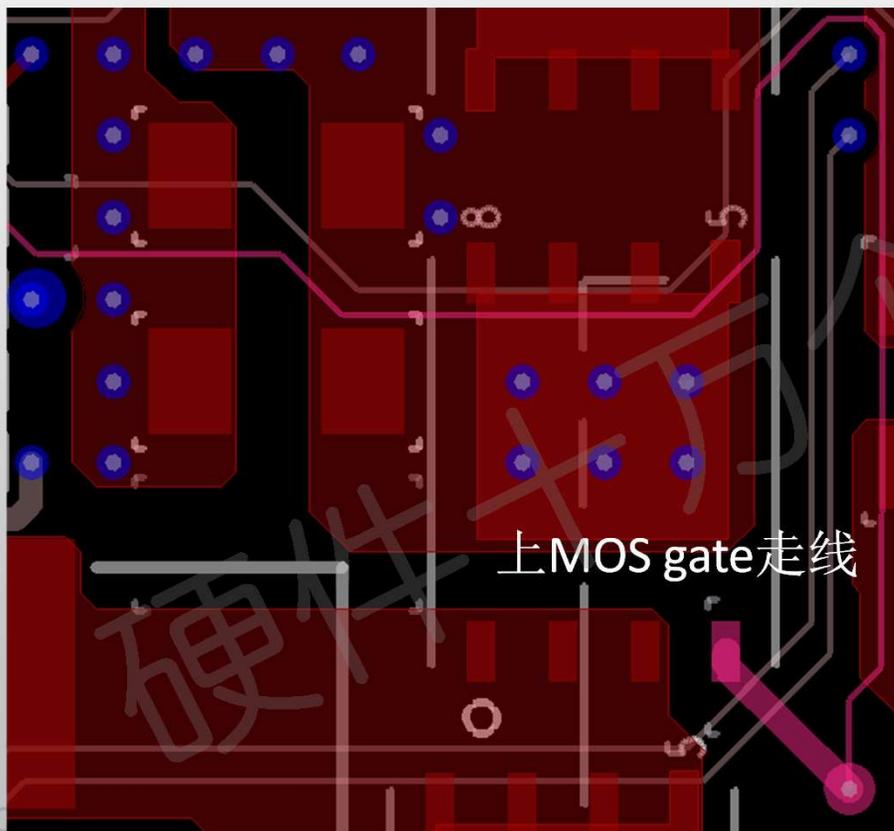
大电流的DCDC输入建议电感隔离



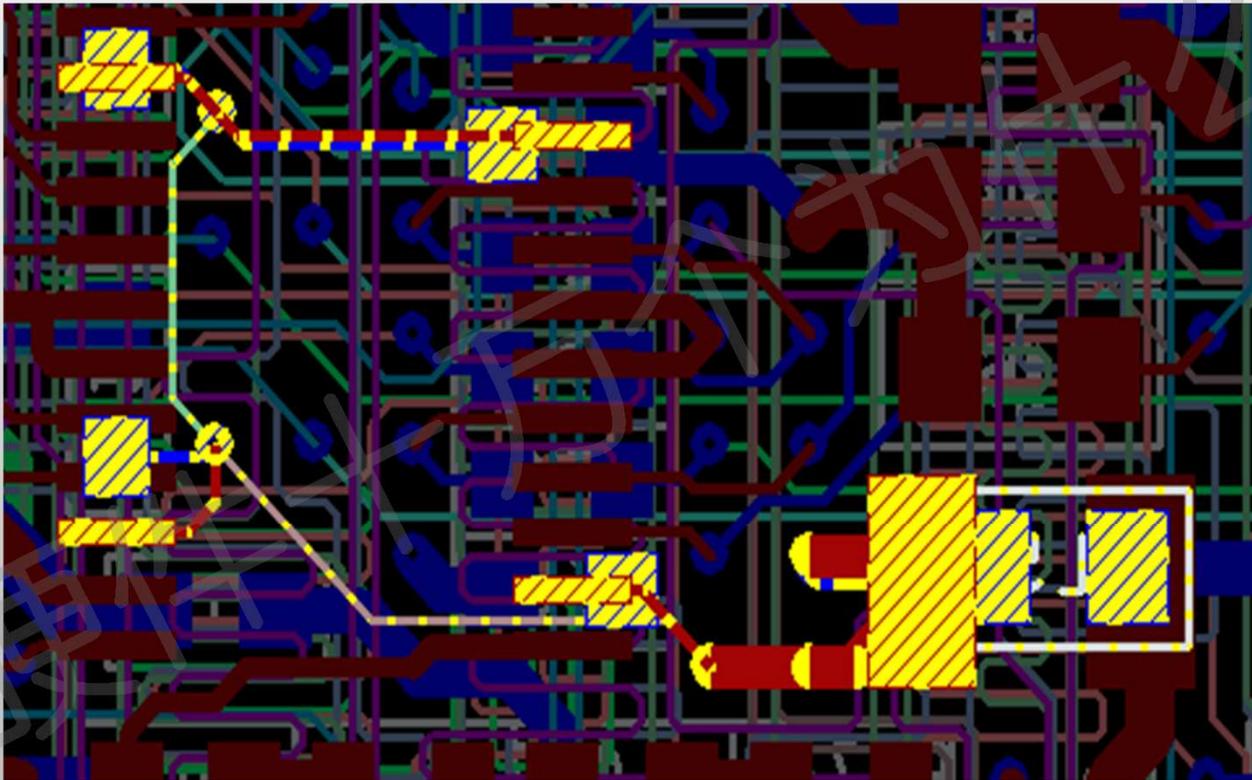
输入电容靠近上MOSFET放置



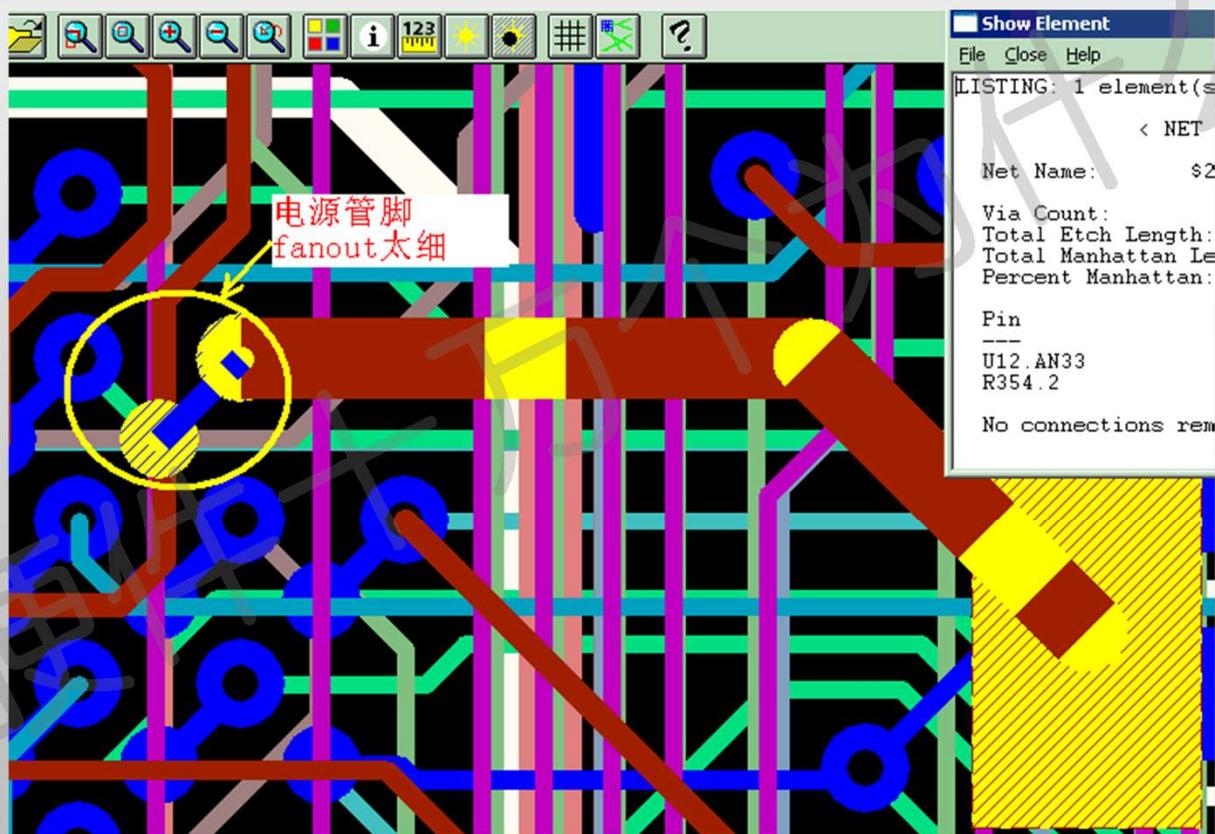
GATE,BOOT电容走线尽量短粗



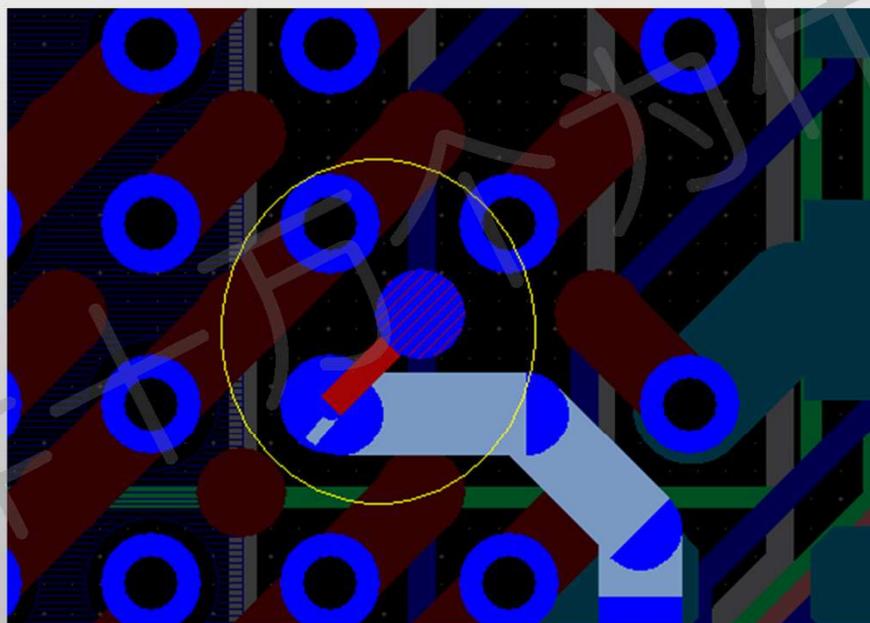
二极管、电感、磁珠、RC滤波的电阻前后的走线线宽需要保持一致；



CORE电源线满足要求，但FANOUT太细；



高速：是否有锐角、直角、阻抗不连续点等。



要点一：ICT检查

- 测试点未被器件或BAR-CODE（条形码）等遮挡,没有丝印上测试点。
- 测试点有测试属性。



ICT原理

要点二：安规检查

- 保险丝、防护电路、缓启动电路和滤波电路布线次序清晰。
- 检查高压电源、高压电源回流地的过孔类型、与低压信号间距。
- -48v区域满足间距要求：保险管前，外层2.1mm，内层1.75mm；保险管后，外层2.1mm，内层0.75mm。
- 注意：-48V/BGND类电路和其它电路类网络的间距保险丝前和保险丝后均满足外层2.1mm，内层1.75mm。
- PGND与其它网络满足安规规范所有层2.1mm的要求，不横跨单板内部，不被打断。
- 高压区与低压区不能重合。
- 高压电源电路类网络平面层也要考虑安规要求，插件PIN或者孔的反焊盘大小不能满足安规间距，要在相应的区域加antietch，做到满足安规要求。
- PGND、-48V等高压电路的走线、通孔/表贴焊盘、过孔、负片等的安规间距是否满足要求。
- 保险丝已经按照要求添加额定电流/电压值。

要点三：EMC检查

- 单板PGND分割在空间上不与板内GND或电源平面重叠
- 接口变压器、光耦等隔离器件作到初次级完全隔离，建议对应的参考平面隔离宽度 $\geq 100\text{mil}$
- 变压器与连接器之间的信号网络无交叉；如果存在交叉的情况，应优先调整变压器的接法，使变压器初级与连接器之间的信号网络不交叉，建议接口变压器与连接器之间的网络长度 $\leq 1000\text{mil}$
- 带地网络晶体所在位置铺地铜并打地孔。
- 晶振及时钟驱动电路区域TOP层无其它布线穿过。
- 电感下不能打过孔，即使是自身网络的过孔也尽量不要打；
- 变压器挖空处不要走其他信号线；

要点四：结构检查

- 打开已经导入PCB的结构图（命令：Display/Color and visibility，结构要素图在PCB的层所在：Geometry/Board Geometry/Assembly_Display），与PCB的定位器件布局完全一致。
- 检查单板的尺寸和板厚、开窗区域、禁布区域、器件限高区域等信息正确无误。
- 结构图中标识需要导轨的单板，要求导轨按照结构图正反面铺铜、亮铜，并用过孔将T面和B面铜皮连接。铜皮属性根据单板具体情况确定。
- 开窗检查方法：器件的放置与开窗是否无冲突（ad1与drill层重合检查）。
- 特别关注：连接器的位置、方向同结构工程师确认，面板器件的定位
- 器件限高，一般重点关注焊接面信息，同一编码下不同厂家器件高度不一致的情况。
- 当单板有铣薄、沉头孔设计等的特殊要求时，要特别注意其铣薄区域的对应的走线层不允许走线，负片层也要重点检查是否符合要求，是否已用anti etch填充。
- 禁止板边导槽区域内有信号过孔，以免引起短路。

要点五：整体检查

- 检查钽电容及陶瓷电容的过孔数
- 共模电感下是否有铜皮或走线
- 非金属化孔和电气走线间距检查
- 0402封装两端热容量相当，与大面积铜皮使用花焊盘连接
- 电解电容禁止器件面布线，本体丝印范围内禁止打过孔

目录

1、PCB概述

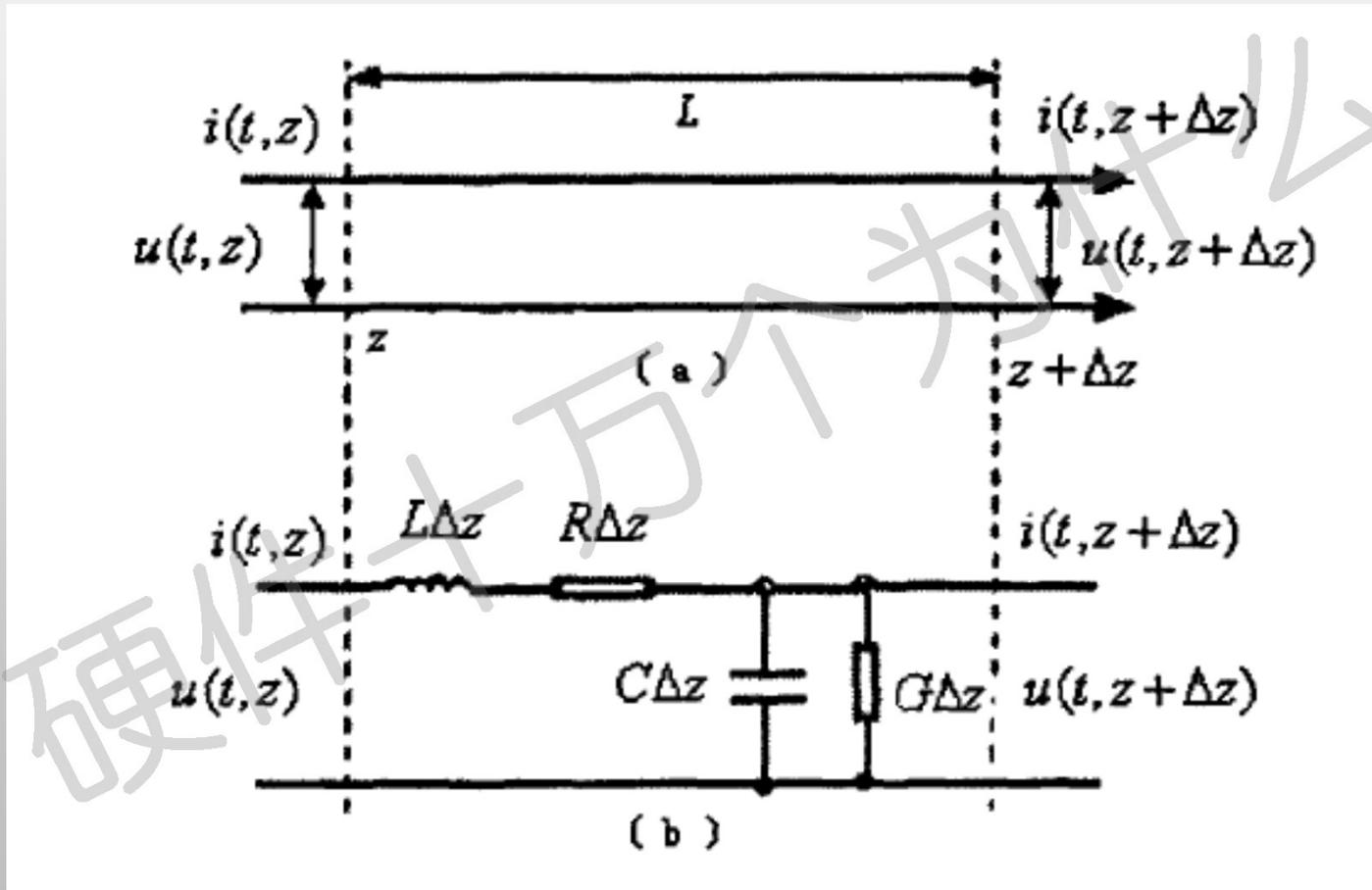
2、PCB开发流程

3、PCB设计要点

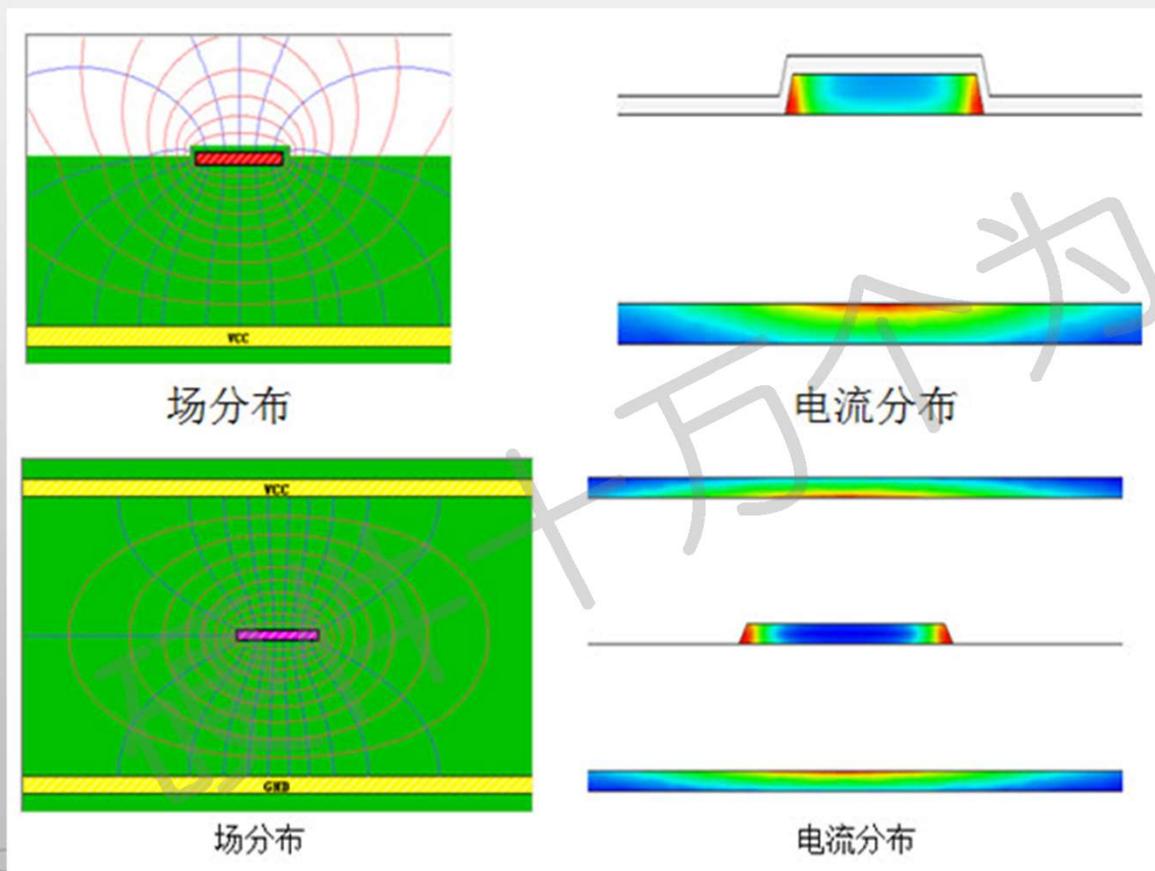
4、反射公式与阻抗匹配

5、时序原理

均匀传输线的等效模型



反射公式与阻抗匹配

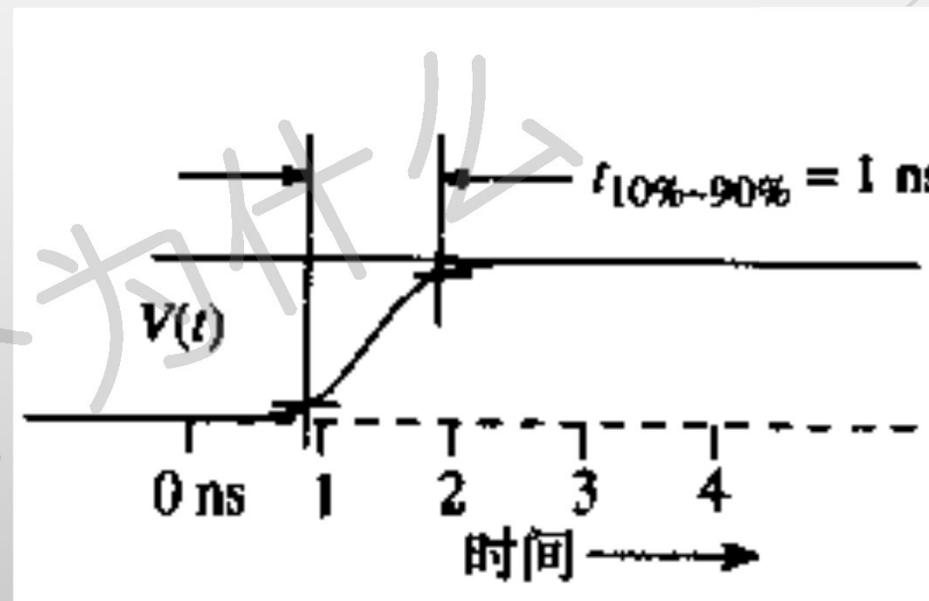
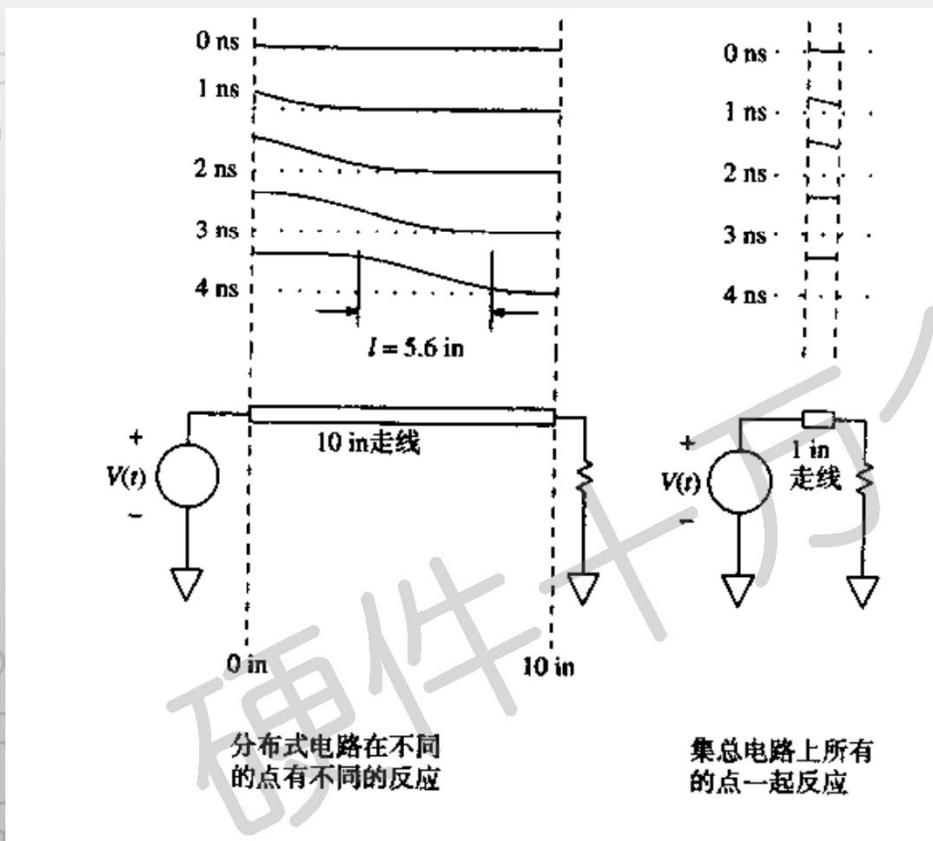


高速电路设计

- 为什么我们有些电路设计的时候，不需要匹配呢？
- 什么样的电路需要控制阻抗？

硬件十万个为什么

高速电路设计 (定义)



速率如此之快，以至于上升沿只需要六倍线长。（甚至更短）

对于数字电路，关键是看信号的边沿陡峭程度，即信号的上升、下降时间,信号从10%上升到90%的时间小于6倍导线延时,就是高速信号!

高速电路设计 (定义)

表 3-1 电磁波在不同介质的单位传播延迟

介质	延迟 (ps/in)	介电常数
空气(无线电波)	85	1.0
同轴电缆(75%速度)	113	1.8
同轴电缆(66%速度)	129	2.3
FR-4 PCB(外层走线)	140~180	2.8~4.5
FR-4 PCB(内层走线)	180	4.5
氧化铝 PCB(内层走线)	240~270	8~10

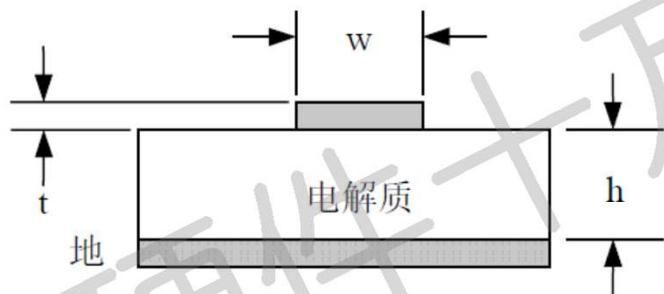
反射系数

$$\rho_L = \frac{Z_L - Z_0}{Z_L + Z_0} = |\rho_L| e^{j\phi_L}$$

首先，我们要知道，信号是不是高速信号；
如果是高速信号，我们要知道在阻抗不连续的点，是怎么反射的。
我们需要知道走线的阻抗。

微带线 (MICROSTRIP LINE)

- 它由一根带状导线与地平面构成，中间是电介质。如果电介质的介电常数、线的宽度、及其与地平面的距离是可控的，则它的特性阻抗也是可控的，其精确度将在 $\pm 5\%$ 之内。



(a) 微带线

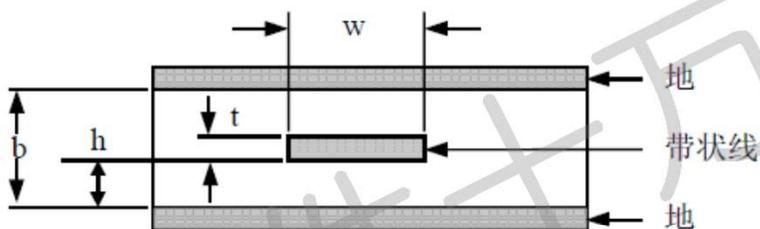
微带线的特性阻抗 Z_0 为:
$$Z_0 = \frac{87}{\sqrt{\epsilon_r + 1.41}} \ln\left(\frac{5.98h}{0.8w + t}\right)$$

微带线的传输延迟为:
$$t_{pd} = 1.017\sqrt{0.475\epsilon_r + 0.67} \text{ ns/ft}$$

可见，传输延迟仅取决于介电常数，而与线宽或间隔无关。
对FR-4板 ($\epsilon_r \approx 4.5$)，信号传输速度约为15cm/ns。

带状线 (STRIPLINE)

带状线就是一条置于两层导电平面之间的电介质中间的铜带。如果线的厚度和宽度，介质的介电常数，以及两层接地平面的距离都是可控的，则线的特性阻抗也是可控的，且精度在10%之内。



(b) 带状线

理论上，带状线的特性阻抗为：
$$Z_0 = \frac{60}{\sqrt{\epsilon_r}} \ln \left[\frac{5.98b}{\pi(0.8w+t)} \right]$$

若 $w/(b-t) < 0.35$ 和 $t/b < 0.25$ ，这个方程被证明是足够精确的。

带状线的传输延迟为：
$$t_{pd} = 1.017 \sqrt{\epsilon_r} \quad \text{ns/ft}$$

对FR-4板 ($\epsilon_r \approx 4.5$)，信号传输速度约为12cm/ns。

同样，传输延迟与线宽或间距无关。

为什么传输线特性阻抗都希望控制为50欧姆？

- 为什么很多工程师用 50Ohm PCB 传输线，有些时候这则成为 PCB 布线的默认设置。为什么不是 60 Ohm 或者 70 Ohm？

在线宽固定的情况下，有三个主要因素影响PCB的阻抗。

第一，到PCB传输线最近的电磁干扰层的影响正比于PCB传输线到最近的参考平面的距离，越小的距离就越小的辐射。

第二，串扰也随传输线的厚度有则明显的变化，减少一半的传输线厚度将减少传输线串扰。

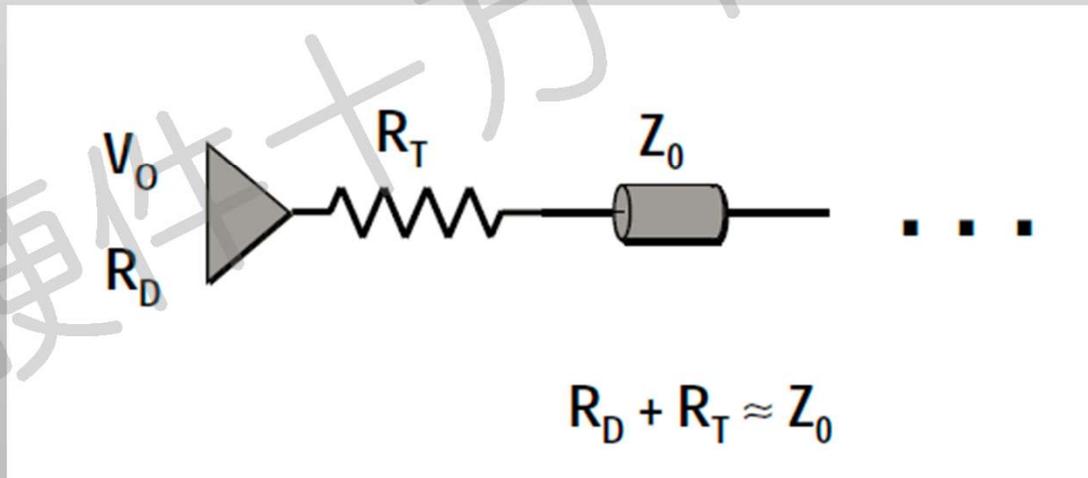
第三，越小的距离产生越小的阻抗，这个有利于减少容性负载的影响。

所有的三个因素鼓励设计者去设计传输线更加靠近参考平面。阻止传输线厚度降为0的主要原因是大部分的芯片不可能很好的驱动小于50 Ohm的传输线，除了Rambus 27Ω，旧的国家BTL联盟17Ω。

阻抗匹配

• 源端匹配

源端端接主要是串接端接方法，串行端接是通过在尽量靠近源端的位置串行插入一个电阻 R_T （典型 10Ω 到 75Ω ）到传输线中来实现。串行端接是匹配信号源的阻抗，所插入的串行电阻阻值加上驱动源的输出阻抗应大于等于传输线阻抗（轻微过阻尼）。这种策略通过使源端反射系数为零从而抑制从负载反射回来的信号（负载端输入高阻，不吸收能量）再从源端反射回负载端。



阻抗匹配

源端匹配

串行端接的优点在于：每条线只需要一个端接电阻，无需与电源相连接，消耗功率小。

- 简单：串联电阻匹配终端的优势还在于可以减少板上器件的使用数量和连线密度。
- 串联匹配不要求信号驱动器具有很大的电流驱动能力。

串行端接的缺点在于：

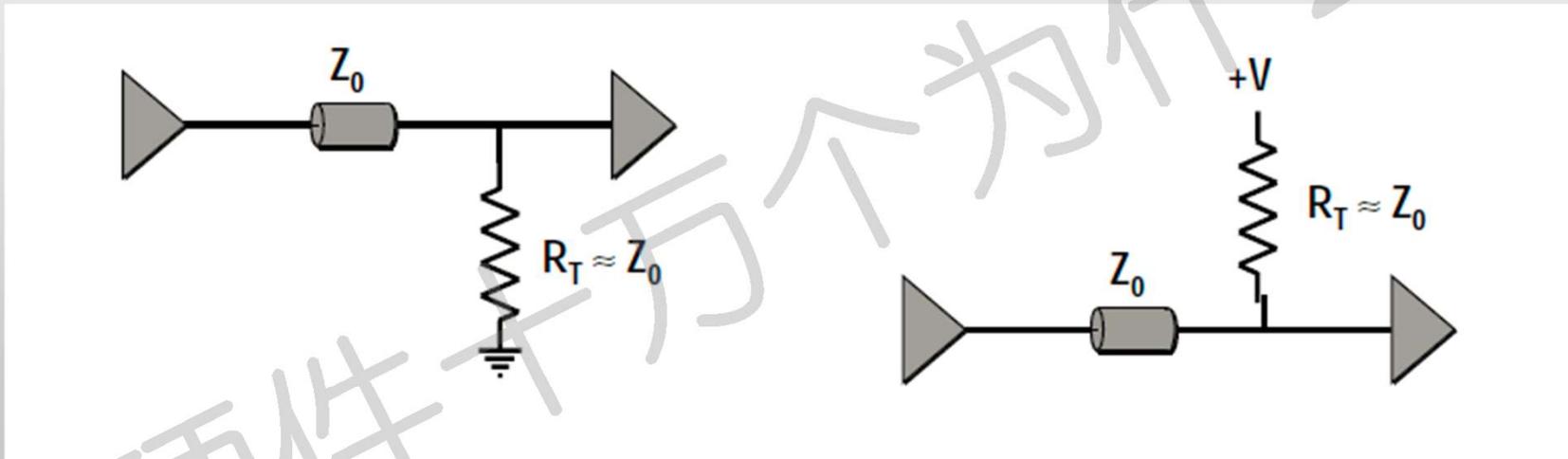
- 一对多，&菊花链。

串行端接适用于如下场合：

- 1) 可以不受终端负载阻抗的影响；
- 2) 器件输出阻抗小于传输线特性阻抗；
- 3) 一般在源同步信号中用得较多的是源端匹配，因为源同步信号线的信号流向相同，串扰主要为后向串扰，源端匹配就可以吸收后向的串扰。
- 4) 信号通路上加接了元件，增加了RC 时间常数从而减缓了负载端信号的上升时间和下降时间,因而不适合用于高频信号通路（如高速时钟等）

阻抗匹配

- 末端匹配



阻抗匹配

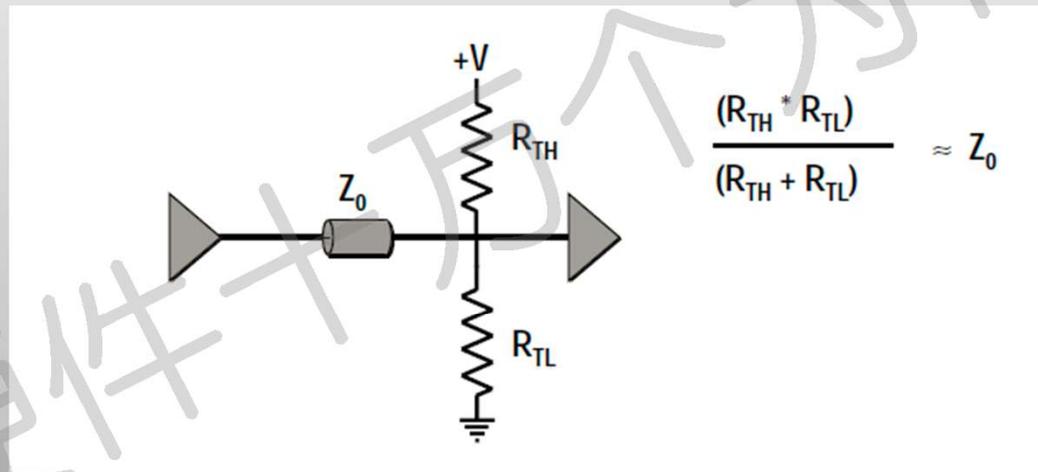
- 末端匹配

并行端接主要是在尽量靠近负载端的位置加上拉和/或下拉阻抗以实现终端的阻抗匹配，根据不同的应用环境，这种端接方式是简单地在负载端加入一下拉到信号地的电阻 R ($R = Z_0$) 来实现匹配。

采用此端接的条件是驱动端必须能够提 $R = Z_0$ 供输出高电平时的驱动电流以保证通过端接电阻的高电平电压满足门限电压要求。在输出为高电平状态时，这种并行端接电路最大的缺点是消耗的电流过大，如果电源是5v，驱动电流可能达到50 – 100mA，这是普通驱动器无法达到的。一般器件很难可靠地支持这种端接电路。

阻抗匹配

- 戴维南匹配

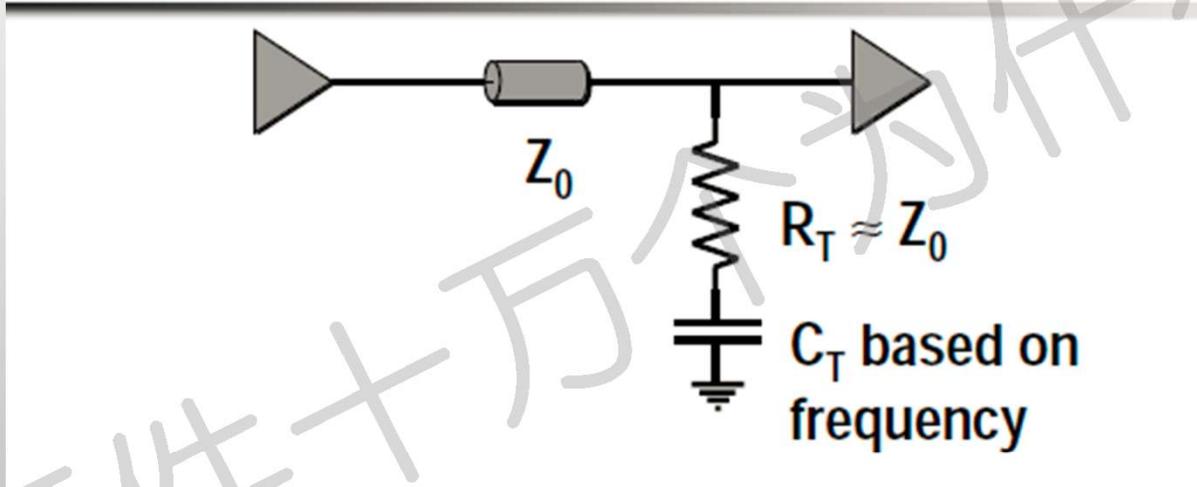


阻抗匹配

- 戴维宁 (Thevenin) 端接即分压器型端接，它采用上拉电阻 R_1 和下拉电阻 R_2 构成端接电阻，通过 R_1 和 R_2 吸收反射，此端接通常是为了获得最快的电路性能和驱动分布负载而采用的
- 此端接方案降低了对源端器件驱动能力的要求，电阻 R_1 和 R_2 一直在从系统电源吸收电流，直流功耗较大。
- 并联端接的优点是信号沿全线无失真。在驱动多扇出时，负载可经分枝短线沿线分布，而不是像在串联端接中那样必须把负载集中在线的末端。

阻抗匹配

交流端接



R 要 \leq 传输线阻抗 Z_0 ，电容 C 必须大于 100pF ，推荐使用 $0.1\mu\text{F}$ 的多层陶瓷电容。电容有阻低频通高频的作用，因此电阻 R 不是驱动源的直流负载，故这种端接方式无任何直流功耗。并行 **AC端接** 是在波形匹配的基础上增加一个电容，它消耗更少的功率。引入的延时与 RC 有关。AC终端匹配技术主要用于时钟电路。

目录

1、PCB概述

2、PCB开发流程

3、PCB设计要点

4、反射公式与阻抗匹配

5、时序原理

时序分析概述

基本概念

第一类时序参数：

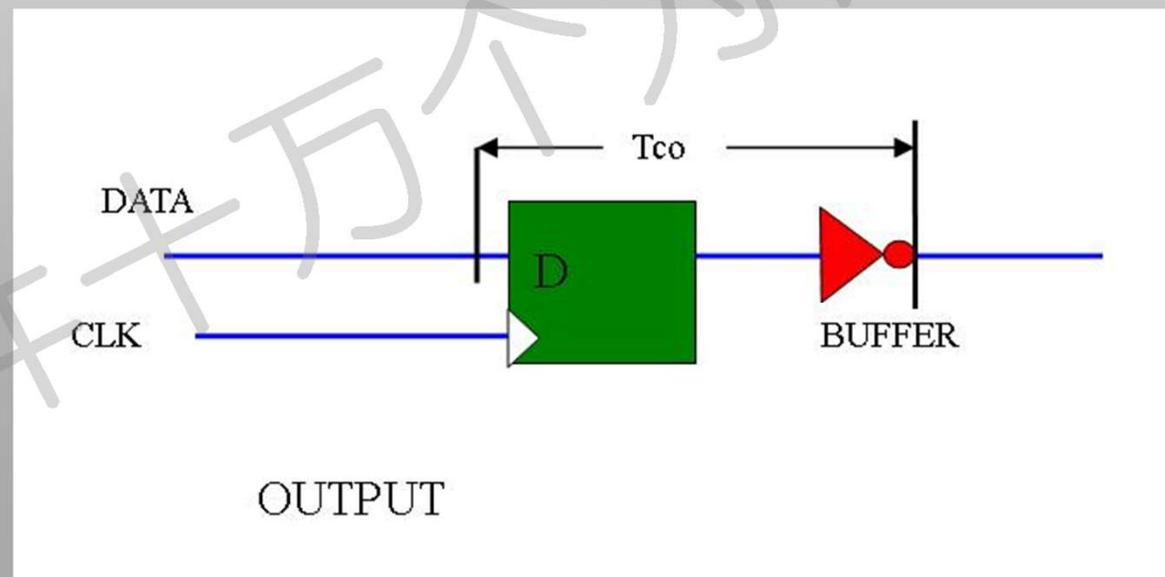
- (1)、延时参数：TC0
- (2)、锁存参数：Tsu；Thd
- (3)、信号飞行时间：Tflight

第二类时序参数：

- (1)、时钟 JITTER、SKEW
- (2)、数据SKEW、串扰

时序分析概述

- 触发器的延时参数 (Tco) :



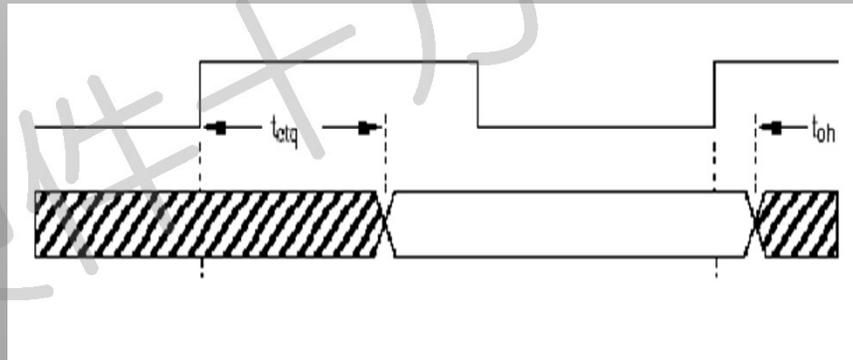
时序分析概述

触发器的延时参数:

- **Tco**-----clock to output valid

不同厂家称呼不同: **Tac;Tkhqv;Tctq,Tkq**等

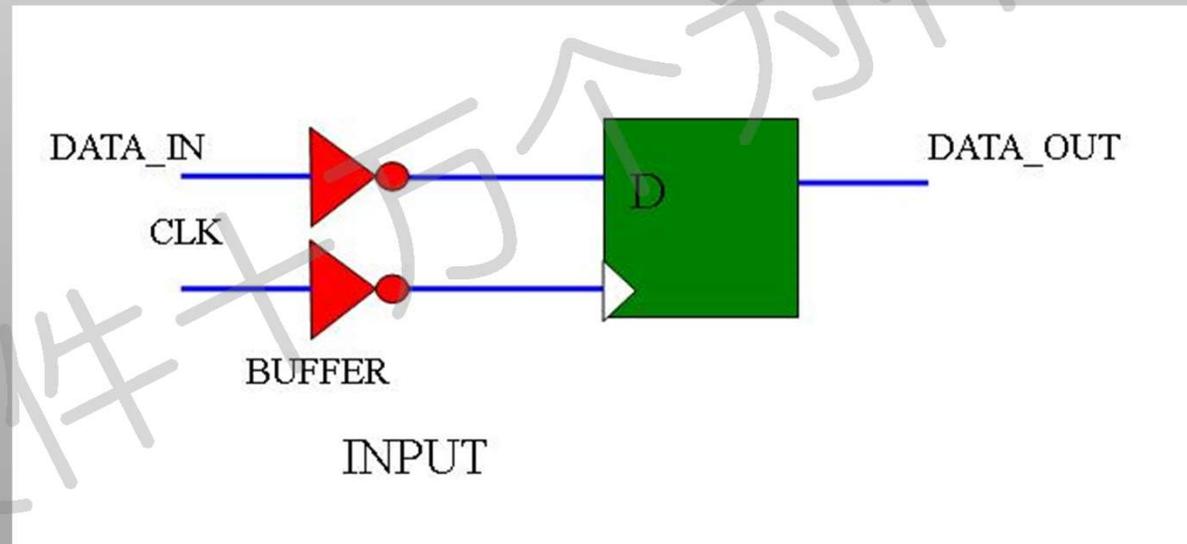
Toh----clock to output invalid



时序分析概述

- 触发器的锁存参数: T_{su} 、 T_{hd}

$DATA_OUT = DATA_IN$

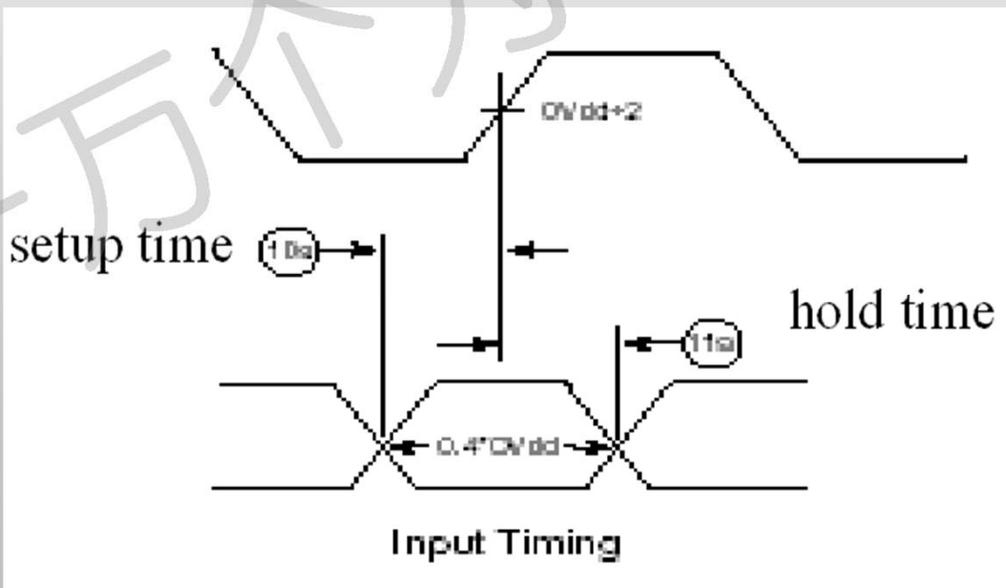


时序分析概述

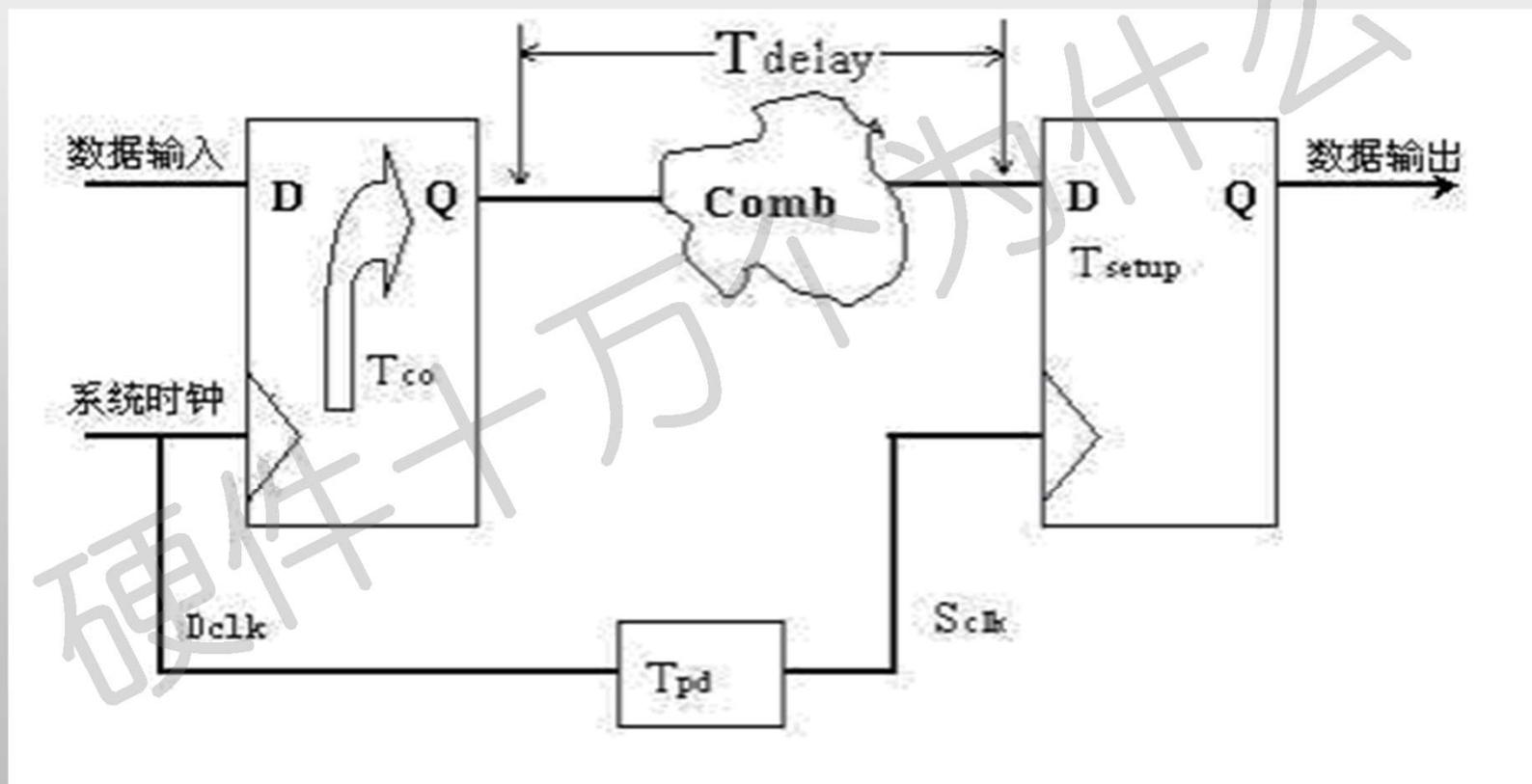
基本概念

触发器的锁存参数：Tsu; Thd

- Tsu ----- 建立时间
- Thd ----- 保持时间



时序分析概述



时序分析架构

时序分析架构

第一板斧

搞清楚工作方式

|

画工作示意图

|

看芯片资料，验证

时序分析架构

时序分析架构

第二板斧：画波形图——化腐朽为神奇

(1)、地址（单向性）

画出ADDR、CLK的波形关系

(2)、数据（双向性）

A、TO方向DATA、CLK波形

B、OFF方向DATA、CLK波形

把(1)、(2)联系起来，三个方程、三个未知数，
求出最佳走线，OK!

时序分析架构

- 注意：

- (1)、要分步骤，分别进行。

- (2)、分方向，TO或OFF用箭头标出。

- (3)、用A、B标出输出PIN或输入PIN处
DATA、CLK波形。

时序分析架构

时序分析架构

第三板斧：寻找时序参数值
(考验硬件基本功)

由于很多器件资料参数命名不规范，所以要仔细阅读芯片资料，分析相关时序参数波形图。

最后进行仿真补偿和验证。

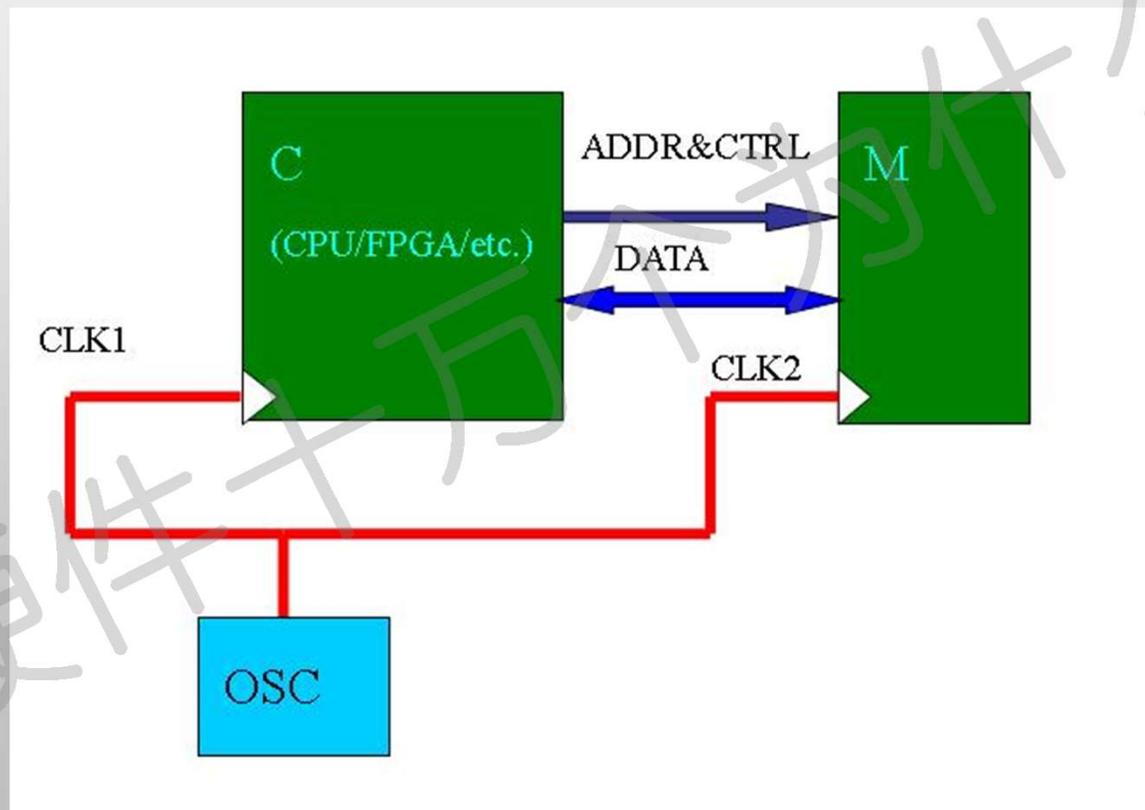
时序电路基本模式

时序电路基本模式

- 时序电路基本模式分三类：
 - ✓ 同步模式
 - ✓ 源同步模式
 - ✓ 变型模式

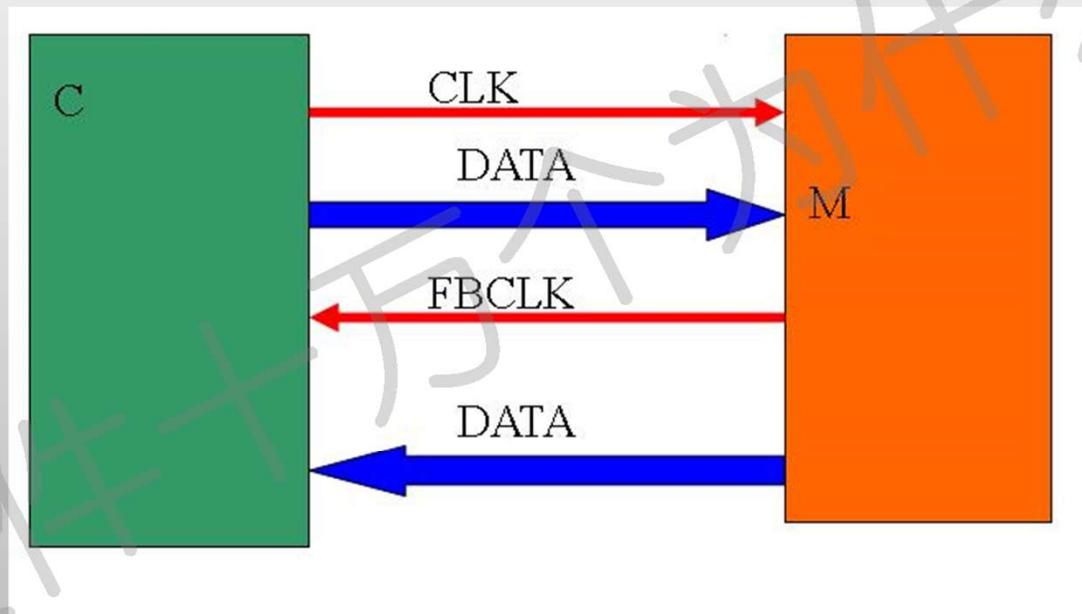
时序电路基本模式

同步模式



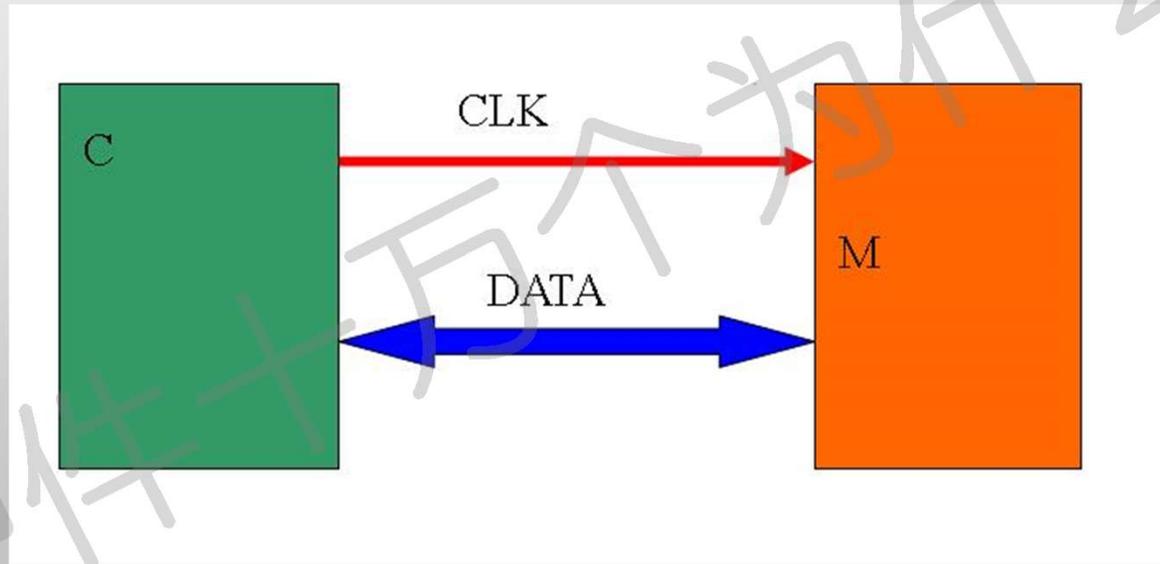
时序电路基本模式

源同步模式



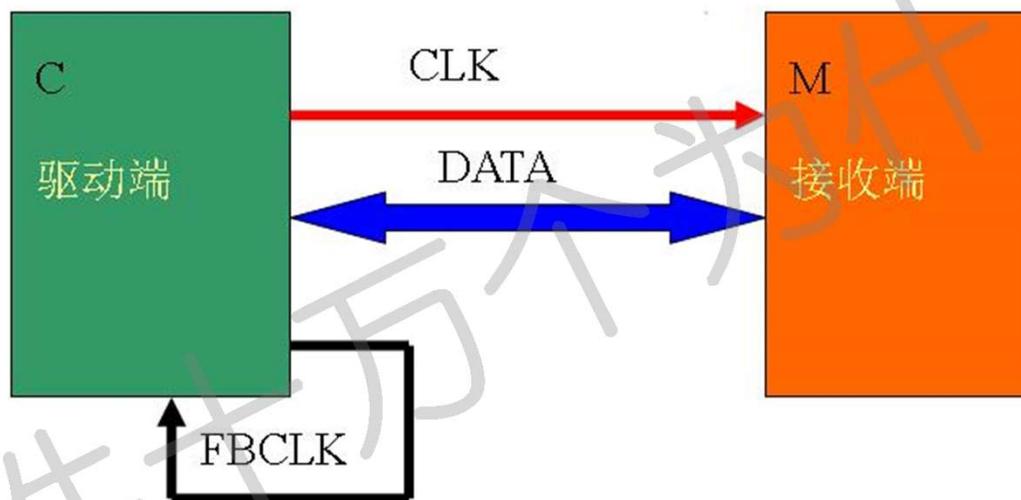
时序电路基本模式

变型电路一



时序电路基本模式

变型电路二

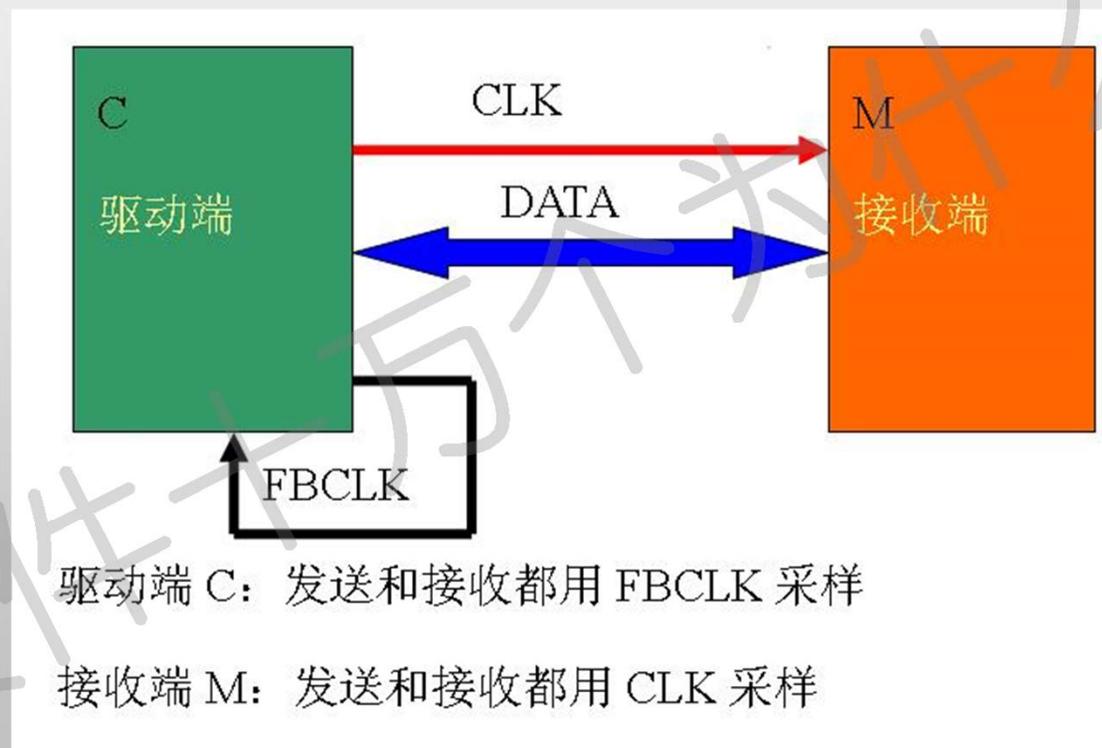


驱动端 C: 发送数据用 CLK 采样, 接收数据用 FBCLK

接收端 M: 发送和接收都用 CLK

时序电路基本模式

变型电路三

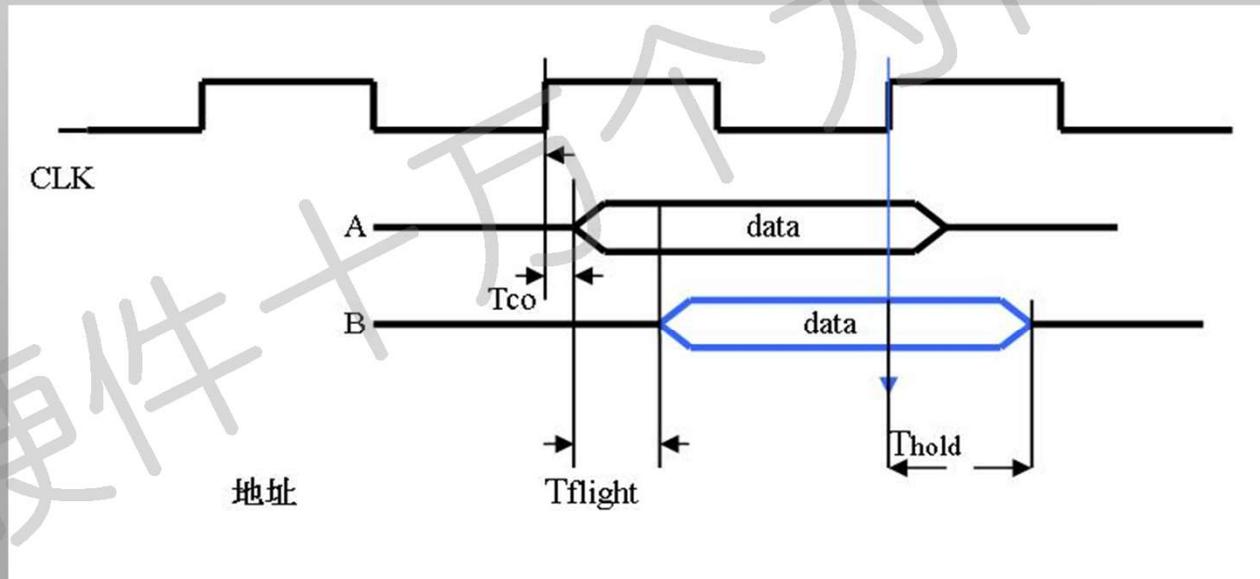


时序电路基本模式

- 先来分析同步模式

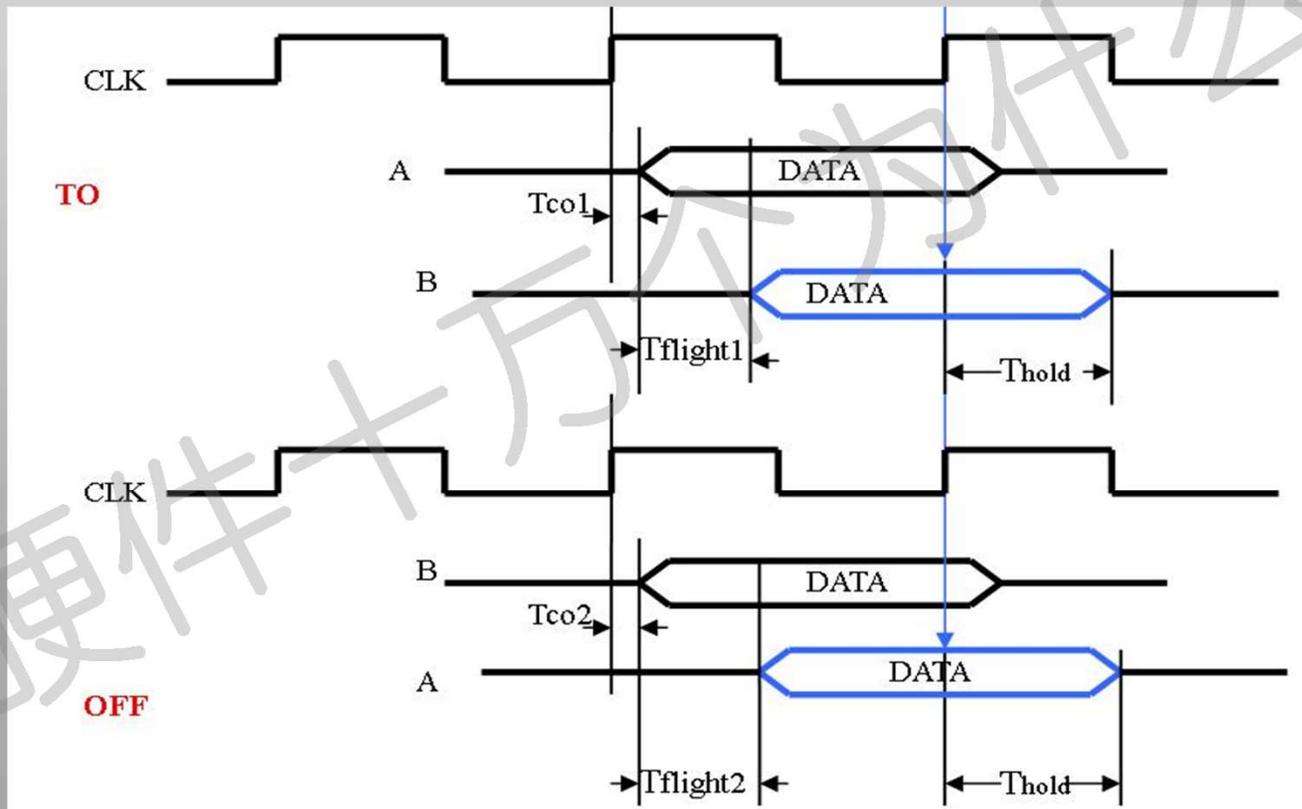
假设 $CLK1=CLK2$ ，那么时序波形图是：

(A)、地址与时钟的时序关系



时序电路基本模式

(B)、数据与时钟的时序关系图



时序电路基本模式

根据上面的时序图来推算为：

地址：

$$\text{SETUP: } T_{ck} - T_{comax} - T_{fh} - T_{su} > 0$$

$$\text{HOLD: } T_{comin} + T_{fh} - T_{hd} > 0$$

数据：

$$\text{to方向: } T_{ck} - T_{d1comax} - T_{dfh} - T_{dsu2} > 0$$

$$T_{d1comin} + T_{dfh} - T_{dhd2} > 0$$

$$\text{Off方向: } T_{ck} - T_{d2comax} - T_{dfh} - T_{dsu1} > 0$$

$$T_{d2comin} + T_{dfh} - T_{dhd1} > 0$$

时序电路基本模式

- 源同步方式分析:

to 方向:

$$T_{ck} - T_{d1\text{comax}} - T_{fh1} + T_{ck1\text{fh}} - T_{su2} > 0$$

$$T_{d1\text{comin}} + T_{fh1} - T_{ck1\text{fh}} - T_{hd2} > 0$$

off方向:

$$T_{ck} - T_{d2\text{comax}} - T_{fh2} + T_{ck2\text{fh}} - T_{su1} > 0$$

$$T_{d2\text{comin}} + T_{fh2} - T_{ck2\text{fh}} - T_{hd1} > 0$$

时序电路基本模式

- 变形电路一分析:

to方向:

$$T_{ck} - T_{d1\text{comax}} - T_{dfh} + T_{ckfh} - T_{su2} > 0$$

$$T_{d1\text{comin}} + T_{dfh} - T_{ckfh} - T_{hd2} > 0$$

off方向:

$$T_{ck} - T_{d2\text{comax}} - T_{dfh} - T_{ckfh} - T_{su1} > 0$$

$$T_{d2\text{comin}} + T_{dfh} + T_{ckfh} - T_{hd1} > 0$$

时序电路基本模式

- 变形电路二分析:

to 方向:

$$T_{ck} - T_{d1\text{comax}} - T_{dfh} + T_{ckfh} - T_{su2} > 0$$

$$T_{d1\text{comin}} + T_{dfh} - T_{ckfh} - T_{hd2} > 0$$

off方向:

$$T_{ck} - T_{d2\text{comax}} - T_{dfh} - T_{su1} > 0$$

$$T_{d2\text{comin}} + T_{dfh} - T_{hd1} > 0$$

时序电路基本模式

- 变形电路三分析：(与同步模式相同)

to 方向：

$$T_{ck} - T_{d1\text{comax}} - T_{dfh} - T_{su2} > 0$$

$$T_{d1\text{comin}} + T_{dfh} - T_{hd2} > 0$$

off方向：

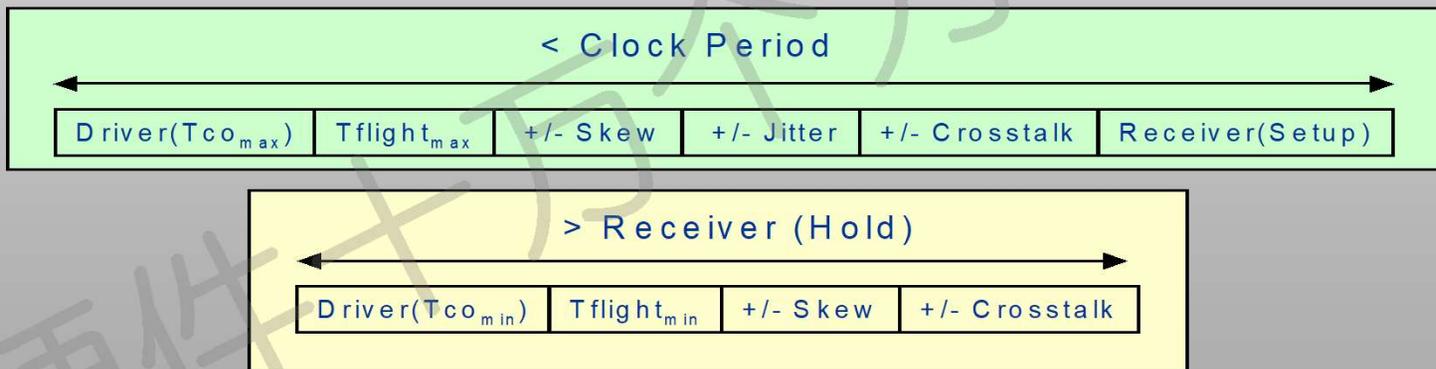
$$T_{ck} - T_{d2\text{comax}} - T_{dfh} - T_{su1} > 0$$

$$T_{d2\text{comin}} + T_{dfh} - T_{hd1} > 0$$

时序电路基本模式

- 从上面的各个时序公式看，是不一样的，所以不能千篇一律，乱套公式，要根据不同模式区别对待：

Bus Clock Cycle Budgeting



- For each Driver \rightarrow Receiver path:
 - $T_{flight_max} < \text{Clock Period} - \text{Driver}(T_{co_max}) - \text{Skew} - \text{Jitter} - \text{Crosstalk} - \text{Receiver(Setup)}$
 - $T_{flight_min} > \text{Receiver(Hold)} - \text{Driver}(T_{co_min}) + \text{Skew} + \text{Crosstalk}$

时序电路基本模式

- $T_{propmax} = T_{cycle} - T_{min_setup} - T_{max_co} +/- T_{skew} - T_{jitter} - T_{crosstalk}$
- $T_{propmin} = T_{min_in_hold} - T_{out_hold} +/- T_{skew} + T_{jitter} + T_{crosstalk}$
- 不可千篇一律套用这两公式

DDR时序介绍

- DDR时序分析：

到DDR方向，三个方程：

(1)、CLK与ADDR

(2)、DQS与DQ

(3)、DQS与CLK

离DDR方向，根据不同的DDR控制器，区别对待。

考虑多组，考虑芯片内延时

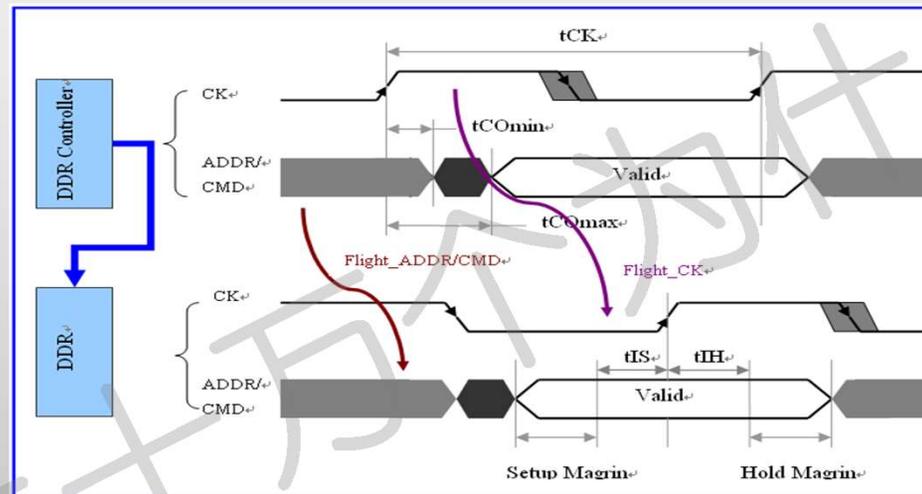
DDR时序介绍

- DDR时序几乎包括了上面的所以时序，不可草率，特别是重负载和轻负载，要区别对待，要计算更要仿真，进行负载补偿。

硬件十万个为什么

DDR3 FEATURE——时序关系

1 地址控制信号ADDR/CMD与系统时钟CK的时序关系

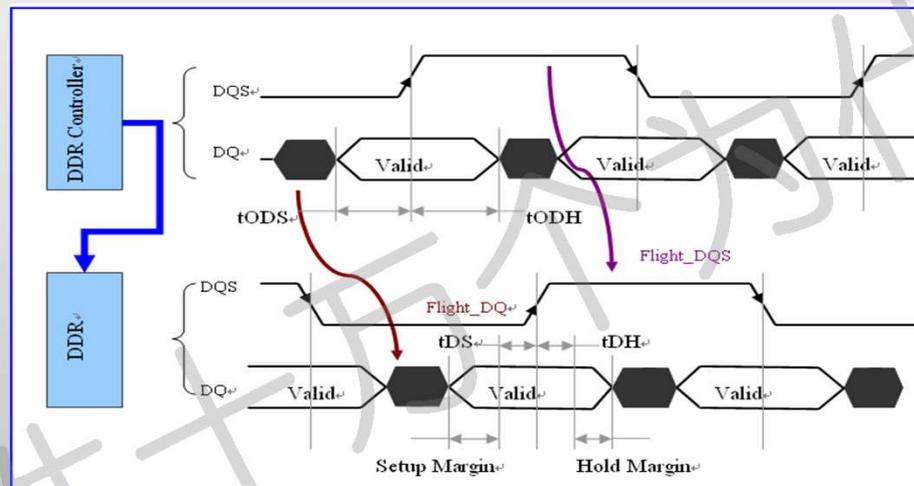


- $t_{setup\ margin} = t_{CK} - t_{CMax} - t_{PCBskew} - t_{CKjitter} - (t_{IS} + \Delta t_{IS})$
- $t_{hold\ margin} = t_{CMin} + PCBskew - t_{CKjitter} - (t_{IH} + \Delta t_{IH})$

DDR3 FEATURE——时序关系

2 数据信号DQ/DM与数据选通信号DQS的时序关系

- 写周期

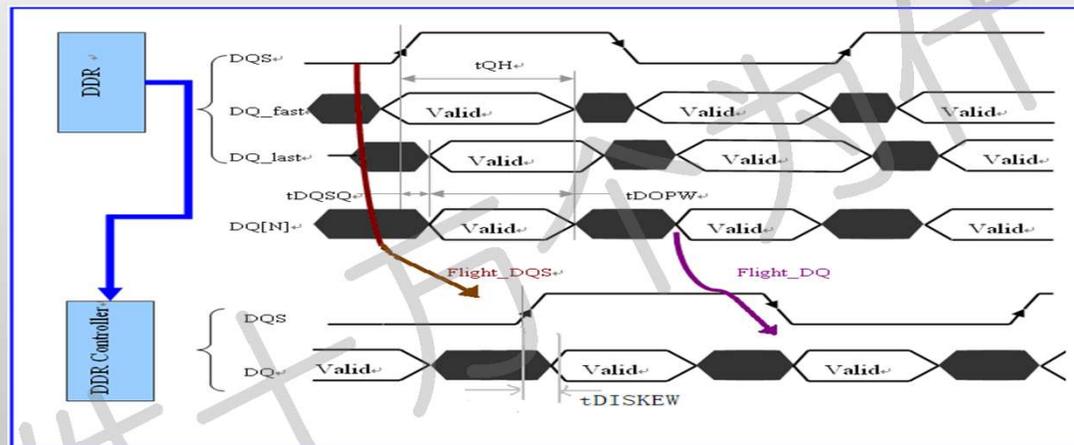


- $t_{\text{setup margin}} = t_{\text{ODS}} - t_{\text{PCB SKEW}} - t_{\text{DQS jitter}} - t_{\text{DS}}$
- $t_{\text{hold margin}} = t_{\text{ODH}} + t_{\text{PCB SKEW}} - t_{\text{DQS jitter}} - t_{\text{DH}}$

DDR3 FEATURE——时序关系

2 数据信号DQ与数据选通信号DQS的时序关系

- 读周期



- $t_{setup\ margin} = t_{DISKEW} + t_{PCB\ SKEW} - t_{DQS\ jitter} - t_{DQS\ skew} - t_{QH}$
- $t_{hold\ margin} = t_{DISKEW} - t_{PCB\ SKEW} - t_{DQS\ jitter} - t_{DQS\ skew} - t_{DQSQ}$

-
- 1、信号流
 - 2、散热
 - 3、管脚分布
 - 4、布局极限 模块功能划分
 - 5、整版的电源考虑
 - 6、整版总功耗，温度的考虑

• 预布局注意点

• Checklist

硬件十万个为什么

