

## 高速串行总线走线注意些什么

串行总线的发展一共目前可以总结分为 3 个环节时期，

时钟并行总线：小于 200MHZ，比如 CPCI,PCIX, SDRAM,ISA,PIC

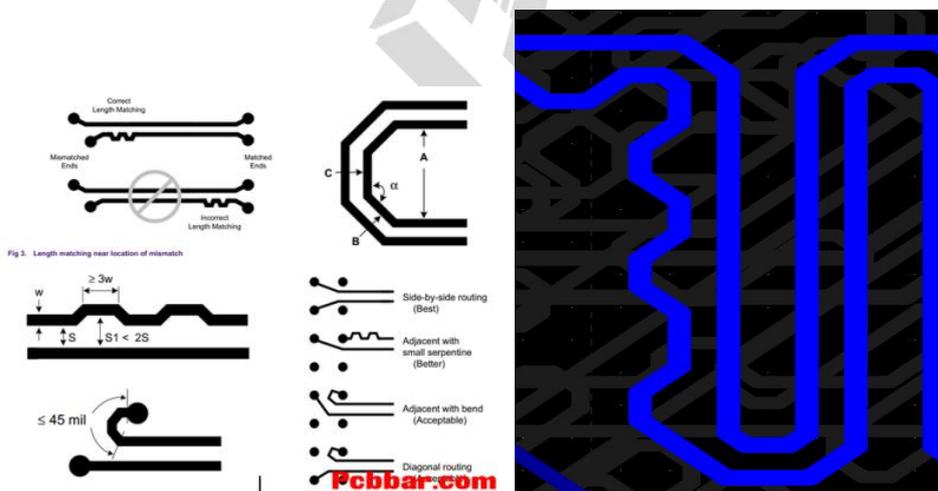
源同步时钟并行总线：小于 3200Mbps，比如 DDR1234 系列,MII,EMMC

高速串行总线：最高有 56NRZ，比如 USB1/2/3/3.1/3.2,PCIE3,PCIE4,SAS3,  
SAS4.

那么对于这些信号的重要线信号的处理我们在设计过程中注意以下几点：

差分走线，信号换层过孔数量，等长长度把控，阻抗控制要求，跨分割的损耗，走线拐角的位置形状，绕线方式对应的插损和回损，布局不妥当造成的一系列串扰和叠层串扰，布局不恰当操作焊盘存在的 stub。

1.差分走线，差分走线严格按照差分仿真所得出的结论，2S和 3W 的要求进行把控走线，其目的在于增强信号质量的耦合性能，减少信号的回损。



2. 信号层走线过孔数量，对于重要的信号线而言这里简直就是致命的伤害，特别是高速信号频率很高的信号线，过孔数量一旦过多，就会造成回损的加剧，所以打孔不是遇到线就打孔，尤其是我们的时钟线。



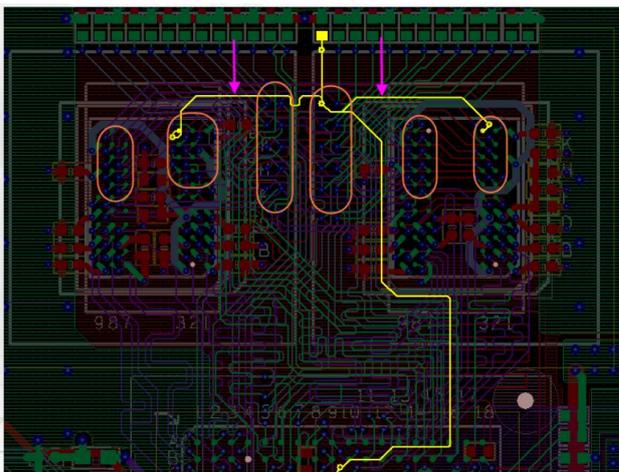


### 3. 等长长度把控

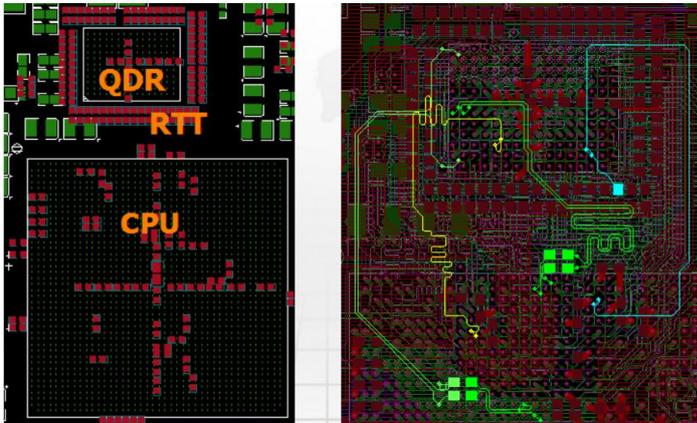
11 Nets (1 Highlighted)					
Name	Node ...	To...	Routed Length (mil)	Unrouted ...	
DDR_DQ16	3	n/a 0	1099.315	0	
DDR_DQ17	3	n/a 0	1087.287	0	
DDR_DQ18	3	n/a 0	1091.287	0	
DDR_DQ19	3	n/a 0	1095.968	0	
DDR_DQ20	3	n/a 0	1093.942	0	
DDR_DQ21	3	n/a 0	1092.207	0	
DDR_DQ22	3	n/a 0	1090.518	0	
DDR_DQ23	3	n/a 0	1093.98	0	
DDR_DQM2	3	n/a 0	1092.133	0	
DDR_DQSN2	3	n/a 0	1090.346	0	
DDR_DQSP2	3	n/a 0	1092.38	0	

按照对应的器件的等长要求，进行数据的线段匹配长度一致，从而保证数据传输的稳定和数据文件传输时序上的同步。

### 4. 跨分割的损耗 重要线段 不能跨分割走线，以免我们的信号会出现回损和插损的产生。

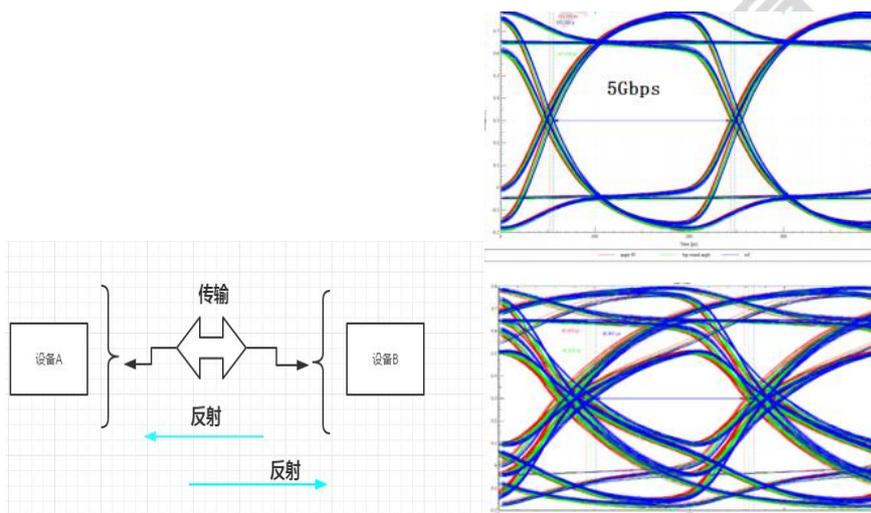


5. 信号线的布局尽量不要出现 stub 布局出现，如图所示。



6. 走线直角和倒角和圆弧到底哪个好。

通过仿真，其实圆弧走线是最好的，信号没有 reflect 反射，倒角多多少少会有，但是反射没有直角来的明显，当我们设备 A 传输到设备 B 其自然而然的就会有信号在传输过程中存在反射回来我们的设备 A, 当我们的设备 B 传输到设备 A，同样因为直角的反射，会有信号回到我们的设备 B 中。



**凡亿教育课堂**  
 免费PCB视频学习网站



**凡亿PCB微信公众号**  
 免费领取PCB资料干货

淘宝搜索“凡亿教育”  
 联系客服即可领取  
 70G的PCB设计资料