

# 目录

## 第1章 数制和码制

- 1.1 复习笔记
- 1.2 课后习题详解
- 1.3 名校考研真题详解

## 第2章 逻辑代数基础

- 2.1 复习笔记
- 2.2 课后习题详解
- 2.3 名校考研真题详解

## 第3章 门电路

- 3.1 复习笔记
- 3.2 课后习题详解
- 3.3 名校考研真题详解

## 第4章 组合逻辑电路

- 4.1 复习笔记
- 4.2 课后习题详解
- 4.3 名校考研真题详解

## 第5章 半导体存储电路

- 5.1 复习笔记
- 5.2 课后习题详解
- 5.3 名校考研真题详解

## 第6章 时序逻辑电路

- 6.1 复习笔记
- 6.2 课后习题详解
- 6.3 名校考研真题详解

## 第7章 脉冲波形的产生和整形

- 7.1 复习笔记
- 7.2 课后习题详解
- 7.3 名校考研真题详解

## 第8章 数-模和模-数转换

- 8.1 复习笔记
- 8.2 课后习题详解
- 8.3 名校考研真题详解

## 第1章 数制和码制

### 1.1 复习笔记

本章作为《数字电子技术基础》的开篇文章，是数字电路学习的基础。本章介绍了与数制和码制相关的基本概念和术语，包括常用的数制和码制，最后给出了不同数制之间的转换方法和二进制算术运算的原理和步骤。本章重点内容为：不同数制之间的转换，原码、反码、补码的定义及相互转换，以及二进制的补码运算。

#### 一、概述

##### 1 数码的概念及其两种意义（见表1-1-1）

表1-1-1 数码的概念及其两种意义

要点		主要内容
数码的概念		数字电路中各种数字信号存在的形式
数码的意义	数量大小	不同的数码表示不同数量的大小，可以进行数量间的加、减、乘、除等算术运算
	事物代号	不同的数码表示不同事物或事物的不同状态，此时数码是不同事物的代号，不能进行算术运算

##### 2 数制和码制基本概念（见表1-1-2）

表1-1-2 数制和码制基本概念

要点	主要概念
数制	多位数码中每一位的构成方法和从低位到高位进位的规则
码制	编码时遵循的规则

#### 二、几种常用的数制

常用的数制有十进制、二进制、八进制和十六进制几种。任意N进制的展开形式为：

$$D = \sum k_i \times N^i$$

式中， $k_i$ 是第*i*位的系数， $N$ 为计数的基数， $N^i$ 为第*i*位的权。

关于各种数制特征、展开形式、示例总结见表1-1-3。

表1-1-3 各种数制特征、展开式、示例总结

要点		主要内容
十进制	特征	①数码：0~9；②基数：10；③进位关系：“逢十进一”
	展开形式	$D = \sum k_i \times 10^i$ 。其中， $k_i$ 是第 <i>i</i> 位的系数，可以是0~9十个数码中的任何一个
二进制	特征	①数码：0~1；②基数：2；③进位关系：“逢二进一”
	展开形式	$D = \sum k_i \times 2^i$ ，如： $(101.11)_2 = 1 \times 2^2 + 0 \times 2^1 + 1 \times 2^0 + 1 \times 2^{-1} + 1 \times 2^{-2} = (5.75)_{10}$
八进制	特征	①数码：0~7；②基数：8；③进位关系：“逢八进一”
	展开形式	$D = \sum k_i \times 8^i$ ，如： $(12.4)_8 = 1 \times 8^1 + 2 \times 8^0 + 4 \times 8^{-1} = (10.5)_{10}$
十六进制	特征	①数码：0~9、A~F；②基数：16；③进位关系：“逢十六进一”
	展开形式	$D = \sum k_i \times 16^i$ ，如： $(2A.7F)_{16} = 2 \times 16^1 + 10 \times 16^0 + 7 \times 16^{-1} + 15 \times 16^{-2} = (42.4960937)_{10}$

### 三、不同数制间的转换

#### 1 二进制转换为十进制

转换时将二进制数的各项按  $D = \sum k_i \times 2^i$  展开成十进制数，然后相加，即可得到等值的十进制数。例如：

$$(1011.01)_2 = 1 \times 2^3 + 0 \times 2^2 + 1 \times 2^1 + 1 \times 2^0 + 0 \times 2^{-1} + 1 \times 2^{-2} = (11.25)_{10}$$

#### 2 十进制转换为二进制

(1) 整数部分的转换：将十进制数除以2，取余数为 $k_0$ ；将其商再除以2，取其余数为 $k_1$ ，……以此类推，直到所得商等于0为止，余数 $k_n \dots k_1 k_0$ （从下往上排）即为二进制数。以273.69为例，如图1-1-1所示。

(2) 小数部分的转换：将十进制数乘以2，取乘积的整数部分为 $k_{-1}$ ；将乘积的小数部分再乘以2，取乘积的整数部分为 $k_{-2}$ ，……以此类推，直到求出要求的位数为止， $k_{-1} k_{-2} k_{-3} \dots$ （从上往下排）即为二进制数。以273.69为例，如图1-1-2所示。

$$\begin{array}{r}
 2 \overline{) 273} \quad \dots\dots\dots \text{余数} = 1 = k_0 \\
 2 \overline{) 136} \quad \dots\dots\dots \text{余数} = 0 = k_1 \\
 2 \overline{) 68} \quad \dots\dots\dots \text{余数} = 0 = k_2 \\
 2 \overline{) 34} \quad \dots\dots\dots \text{余数} = 0 = k_3 \\
 2 \overline{) 17} \quad \dots\dots\dots \text{余数} = 1 = k_4 \\
 2 \overline{) 8} \quad \dots\dots\dots \text{余数} = 0 = k_5 \\
 2 \overline{) 4} \quad \dots\dots\dots \text{余数} = 0 = k_6 \\
 2 \overline{) 2} \quad \dots\dots\dots \text{余数} = 0 = k_7 \\
 2 \overline{) 1} \quad \dots\dots\dots \text{余数} = 1 = k_8 \\
 0
 \end{array}$$

图1-1-1 十-二进制整数部分的转换

$$\begin{array}{r}
 0.69 \\
 \times 2 \\
 \hline
 1.38 \dots\dots\dots \text{整数部分} = 1 = k_{-1} \\
 0.38 \\
 \times 2 \\
 \hline
 0.76 \dots\dots\dots \text{整数部分} = 0 = k_{-2} \\
 0.76 \\
 \times 2 \\
 \hline
 1.52 \dots\dots\dots \text{整数部分} = 1 = k_{-3} \\
 0.52 \\
 \times 2 \\
 \hline
 1.04 \dots\dots\dots \text{整数部分} = 1 = k_{-4}
 \end{array}$$

图1-1-2 十-二进制小数部分的转换

所以  $(273.69)_{10} = (100010001.1011)_2$ 。

### 3 二进制与十六进制的转换

(1) 二-十六：整数部分从低位到高位每4位二进制数分为一组，小数部分从高位到低位每4位数分为一组，并将各组代之以等值的十六进制数。例如：

$$\begin{array}{cccc}
 (0101 & 1110. & 1011 & 0010)_2 \\
 \downarrow & \downarrow & \downarrow & \downarrow \\
 = ( & 5 & E & B & 2)_{16}
 \end{array}$$

(2) 十六-二：将十六进制数的每一位数代替为一组等值的4位二进制数即可。例如：

$$\begin{array}{ccccc}
 ( & 8 & F & A & C & 6 & )_{16} \\
 \downarrow & \downarrow & \downarrow & \downarrow & \downarrow & \downarrow & \\
 = (1000 & 1111 & 1010. & 1100 & 0110)_2
 \end{array}$$

### 4 八进制与二进制的转换

将二进制数转换为八进制数时，将二进制数的整数部分从低位到高位每3位分为一组，小数部分从高位到低位每3位分为一组，并将各组代之以等值的八进制数。在方法上与二-十六转换和十六-二转换的方法基本相同。例如：

$$\begin{array}{ccc}
 \begin{array}{cccc}
 (011 & 110. & 010 & 111)_2 \\
 \downarrow \downarrow \downarrow \downarrow \\
 = ( & 3 & 6 & 2 & 7 & )_8 \\
 \text{二-八转换}
 \end{array} & & 
 \begin{array}{cccc}
 ( & 5 & 2 & 4 & 3 & )_8 \\
 \downarrow \downarrow \downarrow \downarrow \\
 = (101 & 010. & 100 & 011)_2 \\
 \text{八-二转换}
 \end{array}
 \end{array}$$

### 5 十六进制与十进制的转换

将十六进制数转换为十进制数时，根据  $D = \sum k_i \times 16^i$  将各位按权展开后相加求得。将十进制数转换为十六进制数时，可以先转换为二进制数，然后再将得到的二进制数转换为等值的十六进制数。

## 四、二进制算术运算

二进制算术运算中，利用原码、反码、补码及补码运算法则，可将加、减、乘、除运算全部用“移位”和“相加”两种操作实现。

### 1 原码、反码、补码之间的转换（见表1-1-4）

表1-1-4 原码、反码、补码之间的转换

要点		主要内容
原码	概念	在原二进制数前增加一个符号位，用符号位的 <b>0</b> 表示正数，符号位的 <b>1</b> 表示负数
	由补码求原码	将负数的补码再求补码，即得原码
反码	正数	正数的反码与原码相同
	负数	将原码的符号位不变，数值位逐位取反，即得反码
补码	正数	正数的补码与原码相同
	负数	在反码的最低位加 1 即得补码

### 2 二进制补码运算

在二进制算数运算中，将两个二进制数相减运算用这两个二进制数的补码的加法运算代替。方法为先将两个带符号数写成补码形式，将这两补码按二进制加法相加即得运算结果的补码，再将该结果求原码即得结果。

## 五、几种常用的编码

几种常用的编码总结如表1-1-5所示。

表1-1-5 常用编码总结

编码名称	主要内容
十进制代码	用至少四位的二进制代码表示十进制数的 0~9 十个状态。常见的十进制代码有 8421 (BCD) 码、余 3 码、2421 码、5211 码、余 3 循环码
格雷码	格雷码：每一位数按照一定的规则循环变化。例：0000、0110、00111100、0000111111110000，即每一位状态循环中连续的 0、1 数目增加一倍
ASCII 码	ASCII 码是国际标准化组织 (ISO) 认定的国际通用标准代码。ASCII 码包括 128 个 7 位二进制代码，用来表示 52 个大小写英文字母、32 个符号以及 34 个控制码

## 1.2 课后习题详解

1.1 为了将600份文件顺序编码，如果采用二进制代码，最少需要用几位？如果改用八进制或十六进制代码，则最少各需要用几位？

**解：**若用二进制代码，由 $2^n \geq 600$ 可得，n至少为10，即最少需要用10位二进制代码；

若用八进制代码，则最少需要用4位；

若用十六进制代码，则最少需要用3位。

1.2 将下列二进制整数转换为等值的十进制数。

(1)  $(01101)_2$ ; (2)  $(10100)_2$ ; (3)  $(10010111)_2$ ; (4)  $(1101101)_2$ 。

解: (1)  $(01101)_2 = 0 \times 2^4 + 1 \times 2^3 + 1 \times 2^2 + 0 \times 2^1 + 1 \times 2^0 = 13$

(2)  $(10100)_2 = 1 \times 2^4 + 0 \times 2^3 + 1 \times 2^2 + 0 \times 2^1 + 0 \times 2^0 = 20$

(3)  $(10010111)_2 = 1 \times 2^7 + 0 \times 2^6 + 0 \times 2^5 + 1 \times 2^4 + 0 \times 2^3 + 1 \times 2^2 + 1 \times 2^1 + 1 \times 2^0 = 151$

(4)  $(1101101)_2 = 1 \times 2^6 + 1 \times 2^5 + 0 \times 2^4 + 1 \times 2^3 + 1 \times 2^2 + 0 \times 2^1 + 1 \times 2^0 = 109$

1.3 将下列二进制小数转换为等值的十进制数。

(1)  $(0.1001)_2$ ; (2)  $(0.0111)_2$ ; (3)  $(0.101101)_2$ ; (4)  $(0.001111)_2$ 。

解: (1)  $(0.1001)_2 = 1 \times 2^{-1} + 0 \times 2^{-2} + 0 \times 2^{-3} + 1 \times 2^{-4} = 0.5625$

(2)  $(0.0111)_2 = 0 \times 2^{-1} + 1 \times 2^{-2} + 1 \times 2^{-3} + 1 \times 2^{-4} = 0.4375$

(3)  $(0.101101)_2 = 1 \times 2^{-1} + 0 \times 2^{-2} + 1 \times 2^{-3} + 1 \times 2^{-4} + 0 \times 2^{-5} + 1 \times 2^{-6} = 0.703125$

(4)  $(0.001111)_2 = 0 \times 2^{-1} + 0 \times 2^{-2} + 1 \times 2^{-3} + 1 \times 2^{-4} + 1 \times 2^{-5} + 1 \times 2^{-6} = 0.234375$

1.4 将下列二进制数转换为等值的十进制数。

(1)  $(101.011)_2$ ; (2)  $(110.101)_2$ ; (3)  $(1111.1111)_2$ ; (4)  $(1001.0101)_2$ 。

解: (1)  $(101.011)_2 = 1 \times 2^2 + 0 \times 2^1 + 1 \times 2^0 + 0 \times 2^{-1} + 1 \times 2^{-2} + 1 \times 2^{-3} = 5.375$

(2)  $(110.101)_2 = 1 \times 2^2 + 1 \times 2^1 + 0 \times 2^0 + 1 \times 2^{-1} + 0 \times 2^{-2} + 1 \times 2^{-3} = 6.625$

(3)  $(1111.1111)_2 = 1 \times 2^3 + 1 \times 2^2 + 1 \times 2^1 + 1 \times 2^0 + 1 \times 2^{-1} + 1 \times 2^{-2} + 1 \times 2^{-3} + 1 \times 2^{-4} = 15.9375$

(4)  $(1001.0101)_2 = 1 \times 2^3 + 0 \times 2^2 + 0 \times 2^1 + 1 \times 2^0 + 0 \times 2^{-1} + 1 \times 2^{-2} + 0 \times 2^{-3} + 1 \times 2^{-4} = 9.3125$

1.5 将下列二进制数转换为等值的八进制数和十六进制数。

(1)  $(1110.0111)_2$ ; (2)  $(1001.1101)_2$ ; (3)  $(0110.1001)_2$ ; (4)  $(101100.110011)_2$ 。

解: (1)  $(1110.0111)_2 = (001\ 110.011\ 100)_2 = (16.34)_8$ ;  $(1110.0111)_2 = (E.7)_{16}$ 。

(2)  $(1001.1101)_2 = (001\ 001.110\ 100)_2 = (11.64)_8$ ;  $(1001.1101)_2 = (9.D)_{16}$ 。

(3)  $(0110.1001)_2 = (110.100\ 100)_2 = (6.44)_8$ ;  $(0110.1001)_2 = (6.9)_{16}$ 。

$$(4) (101100.110011)_2 = (101\ 100.110\ 011)_2 = (54.63)_8;$$

$$(101100.110011)_2 = (0010\ 1100.1100\ 1100)_2 = (2C.CC)_{16}。$$

1.6 将下列十六进制数转换为等值的二进制数。

$$(1) (8C)_{16}; (2) (3D.BE)_{16}; (3) (8F.FF)_{16}; (4) (10.00)_{16}。$$

解: (1)  $(8C)_{16} = (1000\ 1100)_2$

(2)  $(3D.BE)_{16} = (0011\ 1101.1011\ 1110)_2$

(3)  $(8F.FF)_{16} = (1000\ 1111.1111\ 1111)_2$

(4)  $(10.00)_{16} = (0001\ 0000.0000\ 0000)_2$

1.7 将下列十进制数转换为等值的二进制数和十六进制数。

$$(1) (17)_{10}; (2) (127)_{10}; (3) (79)_{10}; (4) (255)_{10}。$$

解: (1) 将十进制  $(17)_{10}$  转换为二进制数, 过程如下:

$$\begin{array}{r} 2 \overline{) 17} \dots\dots\dots \text{余数} = \mathbf{1} = k_0 \\ 2 \overline{) 8} \dots\dots\dots \text{余数} = \mathbf{0} = k_1 \\ 2 \overline{) 4} \dots\dots\dots \text{余数} = \mathbf{0} = k_2 \\ 2 \overline{) 2} \dots\dots\dots \text{余数} = \mathbf{0} = k_3 \\ 2 \overline{) 1} \dots\dots\dots \text{余数} = \mathbf{1} = k_4 \\ 0 \end{array}$$

则  $(17)_{10} = (10001)_2$ 。

将二进制数转换为十六进制数:  $(10001)_2 = (0001\ 0001)_2 = (11)_{16}。$

(2) 将十进制  $(127)_{10}$  转换为二进制数, 过程如下:

$$\begin{array}{r} 2 \overline{) 127} \dots\dots\dots \text{余数} = \mathbf{1} = k_0 \\ 2 \overline{) 63} \dots\dots\dots \text{余数} = \mathbf{1} = k_1 \\ 2 \overline{) 31} \dots\dots\dots \text{余数} = \mathbf{1} = k_2 \\ 2 \overline{) 15} \dots\dots\dots \text{余数} = \mathbf{1} = k_3 \\ 2 \overline{) 7} \dots\dots\dots \text{余数} = \mathbf{1} = k_4 \\ 2 \overline{) 3} \dots\dots\dots \text{余数} = \mathbf{1} = k_5 \\ 2 \overline{) 1} \dots\dots\dots \text{余数} = \mathbf{1} = k_6 \\ 0 \end{array}$$

则  $(127)_{10} = (1111111)_2$ 。

将二进制数转换为十六进制数:  $(1111111)_2 = (0111\ 1111)_2 = (7F)_{16}。$

(3) 将十进制  $(79)_{10}$  转换为二进制数, 过程如下:

$$\begin{array}{r}
2 \overline{) 79} \dots\dots\dots \text{余数} = \mathbf{1} = k_0 \\
2 \overline{) 39} \dots\dots\dots \text{余数} = \mathbf{1} = k_1 \\
2 \overline{) 19} \dots\dots\dots \text{余数} = \mathbf{1} = k_2 \\
2 \overline{) 9} \dots\dots\dots \text{余数} = \mathbf{1} = k_2 \\
2 \overline{) 4} \dots\dots\dots \text{余数} = \mathbf{0} = k_3 \\
2 \overline{) 2} \dots\dots\dots \text{余数} = \mathbf{0} = k_4 \\
2 \overline{) 1} \dots\dots\dots \text{余数} = \mathbf{1} = k_5 \\
\hline
0
\end{array}$$

则  $(79)_{10} = (1001111)_2$ 。

将二进制数转换为十六进制数： $(1001111)_2 = (0100\ 1111)_2 = (4F)_{16}$ 。

(4) 将十进制  $(255)_{10}$  转换为二进制数，过程如下：

$$\begin{array}{r}
2 \overline{) 255} \dots\dots\dots \text{余数} = \mathbf{1} = k_0 \\
2 \overline{) 127} \dots\dots\dots \text{余数} = \mathbf{1} = k_1 \\
2 \overline{) 63} \dots\dots\dots \text{余数} = \mathbf{1} = k_2 \\
2 \overline{) 31} \dots\dots\dots \text{余数} = \mathbf{1} = k_3 \\
2 \overline{) 15} \dots\dots\dots \text{余数} = \mathbf{1} = k_4 \\
2 \overline{) 7} \dots\dots\dots \text{余数} = \mathbf{1} = k_5 \\
2 \overline{) 3} \dots\dots\dots \text{余数} = \mathbf{1} = k_6 \\
2 \overline{) 1} \dots\dots\dots \text{余数} = \mathbf{1} = k_7 \\
\hline
0
\end{array}$$

则  $(255)_{10} = (11111111)_2$ 。

将二进制数转换为十六进制数： $(11111111)_2 = (1111\ 1111)_2 = (FF)_{16}$ 。

1.8 将下列十进制数转换为等值的二进制数和十六进制数。要求二进制数保留小数点以后8位有效数字。

- (1)  $(0.519)_{10}$ ; (2)  $(0.251)_{10}$ ; (3)  $(0.0376)_{10}$ ; (4)  $(0.5128)_{10}$ 。

解：(1) 将十进制  $(0.519)_{10}$  转换为二进制数，过程如下：

$$\begin{array}{r}
0.519 \\
\times 2 \\
\hline
1.038 \dots\dots\dots \text{整数部分} = \mathbf{1} = k_{-1} \\
0.038 \\
\times 2 \\
\hline
0.076 \dots\dots\dots \text{整数部分} = \mathbf{0} = k_{-2} \\
0.076 \\
\times 2 \\
\hline
0.152 \dots\dots\dots \text{整数部分} = \mathbf{0} = k_{-3}
\end{array}$$



$$\begin{array}{r}
0.152 \\
\times 2 \\
\hline
0.304 \dots\dots\dots \text{整数部分} = 0 = k_{-4} \\
0.304 \\
\times 2 \\
\hline
0.608 \dots\dots\dots \text{整数部分} = 0 = k_{-5} \\
0.608 \\
\times 2 \\
\hline
1.216 \dots\dots\dots \text{整数部分} = 1 = k_{-6} \\
0.216 \\
\times 2 \\
\hline
0.432 \dots\dots\dots \text{整数部分} = 0 = k_{-7} \\
0.432 \\
\times 2 \\
\hline
0.864 \dots\dots\dots \text{整数部分} = 0 = k_{-8}
\end{array}$$

则  $(0.519)_{10} = (0.10000100)_2$ 。

将二进制数转换为十六进制数： $(0.10000100)_2 = (0.1000\ 0100)_2 = (0.84)_{16}$ 。

(2) 将十进制  $(0.251)_{10}$  转换为二进制数，过程如下：

$$\begin{array}{r}
0.251 \\
\times 2 \\
\hline
0.502 \dots\dots\dots \text{整数部分} = 0 = k_{-1} \\
0.502 \\
\times 2 \\
\hline
1.004 \dots\dots\dots \text{整数部分} = 1 = k_{-2} \\
0.004 \\
\times 2 \\
\hline
0.008 \dots\dots\dots \text{整数部分} = 0 = k_{-3} \\
0.008 \\
\times 2 \\
\hline
0.016 \dots\dots\dots \text{整数部分} = 0 = k_{-4} \\
0.016 \\
\times 2 \\
\hline
0.032 \dots\dots\dots \text{整数部分} = 0 = k_{-5}
\end{array}$$

$$\begin{array}{r}
0.032 \\
\times 2 \\
\hline
0.064 \dots\dots\dots \text{整数部分} = 0 = k_{-6} \\
0.064 \\
\times 2 \\
\hline
0.128 \dots\dots\dots \text{整数部分} = 0 = k_{-7} \\
0.128 \\
\times 2 \\
\hline
0.256 \dots\dots\dots \text{整数部分} = 0 = k_{-8}
\end{array}$$

则  $(0.251)_{10} = (0.01000000)_2$ 。

将二进制数转换为十六进制数： $(0.01000000)_2 = (0.0100\ 0000)_2 = (0.40)_{16}$ 。

(3) 将十进制  $(0.0376)_{10}$  转换为二进制数，过程如下：

$$\begin{array}{r}
0.0376 \\
\times 2 \\
\hline
0.0752 \dots\dots\dots \text{整数部分} = 0 = k_{-1} \\
0.0752 \\
\times 2 \\
\hline
0.1504 \dots\dots\dots \text{整数部分} = 0 = k_{-2} \\
0.1504 \\
\times 2 \\
\hline
0.3008 \dots\dots\dots \text{整数部分} = 0 = k_{-3} \\
0.3008 \\
\times 2 \\
\hline
0.6016 \dots\dots\dots \text{整数部分} = 0 = k_{-4} \\
0.6016 \\
\times 2 \\
\hline
1.2032 \dots\dots\dots \text{整数部分} = 1 = k_{-5} \\
0.2032 \\
\times 2 \\
\hline
0.4064 \dots\dots\dots \text{整数部分} = 0 = k_{-6} \\
0.4064 \\
\times 2 \\
\hline
0.8128 \dots\dots\dots \text{整数部分} = 0 = k_{-7} \\
\hline
0.8128 \\
\times 2 \\
\hline
1.6256 \dots\dots\dots \text{整数部分} = 1 = k_{-8}
\end{array}$$

则  $(0.0376)_{10} = (0.00001001)_2$ 。

将二进制数转换为十六进制数： $(0.00001001)_2 = (0.0000\ 1001)_2 = (0.09)_{16}$ 。

(4) 将十进制  $(0.5128)_{10}$  转换为二进制数，过程如下：

$$\begin{array}{r}
0.5128 \\
\times 2 \\
\hline
1.0256 \dots\dots\dots \text{整数部分} = 1 = k_{-1} \\
0.0256 \\
\times 2 \\
\hline
0.0512 \dots\dots\dots \text{整数部分} = 0 = k_{-2} \\
0.0512 \\
\times 2 \\
\hline
0.1024 \dots\dots\dots \text{整数部分} = 0 = k_{-3} \\
0.1024 \\
\times 2 \\
\hline
0.2048 \dots\dots\dots \text{整数部分} = 0 = k_{-4} \\
0.2048 \\
\times 2 \\
\hline
0.4096 \dots\dots\dots \text{整数部分} = 0 = k_{-5} \\
0.4096 \\
\times 2 \\
\hline
0.8192 \dots\dots\dots \text{整数部分} = 0 = k_{-6} \\
0.8192 \\
\times 2 \\
\hline
1.6384 \dots\dots\dots \text{整数部分} = 1 = k_{-7} \\
0.6384 \\
\times 2 \\
\hline
1.2768 \dots\dots\dots \text{整数部分} = 1 = k_{-8}
\end{array}$$

则  $(0.5128)_{10} = (0.10000011)_2$ 。

将二进制数转换为十六进制数： $(0.10000011)_2 = (0.1000\ 0011)_2 = (0.83)_{16}$ 。

1.9 将下列十进制数转换为等值的二进制数和十六进制数。要求二进制数保留小数点以后4位有效数字。

- (1)  $(25.7)_{10}$ ; (2)  $(188.875)_{10}$ ; (3)  $(107.39)_{10}$ ; (4)  $(174.06)_{10}$ 。

解：(1) 将十进制  $(25.7)_{10}$  转换为二进制数（小数部分和整数部分分别转换），过程如下：

$$\begin{array}{r}
2 \overline{) 25} \dots\dots\dots \text{余数} = 1 = k_0 \\
2 \overline{) 12} \dots\dots\dots \text{余数} = 0 = k_1 \\
2 \overline{) 6} \dots\dots\dots \text{余数} = 0 = k_2 \\
2 \overline{) 3} \dots\dots\dots \text{余数} = 1 = k_3 \\
2 \overline{) 1} \dots\dots\dots \text{余数} = 1 = k_4 \\
0
\end{array}
\qquad
\begin{array}{r}
0.7 \\
\times 2 \\
\hline
1.4 \dots\dots\dots \text{整数部分} = 1 = k_{-1} \\
0.4 \\
\times 2 \\
\hline
0.8 \dots\dots\dots \text{整数部分} = 0 = k_{-2} \\
0.8 \\
\times 2 \\
\hline
1.6 \dots\dots\dots \text{整数部分} = 1 = k_{-3} \\
0.6 \\
\times 2 \\
\hline
1.2 \dots\dots\dots \text{整数部分} = 1 = k_{-4}
\end{array}$$

则  $(25.7)_{10} = (11001.1011)_2$ 。

将二进制数转换为十六进制数： $(11001.1011)_2 = (0001\ 1001.1011)_2 = (19.B)_{16}$ 。

(2) 将十进制  $(188.875)_{10}$  转换为二进制数（小数部分和整数部分分别转换），过程如下：

$\begin{array}{r} 2 \overline{) 188} \dots\dots\dots \text{余数} = 0 = k_0 \\ 2 \overline{) 94} \dots\dots\dots \text{余数} = 0 = k_1 \\ 2 \overline{) 47} \dots\dots\dots \text{余数} = 1 = k_2 \\ 2 \overline{) 23} \dots\dots\dots \text{余数} = 1 = k_3 \\ 2 \overline{) 11} \dots\dots\dots \text{余数} = 1 = k_4 \\ 2 \overline{) 5} \dots\dots\dots \text{余数} = 1 = k_5 \\ 2 \overline{) 2} \dots\dots\dots \text{余数} = 0 = k_6 \\ 2 \overline{) 1} \dots\dots\dots \text{余数} = 1 = k_7 \\ 0 \end{array}$	$\begin{array}{r} 0.875 \\ \times 2 \\ \hline 1.750 \dots\dots\dots \text{整数部分} = 1 = k_{-1} \\ 0.750 \\ \times 2 \\ \hline 1.500 \dots\dots\dots \text{整数部分} = 1 = k_{-2} \\ 0.500 \\ \times 2 \\ \hline 1.000 \dots\dots\dots \text{整数部分} = 1 = k_{-3} \\ 0.000 \\ \times 2 \\ \hline 0.000 \dots\dots\dots \text{整数部分} = 0 = k_{-4} \end{array}$
--	---

则  $(188.875)_{10} = (10111100.1110)_2$ 。

将二进制数转换为十六进制数： $(10111100.1110)_2 = (1011\ 1100.1110)_2 = (BC.E)_{16}$ 。

(3) 将十进制  $(107.39)_{10}$  转换为二进制数（小数部分和整数部分分别转换），过程如下：

$\begin{array}{r} 2 \overline{) 107} \dots\dots\dots \text{余数} = 1 = k_0 \\ 2 \overline{) 53} \dots\dots\dots \text{余数} = 1 = k_1 \\ 2 \overline{) 26} \dots\dots\dots \text{余数} = 0 = k_2 \\ 2 \overline{) 13} \dots\dots\dots \text{余数} = 1 = k_3 \\ 2 \overline{) 6} \dots\dots\dots \text{余数} = 0 = k_4 \\ 2 \overline{) 3} \dots\dots\dots \text{余数} = 1 = k_5 \\ 2 \overline{) 1} \dots\dots\dots \text{余数} = 1 = k_6 \\ 0 \end{array}$	$\begin{array}{r} 0.39 \\ \times 2 \\ \hline 0.78 \dots\dots\dots \text{整数部分} = 0 = k_{-1} \\ 0.78 \\ \times 2 \\ \hline 1.56 \dots\dots\dots \text{整数部分} = 1 = k_{-2} \\ 0.56 \\ \times 2 \\ \hline 1.12 \dots\dots\dots \text{整数部分} = 1 = k_{-3} \\ 0.12 \\ \times 2 \\ \hline 0.24 \dots\dots\dots \text{整数部分} = 0 = k_{-4} \end{array}$
---	---

则  $(107.39)_{10} = (1101011.0110)_2$ 。

将二进制数转换为十六进制数： $(1101011.0110)_2 = (0110\ 1011.0110)_2 = (6B.6)_{16}$ 。

(4) 将十进制  $(174.06)_{10}$  转换为二进制数（小数部分和整数部分分别转换），过程如下：

2	174	.....	余数 = 0 = $k_0$
2	87	.....	余数 = 1 = $k_1$
2	43	.....	余数 = 1 = $k_2$
2	21	.....	余数 = 1 = $k_3$
2	10	.....	余数 = 0 = $k_4$
2	5	.....	余数 = 1 = $k_5$
2	2	.....	余数 = 0 = $k_6$
2	1	.....	余数 = 1 = $k_7$
	0		

	0.06	
×	2	
<hr/>		
	0.12	..... 整数部分 = 0 = $k_{-1}$
	0.12	
×	2	
<hr/>		
	0.24	..... 整数部分 = 0 = $k_{-2}$
	0.24	
×	2	
<hr/>		
	0.48	..... 整数部分 = 0 = $k_{-3}$
	0.48	
×	2	
<hr/>		
	0.96	..... 整数部分 = 0 = $k_{-4}$

则  $(174.06)_{10} = (10101110.0000)_2$ 。

将二进制数转换为十六进制数： $(10101110.0000)_2 = (1010\ 1110.0000)_2 = (AE.0)_{16}$ 。

1.10 写出下列二进制数的原码、反码和补码。

- (1)  $(+1011)_2$ ; (2)  $(+00110)_2$ ; (3)  $(-1101)_2$ ; (4)  $(-00101)_2$ 。

解：如表1-2-1所示。

表1-2-1

	(1)	(2)	(3)	(4)
原码	01011	000110	11101	100101
反码	01011	000110	10010	111010
补码	01011	000110	10011	111011

1.11 写出下列带符号位二进制数（最高位为符号位）的反码和补码。

- (1)  $(011011)_2$ ; (2)  $(001010)_2$ ; (3)  $(111011)_2$ ; (4)  $(101010)_2$ 。

解：如表1-2-2所示。

表1-2-2

	(1)	(2)	(3)	(4)
原码	011011	001010	111011	101010
反码	011011	001010	100100	110101
补码	011011	001010	100101	110110

1.12 用8位的二进制补码表示下列十进制数。

- (1) +17; (2) +28; (3) -13; (4) -47; (5) -89; (6) -121。

解：正数的补码与其原码相同，负数的补码等于相应正数的原码取反加1。

- (1)  $(17)_{10} = (10001)_2$

+17的原码为00010001, 补码为00010001。

$$(2) (28)_{10} = (11100)_2$$

+28的原码为00011100, 补码为00011100。

$$(3) (13)_{10} = (1101)_2$$

-13的原码为10001101, 补码为11110011。

$$(4) (47)_{10} = (101111)_2$$

-47的原码为10101111, 补码为11010001。

$$(5) (89)_{10} = (1011001)_2$$

-89的原码为11011001, 补码为10100111。

$$(6) (121)_{10} = (1111001)_2$$

-121的原码为11111001, 补码为10000111。

1.13 计算下列用补码表示的二进制数的代数和。如果和为负数, 请求出负数的绝对值。

- (1) 01001101+00100110; (2) 00011101+01001100; (3) 00110010+10000011; (4) 00011110+10011100; (5) 11011101+01001011; (6) 10011101+01100110; (7) 11100111+11011011; (8) 11111001+10001000。

**解:** 如求出和为负数, 则求此负数的补码, 可得结果的原码, 去掉符号位, 即得该负数的绝对值。

(1)

$$\begin{array}{r} 01001101 \\ +00100110 \\ \hline 01110011 \end{array}$$

和为正数。

(2)

$$\begin{array}{r} 00011101 \\ +01001100 \\ \hline 01101001 \end{array}$$

和为正数。

(3)

$$\begin{array}{r} 00110010 \\ +10000011 \\ \hline 10110101 \end{array}$$

和为负数, 其绝对值为: 1001011。

(4)

$$\begin{array}{r} 00011110 \\ +10011100 \\ \hline 10111010 \end{array}$$

和为负数，其绝对值为：1000110。

(5)

$$\begin{array}{r} 11011101 \\ +01001011 \\ \hline 00101000 \end{array}$$

和为正数。

(6)

$$\begin{array}{r} 10011101 \\ +01100110 \\ \hline 00000011 \end{array}$$

和为正数。

(7)

$$\begin{array}{r} 11100111 \\ +11011011 \\ \hline 11000010 \end{array}$$

和为负数，其绝对值为：0111110。

(8)

$$\begin{array}{r} 11111001 \\ +10001000 \\ \hline 10000001 \end{array}$$

和为负数，其绝对值为：1111111。

1.14 用二进制补码运算计算下列各式。式中的4位二进制数是不带符号位的绝对值。如果和为负数，请求出负数的绝对值。（提示：所用补码的有效位数应足够表示代数和的最大绝对值。）

(1)  $1010+0011$ ； (2)  $1101+1011$ ； (3)  $1010-0011$ ； (4)  $1101-1011$ ；

(5)  $0011-1010$ ； (6)  $1011-1101$ ； (7)  $-0011-1010$ ； (8)  $-1101-1011$ 。

**解：**将每个表达式，写成(A) + (B)的形式，然后用补码分别表示(A)和(B)，最后将补码相加求和。如求出和为负数，则求此负数的补码，可得结果的原码，去掉符号位，即得该负数的绝对值。

若和的绝对值  $\leq 2^n$ ，则需用n+1位表示每个加数的补码。

(1)  $1010+0011 = (+1010) + (+0011)$

$$\begin{array}{r} 01010 \\ +00011 \\ \hline 01101 \end{array}$$

和为正数。

$$(2) 1101+1011 = (+1101) + (+1011)$$

$$\begin{array}{r} 001101 \\ +001011 \\ \hline 011000 \end{array}$$

和为正数。

$$(3) 1010-0011 = (+1010) + (-0011)$$

$$\begin{array}{r} 01010 \\ +11101 \\ \hline 00111 \end{array}$$

和为正数。

$$(4) 1101-1011 = (+1101) + (-1011)$$

$$\begin{array}{r} 01101 \\ +10101 \\ \hline 00010 \end{array}$$

和为正数。

$$(5) 0011-1010 = (+0011) + (-1010)$$

$$\begin{array}{r} 00011 \\ +10110 \\ \hline 11001 \end{array}$$

和为负数，其绝对值为：0111。

$$(6) 1011-1101 = (+1011) + (-1101)$$

$$\begin{array}{r} 01011 \\ +10011 \\ \hline 11110 \end{array}$$

和为负数，其绝对值为：0010。

$$(7) -0011-1010 = (-0011) + (-1010)$$

$$\begin{array}{r} 11101 \\ +10110 \\ \hline 10011 \end{array}$$

和为负数，其绝对值为：1101。

$$(8) -1101-1011 = (-1101) + (-1011)$$



$$\begin{array}{r} 110011 \\ +110101 \\ \hline 101000 \end{array}$$

和为负数，其绝对值为：101000。

1.15 用二进制补码运算计算下列各式。（提示：所用补码的有效位数应足够表示代数和的最大绝对值。）

(1)  $3+15$ ； (2)  $8+11$ ； (3)  $12-7$ ； (4)  $23-11$ ；

(5)  $9-12$ ； (6)  $20-25$ ； (7)  $-12-5$ ； (8)  $-16-14$ 。

**解：**将每个表达式，写成(A)+(B)的形式，然后用补码分别表示(A)和(B)，最后将补码相加求和。

如求出和为负数，则求此负数的补码，可得结果的原码，去掉符号位，即得该负数的绝对值。

若和的绝对值 $\leq 2^n$ ，则需用n+1位表示每个加数的补码。

(1)  $3+15 = (+3) + (+15)$

$$\begin{array}{r} 000011 \\ +001111 \\ \hline 010010 \end{array}$$

和为正数，代表十进制数18。

(2)  $8+11 = (+8) + (+11)$

$$\begin{array}{r} 001000 \\ +001011 \\ \hline 010011 \end{array}$$

和为正数，代表十进制数19。

(3)  $12-7 = (+12) + (-7)$

$$\begin{array}{r} 01100 \\ +11001 \\ \hline 00101 \end{array}$$

和为正数，代表十进制数5。

(4)  $23-11 = (+23) + (-11)$

$$\begin{array}{r} 010111 \\ +110101 \\ \hline 001100 \end{array}$$

和为正数，代表十进制数12。

(5)  $9-12 = (+9) + (-12)$

$$\begin{array}{r} 01001 \\ +10100 \\ \hline 11101 \end{array}$$

和为负数，代表十进制数-3。

$$(6) 20-25 = (+20) + (-25)$$

$$\begin{array}{r} 010100 \\ +100111 \\ \hline 111011 \end{array}$$

和为负数，代表十进制数-5。

$$(7) -12-5 = (-12) + (-5)$$

$$\begin{array}{r} 110100 \\ +111011 \\ \hline 101111 \end{array}$$

和为负数，代表十进制数-17。

$$(8) -16-14 = (-16) + (-14)$$

$$\begin{array}{r} 110000 \\ +110010 \\ \hline 100010 \end{array}$$

和为负数，代表十进制数-30。

### 1.3 名校考研真题详解

#### 一、填空题

1 (100100100111.0101)<sub>8421BCD</sub> = ( )<sub>16</sub> = ( )<sub>Gray</sub> (即格雷码)。[电子科技大学2008研]

【答案】927.5; 110110110100.1111

【解析】将8421BCD码转换为十六进制，即将其整数部分由低位到高位每四位二进制转换为一位十六进制，小数部分由高位到低位每四位转换为一位十六进制，即：(100100100111.0101)<sub>8421BCD</sub> = (1001 0010 0111.0101)<sub>8421BCD</sub> = (927.5)<sub>16</sub>。二进制转换为格雷码，即最高位不变，其余每位依次是对应位二进制码与其上一位做异或所得。

2 (101.011)<sub>2</sub> = ( )<sub>10</sub> = ( )<sub>8</sub> = ( )<sub>16</sub> = ( )<sub>8421BCD</sub> [山东大学2017研]

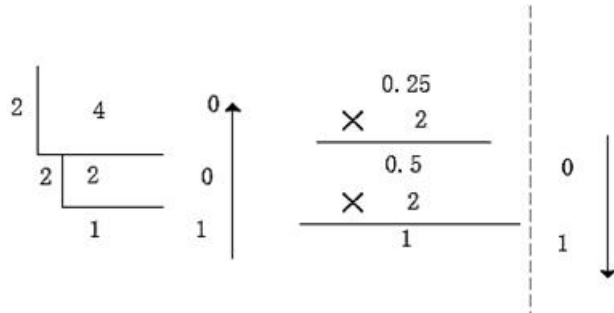
【答案】5.375; 5.3; 5.6; 0101 0011 0111 0101

【解析】将每位二进制数与其权值相乘（按权展开），然后再相加可得到相应的十进制数，即(101.011)<sub>2</sub> = 1×2<sup>2</sup> + 0×2<sup>1</sup> + 1×2<sup>0</sup> + 0×2<sup>-1</sup> + 1×2<sup>-2</sup> + 1×2<sup>-3</sup> = (5.375)<sub>10</sub>；3位二进制数可表示一位8进制数即(101.011)<sub>2</sub> = (5.3)<sub>8</sub>；4位二进制数有16个状态，不够4位的，若为整数位则向前补零，若为小数位则向后补零即(101.011)<sub>2</sub> = (0101.0110)<sub>2</sub> = (5.6)<sub>16</sub>；8421BCD码是一种二进制的数字编码形式，用二进制编码的十进制代码。因此可以将每位二进制数转化为4位8421BCD码，即(5.375)<sub>10</sub> = (0101 0011 0111 0101)<sub>8421BCD</sub>。

3  $(4.25)_{10} = (\quad)_2 = (\quad)_8 = (\quad)_{16} = (\quad)_{8421BCD}$  [山东大学 2016 研]

【答案】 100.01; 4.2; 4.4; 0100.00100101

【解析】 先将10进制转换成二进制，再进行八进制和十六进制和8421BCD码的转换。



由以上可得：

$$(4.25)_{10} = (100.01)_2$$

$$(100.010)_2 = (4.2)_8$$

$$(0100.0100)_2 = (4.4)_{16}$$

$$(4.25)_{10} = (0100.00100101)_{8421BCD}$$

## 二、选择题

十进制数  $(26.625)_{10}$  的二进制数是 ( )。 [北京科技大学2011研]

- A.  $(11010.101)_2$
- B.  $(10010.101)_2$
- C.  $(11001.101)_2$
- D.  $(11010.100)_2$

【答案】 A

【解析】 根据十进制数转换为二进制数的方法可知，整数部分26除以2求余后倒排得11010，小数部分0.625乘2取整后顺排得101。

2 数值  $[375]_{10}$  与哪个数相等 ( )。 [重庆大学 2015 研]

- A.  $[11101101]_2$
- B.  $[567]_8$
- C.  $[11101110]_{BCD}$
- D.  $[1F5]_{16}$

【答案】B

【解析】将十进制数375分别转换为其他数制后可得， $[375]_{10}=[101110111]_2=[567]_8=[001101110101]_{BCD}=[177]_{16}$ ，故答案选B。

### 三、分析计算题

将二进制数  $(0.01011111)_2$  转换为等值的十六进制数和等值的十进制数。[宁波大学2009研]

解：将二进制数转换为十六进制数  $(0.01011111)_2 = (0.0101\ 1111)_2 = (0.5F)_{16}$ ；将二进制数转换为十进制数  $(0.01011111)_2 = 0 \times 2^0 + 0 \times 2^{-1} + 1 \times 2^{-2} + 0 \times 2^{-3} + 1 \times 2^{-4} + 1 \times 2^{-5} + 1 \times 2^{-6} + 1 \times 2^{-7} + 1 \times 2^{-8} = (0.37109375)_{10}$ 。

## 第2章 逻辑代数基础

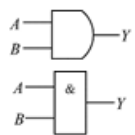
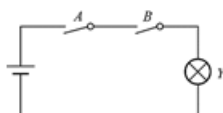
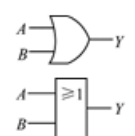
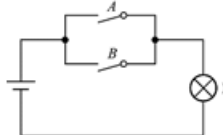
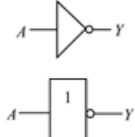
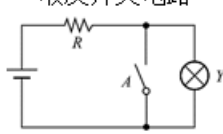
### 2.1 复习笔记

本章介绍了用于分析数字电路逻辑功能的数学方法——逻辑代数。主要讲述了逻辑代数的基本公式、常用公式和几个重要的定理，以及逻辑函数的各种描述方法和这些描述方法之间的互相转换，还介绍了逻辑函数的化简方法。本章重点内容为：逻辑函数描述方法间的互相转换及逻辑函数的化简。

#### 一、逻辑代数中的三种基本运算

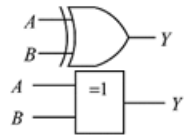
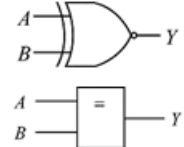
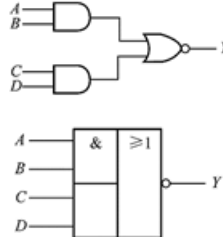
##### 1 基本逻辑运算（见表2-1-1）

表2-1-1 三种基本逻辑运算

种类	定义	表达式	图形符号	真值表	定义电路															
与	决定事物结果的全部条件同时满足时，结果为真。称逻辑与，也称逻辑相乘	$Y=A \cdot B$		<table border="1"> <thead> <tr> <th>A</th> <th>B</th> <th>Y</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> </tr> </tbody> </table>	A	B	Y	0	0	0	0	1	0	1	0	0	1	1	1	串联开关电路 
A	B	Y																		
0	0	0																		
0	1	0																		
1	0	0																		
1	1	1																		
或	决定事物结果的条件中只要有一个满足时，结果为真。称逻辑或，也称逻辑相加	$Y=A+B$		<table border="1"> <thead> <tr> <th>A</th> <th>B</th> <th>Y</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> </tr> </tbody> </table>	A	B	Y	0	0	0	0	1	1	1	0	1	1	1	1	并联开关电路 
A	B	Y																		
0	0	0																		
0	1	1																		
1	0	1																		
1	1	1																		
非	条件满足时，结果为假；条件不满足时，结果为真。称逻辑非，也称逻辑求反	$Y=A'$		<table border="1"> <thead> <tr> <th>A</th> <th>Y</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>1</td> </tr> <tr> <td>1</td> <td>0</td> </tr> </tbody> </table>	A	Y	0	1	1	0	取反开关电路 									
A	Y																			
0	1																			
1	0																			

##### 2 复合逻辑运算（见表2-1-2）

表2-1-2 三种复合逻辑运算

种类	涵义	表达式	图形符号	真值表																																								
异或	当 $A$ 、 $B$ 不同时, 输出 $Y$ 为 1; 而当 $A$ 、 $B$ 相同时, 输出 $Y$ 为 0	$A \oplus B = A \cdot B' + A' \cdot B$		<table border="1"> <thead> <tr> <th><math>A</math></th> <th><math>B</math></th> <th><math>Y</math></th> </tr> </thead> <tbody> <tr><td>0</td><td>0</td><td>0</td></tr> <tr><td>0</td><td>1</td><td>1</td></tr> <tr><td>1</td><td>0</td><td>1</td></tr> <tr><td>1</td><td>1</td><td>0</td></tr> </tbody> </table>	$A$	$B$	$Y$	0	0	0	0	1	1	1	0	1	1	1	0																									
$A$	$B$	$Y$																																										
0	0	0																																										
0	1	1																																										
1	0	1																																										
1	1	0																																										
同或	同或和异或相反, 当 $A$ 、 $B$ 相同时, $Y$ 等于 1; $A$ 、 $B$ 不同时, $Y$ 等于 0	$A \odot B = A \cdot B + A' \cdot B' = (A \oplus B)'$		<table border="1"> <thead> <tr> <th><math>A</math></th> <th><math>B</math></th> <th><math>Y</math></th> </tr> </thead> <tbody> <tr><td>0</td><td>0</td><td>1</td></tr> <tr><td>0</td><td>1</td><td>0</td></tr> <tr><td>1</td><td>0</td><td>0</td></tr> <tr><td>1</td><td>1</td><td>1</td></tr> </tbody> </table>	$A$	$B$	$Y$	0	0	1	0	1	0	1	0	0	1	1	1																									
$A$	$B$	$Y$																																										
0	0	1																																										
0	1	0																																										
1	0	0																																										
1	1	1																																										
与或非	只要 $A$ 、 $B$ 或 $C$ 、 $D$ 任何一组同时为 1, 输出 $Y$ 就是 0, 只有当每一组输入都不全是 1 时, 输出 $Y$ 才是 1	$Y = (A \cdot B + C \cdot D)'$		<table border="1"> <thead> <tr> <th><math>A</math></th> <th><math>B</math></th> <th><math>C</math></th> <th><math>D</math></th> <th><math>Y</math></th> </tr> </thead> <tbody> <tr><td>0</td><td>0</td><td>0</td><td>0</td><td>1</td></tr> <tr><td>0</td><td>0</td><td>0</td><td>1</td><td>1</td></tr> <tr><td>0</td><td>0</td><td>1</td><td>0</td><td>1</td></tr> <tr><td>0</td><td>0</td><td>1</td><td>1</td><td>0</td></tr> <tr><td>0</td><td>1</td><td>0</td><td>0</td><td>1</td></tr> <tr><td>0</td><td>1</td><td>0</td><td>1</td><td>1</td></tr> <tr><td>...</td><td>...</td><td>...</td><td>...</td><td>...</td></tr> </tbody> </table>	$A$	$B$	$C$	$D$	$Y$	0	0	0	0	1	0	0	0	1	1	0	0	1	0	1	0	0	1	1	0	0	1	0	0	1	0	1	0	1	1	...	...	...	...	...
$A$	$B$	$C$	$D$	$Y$																																								
0	0	0	0	1																																								
0	0	0	1	1																																								
0	0	1	0	1																																								
0	0	1	1	0																																								
0	1	0	0	1																																								
0	1	0	1	1																																								
...	...	...	...	...																																								

## 二、逻辑代数的基本公式和常用公式

逻辑代数的基本公式和常用公式分别如表2-1-3和表2-1-4所示。

表2-1-3 逻辑代数的基本公式

序号	公式	序号	公式
1	$0 \cdot A = 0$	10	$1' = 0; 0' = 1$
2	$1 \cdot A = A$	11	$1 + A = 1$
3	$A \cdot A = A$	12	$0 + A = A$
4	$A \cdot A' = 0$	13	$A + A = A$
5	$A \cdot B = B \cdot A$	14	$A + A' = 1$
6	$A \cdot (B \cdot C) = (A \cdot B) \cdot C$	15	$A + B = B + A$
7	$A \cdot (B + C) = A \cdot B + A \cdot C$	16	$A + (B \cdot C) = (A + B) \cdot (A + C)$
8	$(A \cdot B)' = A' + B'$	17	$A + B \cdot C = (A + B) \cdot (A + C)$
9	$(A')' = A$	18	$(A + B)' = A' \cdot B'$

表2-1-4 若干常用公式

序号	公式
19	$A + A \cdot B = A$
20	$A + A' \cdot B = A + B$
21	$A \cdot B + A \cdot B' = A$
22	$A \cdot (A + B) = A$
23	$A \cdot B + A' \cdot C + B \cdot C = A \cdot B + A' \cdot C$ $A \cdot B + A' \cdot C + B \cdot C \cdot D = A \cdot B + A' \cdot C$
24	$A \cdot (A \cdot B)' = A \cdot B'; A' \cdot (A \cdot B)' = A'$

## 三、逻辑代数中的基本定理（见表2-1-5）

表2-1-5 逻辑代数中的基本定理

定理	主要内容
代入定理	以一个逻辑式代入任意一个包含逻辑 $A$ 的等式中所有 $A$ 的位置，等式仍成立。在对多变量复杂逻辑式进行运算时，仍需先算括号里的内容，其次算乘法，最后加法
反演定理	对于任一逻辑式 $Y$ ，若将其中所有“ $\cdot$ ”换成“ $+$ ”，“ $+$ ”换成“ $\cdot$ ”， $0$ 换成 $1$ ， $1$ 换成 $0$ ，原变量换成反变量，反变量换成原变量，则得到的结果就是 $Y$ 。需遵循原则：①仍需遵守“先括号、然后乘、最后加”的运算优先次序；②不属于单个变量上的反号应保留不变
对偶定理	对于任何一个逻辑式 $Y$ ，若将其中的“ $\cdot$ ”换成“ $+$ ”，“ $+$ ”换成“ $\cdot$ ”， $0$ 换成 $1$ ， $1$ 换成 $0$ ，则得到一个新的逻辑式 $Y^D$ ，这个 $Y^D$ 就称为 $Y$ 的对偶式，或者说 $Y$ 和 $Y^D$ 互为对偶式。有时为了证明两个逻辑式相等，也可以通过证明它们的对偶式相等来完成

#### 四、逻辑函数及其描述方法

##### 1 逻辑函数的定义

当逻辑变量的取值确定后，运算结果的取值也随之而定，即逻辑变量和运算结果之间是函数关系，称为逻辑函数，写作： $Y=F(A, B, C, \dots)$ 。

这里所讨论的都是二值逻辑函数，即变量和输出（函数）的取值只有0和1两种状态；任何一个因果关系都可以用一个具体的逻辑函数来描述。

##### 2 逻辑函数的描述方法

(1) 常用逻辑函数描述方法有逻辑真值表、逻辑函数式、逻辑图、波形图等见表2-1-6。

表2-1-6 常用逻辑函数描述方法

描述方法	获得方式
逻辑真值表	将输入变量所有的取值下对应的输出值找出来，列成表格
逻辑函数式	将输出与输入间的逻辑关系写成与、或、非等的组合式
逻辑图	将逻辑函数式中的与、或、非等关系用图形符号表示出来
波形图（时序图）	将逻辑函数输入变量每一种可能出现的取值与对应的输出值按时间顺序依次排列起来

(2) 各种描述方法间的相互转换见表2-1-7：

表2-1-7 描述方法间的相互转换

种类	转换步骤
真值表→逻辑函数式	①找出真值表中使逻辑函数为 $1$ 的输入变量的组合； ②每组输入变量取值组合对应一个乘积项，取值为 $1$ 的写原变量，取值为 $0$ 的写反变量； ③将这些乘积项相加，即得 $Y$ 的逻辑函数式
逻辑函数式→真值表	将输入变量的所有组合逐一代入逻辑式求出函数值，列成表
逻辑函数式→逻辑图	用逻辑图形符号代替逻辑式中的运算符并按运算优先顺序将它们连接起来
逻辑图→逻辑函数式	从逻辑图的输入端到输出端逐级写出每个图形符号的输出逻辑式
波形图→真值表	①从波形图上找出每个时间段里输入变量与函数输出的取值； ②将这些输入、输出取值对应列表，即可得到真值表
真值表→波形图	将真值表中输入变量与对应输出变量取值依次排列画以时间为横轴的波形即可

### 3 逻辑函数的两种标准形式

(1) 最小项和最大项见表2-1-8:

表2-1-8 最小项和最大项

要点	定义	性质
最小项	$n$ 变量逻辑函数中, $m$ 为包含 $n$ 个因子的乘积项, 且这 $n$ 个变量均以原变量或反变量的形式在 $m$ 中出现一次, 则称 $m$ 为该组变量的最小项	①在输入变量的任何取值下必有一个最小项, 而且仅有一个最小项的值为 1; ②全体最小项之和为 1; ③任意两个最小项的乘积为 0; ④具有相邻性的两个最小项之和可以合并成一项并消去一对因子
最大项	$n$ 变量逻辑函数中, $M$ 为 $n$ 个变量之和, 且这 $n$ 个变量均以原变量或反变量的形式在 $M$ 中出现一次, 则称 $M$ 为该组变量的最大项	①在输入变量的任何取值下必有一个最大项, 而且只有一个最大项的值为 0; ②全体最大项之积为 0; ③任意两个最大项之和为 1; ④只有一个变量不同的两个最大项的乘积等于各相同变量之和

最大项和最小项之间的关系为:  $M_i = m_i'$ 。

(2) 最小项之和形式:

①将给定的逻辑函数式化为若干乘积项之和的形式(亦称“积之和”形式);

②利用基本公式  $A + A' = 1$  将每个乘积项中缺少的因子补全, 就可将函数式的与或形式化为最小项之和的标准形式。

(3) 最大项之积形式:

①将任何逻辑函数式化成若干多项式相乘的或与形式(也称“和之积”形式);

②利用基本公式  $AA' = 0$  将每个多项式中缺少的变量补齐, 就可将函数式的或与形式化成最大项之积的标准形式。

## 五、逻辑函数的化简方法

化简逻辑函数的目的是要消去多余的乘积项和每个乘积项中多余的因子, 以得到逻辑函数式的最简形式。

### 1 公式化简法(见表2-1-9)

公式化简法的原理就是反复使用逻辑代数的基本公式和常用公式消去函数式中多余的乘积项和多余的因子, 以求得函数式的最简形式。常用的公式化简法见表2-1-9。

表2-1-9 常用的公式化简法

并项法	利用 $AB+AB'=A$ 可将两项合并为一项, 消去 $B$ 和 $B'$ 因子。 $A$ 和 $B$ 均可作为任何逻辑式
吸收法	利用 $A+AB=A$ 将 $AB$ 项消去。 $A$ 和 $B$ 同样也可作为任何逻辑式
消项法	利用 $AB+A'C+BC=AB+A'C$ 及 $AB+A'C+BCD=AB+A'C$ 将 $BC$ 或 $BCD$ 项消去。其中 $A$ 、 $B$ 、 $C$ 、 $D$ 均可作为任何逻辑式
消因子法	利用 $A+A'B=A+B$ 将 $A'B$ 中的 $A'$ 消去。其中 $A$ 、 $B$ 均可作为任何复杂的逻辑式
配项法	①利用 $A+A=A$ 可在函数式中重复写入某一项, 有时能获得更简单的化简结果; ②利用 $A+A'=1$ 可在函数式中的某一项上乘 $(A+A')$ , 再拆成两项分别与其他项合并, 有时能得到更简单的化简结果

## 2 卡诺图化简法

### (1) 逻辑函数的卡诺图表示法:

定义: 将  $n$  变量的全部最小项各用一个小方块表示, 并使具有逻辑相邻性的最小项在几何位置上也相邻排列, 便可得到  $n$  变量最小项卡诺图。

方法: ①将逻辑函数化为最小项之和的形式; ②在卡诺图上与这些最小项对应的位置上填入1, 在其余的位置上填入0。

如图2-1-1为二到五变量最小项的卡诺图。在变量数大于、等于五以后, 仅仅用几何图形在两维空间的相邻性来表示逻辑相邻性已经不够了。

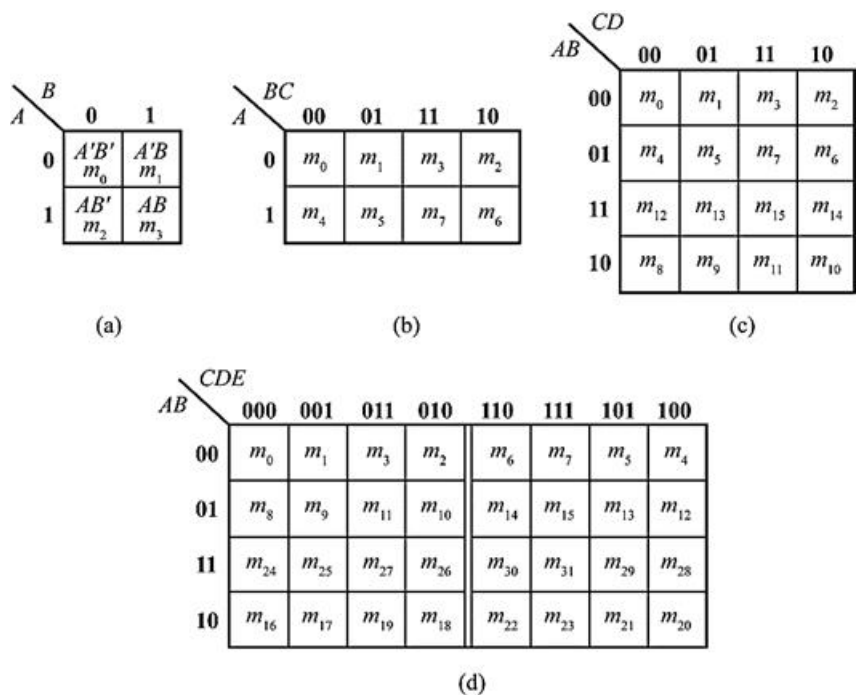


图2-1-1 二到五变量最小项的卡诺图

### (2) 用卡诺图化简逻辑函数:

#### ① 合并最小项的原则:

- 若两个最小项相邻, 则合并为一项并消去一对因子。合并后的结果中只剩下公共因子。
- 若四个最小项相邻并排列成一个矩形组, 可合并为一项并消去两对因子。合并后的结果只剩下公共因子。
- 若八个最小项相邻并排列成一个矩形组, 可合并为一项并消去三对因子。合并后的结果只剩下公共因子。



合并最小项的一般规则：如果有 $2^n$ 个最小项相邻（ $n=1, 2, \dots$ ）并排列成一个矩形组，则它们可以合并为一项，并消去 $n$ 对因子，合并后的结果中仅包含这些最小项的公共因子。

② 卡诺图化简的步骤：

- a. 将函数化为最小项之和的形式。
- b. 画出表示该逻辑函数的卡诺图。
- c. 找出可以合并的最小项。
- d. 选取化简后的乘积项。

③ 乘积项的选取原则：

- a. 乘积项应包含函数式中所有的最小项；
- b. 乘积项中可合并的最小项组成的矩形数目最少；
- c. 每个可合并的最小项矩形组中应包含尽量多的最小项。

## 六、具有无关项的逻辑函数及其化简

### 1 约束项、任意项和逻辑函数式中的无关项

- (1) 约束项：当限制某些输入变量取值不能出现时，可用其对应的最小项恒等于0来表示，即约束项。
- (2) 任意项：在输入变量的某些取值下函数值是1还是0皆可，并不影响电路的功能。在这些变量取值下，其值等于1的那些最小项称为任意项。
- (3) 无关项：约束项和任意项统称为无关项。“无关”指这些最小项可以写入函数式也可以删除。

### 2 无关项在化简逻辑函数中的应用

加入无关项使其与函数式中尽可能多的最小项具有逻辑相邻性。以得到的相邻最小项矩形组合最大，且矩形组合数目最少为原则，把卡诺图中的无关项作为0或者作为1，就可得到更简单的化简结果。

## 七、多输出逻辑函数的化简

在化简多输出逻辑函数时，可通过寻找并合理地利用共用项，得到更简单的化简结果。但在实际应用中并不是任何情况下利用共用项都能够得到更简单的化简结果。对于两级与或形式的多输出逻辑函数，可利用Q-M化简法进行化简，找出可以利用的共用项，并利用这些共用项得到更简单的化简结果。

## 八、逻辑函数形式的变化

在用电路实现逻辑函数时，由于所提供门电路类型和输入端个数有所限制，且使用PLD实现输入变量数和乘积项数较少的与或逻辑函数时，器件内部的资源不能得到充分利用，需要把逻辑函数的形式变换为与所用器件相适应的形式。

## 2.2 课后习题详解

2.1 试用列真值表的方法证明下列异或运算公式。

(1)  $A \oplus 0 = A$ ; (2)  $A \oplus 1 = A'$ ; (3)  $A \oplus A = 0$ ; (4)  $A \oplus A' = 1$ ;

(5)  $(A \oplus B) \oplus C = A \oplus (B \oplus C)$ ; (6)  $A(B \oplus C) = AB \oplus AC$ ; (7)  $A \oplus B' = (A \oplus B)' = A \oplus B \oplus 1$

证明：将输入变量所有取值逐一代入公式两边计算，然后将计算结果列成真值表，若两边真值表相等则等式成立。真值表分别如表2-2-1 (a) ~ (g) 所示。

表2-2-1 (a)

$A$	0	$A \oplus 0$
0	0	0
1	0	1

表2-2-1 (b)

$A$	1	$A \oplus 1$
0	1	1
1	1	0

表2-2-1 (c)

$A$	$A$	$A \oplus A$
0	0	0
1	1	0

表2-2-1 (d)

$A$	$A'$	$A \oplus A'$
0	1	1
1	0	1

表2-2-1 (e)

$A$	$B$	$C$	$(A \oplus B) \oplus C$	$A \oplus (B \oplus C)$
0	0	0	0	0
0	0	1	1	1
0	1	0	1	1
0	1	1	0	0
1	0	0	1	1
1	0	1	0	0
1	1	0	0	0
1	1	1	1	1

表2-2-1 (f)

$A$	$B$	$C$	$A(B \oplus C)$	$AB \oplus AC$
0	0	0	0	0
0	0	1	0	0
0	1	0	0	0
0	1	1	0	0
1	0	0	0	0
1	0	1	1	1
1	1	0	1	1
1	1	1	0	0

表2-2-1 (g)

$A$	$B$	$B'$	$(A \oplus B)'$	$A \oplus B \oplus 1$
0	0	1	1	1
0	1	0	0	0
1	0	1	0	0
1	1	0	1	1

2.2 证明下列逻辑恒等式（方法不限）

(1)  $AB' + B + A'B = A + B$

(2)  $(A + C')(B + D)(B + D') = AB + BC'$

(3)  $((A + B + C')'C'D)' + (B + C')(AB'D + B'C') = 1$

(4)  $A'B'C' + A(B + C) + BC = (A'B'C' + A'B'C + A'BC)'$

证明：

(1) 用公式推演将等式左边化简，得左边  $= AB' + B + A'B = AB' + (B + A'B) = AB' + B = A + B =$  右边。

(2) 用公式推演将等式左边化简，得左边  $= (A + C')(B + D)(B + D')(A + C')(B + BD + BD') = B(A + C') = AB + BC' =$  右边。

(3) 用公式推演将等式左边化简，得左边  $= A + B + C' + (C'D)' + AB'C'D + B'C' = A + B + C' + C + D' + B'C' = 1 =$  右边。

(4) 左右两式的真值表如表2-2-2所示，两边真值表相同，故等式成立。

表2-2-2

$ABC$	$A'B'C' + A(B + C) + BC$	$(A'B'C' + A'B'C + A'BC)'$
000	1	1
001	0	0
010	0	0
011	1	1
100	0	0
101	1	1
110	1	1
111	1	1

2.3 已知逻辑函数 $Y_1$ 和 $Y_2$ 的真值表如表2-2-3 (a)、(b)所示，试写出 $Y_1$ 和 $Y_2$ 的逻辑函数式。

表2-2-3 (a)

$ABC$	$Y_1$
000	1
001	1
010	0
011	0
100	1
101	1
110	0
111	1

表2-2-3 (b)

<i>A</i>	<i>B</i>	<i>C</i>	<i>D</i>	$Y_2$
0	0	0	0	0
0	0	0	1	1
0	0	1	0	1
0	0	1	1	0
0	1	0	0	1
0	1	0	1	0
0	1	1	0	0
0	1	1	1	1
1	0	0	0	1
1	0	0	1	0
1	0	1	0	0
1	0	1	1	1
1	1	0	0	0
1	1	0	1	1
1	1	1	0	1
1	1	1	1	0

解：找出 $Y_1$ （或 $Y_2$ ）为1时的输入变量取值组合，写出在这些变量取值下其值为1的最小项，将这些最小项相加可得表达式结果。

由表2-2-3 (a) 可得， $Y_1$ 的逻辑函数式为：

$$Y_1 = A'B'C' + A'B'C + AB'C' + AB'C + ABC$$

由表2-2-3 (b) 可得， $Y_2$ 的逻辑函数式为：

$$Y_2 = A'B'C'D + A'B'CD' + A'BC'D' + A'BCD + AB'C'D' + AB'CD + ABC'D + ABCD'$$

2.4 已知逻辑函数的真值表如表2-2-4 (a)、(b) 所示，试写出对应的逻辑函数式。

表2-2-4 (a)

<i>A B C</i>	<i>Y</i>
0 0 0	0
0 0 1	1
0 1 0	1
0 1 1	0
1 0 0	1
1 0 1	0
1 1 0	0
1 1 1	0

表2-2-4 (b)

<i>M</i>	<i>N</i>	<i>P</i>	<i>Q</i>	<i>Z</i>
0	0	0	0	0
0	0	0	1	0
0	0	1	0	0
0	0	1	1	1
0	1	0	0	0
0	1	0	1	0
0	1	1	0	1
0	1	1	1	1
1	0	0	0	0
1	0	0	1	0
1	0	1	0	0
1	0	1	1	1
1	1	0	0	1
1	1	0	1	1
1	1	1	0	1
1	1	1	1	1

解：参加上题说明，由表2-2-4 (a) 可得，Y的逻辑函数式为：

$$Y = A'B'C + A'BC' + AB'C'$$

由表2-2-4 (b) 可得，Z的逻辑函数式为：

$$Z = M'N'PQ + M'NPQ' + M'NPQ + MN'PQ + MNP'Q' + MNP'Q + MNPQ' + MNPQ$$

2.5 列出下列逻辑函数的真值表。

(1)  $Y_1 = A'B + BC + ACD'$

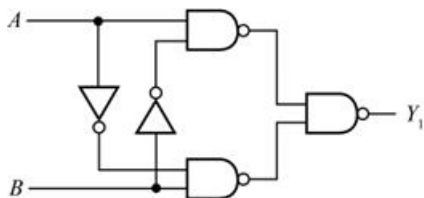
(2)  $Y_2 = A'B'CD' + (B \oplus C)'D + AD$

解：逻辑函数的真值表如表2-2-5所示。

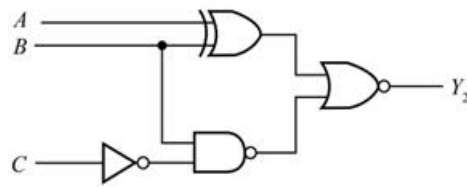
表2-2-5

<i>ABCD</i>	<i>Y<sub>1</sub></i>	<i>Y<sub>2</sub></i>	<i>ABCD</i>	<i>Y<sub>1</sub></i>	<i>Y<sub>2</sub></i>
0000	0	0	1000	0	0
0001	0	1	1001	0	1
0010	0	1	1010	1	0
0011	0	0	1011	0	1
0100	1	0	1100	0	0
0101	1	0	1101	0	1
0110	1	0	1110	1	0
0111	1	1	1111	1	1

2.6 写出图2-2-1 (a)、(b) 所示电路的输出逻辑函数式。



(a)



(b)

图2-2-1

解：从输入端向输出端逐级写出每个门的输出逻辑式，再将其化简可得：

图2-2-1 (a) 所示电路的输出逻辑函数式为：

$$Y_1 = ((AB)')' (A'B)')' = AB' + A'B = A \oplus B$$

图2-2-1 (b) 所示电路的输出逻辑函数式为：

$$Y_2 = ((A \oplus B) + (BC)')' = ABC'$$

2.7 写出图2-2-2 (a)、(b) 所示电路的输出逻辑函数式。

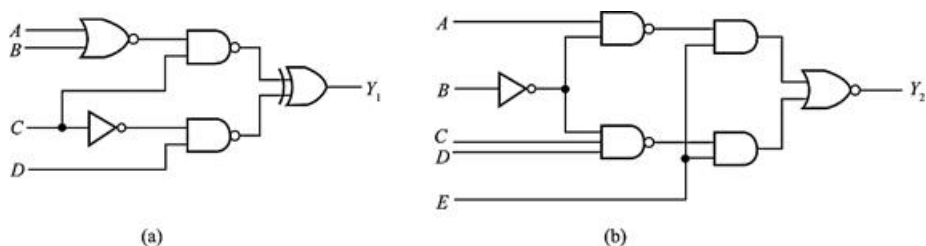


图2-2-2

解：图2-2-2 (a) 所示电路的输出逻辑函数式为：

$$Y_1 = ((A+B)C)'\oplus(C'D) = (A'B'C)'\oplus(C'D) = A'B'C(C+D') + (A+B+C)C'D = A'B'C + C'D$$

图2-2-2 (b) 所示电路的输出逻辑函数式为：

$$Y_2 = ((AB)'E + (B'CD)'E)' = ((A'+B)E + (B+C'+D')E)' = ((A'+B+C'+D')E)' = (A'+B+C'+D')'+E = AB'CD + E'$$

2.8 已知逻辑函数Y的波形图如图2-2-3所示，试求Y的真值表和逻辑函数式。

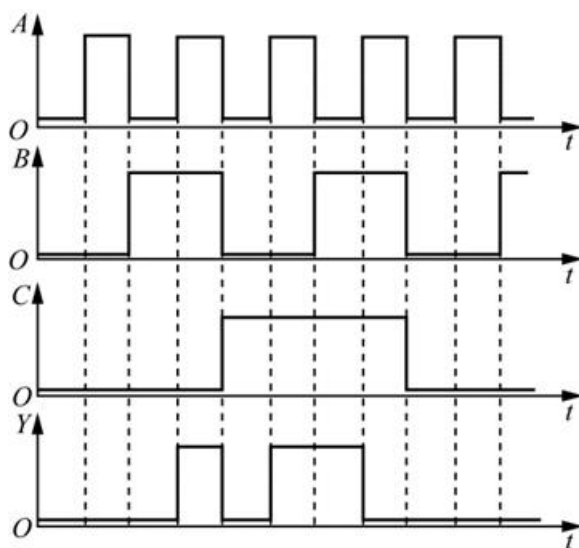


图2-2-3

解：Y的真值表如表2-2-6所示。

表2-2-6

<i>C</i>	<i>B</i>	<i>A</i>	<i>Y</i>
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	0

由表2-2-6可知，*Y*的逻辑表达式为： $Y = ABC' + AB'C + A'BC$ 。

2.9 给定逻辑函数*Y*的波形图如图2-2-4所示，试写出该逻辑函数的真值表和逻辑函数式。

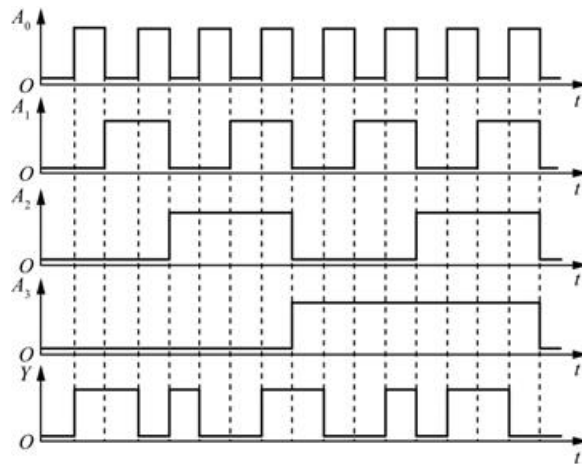


图2-2-4

解：*Y*的真值表如表2-2-7所示。

表2-2-7

$A_3A_2A_1A_0$	<i>Y</i>	$A_3A_2A_1A_0$	<i>Y</i>
0000	0	1000	1
0001	1	1001	0
0010	1	1010	0
0011	0	1011	1
0100	1	1100	0
0101	0	1101	1
0110	0	1110	1
0111	1	1111	0

根据表2-2-7，化简可得：

$$Y = A_3'A_2'A_1'A_0 + A_3'A_2'A_1A_0' + A_3'A_2A_1'A_0' + A_3'A_2A_1A_0 + A_3A_2'A_1'A_0' + A_3A_2'A_1A_0 + A_3A_2A_1'A_0' + A_3A_2A_1A_0'$$

2.10 将下列各函数式化为最小项之和的形式。

(1)  $Y = A'BC + AC + B'C$

(2)  $Y = AB'C'D + BCD + A'D$

(3)  $Y = A + B + CD$

$$(4) Y=AB+(BC)'(C'+D)'$$

$$(5) Y=LM'+MN'+NL'$$

$$(6) Y=(A\oplus B)(C\oplus D)'$$

解: (1)  $Y=A'BC+AC(B+B')+B'C(A+A')=A'BC+AB'C+ABC+A'B'C$

(2)  $Y=AB'C'D+(A+A')BCD+A'D(B+B')(C+C')=AB'C'D+A'BCD+ABCD+A'B'C'D+A'B'CD+A'BC'D$

(3)  $Y=A(B'C'D'+B'C'D+B'CD'+B'CD+BC'D'+BC'D+BCD'+BCD)+A'B(C'D'+CD'+C'D+CD)+CD(A'B'+A'B+AB'+AB)=A'B'CD+A'BC'D'+A'BC'D+A'BCD'+A'BCD+AB'C'D'+AB'C'D+AB'CD'+AB'CD+ABC'D'+ABC'D+ABCD'+ABCD$

(4)  $Y=AB+BC+CD=ABC'D+ABC'D+ABCD'+ABCD+A'BCD'+A'BCD+A'B'CD+AB'CD$

(5)  $Y=LM'N'+LM'N+L'MN'+LMN'+L'M'N+L'MN$

(6)  $Y=(A\oplus B)(C\oplus D)'=A\oplus B+C\oplus D=AB'+A'B+C'D+CD'=A'BC'D'+A'BC'D+A'BCD'+A'BCD+AB'C'D'+AB'C'D+AB'CD'+AB'CD+A'B'CD'+ABCD'+A'B'CD+ABC'D$

2.11 将下列各式化为最大项之积的形式。

(1)  $Y=(A+B)(A'+B'+C')$

(2)  $Y=AB'+C$

(3)  $Y=A'BC'+B'C+AB'C$

(4)  $Y=BCD'+C+A'D$

(5)  $Y(A, B, C)=\sum m(1, 2, 4, 6, 7)$

(6)  $Y(A, B, C, D)=\sum m(0, 1, 2, 4, 5, 6, 8, 10, 11, 12, 14, 15)$

解: (1)  $Y=(A+B)(A'+B'+C')=(A+B+CC')(A'+B'+C')=(A+B+C)(A+B+C')(A'+B'+C')$

(2)  $Y=AB'+C=\sum m(1, 3, 4, 5, 7)=\prod M(0, 2, 6)=(A+B+C)(A+B'+C)(A'+B'+C)$

(3)  $Y=\sum m(1, 2, 5)=\prod M(0, 3, 4, 6, 7)=(A+B+C)(A+B'+C')(A'+B+C)(A'+B'+C)(A'+B'+C')$

(4)  $Y=\sum m(1, 2, 3, 5, 6, 7, 10, 11, 14, 15)=\prod M(0, 4, 8, 9, 12, 13)=(A+B+C+D)(A+B'+C+D)(A'+B+C+D)(A'+B'+C+D)(A'+B'+C+D')$

(5)  $Y=\prod M(0, 3, 5)=(A+B+C)(A+B'+C')(A'+B+C')$

(6)  $Y=\prod M(3, 7, 9, 13)=(A+B+C'+D')(A+B'+C'+D')(A'+B+C+D')(A'+B'+C+D')$

2.12 利用逻辑代数的基本公式和常用公式化简下列各式。

(1)  $ACD'+D'$ ; (2)  $AB'(A+B)$ ; (3)  $AB'+AC+BC$ ; (4)  $AB(A+B'C)$ ; (5)  $E'F'+E'F+EF'+$



EF; (6)  $ABD+AB'CD'+AC'DE+A$ ; (7)  $A'BC+(A+B')C$ ; (8)  $AC+BC'+A'B$

解: (1)  $ACD'+D'=D'$

(2)  $AB'(A+B)=AB'$

(3)  $AB'+AC+BC=AB'+BC$

(4)  $AB(A+B'C)=AB$

(5)  $E'F'+E'F+EF'+EF=E'(F'+F)+E(F'+F)=E'+E=1$

(6)  $ABD+AB'CD'+AC'DE+A=A$

(7)  $A'BC+(A+B')C=A'BC+AC+B'C=(A+B)C+B'C=AC+BC+B'C=AC+C=C$

(8)  $AC+BC'+A'B=AC+B(A'+C')=AC+(AC)'B=AC+B$ 。

2.13 用逻辑代数的基本公式和常用公式将下列逻辑函数化为最简与或形式。

(1)  $Y=AB'+B+A'B$

(2)  $Y=AB'C+A'+B+C'$

(3)  $Y=(A'BC)'+(AB')'$

(4)  $Y=AB'CD+ABD+AC'D$

(5)  $Y=AB'(A'CD+(AD+B'C)')(A'+B)$

(6)  $Y=AC(C'D+A'B)+BC((B'+AD)'+CE)'$

(7)  $Y=AC'+ABC+ACD'+CD$

(8)  $Y=A+(B+C)'(A+B'+C)(A+B+C)$

(9)  $Y=BC'+ABC'E+B'(A'D'+AD)'+B(AD'+A'D)$

(10)  $Y=AC+AC'D+AB'E'F+B(D\oplus E)+BC'DE'+BC'D'E+ABE'F$

解: (1)  $Y=AB'+B+A'B=A+B+A'B=A+B$

(2)  $Y=AB'C+A'+B+C'=A'+B'C+(B'C) '=1$

(3)  $Y=(A'BC)'+(AB') '=A+B'+C'+A'+B=1$

(4)  $Y=AB'CD+ABD+AC'D=AD(B'C+B)+AC'D=ABD+ACD+AC'D=ABD+AD=AD$

(5)  $Y=AB'(A'CD+(AD+B'C)')(A'+B)=AB'(A'+B)(A'CD+(AD+B'C)')=0$

(6)  $Y=AC(C'D+A'B)+BC((B'+AD)'+CE) '=BC(B'+AD)(CE) '=ABCDE'$

(7)  $Y=AC'+ABC+ACD'+CD=A(C'+BC)+C(AD'+D)=A(C'+B)+C(A+D)=AC'+AB+AC+CD=A+AB+CD=A+CD$

(8)  $Y=A+(B+C)'(A+B'+C)(A+B+C)=A+B'C(A+C)=A+B'C$

$$(9) Y = BC' + ABC'E + B'(A'D' + AD)' + B(AD' + A'D) = BC' + B'(A \odot D)' + B(A \odot D)' = BC' + AD' + A'D$$

$$(10) Y = AC + AC'D + AB'E'F + B(D \oplus E) + BC'DE' + BC'D'E + ABE'F = AC + AD + (AB'E'F + ABE'F) + B(D \oplus E) + BC'(D \oplus E) = AC + AD + AE'F + B(D \oplus E)$$

2.14 写出图2-2-5中各卡诺图所表示的逻辑函数式。

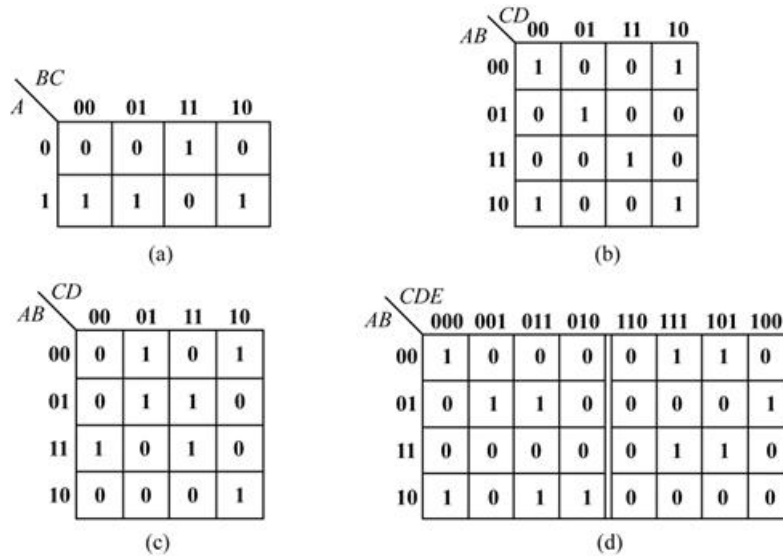


图2-2-5

解: (a)  $Y = A'BC + AB'C' + AB'C + ABC'$

(b)  $Y = A'B'C'D' + A'B'CD' + A'BC'D + AB'C'D' + AB'CD' + ABCD$

(c)  $Y = A'B'C'D + A'B'CD' + A'BC'D + A'BCD + AB'CD' + ABC'D' + ABCD$

(d)  $Y = A'B'C'D'E' + A'B'CD'E + A'BCDE + A'BC'D'E + A'BC'DE + A'BCD'E' + AB'C'D'E' + AB'C'DE' + AB'C'DE + ABCD'E + ABCDE$

2.15 用卡诺图化简法化简以下逻辑函数。

(1)  $Y_1 = C + ABC$

(2)  $Y_2 = AB'C + BC + A'BC'D$

(3)  $Y_3 = (A, B, C) = \sum m(1, 2, 3, 7)$

(4)  $Y_4 = (A, B, C, D) = \sum m(0, 1, 2, 3, 4, 6, 8, 9, 10, 11, 14)$

解: (1) ~ (4) 各式对应的卡诺图如图2-2-6所示, 化简得:

(1)  $Y_1 = C$ ; (2)  $Y_2 = A'BD + AC + BC$ ; (3)  $Y_3 = A'B + A'C + BC$ ; (4)  $Y_4 = A'D' + CD' + B'$ 。

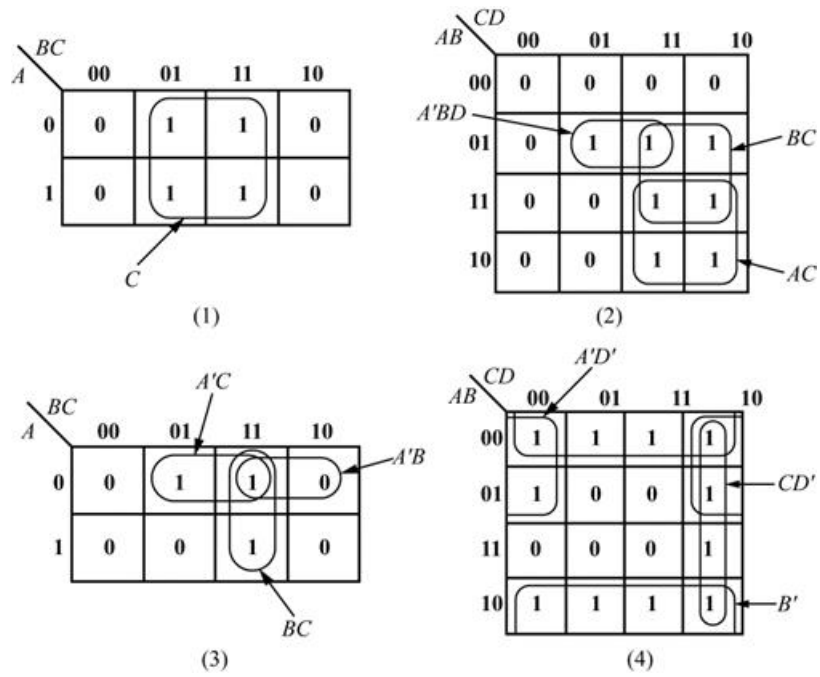


图2-2-6

2.16 用卡诺图化简法将下列函数化为最简与或形式。

(1)  $Y = ABC + ABD + C'D' + AB'C + A'CD' + AC'D$

(2)  $Y = AB' + A'C + BC + C'D$

(3)  $Y = A'B' + BC' + A' + B' + ABC$

(4)  $Y = A'B' + AC + B'C$

(5)  $Y = AB'C' + A'B' + A'D + C + BD$

(6)  $Y(A, B, C) = \sum m(0, 1, 2, 5, 6, 7)$

(7)  $Y(A, B, C, D) = \sum m(0, 1, 2, 5, 8, 9, 10, 12, 14)$

(8)  $Y(A, B, C) = \sum m(1, 4, 7)$

解：(1) ~ (8) 各式对应的卡诺图如图2-2-7所示，化简得：

(1)  $Y = A + D'$ ; (2)  $Y = AB' + C + D$ ; (3)  $Y = 1$ ; (4)  $Y = A'B' + AC$ ; (5)  $Y = B' + C + D$ ;

(6)  $Y = A'B' + AC + BC'$ ; (7)  $Y = AD' + B'C' + B'D' + A'C'D$ ; (8)  $Y = A'B'C + AB'C' + ABC$ 。

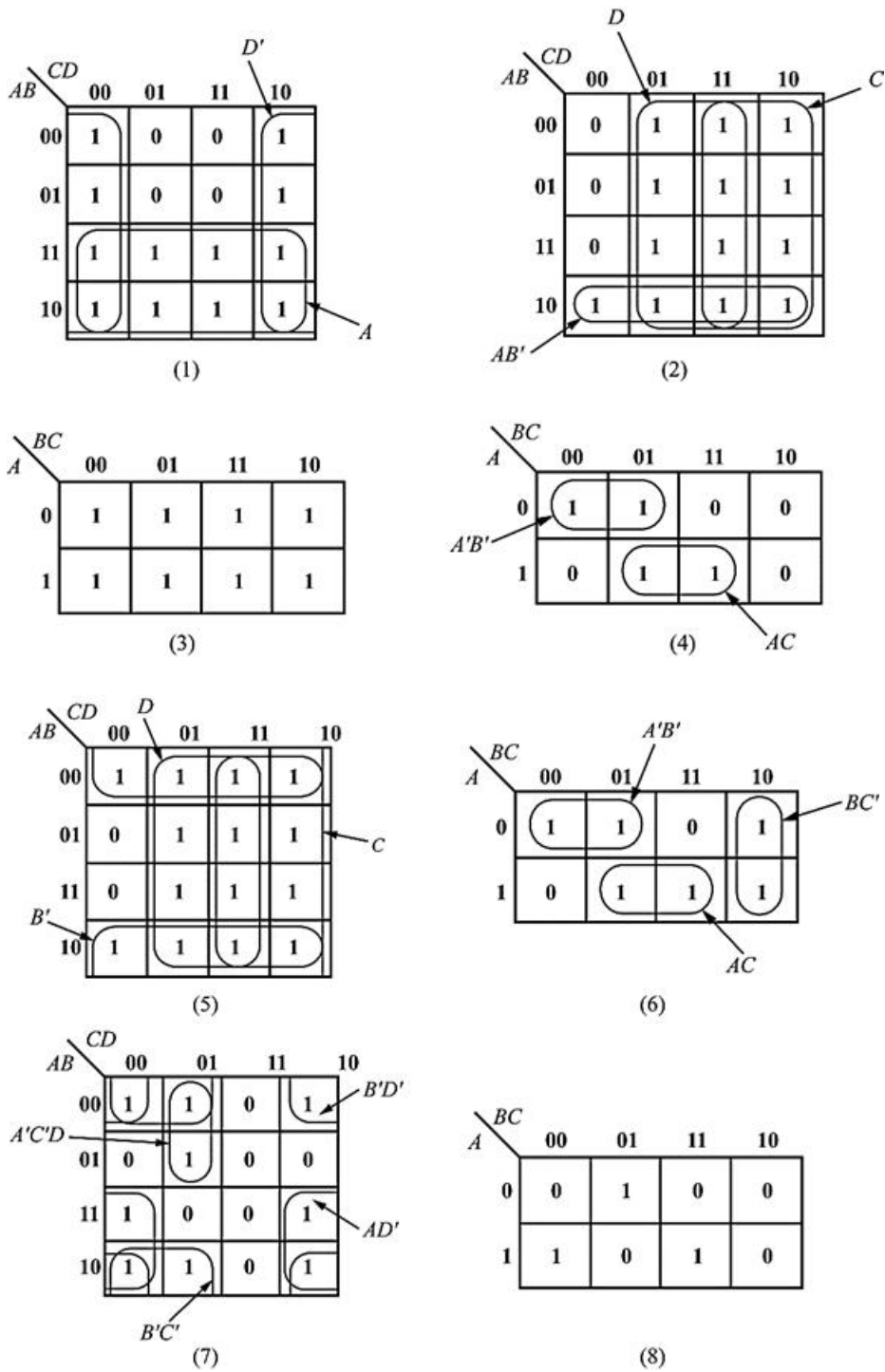


图2-2-7

2.17 化简下列逻辑函数（方法不限）。

(1)  $Y = AB' + A'C + C'D' + D$

(2)  $Y = A'(CD' + C'D) + BC'D + AC'D + A'CD'$

(3)  $Y = ((A' + B')D)' + (A'B' + BD)C' + A'BC'D + D'$

(4)  $Y = AB'D + A'B'C'D + B'CD + (AB' + C)'(B + D)$

(5)  $Y = (AB'C'D + AC'DE + B'DE' + AC'D'E)'$

解：(1)  $Y = AB' + A'C + C'D' + D = AB' + A'C + C' + D = AB' + A' + C' + D = B' + A' + C' + D;$

(2) ~ (5) 各式对应的卡诺图如图2-2-8所示，化简得

(2)  $Y=CD'+A'CD'$ ; (3)  $Y=AB+A'C'+D'$ ; (4)  $Y=BC'+B'D$ ; (5)  $Y=A'E+CE+BE'+D'E'$ 。

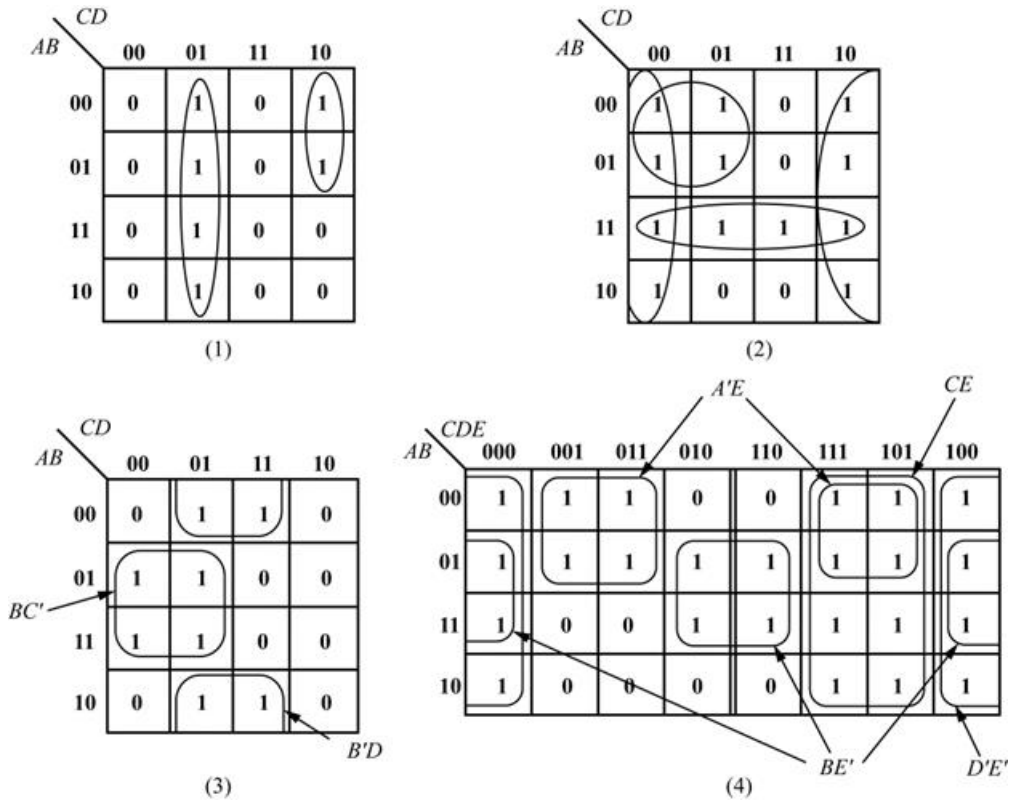


图2-2-8

2.18 写出图2-2-9中各逻辑图的逻辑函数式，并化简为最简与或式。

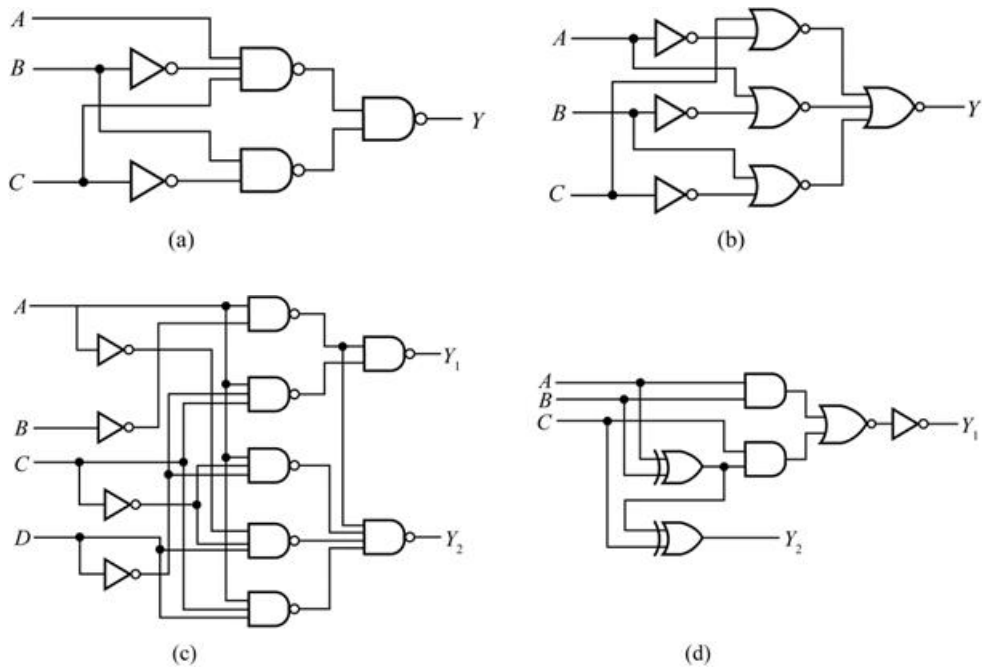


图2-2-9

解: (a)  $Y = ((AB'C)'(BC)')' = AB'C + BC'$

(b)  $Y = ((A'+C)' + (A+B)')' + (B+C)' = (A'+C)(A+B)(B+C) = (A'B'+AC+B'C)(B+C) = A'B'C + ABC$

$$(c) Y_1 = ((AB')' (ACD')')' = AB' + ACD'$$

$$Y_2 = ((AB')' (AC'D')' (A'C'D)' (ACD)')' = AB' + AC'D' + A'C'D + ACD \quad (\text{用卡诺图检验, 知该式不能再化简})$$

$$(d) Y_1 = ((AB + C(A \oplus B))')' = AB + C(A'B + AB') = AB + A'BC + AB'C = A(B + C) + A'BC = AB + AC + A'BC = AB + AC + BC$$

$$Y_2 = A \oplus B \oplus C = (A \oplus B)C' + (A \odot B)C = AB'C' + A'BC' + A'B'C + ABC$$

2.19 对于互相排斥的一组变量A、B、C、D、E、(即任何情况下, A、B、C、D、E不可能有两个或两个以上同时为1), 试证明 $AB'C'D'E'=A$ ,  $A'BC'D'E'=B$ ,  $A'B'CD'E'=C$ ,  $A'B'C'DE'=D$ ,  $A'B'C'D'E'=E$ 。

证明: 由题意可得,  $AB=AC=AD=AE=BC=BD=BE=DE=0$ , 即

$$AB'C'D'E' = AB'C'D'E' + AB'C'D'E = AB'C'D' = AB'C'D + AB'C'D' = AB'C' = AB'C' + AB'C = AB' = AB + AB' = A$$

同理可得:  $A'BC'D'E'=B$ ;  $A'B'CD'E'=C$ ;  $A'B'C'DE'=D$ ;  $A'B'C'D'E'=E$ 。

2.20 将下列具有约束项的逻辑函数化为最简与或形式。

$$(1) Y_1 = AB'C' + ABC + A'B'C + A'BC', \text{ 给定约束条件为 } A'B'C' + A'BC = 0$$

$$(2) Y_2 = (A + C + D)' + A'B'CD' + AB'C'D, \text{ 给定约束条件为 } AB'CD' + AB'CD + ABC'D' + ABC'D + ABCD' + ABCD = 0。$$

$$(3) Y_3 = CD'(A \oplus B) + A'BC' + A'C'D, \text{ 给定约束条件为 } AB + CD = 0。$$

$$(4) Y_4 = (AB' + B)CD' + ((A + B)(B' + C))', \text{ 给定约束条件为 } ABC + ABD + ACD + BCD = 0。$$

解: (1) ~ (4) 各式对应的卡诺图如图2-2-10所示, 化简得:

$$(1) Y_1 = A' + B'C' + BC; \quad (2) Y_2 = A'B'D' + A'C'D' + AD;$$

$$(3) Y_3 = B + A'D + AC; \quad (4) Y_4 = A' + B + C。$$

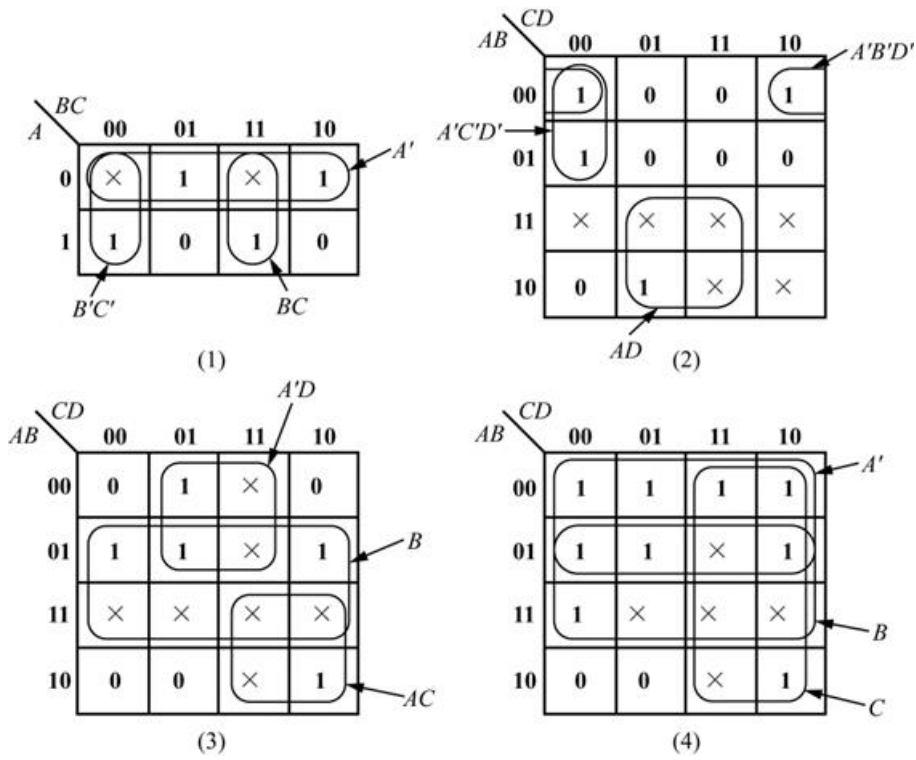


图2-2-10

2.21 将下列具有无关项的逻辑函数化为最简的与或逻辑式。

(1)  $Y_1(A, B, C) = \sum m(0, 1, 2, 4) + d(5, 6)$

(2)  $Y_2(A, B, C) = \sum m(1, 2, 4, 7) + d(3, 6)$

(3)  $Y_3(A, B, C, D) = \sum m(3, 5, 6, 7, 10) + d(0, 1, 2, 4, 8)$

(4)  $Y_4(A, B, C, D) = \sum m(2, 3, 7, 8, 11, 14) + d(0, 5, 10, 15)$

解：(1) ~ (4) 各式对应的卡诺图如图2-2-11所示，化简得：

(1)  $Y_1 = B' + C'$ ; (2)  $Y_2 = B + A'C + AC'$ ; (3)  $Y_3 = A' + B'D'$ ; (4)  $Y_4 = AC + CD + B'D'$ 。

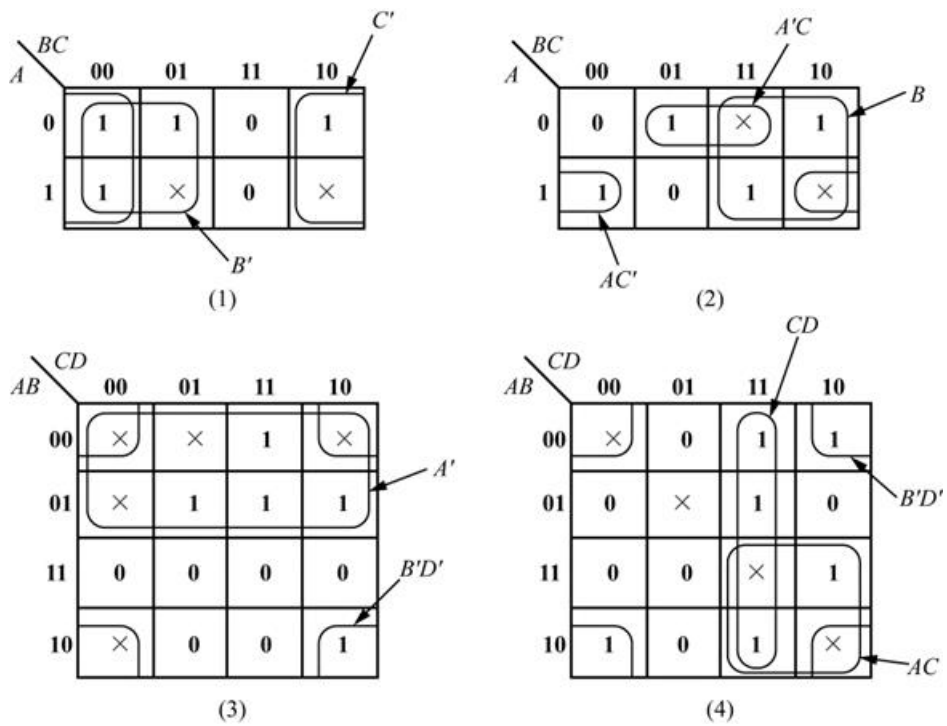


图2-2-11

2.22 试证明两个逻辑函数间的与、或、异或运算可以通过将它们的卡诺图中对应的最小项做与、或、异或运算来实现，如图2-2-12所示。

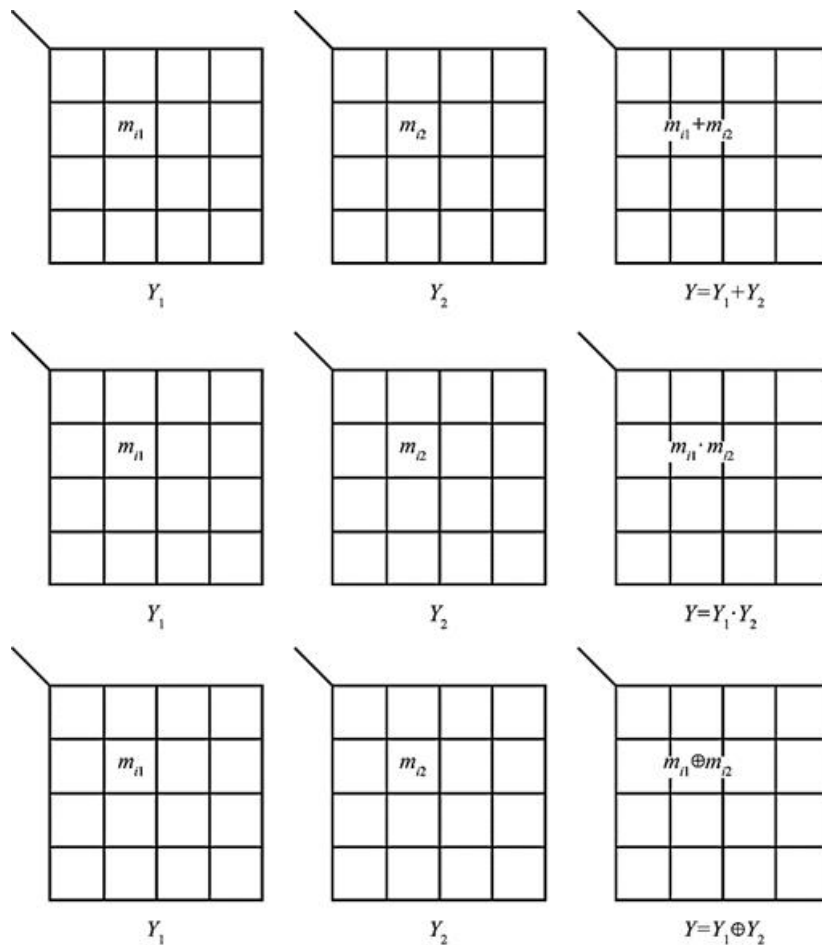


图2-2-12

证明：将两个逻辑表达式均表示成最小项和的形式。

(1) 因为任意两个不同的最小项的乘积为0，所以两个逻辑表达式的与项中只含有两个逻辑表达式中共同的最



小项，即两个逻辑表达式进行与运算时，其卡诺图上为1的最小项是两个逻辑表达式都为1的最小项。

(2) 两个逻辑表达式进行或运算时，任何一个逻辑表达式中的最小项，都是或运算后的最小项。即两个逻辑表达式进行或运算时，其卡诺图上为1的最小项是两个逻辑表达式都为1的最小项。

(3) 若两个逻辑表达式进行同或运算，由于 $Y_1 \odot Y_2 = Y_1 Y_2 + Y_1' Y_2'$ ，可知，同或后为1的最小项，是两个逻辑表达式中均为1或均为0的最小项，又因为异或是同或的反运算，因此，异或后的卡诺图中为1的最小项将选择出两个逻辑表达式的卡诺图中逻辑值不同的最小项。即通过两个逻辑表达式的卡诺图的异或运算，可得到两个表达式异或运算的卡诺图。

2.23 利用卡诺图之间的运算（参见上题）将下列逻辑函数化为最简与或式。

(1)  $Y = (AB + A'C + B'D) (AB'C'D + A'CD + BCD + B'C)$

(2)  $Y = (A'B'C + A'BC' + AC) (AB'C'D + A'BC + CD)$

(3)  $Y = (A'D' + C'D + CD') \oplus (AC'D' + ABC + A'D + CD)$

(4)  $Y = (A'C'D' + B'D' + BD) \oplus (A'BD' + B'D + BCD')$

解：表达式 (1) (2) 可以写成 $Y = Y_1 Y_2$ ，所以Y的卡诺图是 $Y_1$ 和 $Y_2$ 卡诺图的与。

表达式 (3) (4) 可以写成 $Y = Y_1 \oplus Y_2$ ，所以Y的卡诺图是 $Y_1$ 和 $Y_2$ 卡诺图的异或。

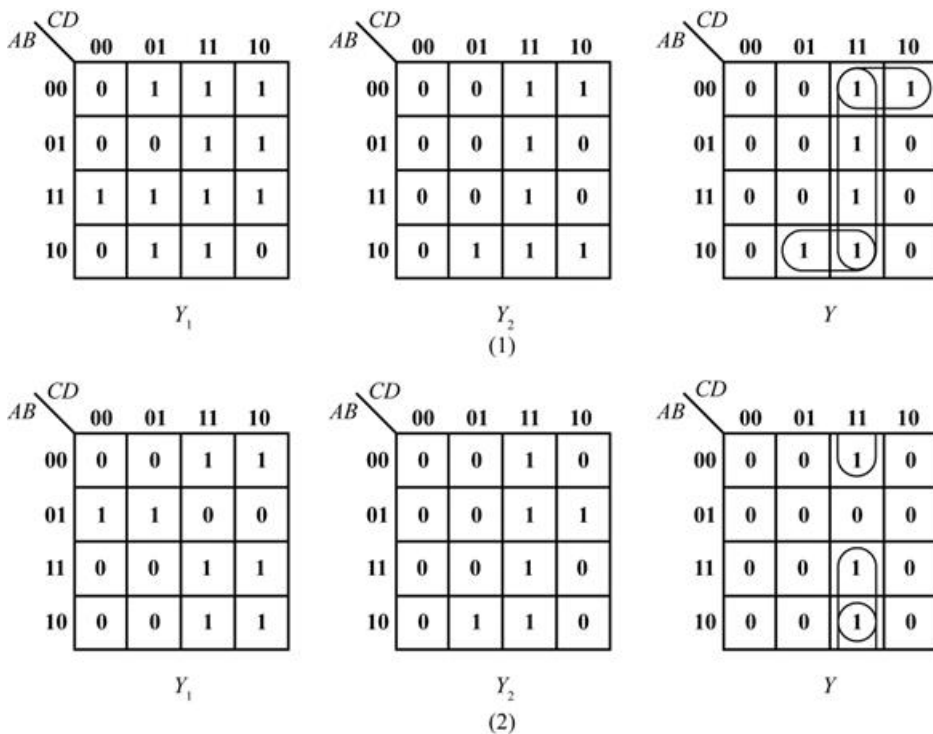
卡诺图如图2-2-13所示，化简得：

(1)  $Y = AB'D + A'B'C + CD$

(2)  $Y = ACD + B'CD$

(3)  $Y = AB' + A'C + AD + C'D'$  或  $Y = C'D' + B'C + A'C + AD$

(4)  $Y = B' + C + D$



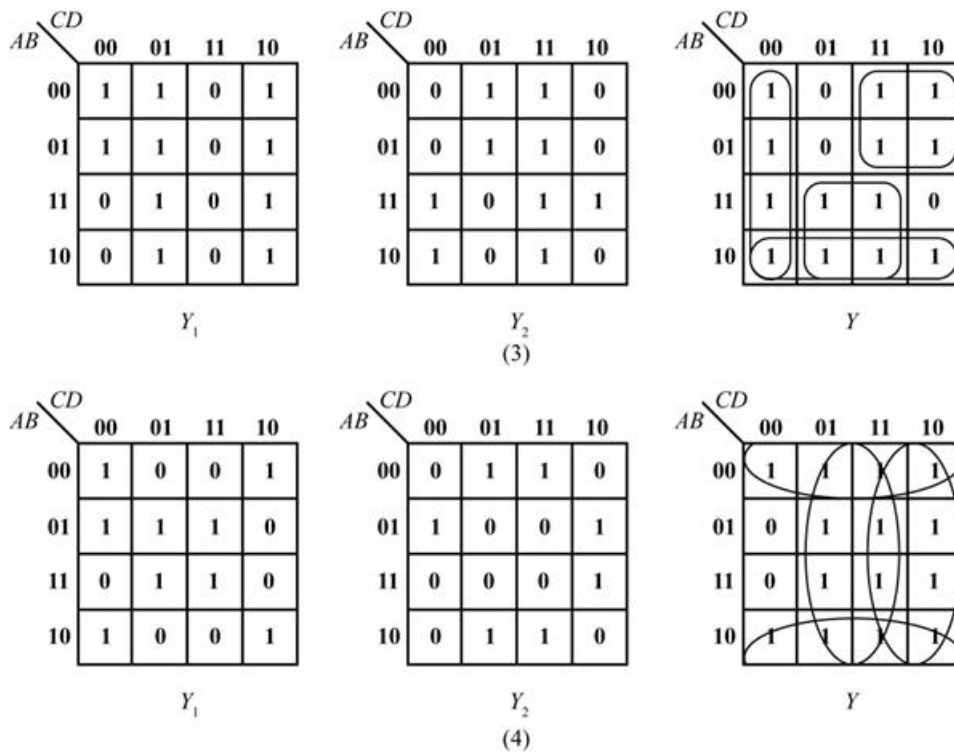


图2-2-13

2.24 化简下列一组多输出逻辑函数，要求尽可能利用共用项，将这一组逻辑函数从总体上化为最简，并将化简结果与 $Y_1$ 、 $Y_2$ 各自独立化简结果进行比较。

$$Y_1(A, B, C, D) = \sum m(0, 1, 8, 9, 10, 12, 13, 14)$$

$$Y_2(A, B, C, D) = \sum m(0, 1, 2, 3, 6, 7, 10, 14)$$

解：

(1) 若将 $Y_1$ 、 $Y_2$ 分别进行化简，则可画出图2-2-14 (a) 的卡诺图，合并最小项后得到：

$$Y_1(A, B, C, D) = AC' + B'C' + AD'$$

$$Y_2(A, B, C, D) = A'B' + CD' + A'C$$

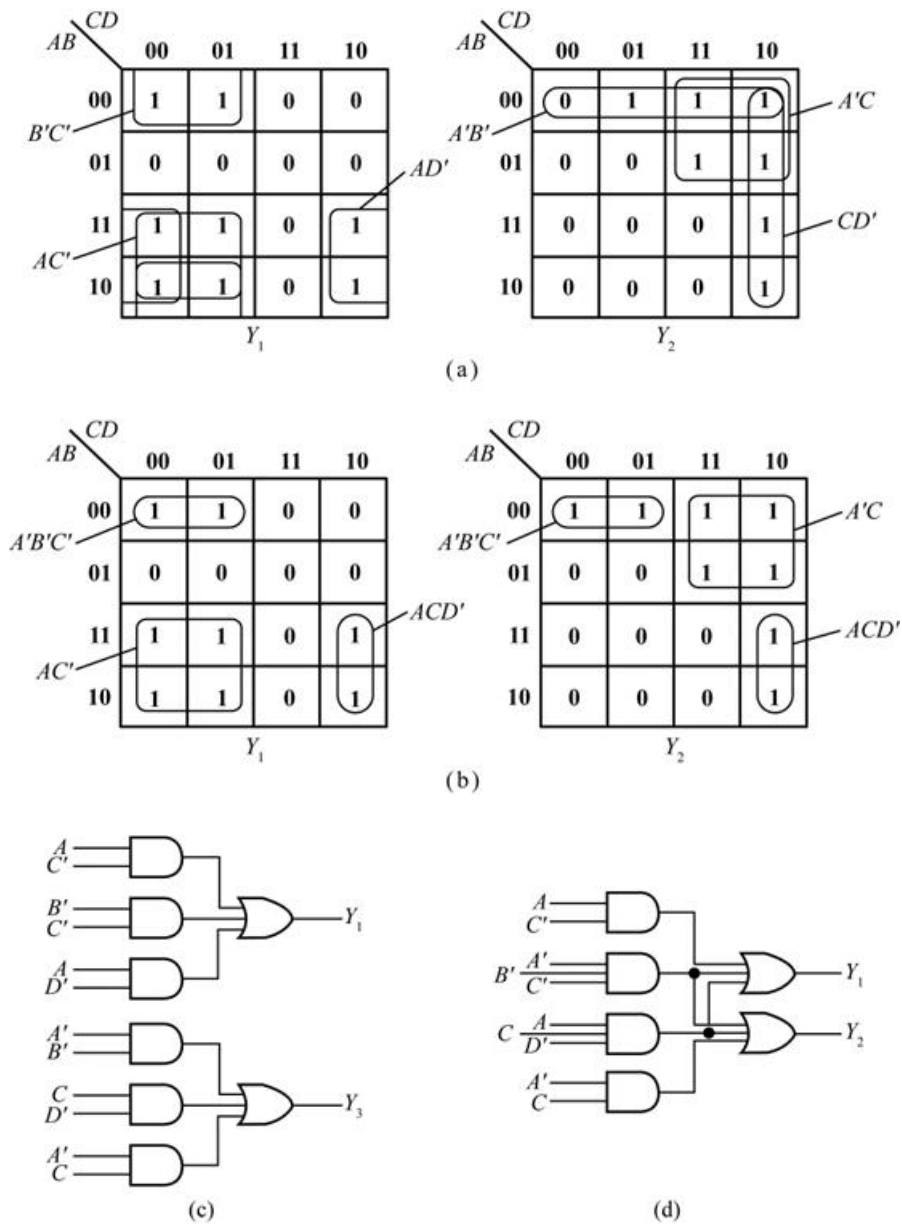


图2-2-14

根据上式得到的逻辑图如图2-2-14 (c) 所示。实现这一组逻辑函数需要8个门和18个输入端。

(2) 若利用共用项将 $Y_1$ 、 $Y_2$ 整体化简，则可按照图2-2-14 (b) 所示合并最小项，得到：

$$Y_1(A, B, C, D) = AC' + A'B'C' + ACD'$$

$$Y_2(A, B, C, D) = A'C + ACD' + A'B'C'$$

根据上式得到的逻辑图如图2-2-14 (d) 所示，实现这一组逻辑函数需要6个门和16个输入端。

2.25 化简下列一组多输出逻辑函数。要求尽可能利用共用项，将这一组逻辑函数从整体上化为最简，并将最简结果与 $Y_1$ 、 $Y_2$ 和 $Y_3$ 各自独立化简结果进行比较。

$$Y_1(A, B, C, D) = \sum m(0, 8, 9, 10, 11, 14, 15)$$

$$Y_2(A, B, C, D) = \sum m(0, 2, 3, 6, 7, 10, 11, 12, 13, 15)$$

$$Y_3(A, B, C, D) = \sum m(0, 1, 3, 5, 7, 10, 11, 12, 13, 15)$$

解:

(1) 若将 $Y_1$ 、 $Y_2$ 、 $Y_3$ 分别进行化简, 则可画出图2-2-15 (a) 的卡诺图, 合并最小项后得到:

$$Y_1(A, B, C, D) = AB' + B'C'D' + AC$$

$$Y_2(A, B, C, D) = A'B'D' + CD + A'C + ABC' + B'C$$

$$Y_3(A, B, C, D) = A'D + AB + A'B'C' + AC$$

根据上式得到的逻辑图如图2-2-15 (c) 所示。实现这一组逻辑函数需要15个门和40个输入端。

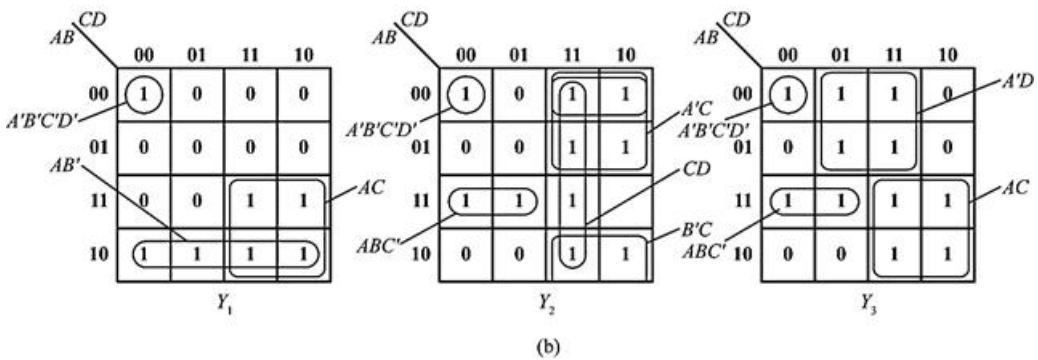
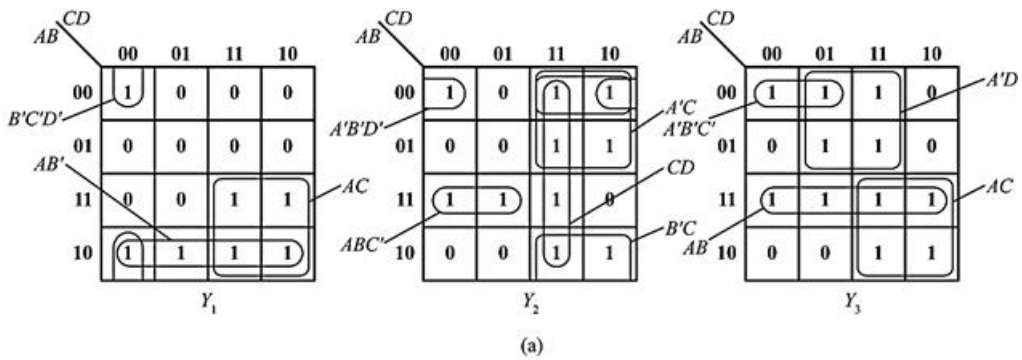
(2) 若利用共用项将 $Y_1$ 、 $Y_2$ 、 $Y_3$ 整体化简, 则可按照图2-2-15 (b) 所示合并最小项, 得到:

$$Y_1(A, B, C, D) = A'B'C'D' + AB' + AC$$

$$Y_2(A, B, C, D) = A'B'C'D' + A'C + CD + ABC' + B'C$$

$$Y_3(A, B, C, D) = A'B'C'D' + A'D + ABC' + AC$$

根据上式得到的逻辑图如图2-2-15 (d) 所示, 实现这一组逻辑函数需要11个门和31个输入端。



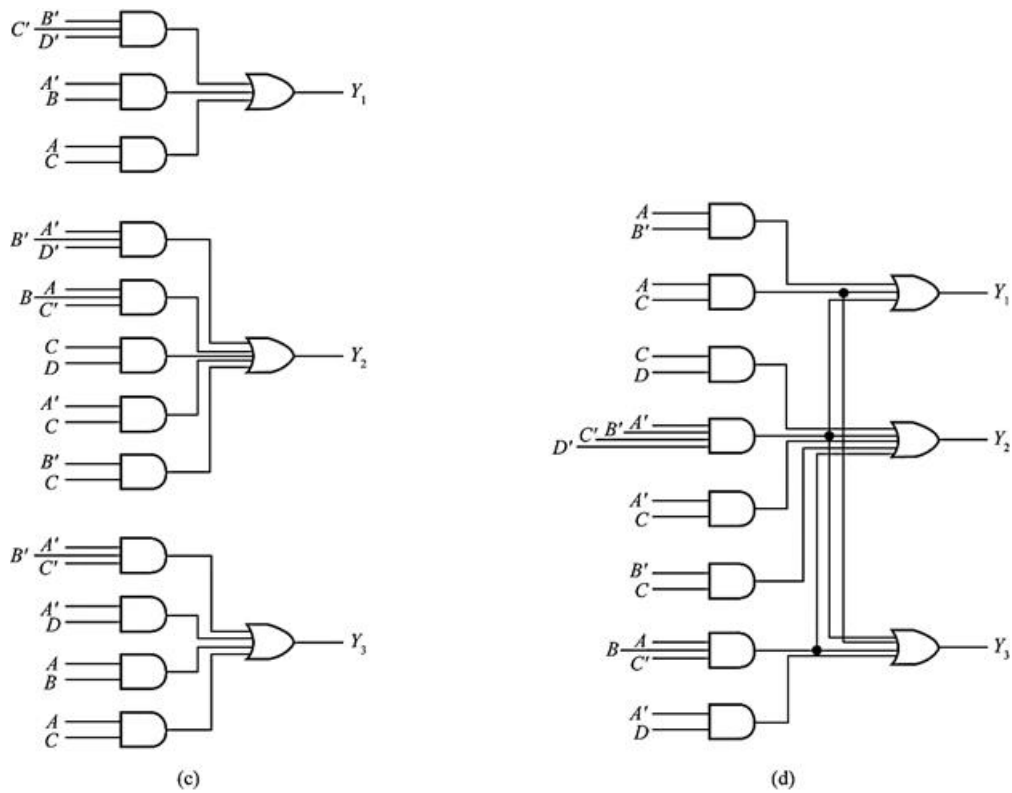


图2-2-15

2.26 将下列逻辑函数式化为与非-与非形式，并画出全部由与非逻辑单元组成的逻辑电路图。

(1)  $Y=AB+BC+AC$ ; (2)  $Y=(A'+B)(A+B')C+(BC)'$ ;

(3)  $Y=(ABC'+AB'C+A'BC)'$ ; (4)  $Y=A(BC)'+((AB')'+A'B'+BC)'$

**解：**先将表达式化简成与非-与非形式。

(1)  $Y=AB+BC+AC=((AB)'(BC)'(AC)')'$

(2)  $Y=(A'+B)(A+B')C+(BC)'=A'B'C+ABC+B'+C'=A+B'+C'=(A'BC)'$

(3)  $Y=(ABC'+AB'C+A'BC)'=A'B'C'+A'B'C+A'BC'+AB'C'+ABC=A'B'+A'C'+B'C'+ABC=((A'B')'(A'C')'(B'C')'(ABC)')'$

(4)  $Y=A(BC)'+((AB')'+A'B'+BC)'=A(BC)'+AB'(A'B')'(BC)'=A(BC)'+((A(BC)')')'$

(1) ~ (4) 各式对应逻辑电路图如图2-2-16所示。

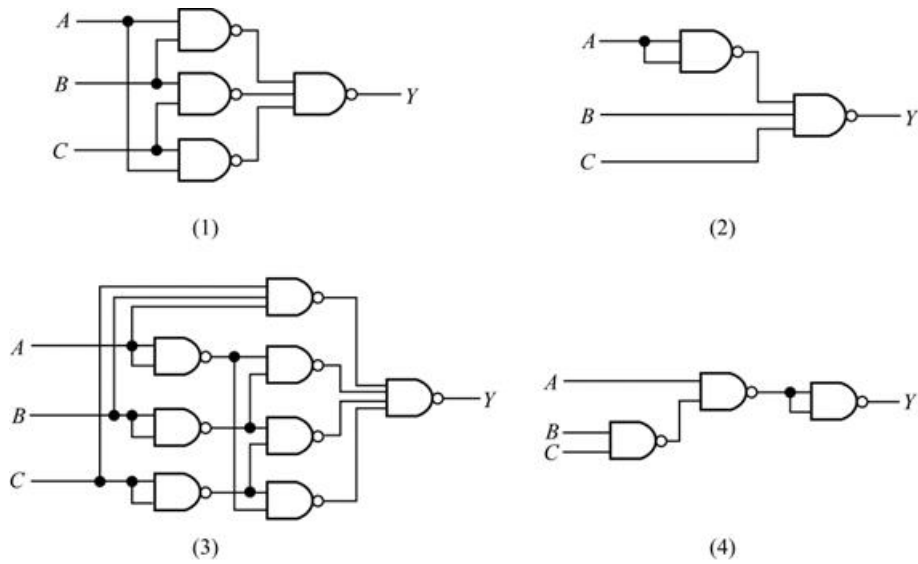


图2-2-16

2.27 将下列逻辑函数化为或非-或非形式，并画出全部用或非逻辑单元组成的逻辑电路图。

(1)  $Y = AB'C + BC'$

(2)  $Y = (A+C) (A'+B+C') (A'+B'+C)$

(3)  $Y = (ABC' + B'C) 'D' + A'B'D$

(4)  $Y = ((CD)' (BC)' (ABC)' D) '$

**解：** (1)  $Y = AB'C + BC' = ((AB'C)' \cdot (BC')')' = ((A'+B+C')(B'+C))' = (A'B'+A'C+BC+B'C)' = (A'B'+BC+B'C)' = ((B+C)' + (B'+C)') + (A+B)'$ ；

(2)  $Y = (A+C) (A'+B+C') (A'+B'+C) = A'C + BC + AB'C'$ ，画出该式的卡诺图，合并其中的0，然后求反得  $Y = (A'C' + AB'C + BC')' = ((A+C)' + (A'+B+C)') + (B'+C)'$ ；

(3)  $Y = ((ABC' + B'C)' D' + A'B'D)' = ((ABC' + B'C + D) (A+B+D))' = (ABC' + AD + B'CD' + BD)' = ((B'+D)') + (A'+D)') + (B+C'+D)' + (A'+B'+C)'$ ；

(4)  $Y = ((CD)' (BC)' (ABC)' D)' = ((C'+D) (B'+C') (A'+B'+C) D)' = (C'D' (B'+C)')' = (C'D)' = ((C+D)')$ ；

(1) ~ (4) 各式对应逻辑电路图如图2-2-17所示。

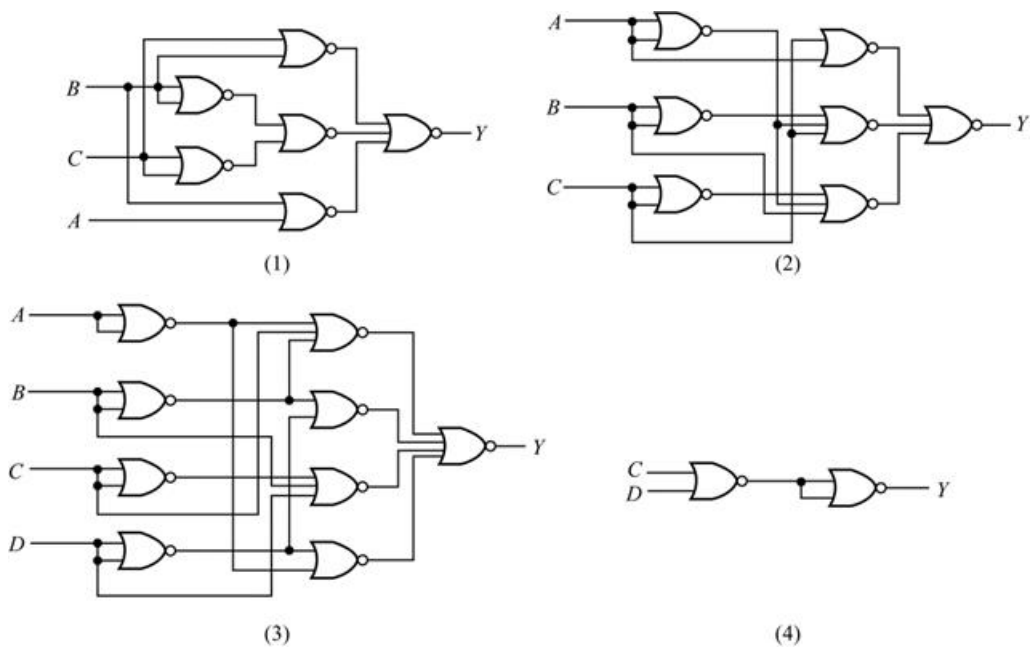


图2-2-17

## 2.3 名校考研真题详解

### 一、填空题

函数  $F(A, B, C) = \sum m(0, 2, 4, 5, 7)$ ，则其最大项表达式是  $F(A, B, C) = (\quad)$  (必须写出标准形式，不能用简写形式)。[北京邮电大学2010研]

**【答案】**  $F(A, B, C) = \prod M(1, 3, 6) = (\bar{A} + \bar{B} + C)(\bar{A} + B + C)(A + B + \bar{C})$ 。

**【解析】** 根据题意已知三变量A、B、C的最小项之和，那么最大项表达式即为最大项之积的形式。

**2** n个输入变量共有( )个最大项，全体最大项之积为( )。[山东大学 2017 研]

**【答案】**  $2^n$ ; 0

**【解析】** 在n个变量的逻辑函数中，若M为包含n个变量之和，且这n个变量均以原变量和反变量的形式在M中只出现一次，则M为该变量的最大项，因此n个输入变量共有 $2^n$ 个最大项；由于每一项都必包含原变量和反变量，因此全体最大项之积为0。

### 二、选择题

**1** 与  $F = \bar{A}B + B\bar{C} + AC$  功能相同的逻辑函数是( )。[北京科技大学2010研]

- A.  $F = C + AB$
- B.  $F = B + AC$
- C.  $F = A + BC$
- D.  $F = A + B + C$

【答案】B

【解析】 $F=B(\bar{A}+\bar{C})+AC=B\bar{A}\bar{C}+AC=(AC+B)(AC+\bar{A}\bar{C})=AC+B$ 。

2 逻辑函数 $F_1=\sum_{ABCD}(2, 4, 5, 7, 9, 14)$ 和 $F_2=\prod_{ABCD}(1, 6, 8, 10, 11, 13)$ 之间满足( )关系。[电子科技大学2009研]

- A. 对偶
- B. 相等
- C. 香农展开
- D. 反演

【答案】A

【解析】根据题意, 可将逻辑函数 $F_1$ 和 $F_2$ 展开为变量A、B、C、D的函数表达式,  $F_1=\bar{A}\bar{B}\bar{C}\bar{D}+\bar{A}\bar{B}\bar{C}D+\bar{A}\bar{B}C\bar{D}+\bar{A}\bar{B}CD+\bar{A}B\bar{C}\bar{D}+\bar{A}B\bar{C}D+\bar{A}BC\bar{D}+\bar{A}BCD$ ,  $F_2=(A+B+C+\bar{D})\cdot(A+\bar{B}+\bar{C}+D)\cdot(\bar{A}+B+C+D)\cdot(\bar{A}+B+\bar{C}+D)\cdot(\bar{A}+B+\bar{C}+\bar{D})\cdot(\bar{A}+\bar{B}+C+\bar{D})$ , 根据对偶式的定义可知,  $F_1, F_2$ 满足对偶关系。

3 化简 $F=F(A, B, C)=\sum m(0, 2, 7)+\sum \Phi(1, 3, 4, 5, 6)$ 的结果是( )。[江苏大学2016研]

- A. 0
- B. A
- C. 1
- D. AB

【答案】A

【解析】由题可得F由最小项与无关项组成, 利用卡诺图方式进行化简, 如图2-3-1所示。

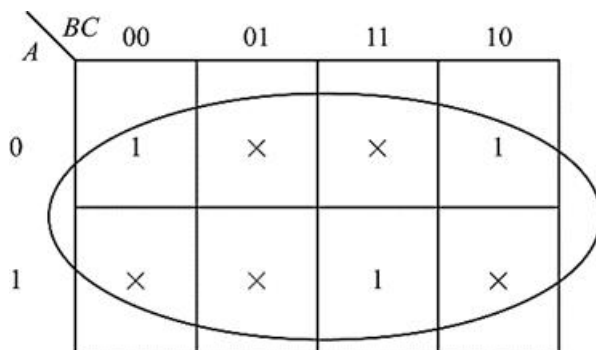


图2-3-1 卡诺图

### 三、分析计算题

1 将下列逻辑函数化为最简与或式。[北京科技大学2011研]

$$F=\overline{\bar{A}\bar{B}+B\bar{D}}+CD+\bar{A}\bar{C}+\bar{A}CD$$



解:

$$\begin{aligned}
 F &= (A'B' + BD')' + CD + A'C' + A'CD \\
 &= (A'B') \cdot (BD')' + CD + A'C' + A'CD \\
 &= (A+B)(B'+D) + CD + A'C' + A'CD \\
 &= AB' + AD + BD + CD + A'C' \\
 &= AB' + BD + CD + A'C' \\
 &= (AB' + B)(AB' + D) + (C + A'C')(D + A'C') \\
 &= (A+B)(AB' + D) + (C + A')(D + A'C') \\
 &= AB' + AD + BD + A'C' + A'D + CD \\
 &= AB' + A'C' + (A + A' + B + C)D \\
 &= AB' + A'C' + D
 \end{aligned}$$

也可结合卡诺图化简。

2 按要求化简，答题过程清晰。[中山大学2017研]

(1) 化为最简与或式:  $Y_1(ABC) = A(A \oplus B \oplus C)$

(2) 化为最简与或式:  $Y_2(ABCD) = AC + A' + C' + (AB'C + ABD)'$

(3) 用卡诺图化为最简与或表达式:  $Y_3(ABCD) = \Sigma m(0, 1, 2, 3, 4, 5, 6, 8, 9)$

解: (1)  $Y_1(ABC) = A(A \oplus B \oplus C) = A((AB' + A'B) \oplus C) = A((AB'C' + A'BC') + (AB' + A'B)'C)$   
 $= A((AB'C' + A'BC') + (A'B' + AB)C) = A(AB'C' + A'BC' + A'B'C + ABC) = AB'C' + ABC$

(2)  $Y_2(ABCD) = AC + A' + C' + (AB'C + ABD)' = C + A' + C' + (AB'C + ABD)' = 1$

(3) 根据逻辑表达式可画出卡诺图如图2-3-2所示:

	<i>CD</i>			
	00	01	11	10
<i>AB</i>	00	01	11	10
	1	1	1	1
	1	1	1	1
	0	0	0	0
	1	1	0	0

图2-3-2 卡诺图

根据卡诺图可得  $Y_3(ABCD) = A' + B'C'$ 。

3 已知某组合电路的输入A, B, C, 及输出 $F_1, F_2$ 的波形如图2-3-3。[山东大学 2016 研]

(1) 列出该电路的真值表。

(2) 写出输出 $F_1, F_2$ 的与或表达式。

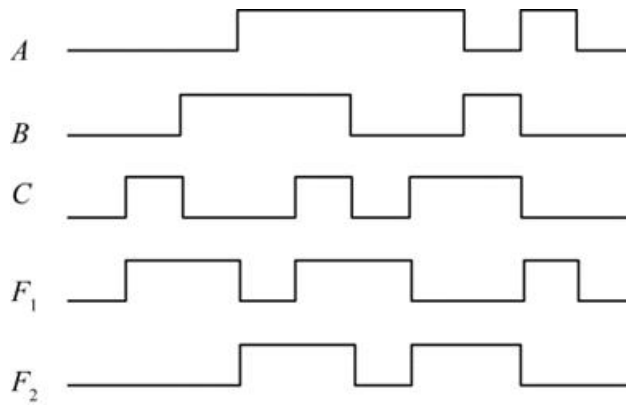


图2-3-3

解：（1）该电路的真值表为：

表2-3-1 真值表

A	B	C	F <sub>1</sub>	F <sub>2</sub>
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

（2）根据电路的真值表可写出电路的与或表达式为：

$$F_1 = A'B'C + A'BC' + AB'C' + ABC$$

$$F_2 = A'BC + AB'C + ABC' + ABC$$

## 第3章 门电路

### 3.1 复习笔记

本章系统地讲述了数字集成电路中的基本逻辑单元电路——门电路，为后续使用门电路器件打下了基础。本章主要介绍了二极管和三极管在开关状态下的工作特性，CMOS门电路和TTL门电路的工作原理和逻辑功能。本章的重点内容为CMOS门电路和TTL门电路。

#### 一、概述

##### 1 门电路的概念和类型（见表3-1-1）

表3-1-1 门电路的概念和类型

要点	主要内容
概念	实现基本逻辑运算和复合逻辑运算的单元电路
类型	与门、或门、非门、与非门、或非门、异或门、与或非门

##### 2 正逻辑与负逻辑

在电子电路中，用高、低电平分别表示二值逻辑的1和0两种逻辑状态。如果以高电平表示逻辑1，以低电平表示逻辑0，则称这种表示方法为正逻辑；反之，则称这种表示方法为负逻辑，如图3-1-1所示。

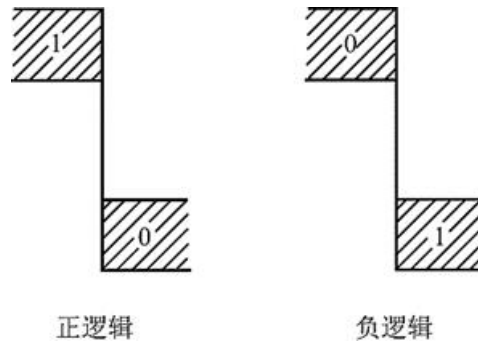


图3-1-1 正、负逻辑示意图

### 3 集成电路分类（见表3-1-2）

表3-1-2 集成电路分类

分类	主要内容
按集成度高低分类	小规模集成电路（SSI）、中规模集成电路（MSI）、大规模集成电路（LSI）、超大规模集成电路（VLSI）、甚大规模集成电路（ULSI）
按制造工艺分类	双极型、单极型、混合型

## 二、半导体二极管门电路

### 1 半导体二极管的开关特性

(1) 半导体二极管的单向导电性：

外加正向电压时导通，外加反向电压时截止，开关电路如图3-1-2所示，但其并不具有理想的开关特性，而是相当于一个受外加电压极性控制的开关，伏安特性如图3-1-3所示。

(2) 工作原理：

① 当  $v_I = V_{IH}$ ，D截止， $v_O = V_{OH} = V_{CC}$ ；

② 当  $v_I = V_{IL} = 0$ ，D导通， $v_O = V_{OL} = 0$ 。

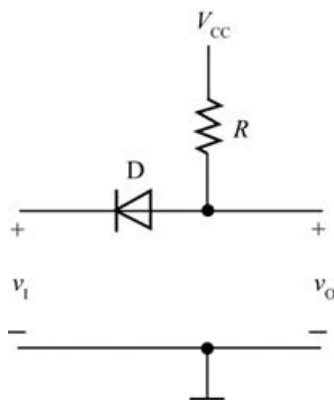


图3-1-2 二极管开关电路图

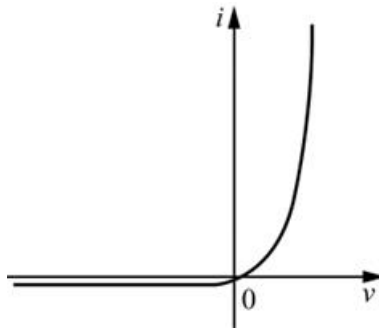


图3-1-3 二极管伏安特性示意图

(3) 伏安特性的近似法:

- ① 当外电路的等效电源 $V_{CC}$ 和等效电阻 $R_L$ 都很小时，二极管的正向导通压降和正向电阻都不能忽略，如图3-1-4 (a) 所示；
- ② 当二极管的正向导通压降和外加电源电压相比不能忽略，而与外接电阻相比二极管的正向电阻可以忽略时，如图3-1-4 (b) 所示；
- ③ 当二极管的正向导通压降和正向电阻与电源电压和外接电阻相比均可忽略时，可以将二极管看作理想开关，如图3-1-4 (c) 所示。

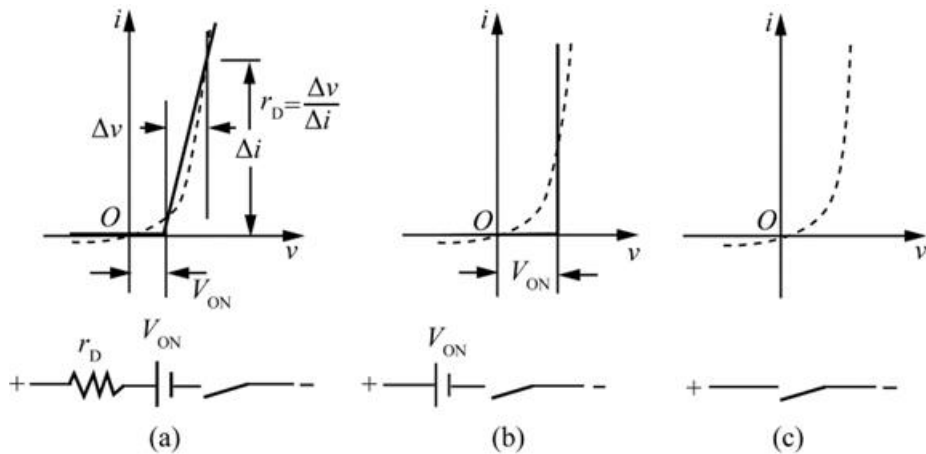


图3-1-4 几种二极管伏安特性近似法

2 二极管与门、或门（见表3-1-3）

表3-1-3 二极管与门、或门要点总结

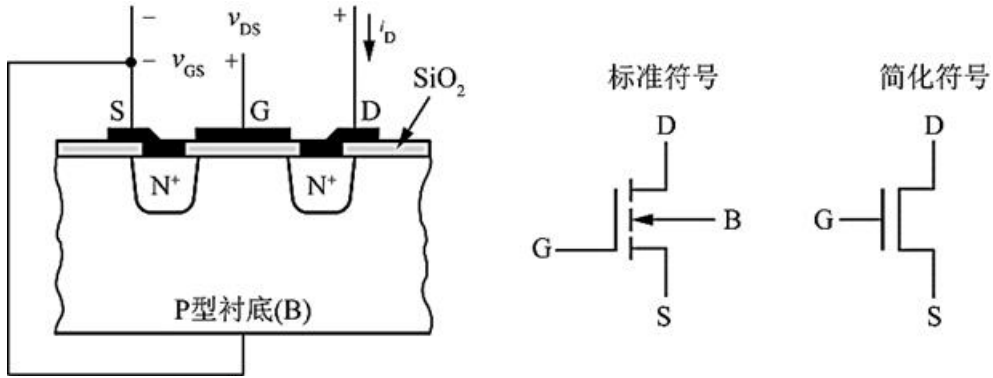
种类	电路图	工作原理	逻辑电平		
			A/V	B/V	Y/V
二极管 与门		① A、B 只要有一个是低电平 0V，则必有一个二极管导通，使 Y 为 0.7V； ② A、B 同时为高电平 3V 时，Y 为 3.7V	0	0	0.7
			0	3	0.7
			3	0	0.7
			3	3	3.7
			3	3	3.7
二极管 或门		① A、B 当中有一个是高电平，输出为 2.3V； ② 当 A、B 同时为低电平时，输出为 0V	0	0	0
			0	3	2.3
			3	0	2.3
			3	3	2.3
			3	3	2.3

### 三、CMOS门电路

#### 1 MOS管的开关特性

(1) MOS管的结构与工作原理:

① 结构示意图与符号见图3-1-5:



3-1-5 MOS管的结构与符号

② 工作原理: 电路图见图3-1-6, 具体工作原理为:

- 当  $v_I = v_{GS} < V_{GS(th)}$  时, MOS管工作在截止区, 在输出端即为高电平  $V_{OH} \approx V_{DD}$ ;
- 当  $v_I > V_{GS(th)}$ , 且  $V_{DS}$  较高时, MOS管工作在恒流区, 随着  $v_I$  升高  $I_D$  增加, 而  $v_O$  下降, 电路工作在放大状态;
- 当  $v_I$  继续升高以后, MOS管的导通内阻  $R_{ON}$  变得很小, 输出端变为低电平  $V_{OL} \approx 0$ , 相当于开关。

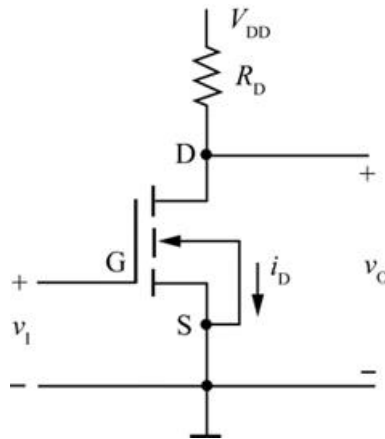


图3-1-6 MOS管的开关电路图

(2) MOS管的四种类型见表3-1-4:

表3-1-4 MOS管的四种类型对照表

MOS管类型	衬底材料	导电沟道	开启电压	夹断电压	电压极性		标准符号	简化符号
					$v_{DS}$	$v_{GS}$		
N沟道增强型	P型	N型	+		+	+		
P沟道增强型	N型	P型	-		-	-		
N沟道耗尽型	P型	N型		-	+	±		
P沟道耗尽型	N型	P型		+	-	∓		

## 2 CMOS反相器的电路结构和工作原理

(1) CMOS反相器的电路结构如图3-1-7所示；

(2) 工作原理：

① 当 $v_1 = V_{IL} = 0$ 时，有  $\begin{cases} |v_{GS1}| = V_{DD} > |V_{GS(th)P}| \\ v_{GS2} = 0 < V_{GS(th)N} \end{cases}$ ，故 $T_1$ 导通而 $T_2$ 截止，输出为高电平 $V_{OH} \approx V_{DD}$ ；

② 当 $v_1 = V_{IH} = V_{DD}$ 时，有  $\begin{cases} |v_{GS1}| = 0 < |V_{GS(th)P}| \\ v_{GS2} = V_{DD} > V_{GS(th)N} \end{cases}$ ，故 $T_1$ 截止而 $T_2$ 导通，输出为低电平 $V_{OL} \approx 0$ 。

CMOS电路优点：静态下无论 $v_i$ 是高电平还是低电平， $T_1$ 和 $T_2$ 总有一个是截止的，截止内阻极高，流过两个CMOS管的静态电流极小，故CMOS反相器静态功耗极小。

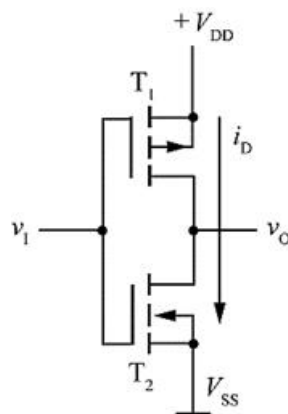


图3-1-7 CMOS反相器的电路图

(3) 电压传输特性和电流传输特性：

① 电压传输特性：在图3-1-7所示的电路图中，CMOS输出电压随输入电压变化的曲线，具体见图3-1-8。

② 电流传输特性：漏极电流随输入电压而变化的曲线，具体见图3-1-9。

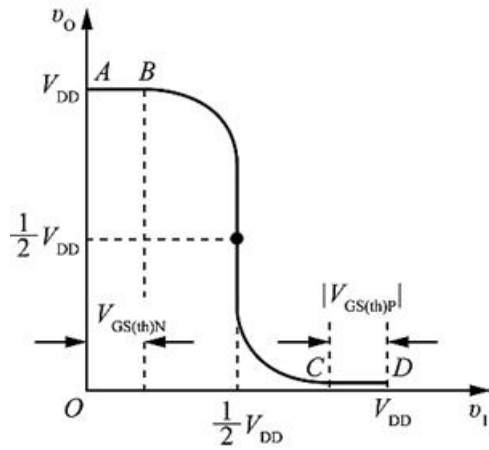


图3-1-8 CMOS反相器的电压传输特性

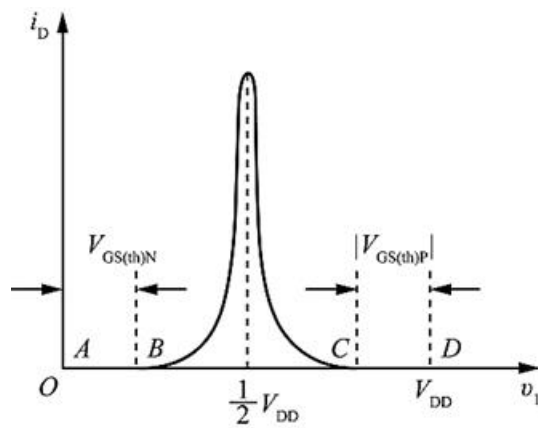


图3-1-9 CMOS反相器的电流传输特性

(4) 输入端噪声容限:

① 定义: 在保证输出高、低电平基本不变 (变化的大小不超过规定的允许限度) 的条件下, 允许输入信号的高、低电平的波动范围。

② 计算方法: 输入为高电平时的噪声容限为  $V_{NH} = V_{OH}(\min) - V_{IH}(\min)$ ; 输入为低电平时的噪声容限为  $V_{NL} = V_{IL}(\max) - V_{OL}(\max)$ 。

**3** 其他类型的CMOS门电路

(1) 其他类型CMOS门电路见表3-1-5:

表3-1-5 几种类型CMOS门电路

种类	结构	工作原理	电路图
与非门	由两个并联的 P 沟道增强型 MOS 管 $T_1$ 、 $T_3$ 和两个串联的 N 沟道增强型 MOS 管 $T_2$ 、 $T_4$ 组成	①当 $A=1$ 、 $B=0$ 时， $T_3$ 导通、 $T_4$ 截止， $Y=1$ ； ②当 $A=0$ 、 $B=1$ 时， $T_1$ 导通、 $T_2$ 截止， $Y=1$ ； ③当 $A=B=1$ 时， $T_1$ 和 $T_3$ 同时截止， $T_2$ 和 $T_4$ 同时导通， $Y=0$ ； 逻辑关系为： $Y = (A \cdot B)'$	
或非门	由两个并联的 N 沟道增强型 MOS 管 $T_2$ 、 $T_4$ 和两个串联的 P 沟道增强型 MOS 管 $T_1$ 、 $T_3$ 组成	①只要 $A$ 、 $B$ 当中有一个是高电平，输出就是低电平； ②当 $A$ 、 $B$ 同时为低电平时，才使 $T_2$ 和 $T_4$ 同时截止、 $T_1$ 和 $T_3$ 同时导通，输出为高电平； 逻辑关系为： $Y = (A+B)'$	
漏极开路输出门电路 (OD 门)	用一个漏极开路输出的 MOS 管作为输出级电路	OD 门的输出端经 $R_L$ 接电源，同时几个输出端相连可以实现线与逻辑	
CMOS 传输门	$T_1$ 和 $T_2$ 分别为 N 沟道增强型 MOS 管和 P 沟道增强型 MOS 管，栅极的输出端画在中间。 $T_1$ 和 $T_2$ 的源极和漏极分别相连作为输入端和输出端。 $C$ 和 $C'$ 为一对互补的控制信号	①若 $C=0$ ， $C'=1$ ，则 $T_1$ 和 $T_2$ 同时截止，输入与输出之间呈高阻态，传输门截止； ② $C=1$ ， $C'=0$ ，则只有当 $0 < v_i < V_{DD} - V_{GS(th)N}$ 时， $T_1$ 将导通，当 $ V_{GS(th)P}  < v_i < V_{DD}$ 时， $T_2$ 导通。因此， $T_1$ 和 $T_2$ 至少有一个是导通的，使 $v_i$ 与 $v_o$ 两端之间呈低阻态，传输门导通	
三态输出的 CMOS 门电路	除了原有的输入端 $A$ 以外又增加了一个三态控制端 $EN'$ ，实现三态控制	①当 $EN'=0$ 时，若 $A=1$ ，则 $Y=0$ ；若 $A=0$ ，则 $Y=1$ ； ②当 $EN'=1$ ，不管 $A$ 的状态如何，输出呈现高阻态	

## (2) 缓冲级结构：

### ① 普通逻辑功能 CMOS 门电路缺点：

- CMOS 门电路输出电阻  $R_O$  受输入端状态的影响；
- 输出的高、低电平受输入端数目的影响；
- 输入端工作状态不同时对电压传输特性也有一定的影响。

② 缓冲级的结构作用：为克服上述缺点，在门电路的每个输入端和输出端各增设一级反相器，即缓冲器。需要注意，输入、输出端加入缓冲器后，电路的逻辑功能也发生了变化，与非门电路中加入缓冲级结构则该门电路变为或非门电路，或非门电路中加入缓冲级结构则该门电路变为与非门电路。加入缓冲级的电路结构是实际的器件内部电路结构。

## 四、TTL 门电路



## 1 双极型三极管的开关特性

(1) 双极型三极管的结构：一个独立的双极型三极管由管芯、三个引出电极和外壳组成，分为NPN和PNP两种。结构图见图3-1-10。

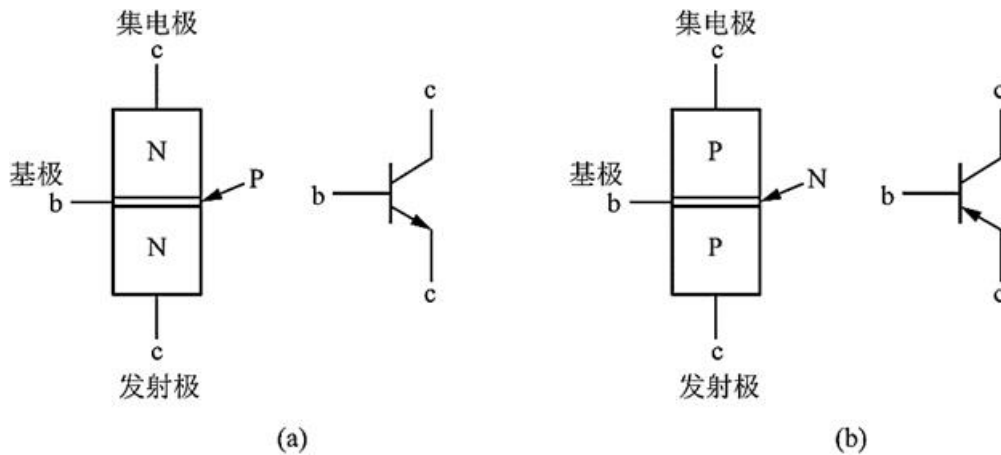


图3-1-10 双极型三极管的两种类型

(2) 双极型三极管的基本开关电路如图3-1-11所示；

(3) 工作原理：

① 当 $v_I < V_{ON}$ 时三极管处于截止状态， $i_B = 0$ ，三极管开关电路的输出为高电平 $V_{OH} \approx V_{CC}$ ；

② 当 $v_I > V_{ON}$ ，有 $i_B$ 产生，集电极电流 $i_C$ 流过 $R_C$ 和三极管的输出回路，三极管开始进入放大区。 $v_I$ 继续升高时 $i_B$ 增加， $R_C$ 上的压降也随之增大。当 $R_C$ 上的压降接近电源电压 $V_{CC}$ 时，输出端为低电平 $v_O = V_{OL} \approx 0$ 。

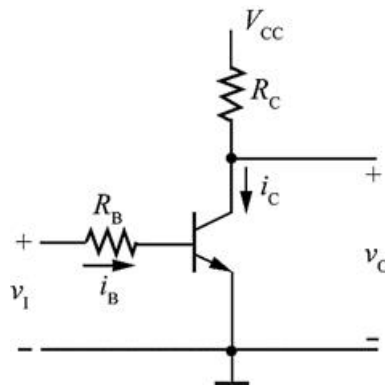


图3-1-11 双极型三极管的开关电路

## 2 TTL反相器的电路结构和工作原理

(1) TTL反相器电路如图3-1-12所示；

(2) 工作原理：

① 当 $v_I = V_{IL}$ ， $T_1$ 发射结导通， $T_2$ 发射结不导通，使 $T_4$ 导通、 $T_5$ 截止，输出为高电平 $V_{OH}$ ；

② 当 $v_I = V_{IH}$ ， $T_2$ 发射结导通使 $T_4$ 截止、 $T_5$ 导通，输出为低电平 $V_{OL}$ 。

输出和输入是反相关系： $Y = A'$ 。

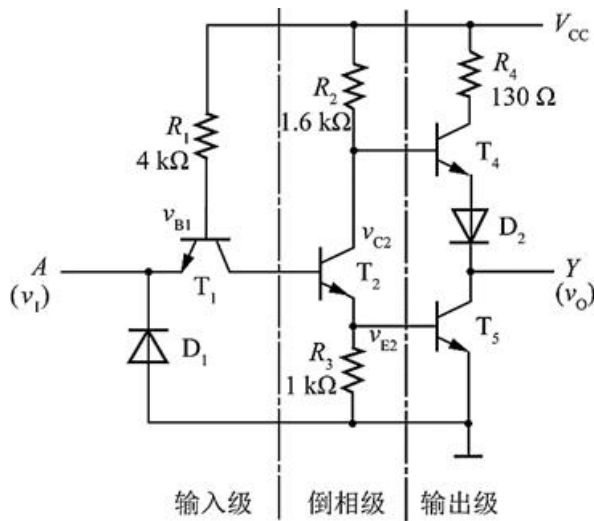


图3-1-12 TTL反相器电路

3 其他类型的TTL门电路（见表3-1-6）

表3-1-6 其他类型的TTL门电路

种类	工作原理	电路图
与非门	<p>①当 <math>A</math>、<math>B</math> 中有一个接低电平，<math>T_1</math> 必有一个发射结导通，<math>T_2</math> 和 <math>T_5</math> 都不导通，输出为高电平 <math>V_{OH}</math>。</p> <p>②当 <math>A</math>、<math>B</math> 为高电平时，<math>T_2</math> 和 <math>T_5</math> 同时导通，输出为低电平 <math>V_{OL}</math>。</p> <p>逻辑关系为 <math>Y = (A \cdot B)'</math></p>	
或非门	<p>①当 <math>A</math> 为高电平时，<math>T_2</math> 和 <math>T_5</math> 同时导通，<math>T_4</math> 截止，输出 <math>Y</math> 为低电平。</p> <p>②当 <math>B</math> 为高电平时，<math>T_2'</math> 和 <math>T_5'</math> 同时导通而 <math>T_4</math> 截止，<math>Y</math> 也是低电平。</p> <p>③只有 <math>A</math>、<math>B</math> 都为低电平时，<math>T_2</math> 和 <math>T_2'</math> 同时截止，<math>T_5</math> 截止而 <math>T_4</math> 导通，从而使输出成为高电平。</p> <p>逻辑关系为 <math>Y = (A + B)'</math></p>	
与或非门	<p>①当 <math>A</math>、<math>B</math> 同时为高电平时，<math>T_2</math>、<math>T_5</math> 导通而 <math>T_4</math> 截止，输出 <math>Y</math> 为低电平。</p> <p>②当 <math>C</math>、<math>D</math> 同时为高电平时，<math>T_2'</math>、<math>T_5</math> 导通而 <math>T_4</math> 截止，也使 <math>Y</math> 为低电平。</p> <p>③只有 <math>A</math>、<math>B</math> 和 <math>C</math>、<math>D</math> 每一组输入都不同时为高电平时，<math>T_2</math> 和 <math>T_2'</math> 同时截止，使 <math>T_5</math> 截止而 <math>T_4</math> 导通，输出 <math>Y</math> 为高电平。</p> <p>逻辑关系为 <math>Y = (AB + CD)'</math></p>	

<p>异或门</p>	<p>①若 <math>A</math>、<math>B</math> 同时为高电平，则 <math>T_6</math>、<math>T_9</math> 导通而 <math>T_8</math> 截止，输出为低电平。          ②若 <math>A</math>、<math>B</math> 同时为低电平，则 <math>T_4</math> 和 <math>T_5</math> 同时截止，使 <math>T_7</math> 和 <math>T_9</math> 导通而 <math>T_8</math> 截止，输出也为低电平。          ③当 <math>A</math>、<math>B</math> 不同时（即一个是高电平而另一个是低电平），<math>T_1</math> 正向饱和导通、<math>T_6</math> 截止。同时，由于 <math>A</math>、<math>B</math> 中必有一个是高电平，使 <math>T_4</math>、<math>T_5</math> 中有一个导通，从而使 <math>T_7</math> 截止。<math>T_6</math>、<math>T_7</math> 同时截止以后，<math>T_8</math> 导通、<math>T_9</math> 截止，故输出为高电平。          逻辑关系为 <math>Y=A\oplus B</math></p>	
<p>集电极开路输出的门电路 (OC 门)</p>	<p>将输出级改为集电极开路的三极管结构，做成集电极开路输出的门电路，简称 OC 门，OC 门必须外接负载电阻 <math>R</math> 和电源 <math>V_{CC}</math> 才能正常工作</p>	

### 3.2 课后习题详解

3.1 在图3-2-1所示的正逻辑与门和图3-2-2所示的正逻辑或门电路中，若改用负逻辑，试列出它们的逻辑真值表，并说明Y和A、B之间是什么逻辑关系。

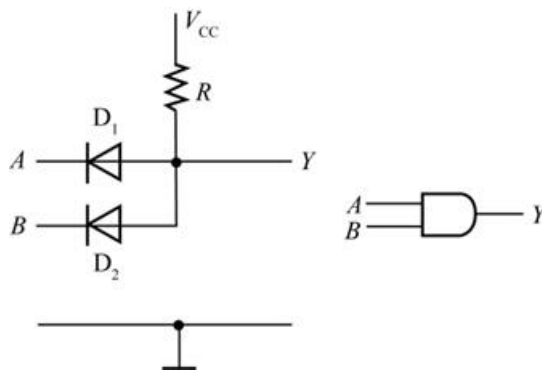


图3-2-1

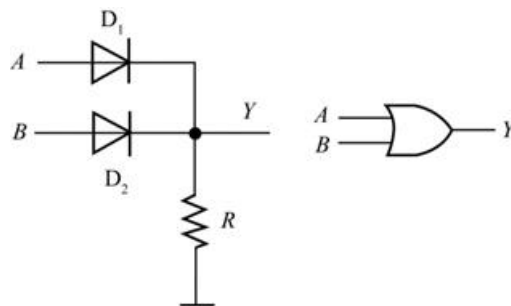


图3-2-2

解：图3-2-1所示的正逻辑与门电路，若改用负逻辑，则其真值表如表3-2-1所示。

表3-2-1

$A$	$B$	$Y$
1	1	1
1	0	1
0	1	1
0	0	0

因此，变成负逻辑后，Y和A、B之间的逻辑关系为： $Y=A+B$ 。

图3-2-2所示的正逻辑或门电路，若改用负逻辑，则其真值表如表3-2-2所示。

表3-2-2

$A$	$B$	$Y$
1	1	1
1	0	0
0	1	0
0	0	0

因此，变成负逻辑后，Y和A、B之间的逻辑关系为： $Y=AB$ 。

3.2 试画出图3-2-3中各个门电路输出端的电压波形。输入端A、B的电压波形如图3-2-3中所示。

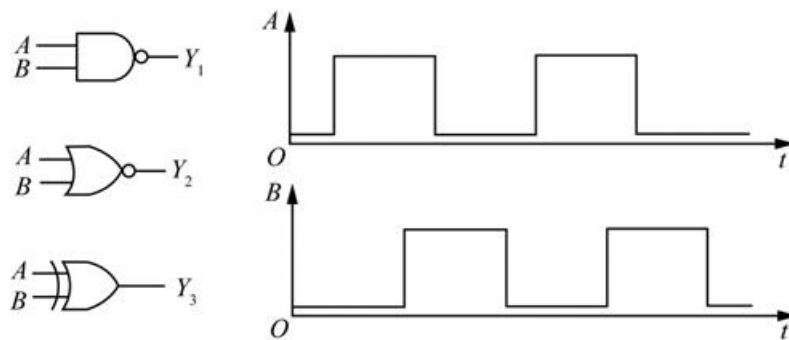


图3-2-3

**解：**由图3-2-3可知，三个门电路为与非门、或非门和异或门。输出端电压波形如图3-2-4所示。

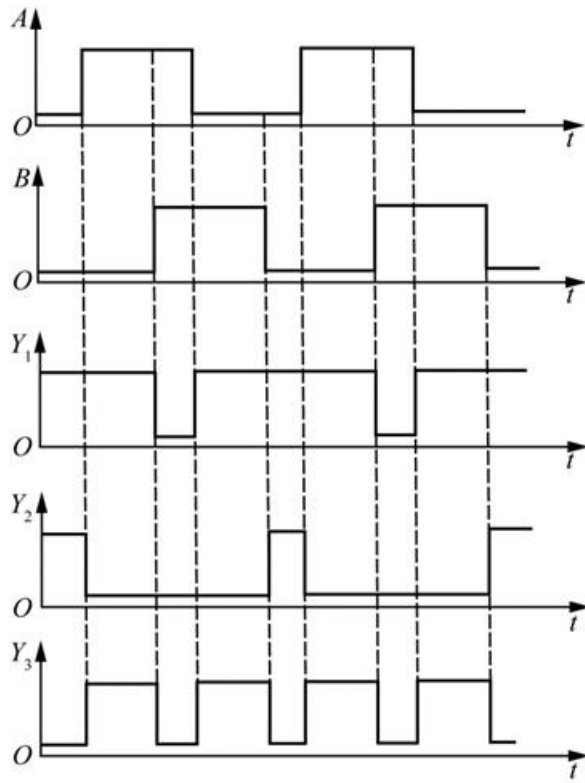


图3-2-4

3.3 试说明能否将与非门、或非门、异或门当做反相器使用？如果可以，各输入端应如何连接？

解：可以将与非门、或非门、异或门当做反相器使用。

各输入端连接方法如图3-2-5所示。

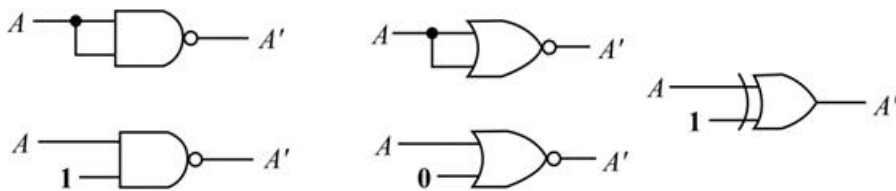


图3-2-5

3.4 画出图3-2-6所示电路在下列两种情况下的输出电压波形：

(1) 忽略所有门电路的传输延迟时间； (2) 考虑每个门都有传输延迟时间 $t_{pd}$ 。

输入端A、B的电压波形如图3-2-6中所示。

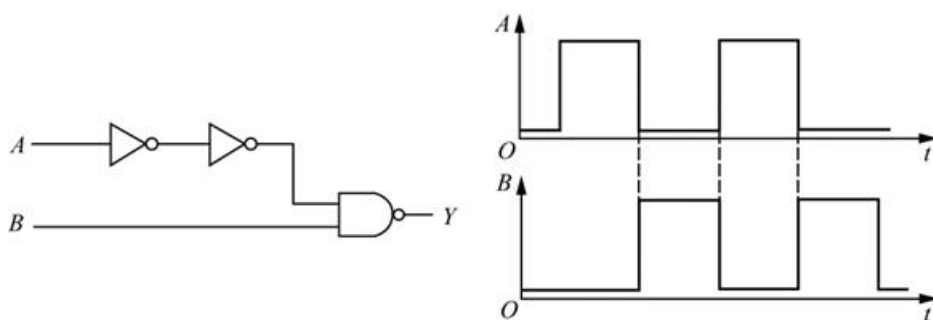


图3-2-6

解：输出电压波形如图3-2-7所示。

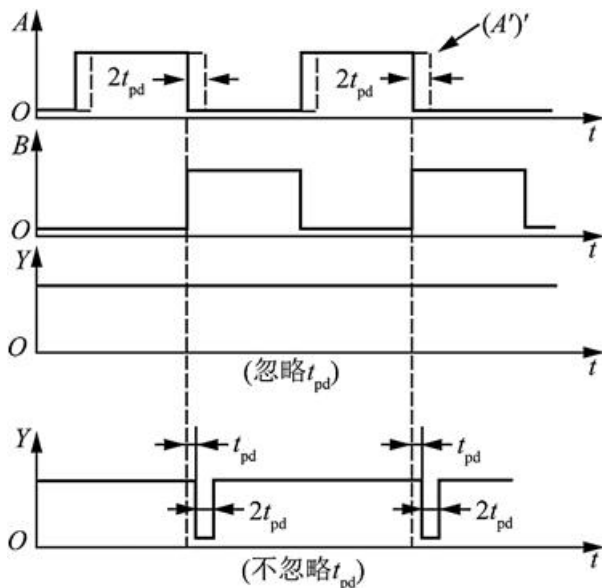


图3-2-7

3.5 已知CMOS门电路的电源电压 $V_{DD}=5V$ ，静态电源电流 $I_{DD}=2\mu A$ ，输入信号为200kHz的方波（上升时间和下降时间可忽略不计），负载电容 $C_L=200pF$ ，功耗电容 $C_{pd}=20pF$ ，试计算它的静态功耗、动态功耗、总功耗和电源平均电流。

解：静态功耗为 $P_S=I_{DD}V_{DD}=5\times 2\times 10^{-6}W=0.01mW$ ；

动态功耗为 $P_D=(C_L+C_{pd})fV_{DD}^2=(200+20)\times 10^{-12}\times 2\times 10^5\times 5^2W=1.10mW$ ；

总功耗为 $P_{TOT}=P_S+P_D=(0.01+1.10)mW=1.11mW$ ；

电源的平均电流为 $\bar{I}_{DD}=P_{TOT}/V_{DD}=(1.11/5)mA=0.22mA$ 。

3.6 若CMOS门电路工作在5V电源电压下的静态电源电流为 $5\mu A$ ，在负载电容 $C_L$ 为100pF、输入信号频率为500kHz时的总功耗为1.56mW，试计算该门电路的功耗电容的数值。

解：由题意可得，动态损耗为

$$P_D=P_{TOT}-P_S=(1.56-5\times 5\times 10^{-3})mW\approx 1.54mW$$

又 $P_D=(C_L+C_{pd})fV_{DD}^2$ ，则有

$$C_{pd}=P_D/(fV_{DD}^2)-C_L=1.54\times 10^{-3}/(5\times 10^5\times 5^2)-100\times 10^{-12}F\approx 13pF$$

3.7 试分析图3-2-8中各电路的逻辑功能，写出输出的逻辑函数式。

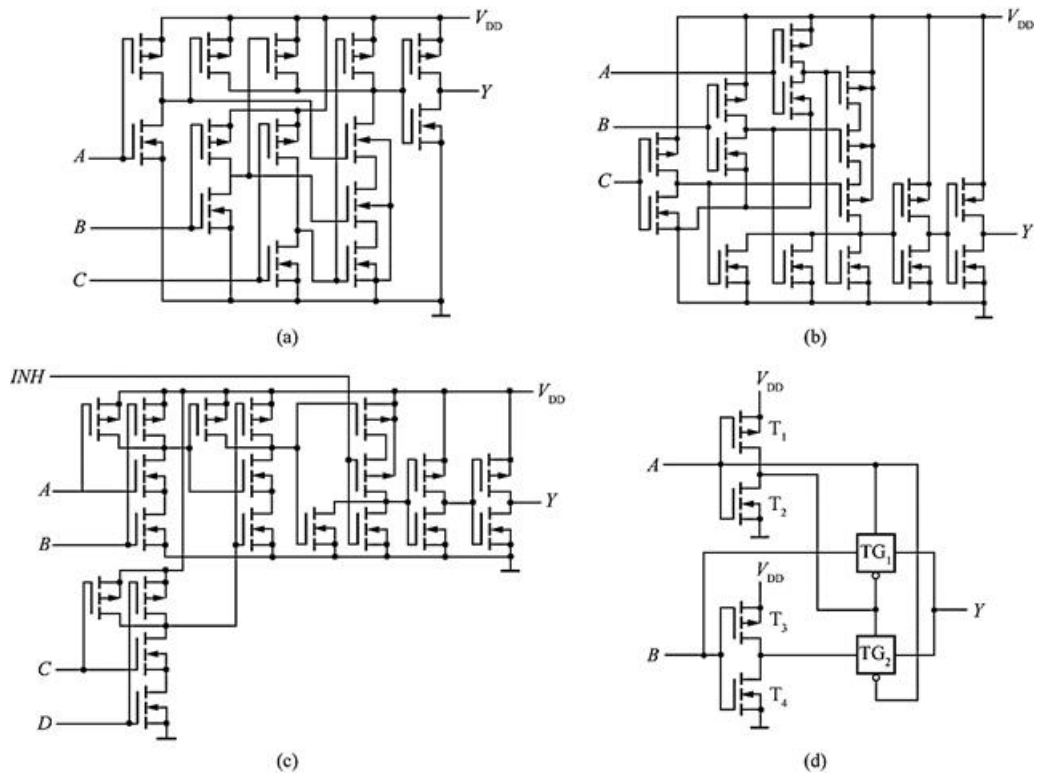


图3-2-8

解:

(a)  $Y = A'B'C' = (A+B+C)'$

(b)  $Y = (A'+B'+C')' = ABC$

(c)  $Y = [(AB+CD) + INH] = (AB+CD)' \cdot INH'$

(d) 真值表如表3-2-3所示，化简得： $Y = AB + A'B' = A \odot B$ 。

表3-2-3

$A$	$B$	$Y$
0	0	1
0	1	0
1	0	0
1	1	1

3.8 试画出图3-2-9 (a)、(b) 两个电路的输出电压波形。输入电压波形如图 (c) 所示。

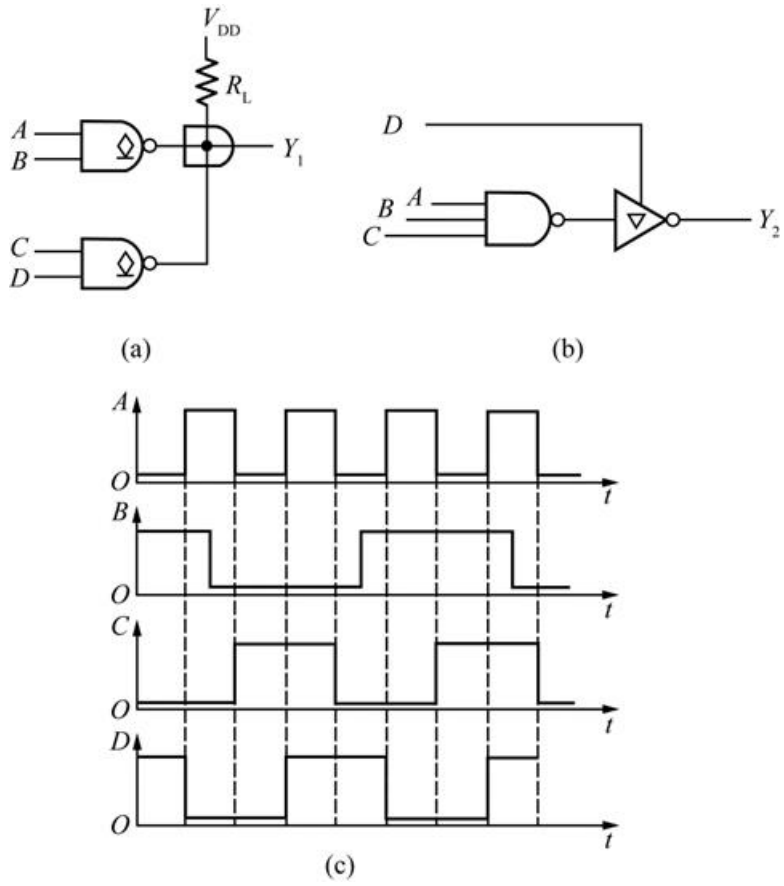


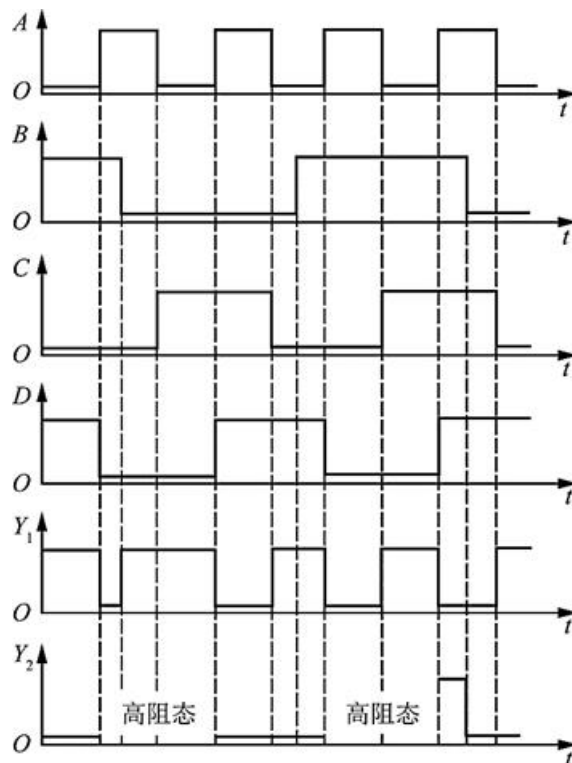
图3-2-9

解：由

$$Y_1 = (AB)' (CD)' = (AB + CD)'$$

$$Y_2 = \begin{cases} ABC (D=1) \\ \text{高阻} (D=0) \end{cases}$$

可得，(a)、(b)两个电路的输出电压波形如图3-2-10所示。





3.9 在图3-2-11所示电路中， $G_1$ 和 $G_2$ 是两个OD输出结构的与非门74HC03。74HC03输出端MOS管截止时的漏电流为 $I_{OH(max)} = 5\mu\text{A}$ ；导通时允许的最大负载电流为 $I_{OL(max)} = 5.2\text{mA}$ ，这时对应的输出电压 $V_{OL(max)} = 0.33\text{V}$ 。负载门 $G_3 \sim G_5$ 是三输入端或非门74HC27，每个输入端的高电平输入电流最大值为 $I_{IH(max)} = 1\mu\text{A}$ ，低电平输入电流最大值为 $I_{IL(max)} = -1\mu\text{A}$ 。试求在 $V_{DD} = 5\text{V}$ 、并且满足 $V_{OH} \geq 4.4\text{V}$ 、 $V_{OL} \leq 0.33\text{V}$ 的情况下， $R_L$ 取值的允许范围。

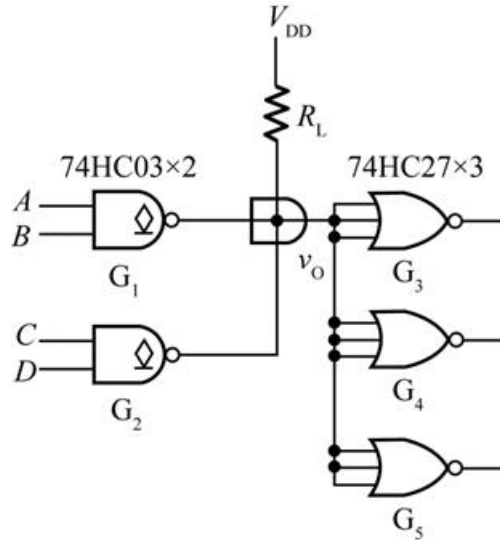


图3-2-11

**解：**在拉电流情况下，OD门输出高电平，则有

$$R_{L(max)} = \frac{V_{DD} - V_{OH}}{9I_{IH} + 2I_{OZ}} = \frac{(5 - 4.4)\text{V}}{9 \times 1\mu\text{A} + 2 \times 5\mu\text{A}} \approx 31.6\text{k}\Omega$$

在灌电流情况下，某一个OD门输出低电平，则有

$$R_{L(min)} = \frac{V_{DD} - V_{OL}}{I_{OL(max)} - 9|I_{IL}|} = \frac{(5 - 0.33)\text{V}}{5.2\text{mA} - 9\mu\text{A}}$$

因此在 $V_{DD} = 5\text{V}$ ，并且满足 $V_{OH} \geq 4.4\text{V}$ 、 $V_{OL} \leq 0.33\text{V}$ 的情况下，上拉电阻 $R_L$ 取值的允许范围为 $0.9 \sim 31.6\text{k}\Omega$ 。

3.10 图3-2-12中的 $G_1 \sim G_4$ 是OD输出结构的与非门74HC03，它们接成线与结构。试写出线与输出Y与输入 $A_1$ 、 $A_2$ 、 $B_1$ 、 $B_2$ 、 $C_1$ 、 $C_2$ 、 $D_1$ 、 $D_2$ 之间的逻辑关系式，并计算外接电阻 $R_L$ 取值的允许范围。已知 $V_{DD} = 5\text{V}$ ，74HC03输出高电平时漏电流的最大值为 $I_{OH(max)} = 5\mu\text{A}$ ，低电平输出电流最大值为 $I_{OL(max)} = 5.2\text{mA}$ ，此时的输出低电平为 $V_{OL(max)} = 0.33\text{V}$ 。负载门每个输入端的高、低电平输入电流最大值为 $\pm 1\mu\text{A}$ 。要求满足 $V_{OH} \geq 4.4\text{V}$ 、 $V_{OL} \leq 0.33\text{V}$ 。

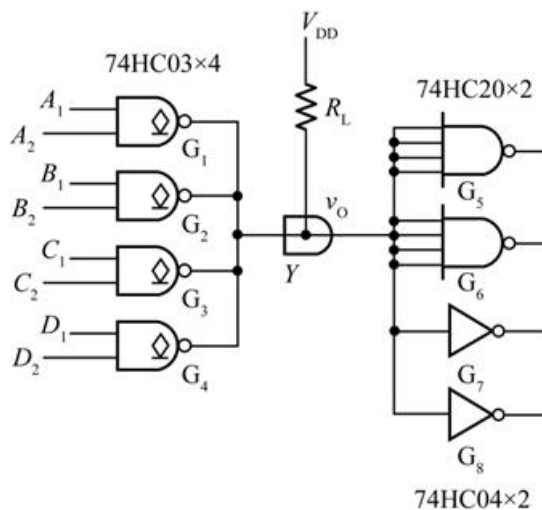


图3-2-12

解：若电阻 $R_L$ 取值合适，则 $Y$ 与输入 $A_1$ 、 $A_2$ 、 $B_1$ 、 $B_2$ 、 $C_1$ 、 $C_2$ 、 $D_1$ 、 $D_2$ 之间的逻辑关系式为

$$Y = (A_1A_2)' (B_1B_2)' (C_1C_2)' (D_1D_2)' = (A_1A_2 + B_1B_2 + C_1C_2 + D_1D_2)'$$

在拉电流情况下，OD门均输出高电平，则有

$$R_{L(max)} = \frac{V_{DD} - V_{OH}}{10I_{IH} + 4I_{OZ}} = \frac{(5 - 4.4)V}{10 \times 1\mu A + 4 \times 5\mu A} = 20k\Omega$$

在灌电流情况下，某一个OD门输出低电平，则有

$$R_{L(min)} = \frac{V_{DD} - V_{OL}}{I_{OL(max)} - 10|I_{IL}|} = \frac{(5 - 0.33)V}{5.2mA - 10\mu A} = 0.9k\Omega$$

因此，外接电阻 $R_L$ 取值的允许范围为 $0.9 \sim 20k\Omega$ 。

3.11 指出图3-2-13中各门电路的输出是什么状态（高电平、低电平或高阻态）。已知这些门电路都是74系列TTL电路。

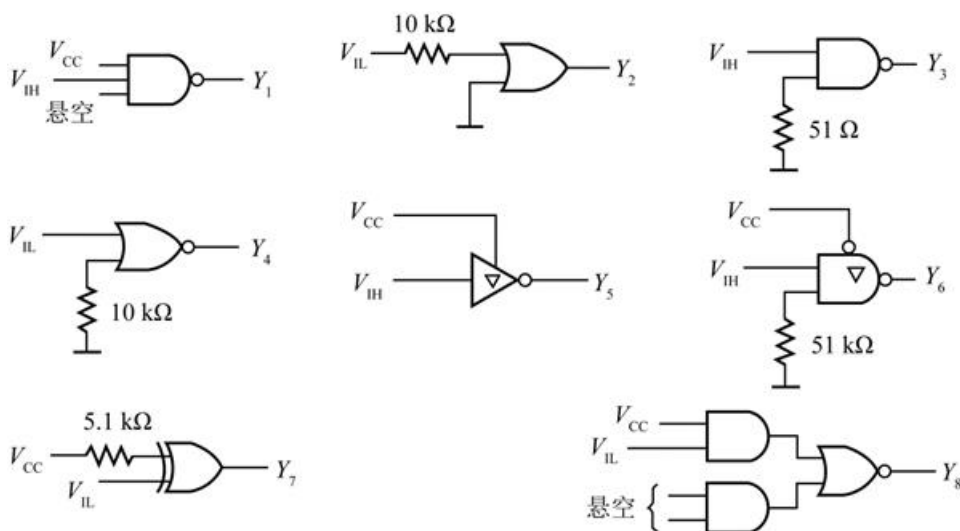


图3-2-13

解：对于TTL电路，输入端悬空，相当于接入高电平；输入端经大电阻接地，相当于接入高电平；输入端经小电阻接地，相当于接入低电平；输入端经电阻接电源电压，相当于接入高电平。

因此， $Y_1$ 为低电平； $Y_2$ 为高电平； $Y_3$ 为高电平； $Y_4$ 为低电平； $Y_5$ 为低电平； $Y_6$ 为高阻态； $Y_7$ 为高电平； $Y_8$ 为低电平。

3.12 说明图3-2-14中各门电路的输出是高电平还是低电平。已知它们都是74HC系列的CMOS电路。

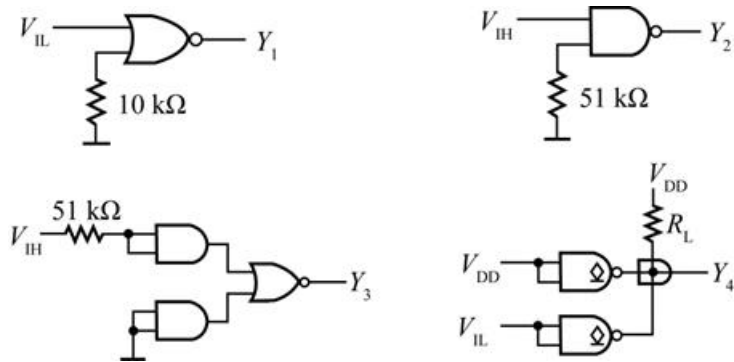


图3-2-14

**解：**对于CMOS电路输入端经电阻接地，相当于接入低电平；输入端经电阻接电源电压，相当于接入高电平。因此， $Y_1$ 为高电平； $Y_2$ 为高电平； $Y_3$ 为低电平； $Y_4$ 为低电平。

3.13 试说明在下列情况下，用万用表测量图3-2-15中的 $v_{I2}$ 端得到的电压各为多少：

- (1)  $v_{I1}$ 悬空； (2)  $v_{I1}$ 接低电平 (0.2V)； (3)  $v_{I1}$ 接高电平 (3.2V)；
- (4)  $v_{I1}$ 经 $51\Omega$ 电阻接地； (5)  $v_{I1}$ 经 $10\text{ k}\Omega$ 电阻接地。

图中的与非门为74系列的TTL电路，万用表使用5V量程，内阻为 $20\text{ k}\Omega/\text{V}$ 。

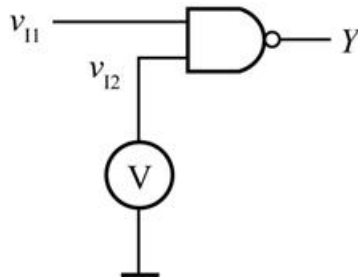


图3-2-15

**解：** $v_{I2}$ 端相当于经 $100\text{ k}\Omega$ 的电阻接地。假定与非门输入端多发射极三极管每个发射结的导通压降均为 $0.7\text{ V}$ ，则有 (1)  $v_{I2}\approx 1.4\text{ V}$ ； (2)  $v_{I2}\approx 0.2\text{ V}$ ； (3)  $v_{I2}\approx 1.4\text{ V}$ ； (4)  $v_{I2}\approx 0\text{ V}$ ； (5)  $v_{I2}\approx 1.4\text{ V}$ 。

3.14 若将上题中的与非门改为74系列TTL或非门，试问在上列五种情况下测得的 $v_{I2}$ 各为多少？

**解：**在TTL构成的或非门电路中，两个输入端分别接到两个三极管的发射极，因此，各种情况下，均为 $v_{I2}\approx 1.4\text{ V}$ 。

3.15 若将图3-2-15中的门电路改为CMOS与非门，试说明当为题3.13给出的五种状态时测得的 $v_{I2}$ 各等于多少？

**解：**因CMOS与非门的两个输入端均有独立的反相器，故输入端不相互影响，且CMOS电路通过电阻接地，相当于接低电平，因此，各种情况下，均为 $v_{I2} \approx 0V$ 。

3.16 在图3-2-16所示的由74系列TTL与非门组成的电路中，计算门 $G_M$ 能驱动多少同样的与非门。要求 $G_M$ 输出的高、低电平满足 $V_{OH} \geq 3.2V$ ， $V_{OL} \leq 0.4V$ 。与非门的输入电流为， $I_{IL} \leq -1.6mA$ ， $I_{IH} \leq 40\mu A$ 。 $V_{OL} \leq 0.4V$ 时输出电流最大值为， $I_{OL(max)} = 16mA$ ， $V_{OH} > 3.2V$ 时输出电流最大值为 $I_{OH(max)} = -0.4mA$ 。 $G_M$ 的输出电阻可忽略不计。

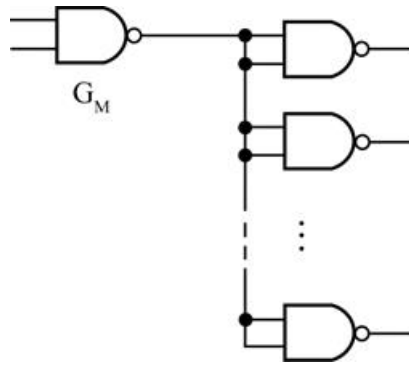


图3-2-16

**解：**若电流不包含表示方向的负号，则当 $G_M$ 门输出高电平时，扇出系数为 $N_{OH} = I_{OHmax} / (2I_{IHmax}) = 0.4 / (2 \times 0.04) = 5$ ；当 $G_M$ 门输出低电平时，扇出系数为 $N_{OL} = I_{OLmax} / I_{ILmax} = 16 / 1.6 = 10$ ，即扇出数 $N_O = 5$ ，因此，门 $G_M$ 最多可以驱动5个同样的与非门。

3.17 在图3-2-17所示由74系列或非门组成的电路中，试求门 $G_M$ 能驱动多少同样的或非门。要求 $G_M$ 输出的高、低电平满足 $V_{OH} \geq 3.2V$ ， $V_{OL} \leq 0.4V$ 。或非门每个输入端的输入电流为 $I_{IL} \leq -1.6mA$ ， $I_{IH} \leq 40\mu A$ 。 $V_{OL} \leq 0.4V$ 时输出电流的最大值为 $I_{OL(max)} = 16mA$ ， $V_{OH} \geq 3.2V$ 时输出电流的最大值为 $I_{OH(max)} = -0.4mA$ 。 $G_M$ 的输出电阻可忽略不计。

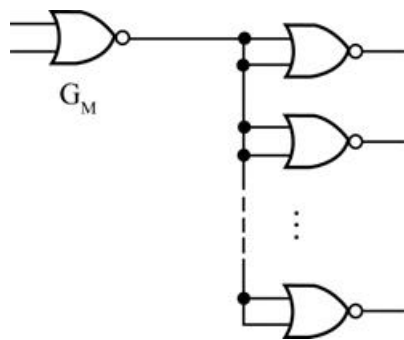


图3-2-17

**解：**若电流不包含表示方向的负号，则当 $G_M$ 门输出高电平时，扇出系数为 $N_{OH} = I_{OHmax} / (2I_{IHmax}) = 0.4 / (2 \times 0.04) = 5$ ；当 $G_M$ 门输出低电平时，扇出系数为 $N_{OL} = I_{OLmax} / (2I_{ILmax}) = 16 / (2 \times 1.6) = 5$ ，即扇出数 $N_O = 5$ ，因此，门 $G_M$ 最多可以驱动5个同样的或非门。

3.18 在图3-2-18所示电路中 $R_1$ 、 $R_2$ 和 $C$ 构成输入滤波电路。当开关 $S$ 闭合时，要求门电路的输入电压 $V_{IL} \leq 0.4V$ ；当开关 $S$ 断开时，要求门电路的输入电压 $V_{IH} \geq 4V$ ，试求 $R_1$ 和 $R_2$ 的最大允许阻值。 $G_1 \sim G_5$ 为74LS系列TTL反相器，它们的高电平输入电流 $I_{IH} \leq 20\mu A$ ，低电平输入电流 $|I_{IL}| \leq 0.4mA$ 。

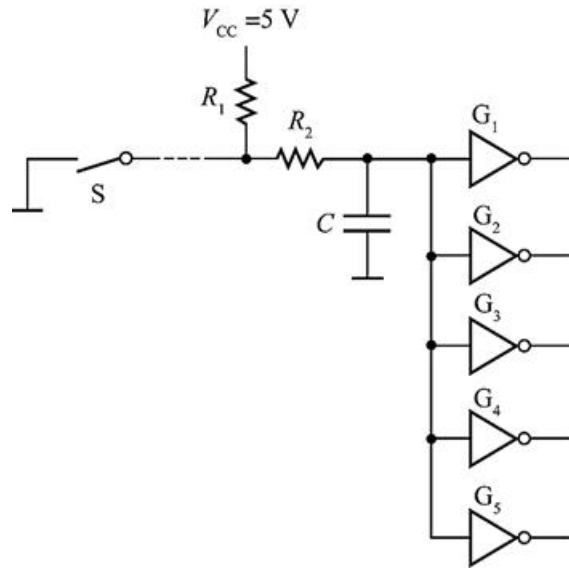


图3-2-18

**解：**由题意可得，当开关S闭合时， $R_2$ 的最大允许值为 $R_{2(max)} = V_{IL(max)} / [5I_{IL(max)}] = 0.4 / (5 \times 0.4) \text{ k}\Omega = 0.2 \text{ k}\Omega$ ；当开关S断开时，要使 $R_1$ 最大，应该满足 $V_{CC} - 5I_{IL(max)} \cdot (R_1 + R_2)_{max} = V_{IH(min)}$ ，所以 $R_1$ 的最大允许值为 $R_{1(max)} = (V_{CC} - V_{IH(min)}) / (5I_{IL(max)}) - R_{2max} = (5 - 4) / (5 \times 0.02) - 0.2 \text{ k}\Omega = 9.8 \text{ k}\Omega$ 。

3.19 试绘出图3-2-19所示电路的高电平输出特性和低电平输出特性。已知 $V_{CC} = 5\text{V}$ ， $R_L = 1\text{k}\Omega$ 。OC门截止时输出管的漏电流 $I_{OH} = 200\mu\text{A}$ 。 $V_1 = V_{IH}$ 时OC门输出管饱和导通，其饱和压降为 $V_{CE(sat)} = 0.1\text{V}$ ，饱和导通内阻为 $R_{CE(sat)} = 20\Omega$ 。

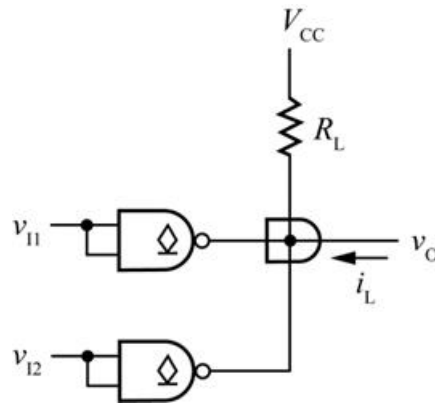


图3-2-19

**解：**当输出为高电平 $v_{OH}$ 时，由题意可得： $v_{OH} = V_{CC} - (2I_{OH} + |i_L|) R_L$ 。令 $i_L = 0$ ，则有 $v_{OH} = 4.6\text{V}$ 。当输出为低电平 $v_{OL}$ ，且只有一个OC门导通时，由题意可得：

$$v_{OL} = \left( \frac{V_{CC} - v_{OL}}{R_L} + i_L \right) R_{CE(sat)} + V_{CE(sat)}$$

令 $i_L = 0$ ，则有 $v_{OH} = 0.1\text{V}$ 。

因此，可画出输出特性如图3-2-20所示。

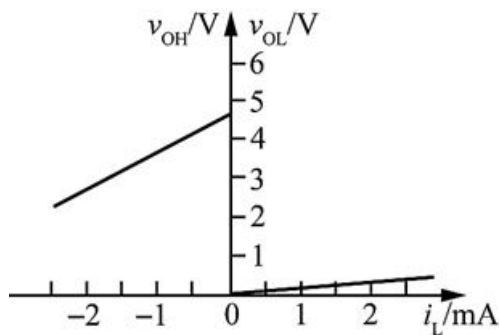


图3-2-20

3.20 计算图3-2-21电路中上拉电阻 $R_L$ 的阻值范围。其中 $G_1$ 、 $G_2$ 、 $G_3$ 是74LS系列OC门，输出管截止时的漏电流 $I_{OH} \leq 100\mu\text{A}$ ，输出低电平 $V_{OL} \leq 0.4\text{V}$ 时允许的最大负载电流 $I_{OL(\max)} = 8\text{mA}$ 。 $G_4$ 、 $G_5$ 、 $G_6$ 为74LS系列与非门，它们的输入电流为 $|I_{IL}| \leq 0.4\text{mA}$ 、 $I_{IH} \leq 20\mu\text{A}$ 。给定 $V_{CC} = 5\text{V}$ ，要求OC门的输出高、低电平应满足 $V_{OH} \geq 3.2\text{V}$ 、 $V_{OL} \leq 0.4\text{V}$ 。

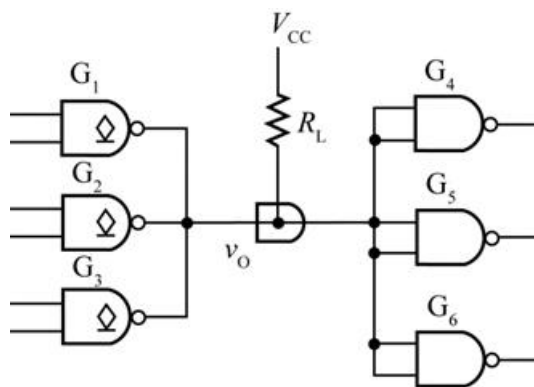


图3-2-21

**解：**在拉电流情况下，OC门均输出高电平，此时

$$R_{L(\max)} = \frac{V_{CC} - V_{OH}}{6I_{IH} + 3I_{OZ}} = \frac{(5 - 3.2)\text{V}}{6 \times 20\mu\text{A} + 3 \times 100\mu\text{A}} = 4.29\text{k}\Omega$$

在灌电流情况下，某一个OD门输出低电平，此时

$$R_{L(\min)} = \frac{V_{CC} - V_{OL}}{I_{OL(\max)} - 3|I_{IL}|} = \frac{(5 - 0.4)\text{V}}{8\text{mA} - 3 \times 0.4\text{mA}} = 0.68\text{k}\Omega$$

因此，上拉电阻 $R_L$ 的阻值范围为 $0.68 \sim 4.29\text{k}\Omega$ 。

3.21 在图3-2-22所示电路中，已知 $G_1$ 和 $G_2$ 为74LS系列OC输出结构的与非门，输出管截止时的漏电流最大值为 $I_{OH(\max)} = 100\mu\text{A}$ ，低电平输出电流最大值为 $I_{OL(\max)} = 8\text{mA}$ ，这时输出的低电平为 $V_{OL(\max)} = 0.4\text{V}$ 。 $G_3 \sim G_5$ 是74LS系列的或非门，它们高电平输入电流最大值为 $I_{IH(\max)} = 20\mu\text{A}$ ，低电平输入电流最大值为 $I_{IL(\max)} = -0.4\text{mA}$ 。给定 $V_{CC} = 5\text{V}$ ，要求满足 $V_{OH} \geq 3.4\text{V}$ 、 $V_{OL} \leq 0.4\text{V}$ ，试求 $R_L$ 取值的允许范围。

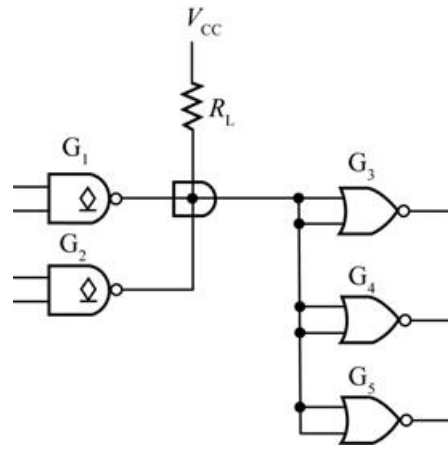


图3-2-22

解：在拉电流情况下，OC门均输出高电平，此时

$$R_{L(max)} = \frac{V_{CC} - V_{OH}}{6I_{IH} + 2I_{OZ}} = \frac{(5 - 3.4)V}{6 \times 20\mu A + 2 \times 100\mu A} = 5k\Omega$$

在灌电流情况下，某一个OD门输出低电平，此时

$$R_{L(min)} = \frac{V_{CC} - V_{OL}}{I_{OL(max)} - 6|I_{IL}|} = \frac{(5 - 0.4)V}{8mA - 6 \times 0.4mA} = 0.82k\Omega$$

因此，上拉电阻 $R_L$ 的取值范围为 $0.82 \sim 5k\Omega$ 。

3.22 图3-2-23所示是一个继电器线圈驱动电路。要求在 $v_I = V_{IH}$ 时三极管T截止，而 $v_I = 0$ 时三极管T饱和导通。已知OC门输出管截止时的漏电流 $I_{OH} \leq 100\mu A$ ，导通时允许流过的最大电流 $I_{OL(max)} = 10mA$ ，管压降小于 $0.1V$ ，导通内阻小于 $20\Omega$ 。三极管 $\beta = 50$ ，饱和导通压降 $V_{CE(sat)} = 0.1V$ ，饱和导通内阻 $R_{CE(sat)} = 20\Omega$ 。继电器线圈内阻 $240\Omega$ ，电源电压 $V_{CC} = 12V$ 、 $V_{EE} = -8V$ ， $R_2 = 3.2k\Omega$ ， $R_3 = 18k\Omega$ ，试求 $R_1$ 的阻值范围。

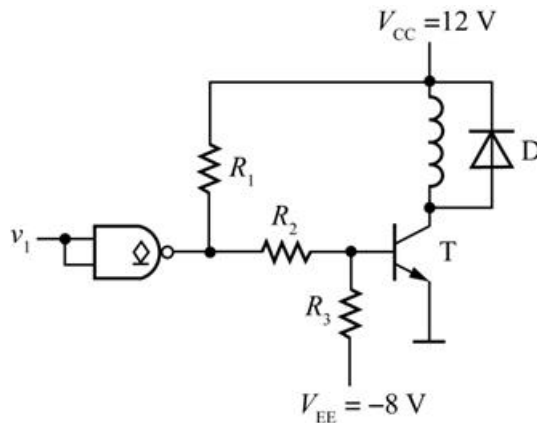


图3-2-23

解：（1）由图3-2-24（a）可知，当 $v_I = 0$ 时，要求三极管T饱和导通，则有：

三极管饱和基极电流为

$$I_{BS} = \frac{V_{CC} - V_{CE(sat)}}{\beta(R_C + R_{CE(sat)})} = \frac{12 - 0.1}{50 \times 260} A = 0.92mA$$

流过 $R_3$ 的电流为 $i_3 = (v_B - V_{EE}) / R_3 = (0.7 + 8) / 18mA = 0.48mA$ ；

流过 $R_2$ 的电流为 $i_2 = I_{BS} + i_3 = (0.92 + 0.48) \text{ mA} = 1.4 \text{ mA}$ ;

OC门输出端电位为 $v_P = i_2 R_2 + v_B = (1.4 \times 3.2 + 0.7) \text{ V} = 5.2 \text{ V}$ ;

因此,  $R_1$ 的最大阻值为 $R_{1(\max)} = (V_{CC} - v_P) / (i_2 + I_{OH}) = (12 - 5.2) / (1.4 + 0.1) \text{ k}\Omega = 4.5 \text{ k}\Omega$ 。

(2) 当 $v_1 = V_{IH}$ 时, 要求三极管T截止, 由图3-2-24 (b)可知, 这时OC门输出电压 $v_P = 0.1 \text{ V}$ ;

流过 $R_1$ 和 $R_3$ 的电流 $i_2 = (v_P - V_{EE}) / (R_2 + R_3) = (0.1 + 8) / (3.2 + 18) \text{ mA} = 0.38 \text{ mA}$ 。

因此,  $R_1$ 的最小阻值为 $R_{1(\min)} = (V_{CC} - v_P) / (I_{OL(\max)} + i_2) = (12 - 0.1) / (10 + 0.38) \text{ k}\Omega = 1.1 \text{ k}\Omega$ 。

综上所述,  $R_1$ 的阻值范围为:  $1.1 \text{ k}\Omega \leq R_1 \leq 4.5 \text{ k}\Omega$ 。

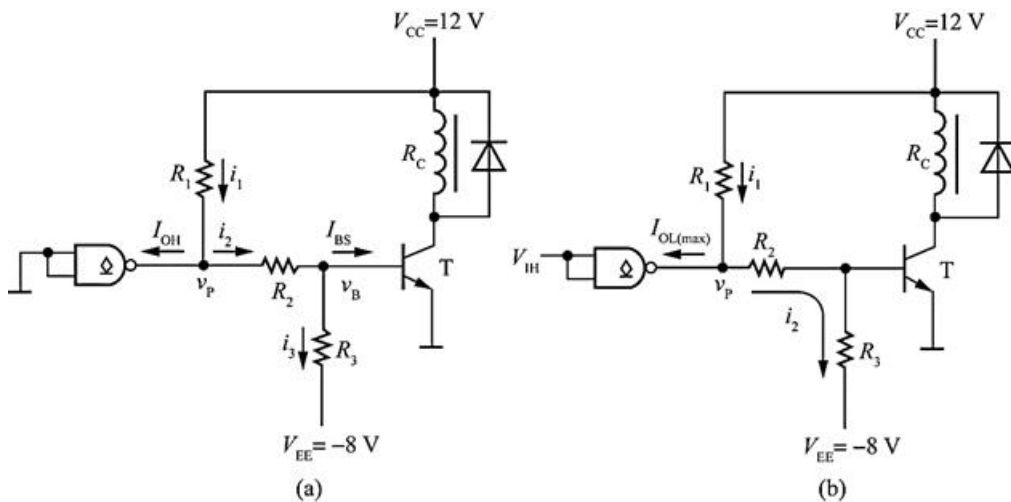


图3-2-24

3.23 在图3-2-25 (a)所示电路中已知三极管导通时 $V_{BE} = 0.7 \text{ V}$ , 饱和压降 $V_{CE(\text{sat})} = 0.3 \text{ V}$ , 饱和导通内阻为 $R_{CE(\text{sat})} = 20 \Omega$ , 三极管的电流放大系数 $\beta = 100$ 。OC门 $G_1$ 输出管截止时的漏电流约为 $50 \mu\text{A}$ , 导通时允许的最大负载电流为 $16 \text{ mA}$ , 输出低电平 $\leq 0.3 \text{ V}$ 。 $G_2 \sim G_5$ 均为74系列TTL电路, 其中 $G_2$ 为反相器,  $G_3$ 和 $G_4$ 是与非门,  $G_5$ 是或非门, 它们的输入特性如图3-2-25 (b)所示。试问:

(1) 在三极管集电极输出的高、低电压满足 $V_{OH} \geq 3.5 \text{ V}$ 、 $V_{OL} \leq 0.3 \text{ V}$ 的条件下,  $R_B$ 的取值范围有多大?

(2) 若将OC门改成推拉式输出的TTL门电路, 会发生什么问题?

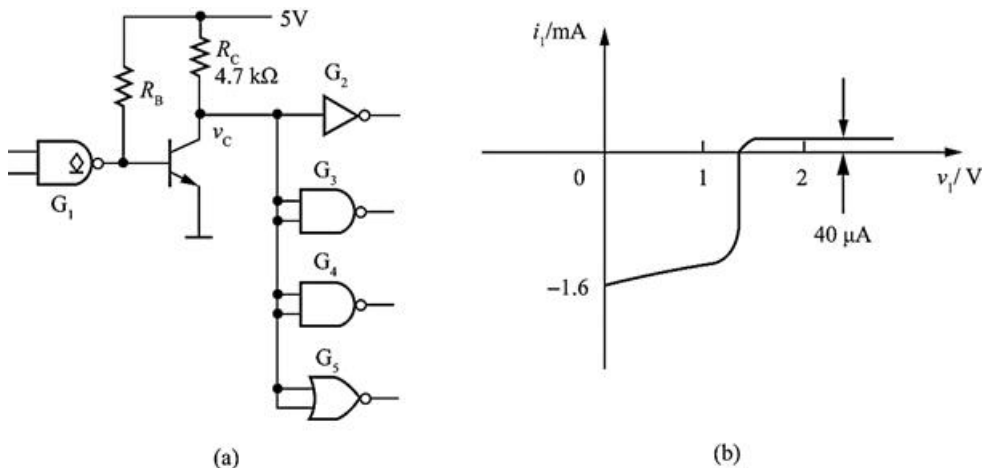


图3-2-25



解：（1）三极管饱和导通时，其临界饱和基极电流

$$I_{BS} = \frac{1}{\beta} \left( \frac{V_{CC} - V_{CES}}{R_C + R_{CE(\pm\alpha)}} + 5I_{IL} \right) = \frac{1}{100} \left( \frac{5 - 0.3}{4.7} + 5 \times 1.6 \right) = 0.09 \text{mA}$$

此时流过 $R_B$ 的电流为 $I_{BS}$ 与OC门截止时的漏电流之和，由 $(V_{CC} - V_{BE}) / R_B = 0.09 + 0.05 = 0.14 \text{mA}$ ，解得 $R_{B(\max)} = (V_{CC} - V_{BE}) / 0.14 = 4.3 / 0.14 \text{k}\Omega = 30.7 \text{k}\Omega$ 。

当OC门导通时，允许的最大负载电流为 $16 \text{mA}$ ，则 $R_{B(\min)} = (V_{CC} - V_{OL}) / 16 = 4.7 / 16 \text{k}\Omega = 0.29 \text{k}\Omega$ 。

因此 $R_B$ 的取值范围为 $0.29 \text{k}\Omega \leq R_B \leq 30.7 \text{k}\Omega$ 。

（2）若将OC门直接换成推拉式输出的TTL门电路，则可能因电流过大而使TTL门电路和三极管受损，因为TTL门电路输出高电平时为低内阻，且三极管的发射结导通时也是低内阻。

3.24 图3-2-26是用TTL电路驱动CMOS电路的实例，试计算上拉电阻 $R_L$ 的取值范围。TTL与非门在 $V_{OL} \leq 0.3 \text{V}$ 时的最大输出电流为 $8 \text{mA}$ ，输出端的 $T_5$ 管截止时有 $50 \mu\text{A}$ 的漏电流。CMOS或非门的高电平输入电流最大值和低电平输入电流最大值均为 $1 \mu\text{A}$ 。要求加到CMOS或非门输入端的电压满足 $V_{IH} \geq 4 \text{V}$ ， $V_{IL} \leq 0.3 \text{V}$ 。给定电源电压 $V_{DD} = 5 \text{V}$ 。

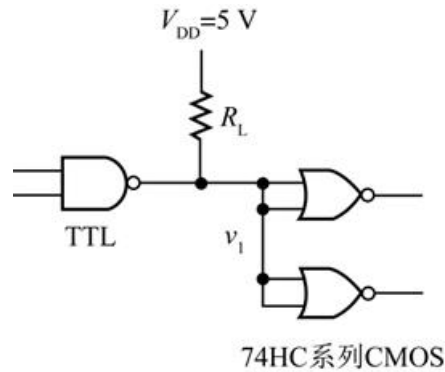


图3-2-26

解：在拉电流情况下，TTL门电路输出高电平，由 $V_{OH\min} < V_{IH\min}$ 得

$$R_{L(\max)} = \frac{V_{DD} - V_{IH}}{4I_{IH} + I_{OZ}} = \frac{(5 - 4) \text{V}}{4 \times 1 \mu\text{A} + 50 \mu\text{A}} = 18.5 \text{k}\Omega$$

在灌电流情况下，TTL门电路输出低电平，则有

$$R_{L(\min)} = \frac{V_{DD} - V_{OL}}{I_{OL(\max)} - 4|I_{IL}|} = \frac{(5 - 0.3) \text{V}}{8 \text{mA} - 4 \times 1 \mu\text{A}} = 0.59 \text{k}\Omega$$

因此，上拉电阻 $R_L$ 的取值范围为 $0.59 \sim 18.5 \text{k}\Omega$ 。

3.25 图3-2-27是一个用CMOS反相器74AHCT04驱动TTL与非门的电路。试计算当TTL与非门分别为7400、74LS00和74ALS00时，最多能够驱动多少个TTL与非门。74AHCT04、7400、74LS00和74ALS00的性能参数可查阅课本。

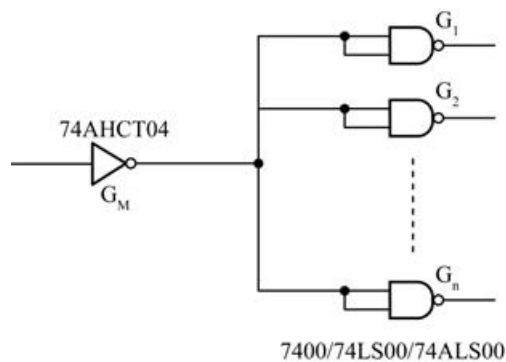


图3-2-27

解：（1）驱动门输出高电平时：

$$|I_{OH(max)}| \geq 2nI_{IH(max)}$$

$$n \leq |I_{OH(max)}| / 2I_{IH(max)}$$

由于每个门电路有两个输入端（ $n=2$ ），所以每个门总的输入电流为 $I_{OH(max)}$ 的两倍。

由表查得，74HCT04的 $I_{OH(max)}$ 为 $-8\text{mA}$ ，7400、74LS00、74ALS00的 $I_{IH(max)}$ 分别为 $40\mu\text{A}$ 、 $20\mu\text{A}$ 、 $20\mu\text{A}$ 。代入上式，得：

负载门为7400时， $n \leq 8 / 1 = 8$ ；

负载门为74LS00时， $n \leq 8 / 0.4 = 20$ ；

负载门为74ALS00时， $n \leq 8 / 0.2 = 40$ 。

（2）驱动门输出低电平时：

$$I_{OL(max)} \geq n|I_{IL(max)}|$$

$$n \leq I_{OL(max)} / |I_{IL(max)}|$$

由表查得，驱动门74AHCT04的 $I_{OL(max)}$ 为 $8\text{mA}$ ，7400、74LS00、74ALS00的 $I_{IL(max)}$ 分别为 $-1\text{mA}$ 、 $-0.4\text{mA}$ 、 $-0.2\text{mA}$ 。代入上式，得：

当负载门为7400时， $n \leq 8 / 1 = 8$ ；

当负载门为74LS00时， $n \leq 8 / 0.4 = 20$ ；

当负载门为74ALS00时， $n \leq 8 / 0.2 = 40$ 。

在同时满足（1）和（2）要求的情况下，当负载门分别为7400、74LS00和74ALS00时，74AHCT04能够驱动负载门的最大数目分别为8、20和40。

3.26 计算图3-2-28所示电路中接口电路输出端 $V_C$ 的高、低电平，并说明接口电路参数的选择是否合理。三极管的电流放大系数 $\beta=40$ ，饱和导通压降 $V_{CE(sat)}=0.1\text{V}$ ，饱和导通内阻 $R_{CE(sat)}=20\Omega$ 。CMOS或非门的电源电压 $V_{DD}=5\text{V}$ ，空载输出的高、低电平分别为 $V_{OH}=4.95\text{V}$ 、 $V_{OL}=0.05\text{V}$ ，门电路的输出电阻小于 $200\Omega$ ，高电平输出电流的最大值和低电平输出电流的最大值均为 $4\text{mA}$ 。TTL或非门的高电平输入电流 $I_{IH}=40\mu\text{A}$ ，低电平输入电流 $I_{IL}=-1.6\text{mA}$ 。

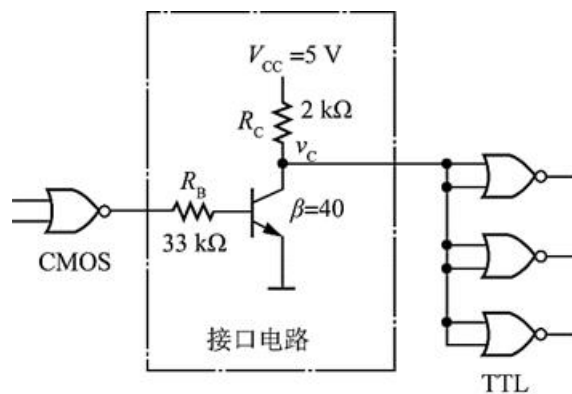


图3-2-28

解：（1）当CMOS门电路输出为低电平时，三极管截止，此时 $v_C$ 为高电平，有

$$V_{CH} = V_{CC} - 6I_{IH}R_C = (5 - 6 \times 40 \times 10^{-6} \times 2 \times 10^3) \text{ V} = 4.5 \text{ V}$$

因此，接口电路输出的高电平可以满足负载电路对输入高电平大于2V的要求。

（2）当CMOS门电路输出为高电平时，要满足接口电路输出低电平的要求，则三极管应处于饱和导通状态，此时，三极管的基极电流为

$$I_B = (V_{OH} - V_{BE}) / (R_B + R_O) = (4.95 - 0.7) / (33 + 0.2) \text{ mA} = 0.128 \text{ mA}$$

其中， $R_O$ 为CMOS门电路的输出电阻。

三极管的饱和基极电流为

$$\begin{aligned} I_{BS} &= \frac{1}{\beta} \left( \frac{V_{CC} - V_{CE(sat)}}{R_C + R_{CE(sat)}} + 6|I_{IL}| \right) \\ &= \frac{1}{40} \left( \frac{5 - 0.1}{2 + 0.02} + 6 \times 1.6 \right) \text{ mA} = 0.3 \text{ mA} \end{aligned}$$

因此，三极管处于不饱和导通状态，电路参数的选择不合理。

3.27 试说明下列各种门电路中哪些可以将输出端并联使用（输入端的状态不一定相同）：

- （1）具有推挽式输出级的TTL电路；
- （2）TTL电路的OC门；
- （3）TTL电路的三态输出门；
- （4）互补输出结构的CMOS门；
- （5）CMOS电路的OD门；
- （6）CMOS电路的三态输出门。

解：（1）不可以；（2）可以；（3）可以；（4）不可以；（5）可以；（6）可以。

### 3.3 名校考研真题详解

#### 一、填空题

1 CMOS电路的静态功耗比TTL电路的静态功耗\_\_\_\_\_。[中山大学2010研]

【答案】小

【解析】此题考查CMOS电路和TTL电路的静态功耗特点。CMOS电路在工作时，静态下无论输入电压是高电平还是低电平， $T_1$ 、 $T_2$ 总有一个是截止的，所以功耗极低；TTL电路在工作时，当输入高电平时电源电压全部加在电阻上，所以功耗很大。

2 以“1”和“0”分别代表高、低电平，试给出图3-3-1所示各电路的输出（图中均为TTL门电路）。[山东大学2017研]

$Y_1 = \underline{\quad}$ ； $Y_2 = \underline{\quad}$ ； $Y_3 = \underline{\quad}$ ； $Y_4 = \underline{\quad}$ 。

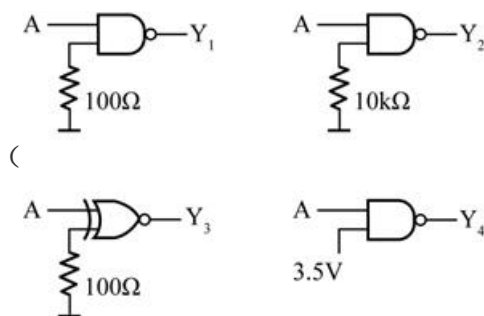


图3-3-1 各TTL门电路

【答案】1； $A'$ ； $A'$ ； $A'$

【解析】TTL电路输入端经电阻接低电平时，根据电阻阻值判定输入逻辑值： $R < 0.91K\Omega$ ，输入端可视作逻辑0； $R > 0.25K\Omega$ 可视作逻辑1，若输入端接3.5V电压时可视为逻辑1。根据以上分析可得，输出信号 $Y_1$ 对应为与非门， $Y_1 = (A \cdot 0)' = 1$ ；输出信号 $Y_2$ 对应为与非门 $Y_2 = (A \cdot 1)' = A'$ ，输出信号 $Y_3$ 对应为同或门， $Y_3 = A \odot 0 = (A \cdot 0 + A' \cdot 0') = A'$ ；输出信号 $Y_4$ 对应为与非门， $Y_4 = (A \cdot 1)' = A'$ 。

3 ECL电路在稳态时，三极管一般工作在\_\_\_\_\_或\_\_\_\_\_区。[山东大学2017研]

【答案】放大区；截止

【解析】图3-3-2为ECL门内部基本电路。当输入A、B都为低电平时，设此低电平小于 $V_{ref}$ ， $T_1$ 和 $T_2$ 截止， $T_3$ 工作在放大区， $T_4$ 、 $T_5$ 导通，此时 $V_{o1} = -V_{Be4} = -0.7V$ ； $V_{o2} = V_{ref} - V_{Be5} = -1.7V$ 。当输入A、B有一个为高电平时（假设A为高电平）， $T_1$ 工作在放大区， $T_2$ 、 $T_3$ 截止， $T_4$ 、 $T_5$ 导通，忽略 $R_{c3}$ 上的压降， $V_{o1} = -1.7V$ ； $V_{o2} = -0.7V$ 。当输入A、B均为高电平时，与上面情况相同， $V_{o1} = -1.7V$ ； $V_{o2} = -0.7V$ 。因此，三极管一般工作在放大或截止区。

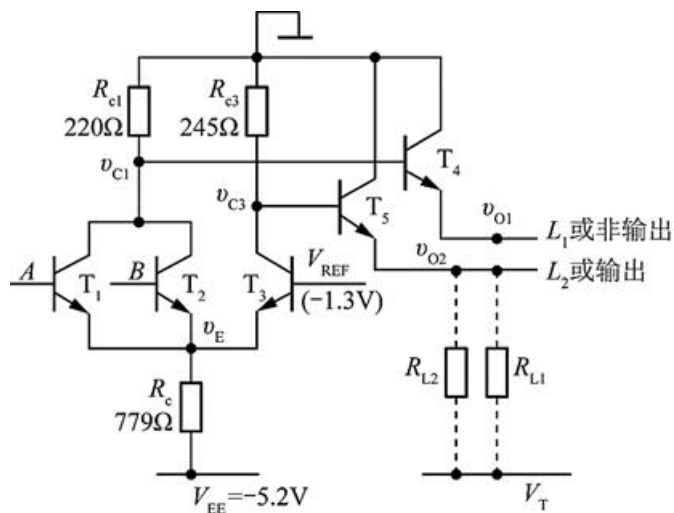


图3-3-2 ECL门内部基本电路

## 二、选择题

1 采用OC门主要解决了（ ）。[重庆大学2015研]

- A. TTL与非门不能相与的问题
- B. TTL与非门不能线与的问题
- C. TTL与非门不能相或的问题
- D. TTL与非门不能线或的问题

【答案】B

【解析】线与逻辑，即两个输出端（包括两个以上）直接互连就可以实现“AND”的逻辑功能。在总线传输等实际应用中需要多个门的输出端并联连接使用，而一般TTL门输出端并不能直接并接使用，否则这些门的输出管之间由于低阻抗形成很大的短路电流（灌电流），而烧坏器件。在硬件上，可用OC门或三态门（ST门）来实现。用OC门实现线与，应同时在输出端口加一个上拉电阻。

2 在数据总线上能实现“分时传送数据”功能的数字逻辑部件是（ ）。[江苏大学2016研]

- A. TTL与非门
- B. CMOS传输门（TG）
- C. 集电极开路门
- D. 三态逻辑门

【答案】D

【解析】三态逻辑门主要用于总线传输。任何时刻只有一个门电路的使能端EN为1，该门电路的信号被传到总线上，而其他三态门输出电路处于高阻状态。这样就可以按照一定顺序将各个门电路的输出信号分时传送到总线上。

## 三、分析计算题

1 指出图3-3-3中74HC系列CMOS门电路的输出状态。[北京科技大学2010研]

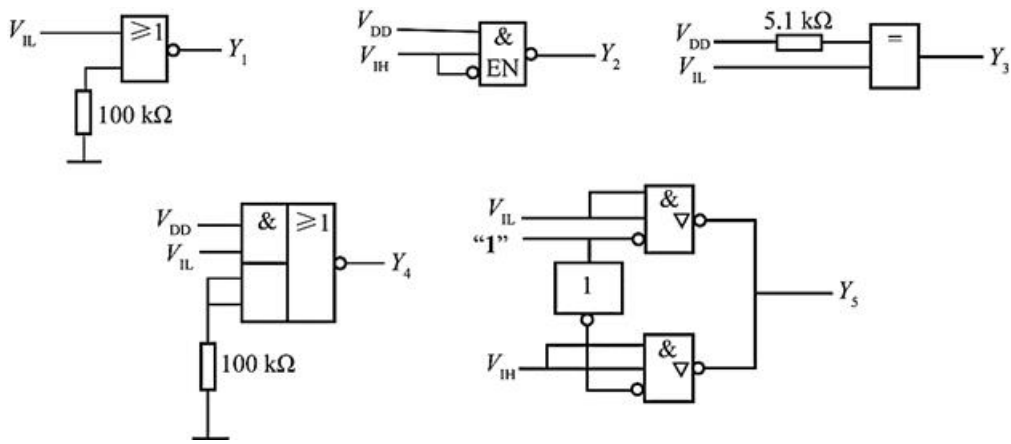


图3-3-3

解：Y<sub>1</sub>低电平；Y<sub>2</sub>高阻态；Y<sub>3</sub>高电平；Y<sub>4</sub>低电平；Y<sub>5</sub>低电平。

$$Y_1 = \overline{1 + V_{IL}} = 0$$

（输入端经电阻接地，电阻 $>0.25\text{k}\Omega$ 可视作逻辑1）；

Y<sub>2</sub>所在图中， $\overline{EN} = V_{IH}$ 使能端失效，故输出为高阻态；

$$Y_3 = \overline{V_{DD} \oplus V_{IL}}, \quad V_{DD} = 1, \quad V_{IL} = 0, \quad Y_3 = 0;$$

$$Y_4 = \overline{V_{DD} V_{IL} + 1} = 0$$

；

$$Y_5 = \overline{V_{IH} V_{IH}} = 0$$

，使能端控制下门导通，上门高阻。

2 已知TTL门的参数为 $I_{IH} = 20\mu\text{A}$ ， $I_{IL} = 1\text{mA}$ ， $I_{OH} = 0.5\text{mA}$ ， $I_{OL} = 10\text{mA}$ ，试确定图3-3-4所示的二输入端与非门能驱动多少个三输入端与非门。[北京邮电大学2010研]

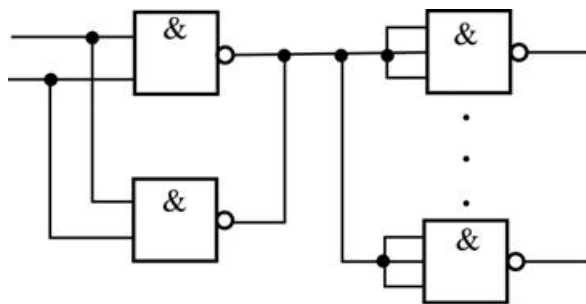


图3-3-4

解：若与非门的输出为高电平，则 $I_{O1} = 2I_{OH} = 1\text{mA}$ ，此时的扇出系数为： $I_{O1}/I_{IH} = 1\text{mA}/20\mu\text{A} = 50$ ，最多可驱动16个三输入与非门。

若与非门的输出为低电平，则 $I_{O2} = 2I_{OL} = 20\text{mA}$ ，此时的扇出系数为： $I_{O2}/I_{IL} = 20\text{mA}/1\text{mA} = 20$ ，最多可驱动6个三输入与非门。

综上，该与非门可驱动6个三输入与非门。

3 组合电路如图3-3-5所示。[山东大学2015研]

(1) 写出F的逻辑表达式（化为与或式）。

(2) 列出真值表。

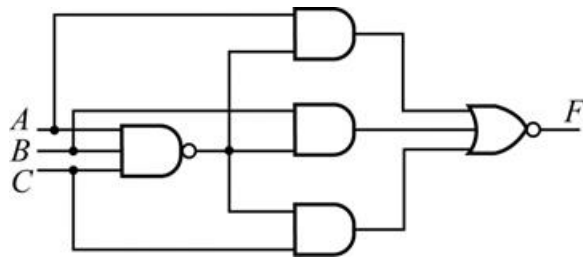


图3-3-5 组合电路图

解：(1)  $F = [A \cdot (ABC)' + B \cdot (ABC)' + C \cdot (ABC)']' = [(A+B+C) \cdot (ABC)']' = (A+B+C)' + ABC = A'B'C' + ABC$

(2) 真值表如下：

表3-3-1 组合电路真值表

A	B	C	$A'B'C'$	$ABC$	F
0	0	0	1	0	1
0	0	1	0	0	0
0	1	0	0	0	0
0	1	1	0	0	0
1	0	0	0	0	0
1	0	1	0	0	0
1	1	0	0	0	0
1	1	1	0	1	1

## 第4章 组合逻辑电路

### 4.1 复习笔记

本章介绍了组合逻辑电路的特点以及组合逻辑电路的分析方法和设计方法。需要掌握的内容有组合逻辑电路在逻辑功能和电路结构上的特点，组合逻辑电路的设计方法和步骤。需要定性了解的内容有组合逻辑电路中竞争-冒险现象以及常用的消除方法。

#### 一、概述

##### 1 组合逻辑电路的特点

数字电路分成两大类，一类称为组合逻辑电路，另一类称为时序逻辑电路。

组合逻辑电路的特点见表4-1-1。

表4-1-1 组合逻辑电路特点

要点	主要内容
工作特点	任意时刻输出仅取决于该时刻输入，与电路原状态无关
电路特点	输出、输入之间没有反馈延时通路，电路不含记忆元件

## 2 逻辑功能的描述

任何一个多输入、多输出的组合逻辑电路，都可以用图4-1-1所示的框图表示。图中 $a_1, a_2, \dots, a_n$ 表示输入变量， $y_1, y_2, \dots, y_m$ 表示输出变量。输出与输入间的逻辑关系可以用一组逻辑函数表示：

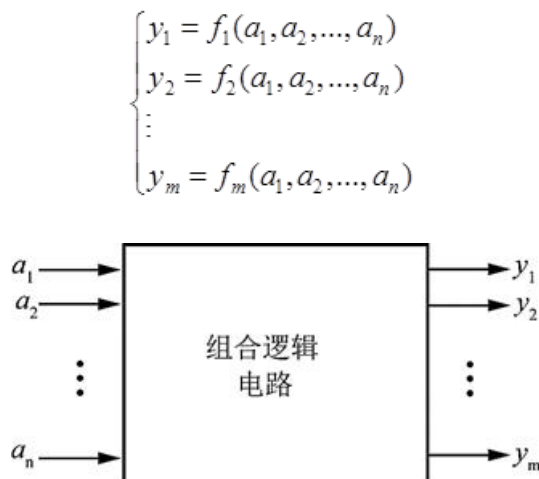


图4-1-1 组合逻辑电路框图

## 二、组合逻辑电路的分析方法和设计方法

### 1 组合逻辑电路分析方法

组合逻辑电路通常采用的分析方法步骤为：

- (1) 从电路输入到输出逐级写出逻辑函数；
- (2) 写出表示输出与输入关系的逻辑函数式；
- (3) 用公式或卡诺图将函数式化简；
- (4) 将逻辑函数式转换为真值表。

### 2 组合逻辑电路设计方法

组合逻辑电路通常采用的设计方法步骤为：

- (1) 进行逻辑抽象：通过逻辑抽象的方法用一个逻辑函数来描述具有一定因果关系的事件。
  - ① 分析事件因果关系，确定输入变量和输出变量。一般把引起事件的原因定为输入变量，而把事件的结果作为输出变量。
  - ② 以0、1定义逻辑状态的含意。
  - ③ 根据给定因果系列出真值表。
- (2) 写出逻辑函数式：将第（1）步的真值表转换为对应的逻辑函数式，以便后续分析化简。



(3) 选定器件的类型：根据对电路的具体要求和器件的资源情况决定采用小规模集成的门电路组成相应的逻辑电路，或者中规模集成的常用组合逻辑器件或可编程逻辑器件等构成相应的逻辑电路。

(4) 将逻辑函数化简或变换成适当的形式：

①使用小规模集成门电路进行设计时，应将函数式化成最简形式，即函数式中相加的乘积项最少，而且每个乘积项中的因子也最少。

②使用中规模集成常用组合逻辑电路设计电路时，需要将函数式变换为适当形式，以使用最少的器件和最简单的连线接成所要求的逻辑电路。

(5) 根据化简或变换后的逻辑函数式，画出逻辑电路的连接图。

(6) 工艺设计：为实现电路装置，需做工艺设计包括设计印刷电路板、机箱、面板、电源、控制开关等。最后还必须完成组装、调试。

图4-1-2中以方框图的形式总结了逻辑设计的过程，但上述的设计步骤不是一成不变的。

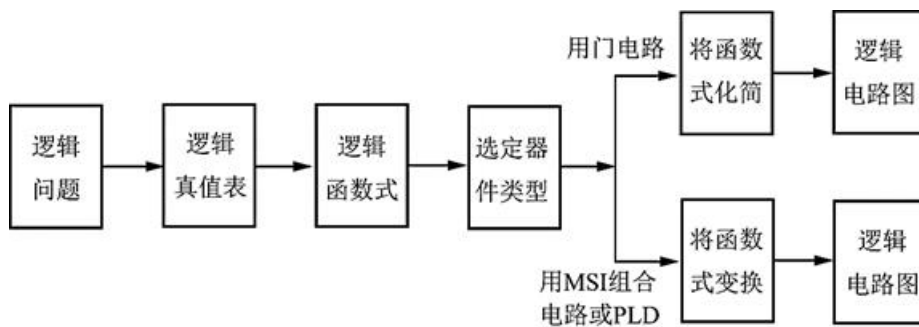


图4-1-2 组合逻辑电路的设计过程

### 三、若干常用的组合逻辑电路

#### 1 编码器

编码器的逻辑功能是将输入的每一个高、低电平信号编成一个对应的二进制代码。两种常见的编码器见表4-1-2。

表4-1-2 常见编码器

种类	编码器特点	真值表													
普通编码器	同一时刻只允许一个编码信号输入，否则输出信号会发生混乱；常见的有3位二进制编码器	输入								输出					
		$I_0$	$I_1$	$I_2$	$I_3$	$I_4$	$I_5$	$I_6$	$I_7$	$Y_2$	$Y_1$	$Y_0$			
		1	0	0	0	0	0	0	0	0	0	0			
		0	1	0	0	0	0	0	0	0	0	1			
		0	0	1	0	0	0	0	0	0	1	0			
		0	0	0	1	0	0	0	0	0	1	1			
		0	0	0	0	1	0	0	0	1	0	0			
		0	0	0	0	0	1	0	0	1	0	1			
		0	0	0	0	0	0	1	0	1	1	0			
		0	0	0	0	0	0	0	1	1	1	1			
优先编码器	同一时刻允许两个以上的编码信号输入，优先编码器将所有输入信号按优先顺序排队，同时出现几个输入信号时，只对其中优先权最高的进行编码；常见的有8线-3线优先编码器 74HC148	输入								输出					
		$S'$	$I_0'$	$I_1'$	$I_2'$	$I_3'$	$I_4'$	$I_5'$	$I_6'$	$I_7'$	$Y_2'$	$Y_1'$	$Y_0'$	$Y_S'$	$Y_{EX}'$
		1	×	×	×	×	×	×	×	×	1	1	1	1	1
		0	1	1	1	1	1	1	1	1	1	1	1	0	1
		0	×	×	×	×	×	×	×	0	0	0	1	0	
		0	×	×	×	×	×	×	0	1	0	0	1	1	0
		0	×	×	×	×	×	0	1	1	0	1	0	1	0
		0	×	×	×	×	0	1	1	1	0	1	1	1	0
		0	×	×	×	0	1	1	1	1	1	0	0	1	0
		0	×	×	0	1	1	1	1	1	1	0	1	1	0
		0	×	0	1	1	1	1	1	1	1	1	0	1	0
0	1	1	1	1	1	1	1	1	1	1	1	1	0		

## 2 译码器

译码器将每个输入的二进制代码译为对应的输出高、低电平，译码是编码的反运算，二进制译码器、二—十进制译码器和显示译码器是常见的三类译码电路。

(1) 二进制译码器：输入是一组二进制代码，输出是一组与输入代码一一对应的高、低电平信号。3线-8线译码器74LS138功能表如表4-1-3所示。

表4-1-3 74LS138功能表

输入					输出							
$S_1$	$S_2'+S_3'$	$A_2$	$A_1$	$A_0$	$Y_0'$	$Y_1'$	$Y_2'$	$Y_3'$	$Y_4'$	$Y_5'$	$Y_6'$	$Y_7'$
0	×	×	×	×	1	1	1	1	1	1	1	1
×	1	×	×	×	1	1	1	1	1	1	1	1
1	0	0	0	0	0	1	1	1	1	1	1	1
1	0	0	0	1	1	0	1	1	1	1	1	1
1	0	0	1	0	1	1	0	1	1	1	1	1
1	0	0	1	1	1	1	1	0	1	1	1	1
1	0	1	0	0	1	1	1	1	0	1	1	1
1	0	1	0	1	1	1	1	1	1	0	1	1
1	0	1	1	0	1	1	1	1	1	1	0	1
1	0	1	1	1	1	1	1	1	1	1	1	0

(2) 二-十进制译码器：逻辑功能是将输入BCD码的10个代码译成10个高、低电平输出信号。

(3) 显示译码器见表4-1-4：

表4-1-4 常见显示译码器

要点	主要内容	
半导体数码管	特点	每个线段都是一个发光二极管
	优点	工作电压低、体积小、寿命长、可靠性高等
	缺点	工作电流比较大
液晶显示器	特点	液晶是一种既具有液体的流动性又具有光学特性的有机化合物，它的透明度和呈现的颜色受外加电场的影响
	优点	功耗极低
	缺点	响应速度较低，限制了其在快速系统的应用

(4) 用译码器设计组合逻辑电路：

- ① 将给定的逻辑函数化为最小项之和的形式；
- ② 根据具体的译码器芯片输出有效电平判断是否需要将最小项变换为反函数形式；
- ③ 利用附加的门电路将这些最小项适当地组合起来。

### 3 数据选择器

(1) 工作原理：通过给定不同的地址代码，相应传输门导通，可从输入数据中选出所要的数据传到输出端。用一片74HC153双4选1数据选择器接成8选1数据选择器，电路如图4-1-3所示。

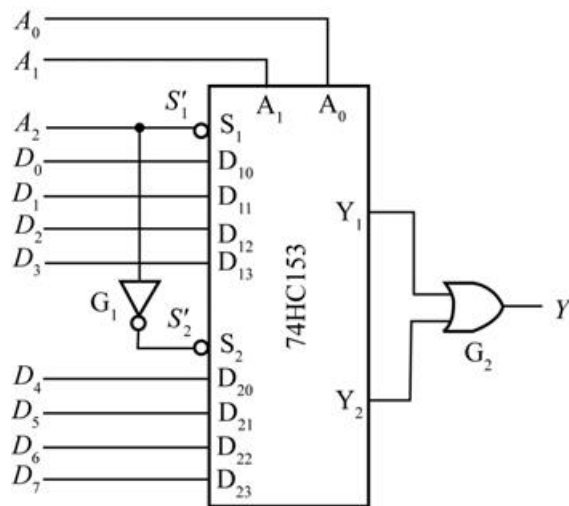


图4-1-3 用两个4选1数据选择器接成的8选1数据选择器

用逻辑函数表示输入与输出之间的逻辑关系：

$$Y = (A_2' A_1' A_0') D_0 + (A_2' A_1' A_0) D_1 + (A_2' A_1 A_0') D_2 + (A_2' A_1 A_0) D_3 \\ + (A_2 A_1' A_0') D_4 + (A_2 A_1' A_0) D_5 + (A_2 A_1 A_0') D_6 + (A_2 A_1 A_0) D_7$$

(2) 用数据选择器设计组合逻辑电路的步骤：

- ① 补全输入地址变量的全部最小项组合；
- ② 相应补上适当的输入数据状态（包括原变量、反变量、0和1），就可在数据选择器的输出端产生任何形式组合逻辑函数。

同理，用具有n位地址输入的数据选择器，可以产生任何形式输入变量数不大于n+1的组合逻辑函数。

### 4 加法器（见表4-1-5）

表4-1-5 常见加法器

要点		主要内容	
1 位加法器	半加器	特点	不考虑低位的进位将两个 1 位二进制数相加
		真值表	见表 4-1-6。A、B 是两个加数，S 是相加的和，CO 是向高位的进位
		逻辑表达式	$\begin{cases} S = A'B + AB' = A \oplus B \\ CO = AB \end{cases}$
	全加器	特点	除最低位以外，每一位都考虑低位的进位，即将两个对应位的加数和来自低位的进位 3 个数相加
		真值表	见表 4-1-7
		逻辑表达式	$\begin{cases} S = (A'B'CI' + AB'CI + A'BCI + ABCI) \\ CO = (A'B' + B'CI' + A'CI) \end{cases}$
多位加法器	串行进位加法器	特点	依次将低位进位输出 CO 接到高位全加器的进位输入 CI，每位相加结果须等到低一位进位产生后才能建立起来
		电路连接图	见图 4-1-4
	超前进位加法器		第 i 位的进位输入信号 (CI) <sub>i</sub> 能由 A <sub>i-1</sub> A <sub>i-2</sub> ...A <sub>0</sub> 和 B <sub>i-1</sub> B <sub>i-2</sub> ...B <sub>0</sub> 唯一确定，可通过逻辑电路事先得出每一位全加器的进位输入信号，无需再从最低位开始向高位逐位传递进位信号了，有效提高运算速度

表4-1-6 半加器的真值表

输入		输出	
A	B	S	CO
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

表4-1-7 全加器的真值表

输入			输出	
CI	A	B	S	CO
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

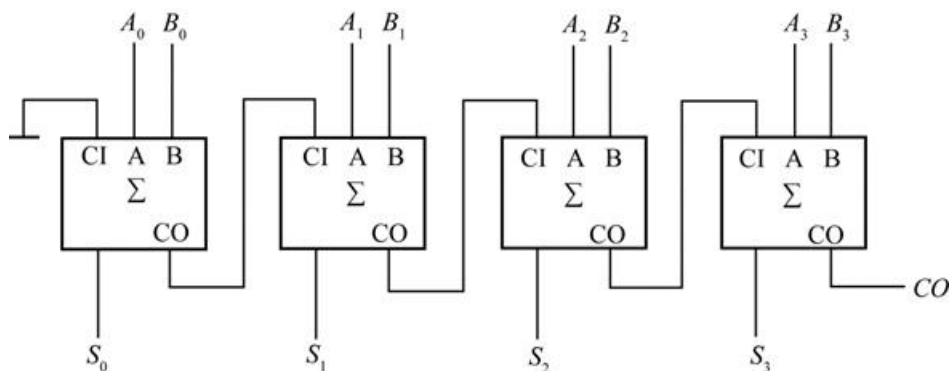


图4-1-4 4位串行进位加法器

## 5 数值比较器

(1) 1位数值比较器:

①  $A > B$  ( $A=1$ 、 $B=0$ ) 则  $AB'=1$ , 用  $AB'$  作为输出信号  $Y_{(A>B)}$ ;

②  $A < B$  ( $A=0$ 、 $B=1$ ), 则  $A'B=1$ , 用  $A'B$  作为输出信号  $Y_{(A<B)}$ ;

③  $A=B$ , 则  $A \odot B=1$ , 用  $A \odot B$  作为的输出信号  $Y_{(A=B)}$ 。

图4-1-5给出的是一种实用的1位数值比较器电路。

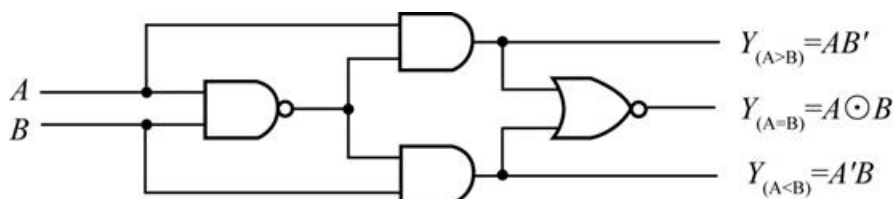


图4-1-5 1位数值比较器

(2) 多位数值比较器:

比较多位数的大小时, 必须自高而低逐位比较, 且只有高位相等时, 才需比较低位。

比较两个多位数的高4位数, 表示其输出结果的逻辑函数式为:

$$Y_{(A>B)} = A_3B_3' + (A_3 \odot B_3) A_2B_2' + (A_3 \odot B_3) (A_2 \odot B_2) A_1B_1' + (A_3 \odot B_3) (A_2 \odot B_2) (A_1 \odot B_1) A_0B_0' + (A_3 \odot B_3) (A_2 \odot B_2) (A_1 \odot B_1) (A_0 \odot B_0) I_{(A>B)}$$

$$Y_{(A<B)} = A_3'B_3 + (A_3 \odot B_3) A_2'B_2 + (A_3 \odot B_3) (A_2 \odot B_2) A_1'B_1 + (A_3 \odot B_3) (A_2 \odot B_2) (A_1 \odot B_1) A_0'B_0 + (A_3 \odot B_3) (A_2 \odot B_2) (A_1 \odot B_1) (A_0 \odot B_0) I_{(A<B)}$$

$$Y_{(A=B)} = (A_3 \odot B_3) (A_2 \odot B_2) (A_1 \odot B_1) (A_0 \odot B_0) I_{(A=B)}$$

$I_{(A>B)}$ 、 $I_{(A<B)}$  和  $I_{(A=B)}$  是来自低位的比较结果, 如果没有来自低位的比较结果, 应令  $I_{(A>B)} = I_{(A<B)} = 0$ ,  $I_{(A=B)} = 1$ 。

## 四、组合逻辑电路中的竞争-冒险现象

### 1 竞争-冒险现象及其成因

将门电路两输入信号同时向相反逻辑电平跳变 (一个  $1 \rightarrow 0$ , 另一个  $0 \rightarrow 1$ ) 的现象称为竞争。有竞争现象时不一定都会产生尖峰脉冲。

由于竞争而在电路输出端可能产生尖峰脉冲的现象就称为竞争-冒险。

### 2 检查竞争-冒险现象的方法

(1) 输出端逻辑函数在一定条件下能简化成  $Y=A+A'$  或  $Y=A \cdot A'$  或  $Y=(A+A)'$  或  $Y=(A \cdot A)'$ , 则可判定存在竞争-冒险现象;

(2) 多变量时用计算机辅助分析;

(3) 用实验检查电路输出端是否有尖峰脉冲，此时包含了输入变量的所有可能发生的状态变化。

### 3 消除竞争-冒险现象的方法

(1) 接入滤波电容：由于尖峰干扰脉冲的宽度一般比较窄，为了将其幅度削弱至门电路的阈值电压以下，可以在输出端并接一个很小的滤波电容 $C_f$ 。优点是简单易行，缺点是增加了输出电压的上升和下降时间，波形变坏。

(2) 引入选通脉冲：在电路中引入一个选通脉冲 $p$ ，如图4-1-6所示。因为 $p$ 的高电平出现在电路到达稳定状态以后，所以每个门的输出端都不会出现尖峰脉冲。这种方法的优点比较简单，且不需要增加电路元件，但使用这种方法时必须设法得到一个与输入信号同步的选通脉冲，对这个脉冲的宽度和作用的时间均有严格的要求。

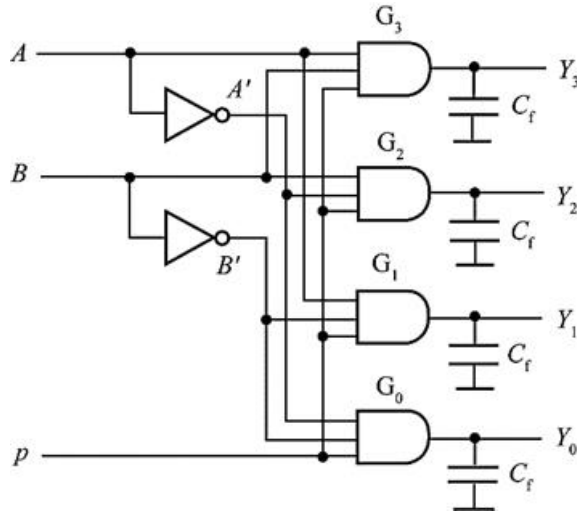


图4-1-6 引入选通脉冲消除竞争-冒险现象

(3) 修改逻辑设计：使输出端逻辑函数不满足产生竞争-冒险现象的条件。

## 4.2 课后习题详解

4.1 分析图4-2-1所示电路的逻辑功能，写出输出的逻辑函数式，列出真值表，说明电路逻辑功能的特点。

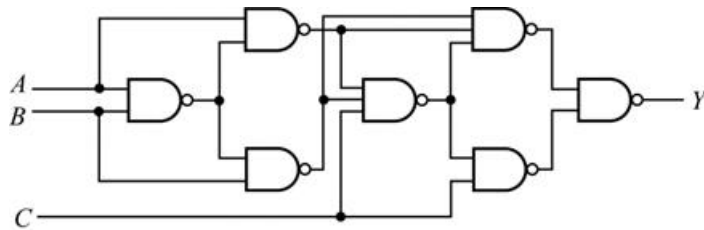


图4-2-1

解： $Y = A'B'C' + A'BC + AB'C + ABC'$

真值表如表4-2-1所示，从表中可以看出，该电路是一个三变量的奇偶检测电路，当输入偶数个1或输入为全0时，输出为1，否则输出为0。

表4-2-1

<i>A</i>	<i>B</i>	<i>C</i>	<i>Y</i>
0	0	0	1
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	0

4.2 图4-2-2是一个多功能函数发生电路。试写出当 $S_0S_1S_2S_3$ 为0000~1111 16种不同状态时输出 $Y$ 的逻辑函数式。

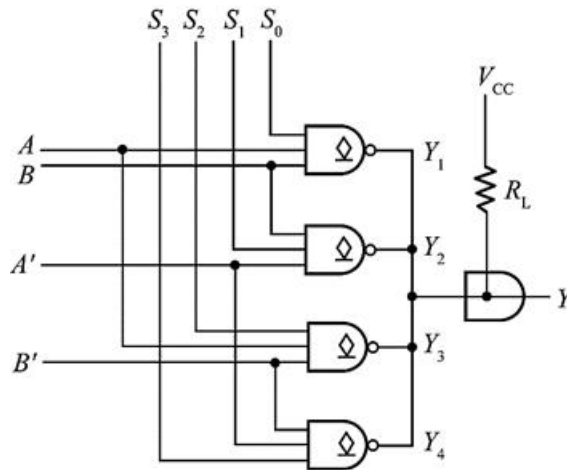


图4-2-2

解：若 $S_i$ 为高电平，则 $Y_i$ 实现与非门功能， $Y_i$ 可表示为 $A$ 和 $B$ 及其反逻辑的与非形式：

$$Y_1 = (AB)' , Y_2 = (A'B)' , Y_3 = (AB')' , Y_4 = (A'B)'$$

若 $S_i$ 为低电平，则 $Y_i=1$ 。

$Y$ 实现与功能， $Y=Y_1Y_2Y_3Y_4$ 。

当 $S_3S_2S_1S_0$ 取不同值时，输出的逻辑表达式如表4-2-2所示。

表4-2-2

$S_3S_2S_1S_0$	$Y$	$S_3S_2S_1S_0$	$Y$
0000	1	1000	$Y=Y_4=(A'B)'$
0001	$Y=Y_1=(AB)'$	1001	$Y=Y_1 \cdot Y_4=A'B+AB'$
0010	$Y=Y_2=(A'B)'$	1010	$Y=Y_2 \cdot Y_4=A$
0011	$Y=Y_1 \cdot Y_2=B'$	1011	$Y=Y_1 \cdot Y_2 \cdot Y_4=AB'$
0100	$Y=Y_3=(AB')'$	1100	$Y=Y_3 \cdot Y_4=B$
0101	$Y=Y_1 \cdot Y_3=A'$	1101	$Y=Y_1 \cdot Y_3 \cdot Y_4=A'B$
0110	$Y=Y_2 \cdot Y_3=AB+A'B'$	1110	$Y=Y_2 \cdot Y_3 \cdot Y_4=AB$
0111	$Y=Y_1 \cdot Y_2 \cdot Y_3=A'B'$	1111	$Y=Y_1 \cdot Y_2 \cdot Y_3 \cdot Y_4=0$

4.3 分析图4-2-3所示电路的逻辑功能，写出 $Y_1$ 、 $Y_2$ 的逻辑函数式，列出真值表，指出电路完成什么逻辑功能。

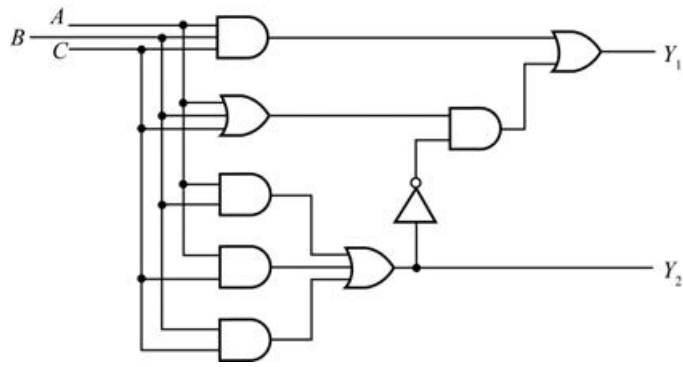


图4-2-3

解：输入到输出逐级写出逻辑式：

$$Y_1 = ABC + (A+B+C) \cdot (AB+AC+BC)' = ABC + AB'C' + A'BC' + A'B'C$$

$$Y_2 = AB + BC + AC$$

真值表如表4-2-3所示。从表中可以看出，该电路为全加器。其中，A和B表示加数，C表示来自低位的进位，Y<sub>1</sub>表示和，Y<sub>2</sub>表示向高位的进位。

表4-2-3

A	B	C	Y <sub>1</sub>	Y <sub>2</sub>
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

4.4 图4-2-4是对十进制数9求补的集成电路CC14561的逻辑图，写出当COMP=1、Z=0和COMP=0、Z=0时，Y<sub>1</sub>、Y<sub>2</sub>、Y<sub>3</sub>、Y<sub>4</sub>的逻辑式，列出真值表。

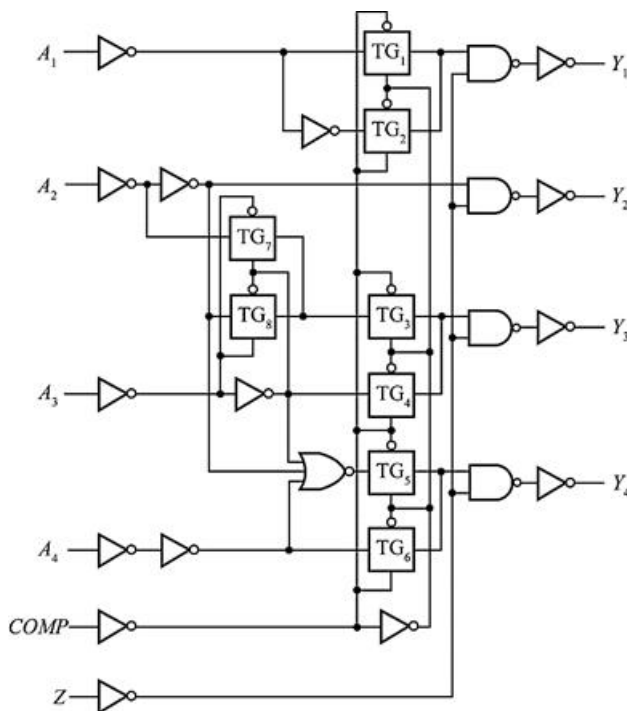




图4-2-4

解：（1）当COMP=1、Z=0时，输出的逻辑式为

$$Y_1=A_1'; Y_2=A_2; Y_3=A_2 \oplus A_3; Y_4=(A_2+A_3+A_4)'$$

当COMP=0、Z=0时，输出的逻辑式为

$$Y_1=A_1; Y_2=A_2; Y_3=A_3; Y_4=A_4$$

（2）真值表如表4-2-4所示。

表4-2-4

十进制数	A <sub>4</sub> A <sub>3</sub> A <sub>2</sub> A <sub>1</sub>	COMP=1、Z=0时 Y <sub>4</sub> Y <sub>3</sub> Y <sub>2</sub> Y <sub>1</sub>	COMP=0、Z=0时 Y <sub>4</sub> Y <sub>3</sub> Y <sub>2</sub> Y <sub>1</sub>
0	0000	1001	0000
1	0001	1000	0001
2	0010	0111	0010
3	0011	0110	0011
4	0100	0101	0100
5	0101	0100	0101
6	0110	0011	0110
7	0111	0010	0111
8	1000	0001	1000
9	1001	0000	1001
10 (伪码)	1010	0111	1010
11 (伪码)	1011	0110	1011
12 (伪码)	1100	0101	1100
13 (伪码)	1101	0100	1101
14 (伪码)	1110	0011	1110
15 (伪码)	1111	0010	1111

4.5 用与非门设计四变量的多数表决电路。当输入变量A、B、C、D有3个或3个以上为1时输出为1，输入为其他状态时输出为0。

解：真值表如表4-2-5所示。

表4-2-5

A	B	C	D	Y
0	0	0	0	0
0	0	0	1	0
0	0	1	0	0
0	0	1	1	0
0	1	0	0	0
0	1	0	1	0
0	1	1	0	0
0	1	1	1	1
1	0	0	0	0
1	0	0	1	0
1	0	1	0	0
1	0	1	1	1
1	1	0	0	0
1	1	0	1	1
1	1	1	0	1
1	1	1	1	1

根据真值表画出卡诺图如图4-2-5 (a) 所示，化简得：

$$Y = ABC + ABD + ACD + BCD = ((ABC)' \cdot (ABD)' \cdot (ACD)' \cdot (BCD)')$$

逻辑电路图如图4-2-5 (b) 所示。

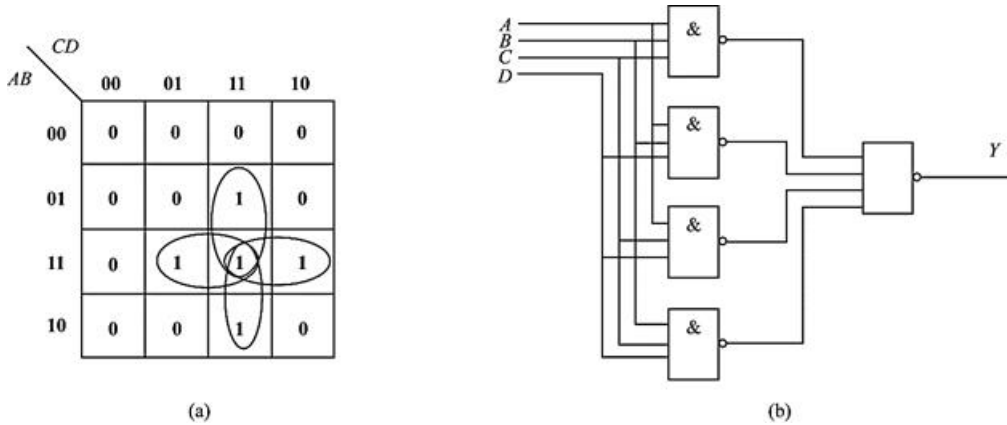


图4-2-5

4.6 有一水箱由大、小两台水泵 $M_L$ 和 $M_S$ 供水，如图4-2-6所示。水箱中设置了3个水位检测元件A、B、C。水面低于检测元件时，检测元件给出高电平；水面高于检测元件时，检测元件给出低电平。现要求当水位超过C点时水泵停止工作；水位低于C点而高于B点时 $M_S$ 单独工作；水位低于B点而高于A点时 $M_L$ 单独工作；水位低于A点时 $M_L$ 和 $M_S$ 同时工作。试用门电路设计一个控制两台水泵的逻辑电路，要求电路尽量简单。

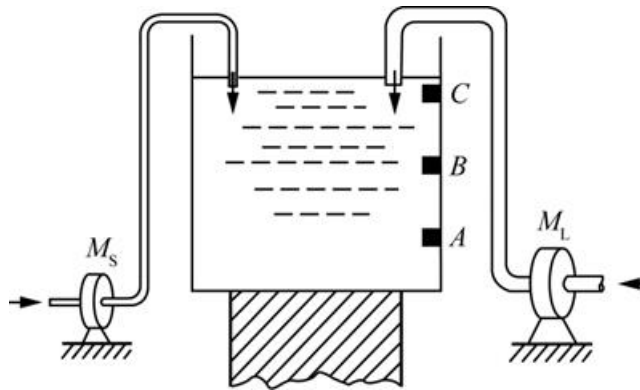


图4-2-6

**解：**以 $M_L$ 、 $M_S$ 分别表示大、小两个水泵，以 $M_L$ 、 $M_S$ 为1表示水泵工作，0表示水泵停止工作。以1表示检测元件输出的高电平，0表示检测元件输出的低电平。则根据题意可列出真值表，如表4-2-6所示。

表4-2-6

A	B	C	$M_L$	$M_S$
0	0	0	0	0
0	0	1	0	1
0	1	0	*	*
0	1	1	1	0
1	0	0	*	*
1	0	1	*	*
1	1	0	*	*
1	1	1	1	1

用卡诺图化简得： $M_S = A + B'C$ ， $M_L = B$ 。

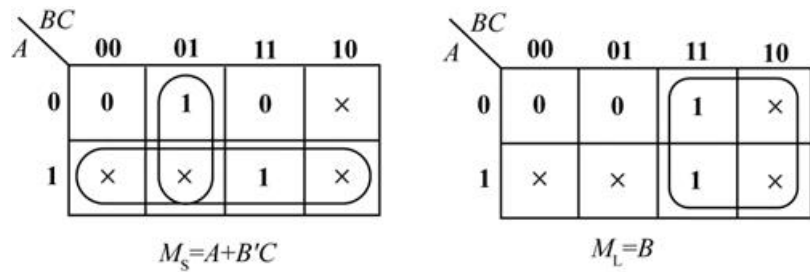


图4-2-7 (a)

逻辑图如图4-2-7 (b) 所示。

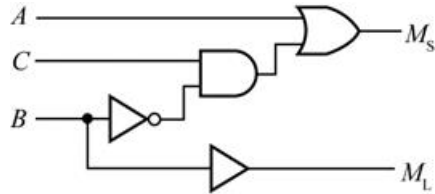


图4-2-7 (b)

4.7 设计一个代码转换电路，输入为4位二进制代码，输出为4位格雷码。可以采用各种逻辑功能的门电路来实现。4位格雷码见教材第1.5节的表1.5.2。

解：若输入用四位二进制代码 $A_3A_2A_1A_0$ 表示，输出用四位格雷码 $Y_3Y_2Y_1Y_0$ 表示，则真值表如表4-2-7所示。

表4-2-7

二进制代码				格雷码				二进制代码				格雷码			
$A_3$	$A_2$	$A_1$	$A_0$	$Y_3$	$Y_2$	$Y_1$	$Y_0$	$A_3$	$A_2$	$A_1$	$A_0$	$Y_3$	$Y_2$	$Y_1$	$Y_0$
0	0	0	0	0	0	0	0	1	0	0	0	1	1	0	0
0	0	0	1	0	0	0	1	1	0	0	1	1	1	0	1
0	0	1	0	0	0	1	1	1	0	1	0	1	1	1	1
0	0	1	1	0	0	1	0	1	0	1	1	1	1	1	0
0	1	0	0	0	1	1	0	1	1	0	0	1	0	1	0
0	1	0	1	0	1	1	1	1	1	0	1	1	0	1	1
0	1	1	0	0	1	0	1	1	1	1	0	1	0	0	1
0	1	1	1	0	1	0	0	1	1	1	1	1	0	0	0

用卡诺图化简可得： $Y_3=A_3$ ， $Y_2=A_3\oplus A_2$ ， $Y_1=A_2\oplus A_1$ ， $Y_0=A_1\oplus A_0$ 。

逻辑图如图4-2-8所示。

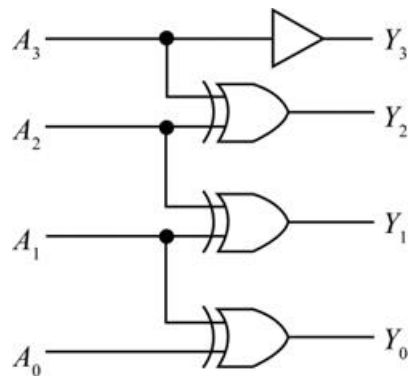


图4-2-8

4.8 试画出用4片8线-3线优先编码器74HC148组成32线-5线优先编码器的逻辑图。74HC148的逻辑图见图4-2-

9. 允许附加必要的门电路。

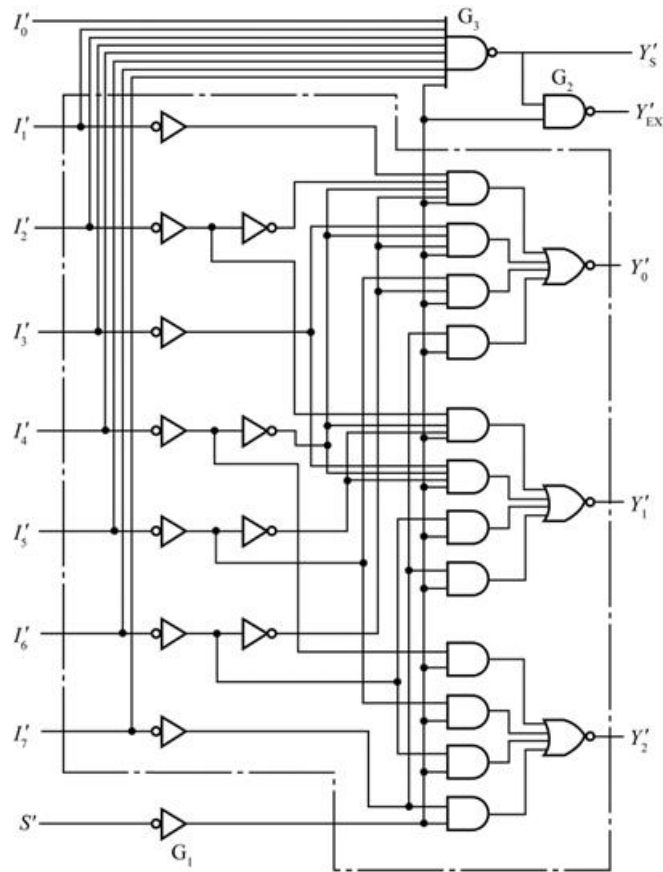


图4-2-9

**解：** 本题需要将32个输入低电平信号编成32个对应的二进制编码，故输出的编码为5位。以 $I'_0 \sim I'_{31}$ 表示32个编码输入信号，以 $D_4 D_3 D_2 D_1 D_0$ 表示输出编码。由于每一片74HC148输出的编码只有3位，故 $D_4$ 和 $D_3$ 只能借助于输出信号 $Y_{EX}'$ 来产生。设 $I'_{31}$ 优先级最高， $I'_0$ 优先级最低，只需将四片74HC148串接起来如图4-2-10所示。取第(4)片工作时的 $D_4 D_3 = 11$ 、第(3)片工作时的 $D_4 D_3 = 10$ 、第(2)片工作时的 $D_4 D_3 = 01$ 、第(1)片工作时的 $D_4 D_3 = 00$ ，则可列出 $D_4 D_3$ 作为各片 $Y_{EX}'$ 信号的函数的真值表如表4-2-8所示。

表4-2-8 真值表

芯号编号	$Y_{EX4}$	$Y_{EX3}$	$Y_{EX2}$	$Y_{EX1}$	$D_4$	$D_3$
(4)	1	0	0	0	1	1
(3)	0	1	0	0	1	0
(2)	0	0	1	0	0	1
(1)	0	0	0	1	0	0

从真值表可得： $D_4 = Y_{EX4} + Y_{EX3} = (Y_{EX4}' \cdot Y_{EX3}')'$ ； $D_3 = Y_{EX4} + Y_{EX2} = (Y_{EX4}' \cdot Y_{EX2}')'$ 。

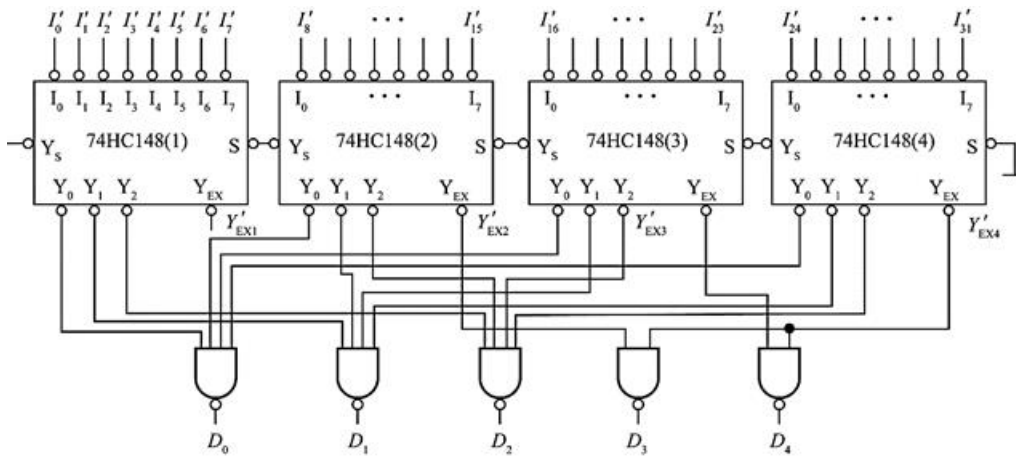


图4-2-10

4.9 某医院有一、二、三、四号病室4间，每室设有呼叫按钮，同时在护士值班室内对应地装有一号、二号、三号、四号4个指示灯。现要求当一号病室的按钮按下时，无论其他病室的按钮是否按下，只有一号灯亮。当一号病室的按钮没有按下而二号病室的按钮按下时，无论三、四号病室的按钮是否按下，只有二号灯亮。当一、二号病室的按钮都未按下而三号病室的按钮按下时，无论四号病室的按钮是否按下，只有三号灯亮。只有在一、二、三号病室的按钮均未按下而按下四号病室的按钮时，四号灯才亮。试用优先编码器74HC148和门电路设计满足上述控制要求的逻辑电路，给出控制四个指示灯状态的高、低电平信号。

**解：**假设低电平可以按下病房里的呼叫按钮，且分别用 $A_4'A_3'A_2'A_1'$ 表示按下四、三、二、一号病房里的呼叫按钮。

假设高电平可以驱动护士值班室里的指示灯，且分别用 $Z_4Z_3Z_2Z_1$ 表示四、三、二、一号指示灯亮。

用 $A_4'A_3'A_2'A_1'$ 分别接74HC148的 $I_0'I_1'I_2'I_3'$ 端，则指示灯信号与74HC148的输出之间的关系如表4-2-9所示。

表4-2-9

$A_1'$	$A_2'$	$A_3'$	$A_4'$	$Y_2'$	$Y_1'$	$Y_0'$	$Z_1$	$Z_2$	$Z_3$	$Z_4$
0	×	×	×	1	0	0	1	0	0	0
1	0	×	×	1	0	1	0	1	0	0
1	1	0	×	1	1	0	0	0	1	0
1	1	1	0	1	1	1	0	0	0	1

由此可得： $Z_1=Y_2'Y_1Y_0$ ， $Z_2=Y_2'Y_1Y_0'$ ， $Z_3=Y_2'Y_1'Y_0$ ， $Z_4=Y_2'Y_1'Y_0'$ 。

电路连接图如图4-2-11所示。

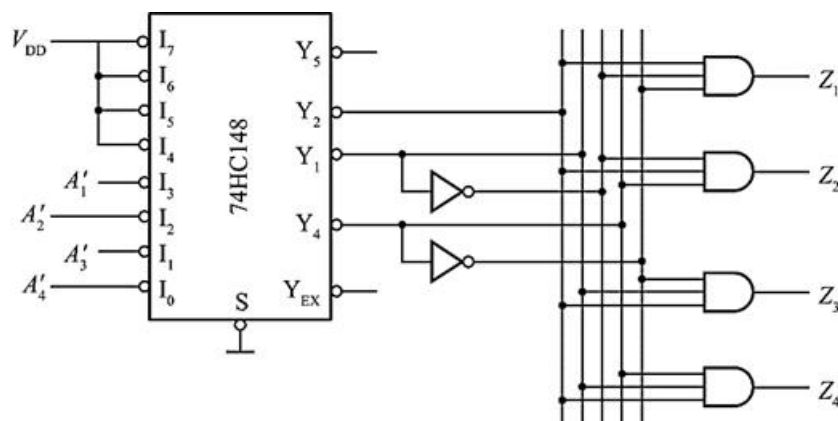


图4-2-11

4.10 写出图4-2-12中 $Z_1$ 、 $Z_2$ 、 $Z_3$ 的逻辑函数式，并化简为最简的与或表达式。译码器74HC42的逻辑图见图4-2-13。

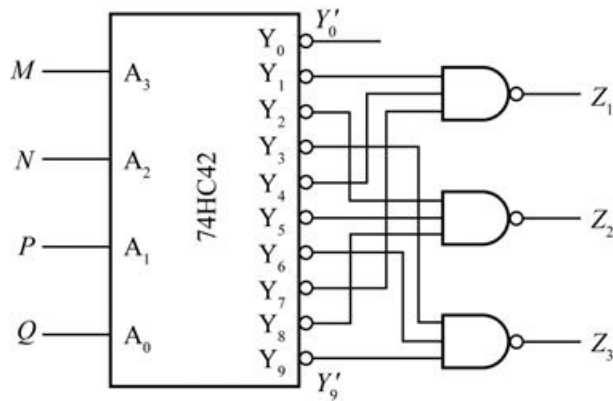


图4-2-12

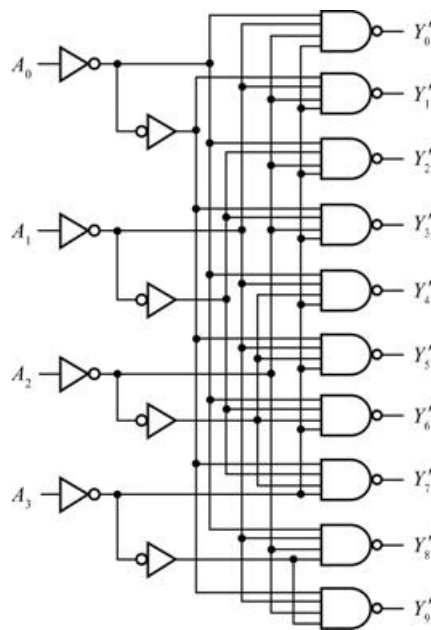


图4-2-13

解：74HC42为二十进制译码器，且 $A_3A_2A_1A_0=1010\sim 1111$ 为约束项，由图4-2-13所示电路可得：

$$Z_1 = (Y_1'Y_4'Y_7')' = Y_1 + Y_4 + Y_7 = \sum m_{M,N,P,Q} (1, 4, 7)$$

$$Z_2 = (Y_2'Y_5'Y_8')' = Y_2 + Y_5 + Y_8 = \sum m_{M,N,P,Q} (2, 5, 8)$$

$$Z_3 = (Y_3'Y_6'Y_9')' = Y_3 + Y_6 + Y_9 = \sum m_{M,N,P,Q} (3, 6, 9)$$

卡诺图如图4-2-14所示，化简得：

$$Z_1 = M'N'P'Q + NP'Q' + NPQ$$

$$Z_2 = MQ' + NP'Q + N'PQ'$$

$$Z_3 = MQ + NPQ' + N'PQ$$

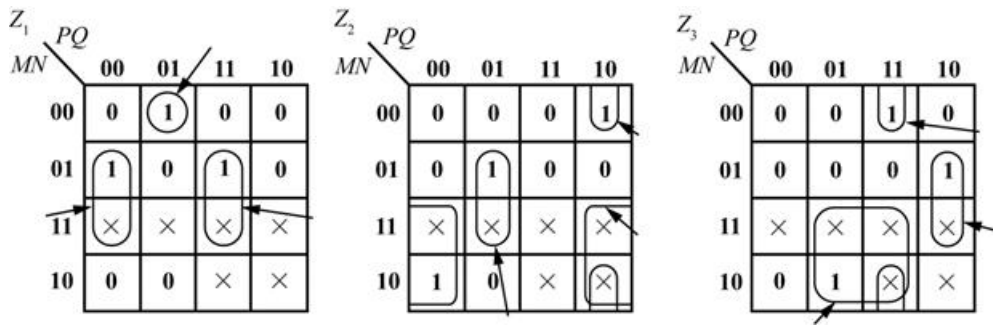


图4-2-14

4.11 画出用两片4线-16线译码器74LS154组成5线-32线译码器的接线图。图4-2-15是74LS154的逻辑框图，图中的 $S'_A$ 、 $S'_B$ 是两个控制端（亦称片选端），译码器工作时应使 $S'_A$ 和 $S'_B$ 同时为低电平。当输入信号 $A_3A_2A_1A_0$ 为0000~1111这16种状态时，输出端从 $Y_0$ 到 $Y_{15}$ 依次给出低电平输出信号。

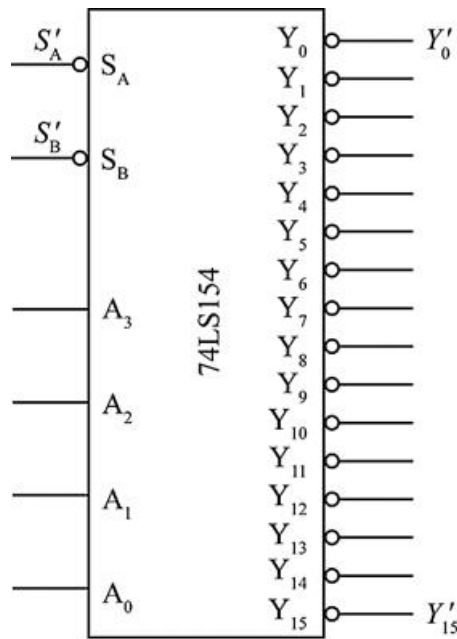


图4-2-15

解：由于74LS154只有4位输入代码，所以借助 $S'_A$ 和 $S'_B$ 拓展第5位输入，即 $A'_4$ 分别接至第1、2片74LS154的 $S'_A$ 和 $S'_B$ 输入端，如图4-2-16所示。输入为 $A_4A_3A_2A_1A_0=00000\sim 011111$ 时，第一片的输出 $Z'_0\sim Z'_{15}$ 依次为低电平输出信号，输入为 $A_4A_3A_2A_1A_0=10000\sim 111111$ 时，第二片的输出 $Z'_{16}\sim Z'_{31}$ 依次为低电平输出信号。

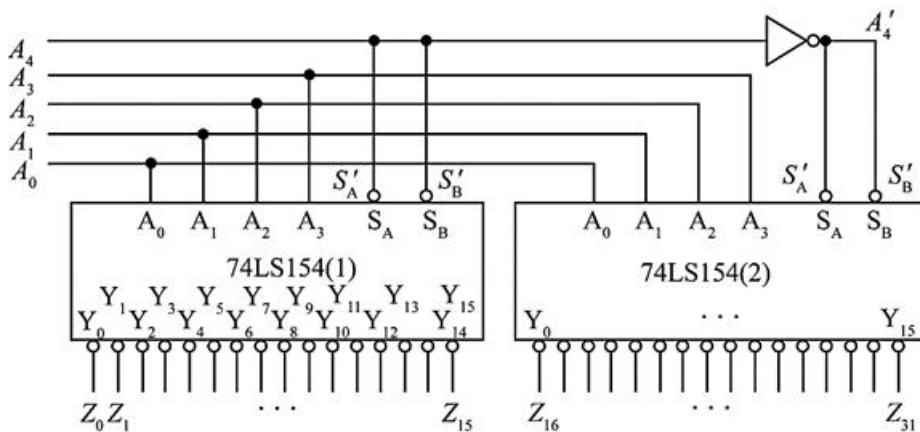


图4-2-16

4.12 试画出用3线-8线译码器74HC138（如图4-2-17所示）和门电路产生如下多输出逻辑函数的逻辑图。

$$\begin{cases} Y_1 = AC \\ Y_2 = A'B'C + AB'C' + BC \\ Y_3 = B'C' + ABC' \end{cases}$$

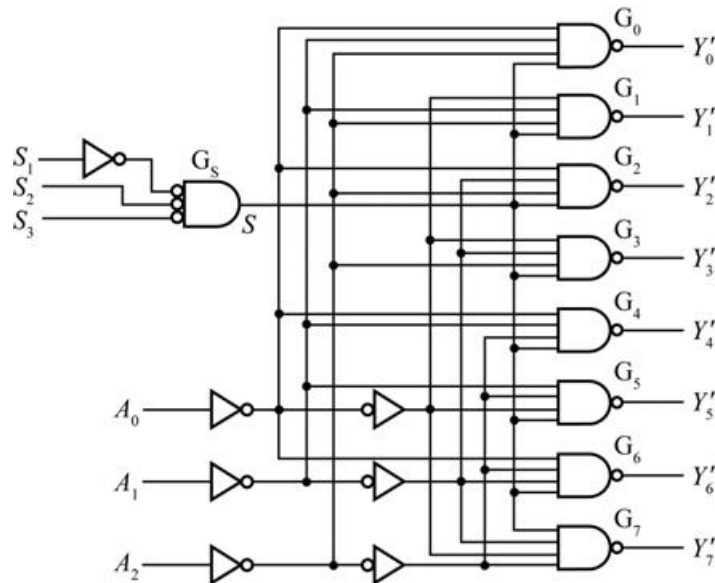


图4-2-17

解：令A、B、C分别接74HC138的A<sub>2</sub>、A<sub>1</sub>、A<sub>0</sub>端，则表达式可以化简为：

$$Y_1 = AC = AB'C + ABC = \Sigma m(5, 7) = Y_5 + Y_7 = (Y_5' Y_7')'$$

$$Y_2 = A'B'C + AB'C' + BC = A'B'C + AB'C' + A'BC + ABC = \Sigma m(1, 3, 4, 7) = Y_1 + Y_3 + Y_4 + Y_7 = (Y_1' Y_3' Y_4' Y_7')'$$

$$Y_3 = B'C' + ABC' = A'B'C' + AB'C' + ABC' = \Sigma m(0, 4, 6) = Y_0 + Y_4 + Y_6 = (Y_0' Y_4' Y_6')'$$

逻辑电路图如图4-2-18所示。

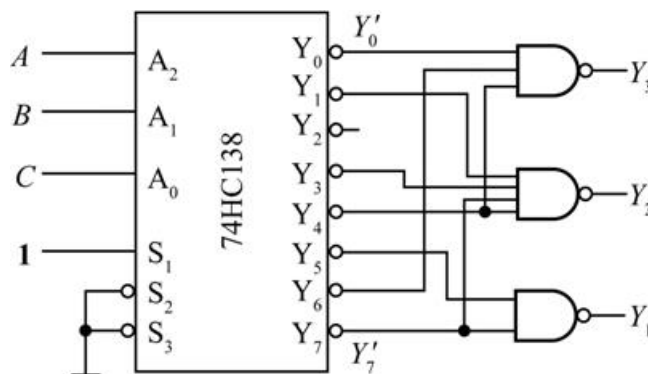


图4-2-18

4.13 画出用4线-16线译码器74LS154（参见题4.11）和门电路产生如下多输出逻辑函数的逻辑图。

$$\begin{cases} Y_1 = A'B'C'D + A'B'CD' + AB'C'D' + A'BC'D' \\ Y_2 = A'BCD + AB'CD + ABC'D + ABCD' \\ Y_3 = A'B \end{cases}$$



解：令A、B、C、D接至74LS154的A<sub>3</sub>、A<sub>2</sub>、A<sub>1</sub>、A<sub>0</sub>端，则表达式可以化简为：

$$Y_1 = A'B'C'D + A'B'CD' + AB'C'D' + A'BC'D' = \sum m(1, 2, 4, 8) = Y_1 + Y_2 + Y_4 + Y_8 = (Y_1'Y_2'Y_4'Y_8')'$$

$$Y_2 = A'BCD + AB'CD + ABC'D + ABCD' = \sum m(7, 11, 13, 14) = Y_7 + Y_{11} + Y_{13} + Y_{14} = (Y_7'Y_{11}'Y_{13}'Y_{14}')'$$

$$Y_3 = A'B = \sum m(4, 5, 6, 7) = Y_4 + Y_5 + Y_6 + Y_7 = (Y_4'Y_5'Y_6'Y_7')'$$

逻辑电路图如图4-2-19所示。

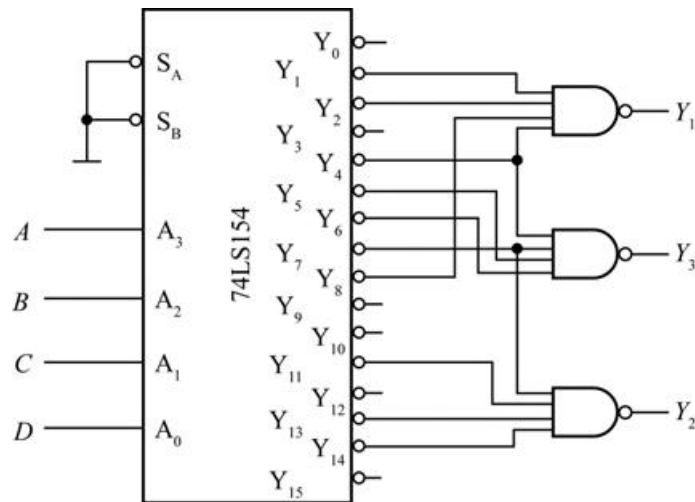


图4-2-19

4.14 用3线-8线译码器74HC138和门电路设计1位二进制全减器电路。输入为被减数、减数和来自低位的借位；输出为两数之差和向高位的借位信号。

解：若用A表示被减数，B表示减数，C<sub>i-1</sub>表示来自低位的借位，C<sub>i</sub>表示向高位的借位，D表示差，则全减器的真值表如表4-2-10所示。

表4-2-10

A	B	C <sub>i-1</sub>	D	C <sub>i</sub>
0	0	0	0	0
0	0	1	1	1
0	1	0	1	1
0	1	1	0	1
1	0	0	1	0
1	0	1	0	0
1	1	0	0	0
1	1	1	1	1

令A、B、C<sub>i-1</sub>分别接74HC138的A<sub>2</sub>、A<sub>1</sub>、A<sub>0</sub>端，将输出直接表示成最小项和的形式：

$$D = A'B'C_{i-1} + A'BC_{i-1}' + AB'C_{i-1}' + ABC_{i-1} = Y_1 + Y_2 + Y_4 + Y_7 = (Y_1'Y_2'Y_4'Y_7')'$$

$$C_i = A'B'C_{i-1} + A'BC_{i-1}' + A'BC_{i-1}' + ABC_{i-1} = Y_1 + Y_2 + Y_3 + Y_7 = (Y_1'Y_2'Y_3'Y_7')'$$

逻辑电路图如图4-2-20所示。

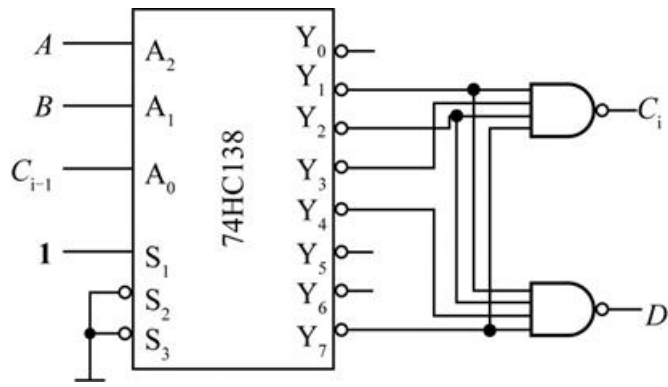


图4-2-20

4.15 试用两片双4选1数据选择器74HC153和3线-8线译码器74HC138接成16选1的数据选择器。74HC153的逻辑图见图4-2-21，74HC138的逻辑图见图4-2-22。

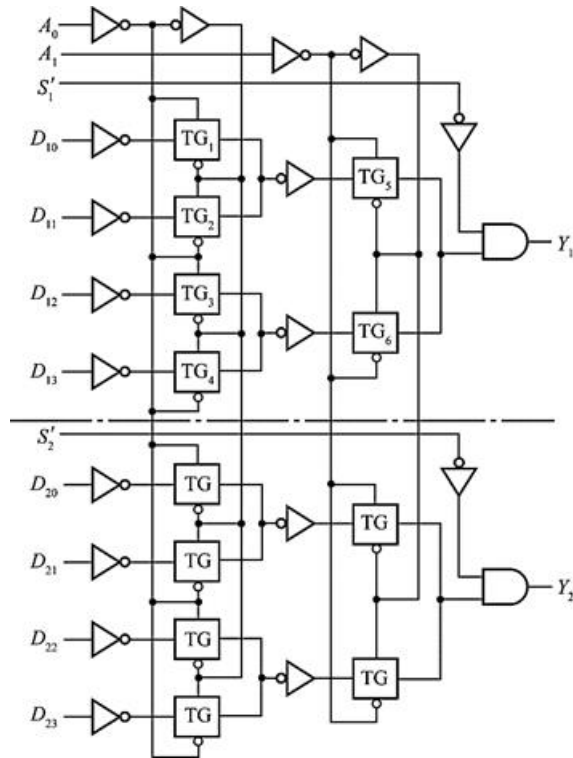


图4-2-21

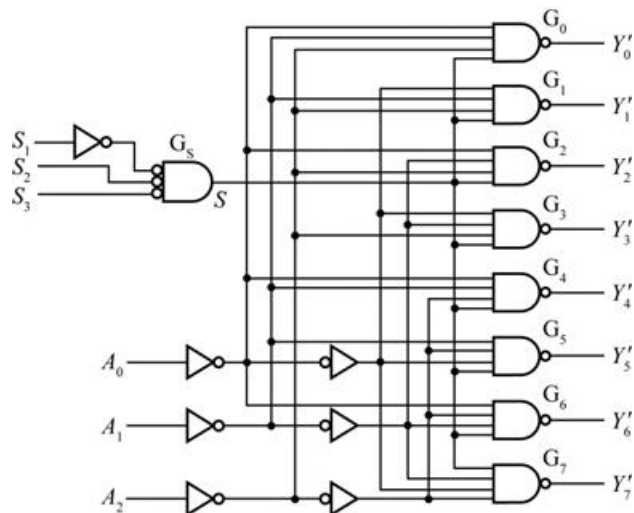


图4-2-22

解：用四位地址输入 $A_3A_2A_1A_0$ 给出16个代码，由于每个4选1数据选择器只有两位地址代码输入端，因此可以

设计两级选择机制，即先选出某一个工作芯片，再在该芯片上选择数据。可以首先用 $A_3A_2$ 的四个代码（00、01、10、11）从四个数据选择器中选出一个，再用 $A_1A_0$ 的四个代码从选出的这个4选1数据选择器的四个输入数据中选择一个，经过输出端的或门送至输出Z。为此，需要用74HC138将 $A_3A_2$ 的00、01、10、11四个代码译成 $Y_0'$ 、 $Y_1'$ 、 $Y_2'$ 、 $Y_3'$ 的四个输出低电平信号，分别接到4个4选1数据选择器的选通控制端上。

电路图如图4-2-23所示， $A_3A_2A_1A_0$ 为地址输入端，Z为输出端。

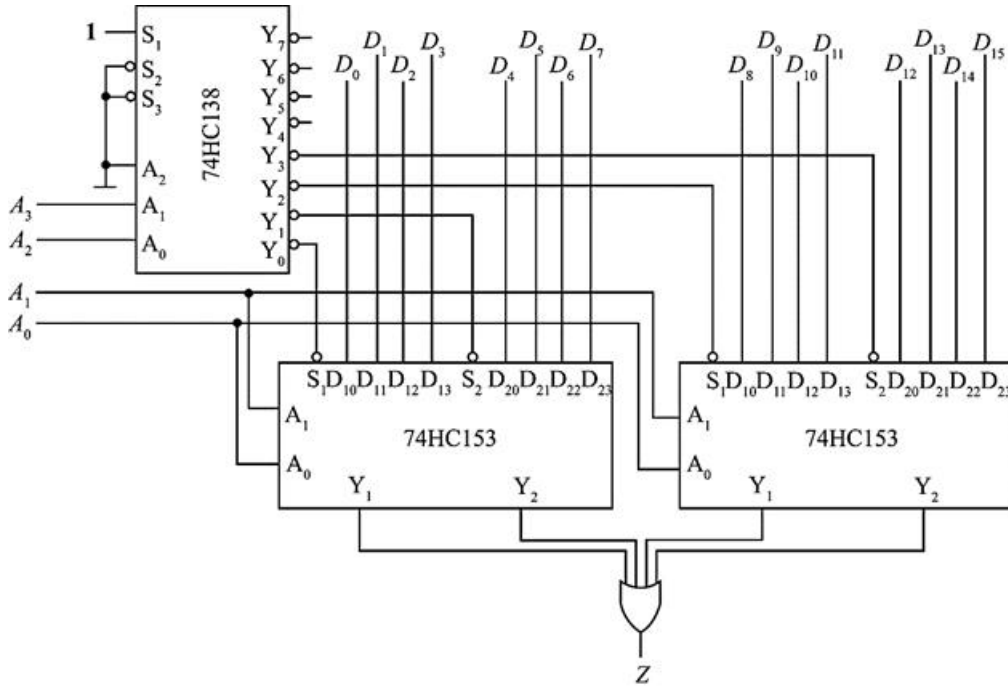


图4-2-23

4.16 分析图4-2-24电路，写出输出Z的逻辑函数式。74HC151为8选1数据选择器，它的逻辑图见图4-2-25，输出的逻辑函数式为：

$$\begin{cases} Y = D_0(A_2'A_1'A_0) + D_1(A_2'A_1A_0) + D_2(A_2A_1'A_0) + D_3(A_2A_1A_0) \\ \quad + D_4(A_2A_1'A_0) + D_5(A_2A_1A_0) + D_6(A_2A_1A_0) + D_7(A_2A_1A_0) \\ W = Y' \end{cases}$$

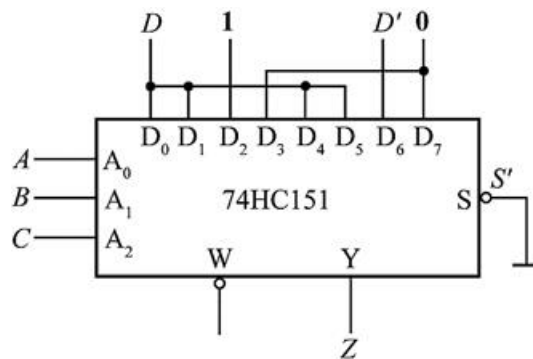


图4-2-24

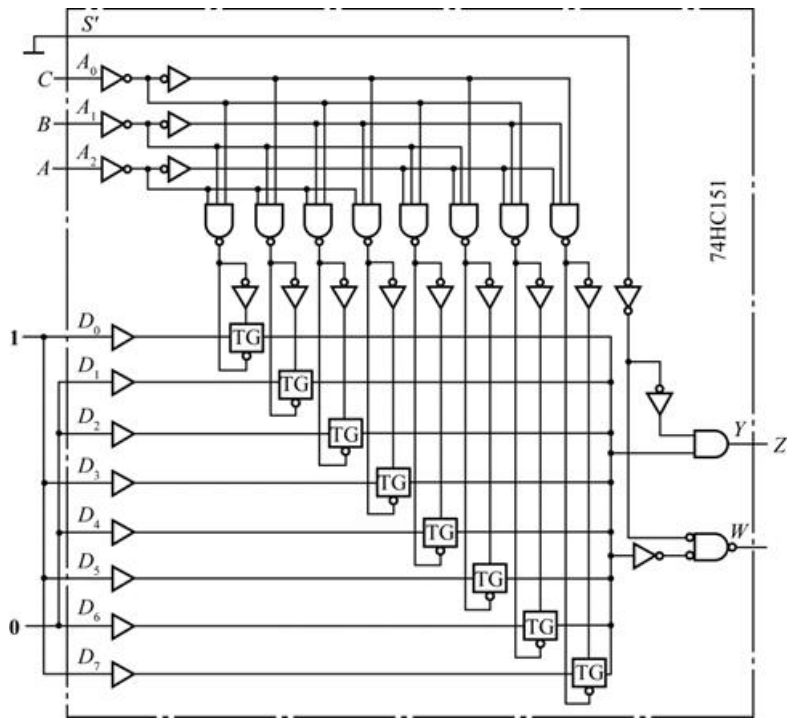


图4-2-25

解：由图4-2-24及74HC151的特性可知

$$Z = C'B'A'D_0 + C'B'A'D_1 + C'BA'D_2 + C'BA'D_3 + CB'A'D_4 + CB'A'D_5 + CBA'D_6 + CBA'D_7$$

将 $D_i$ 的值代入可得，输出Z的逻辑函数式为

$$Z = DC'B'A' + DC'B'A + C'BA' + DCB'A' + DCB'A + D'CBA'$$

4.17 图4-2-26是用两个4选1数据选择器组成的逻辑电路，试写出输出Z与输入M、N、P、Q之间的逻辑函数式。已知数据选择器的逻辑函数式为

$$Y = [D_0A_1'A_0' + D_1A_1'A_0 + D_2A_1A_0' + D_3A_1A_0] \cdot S$$

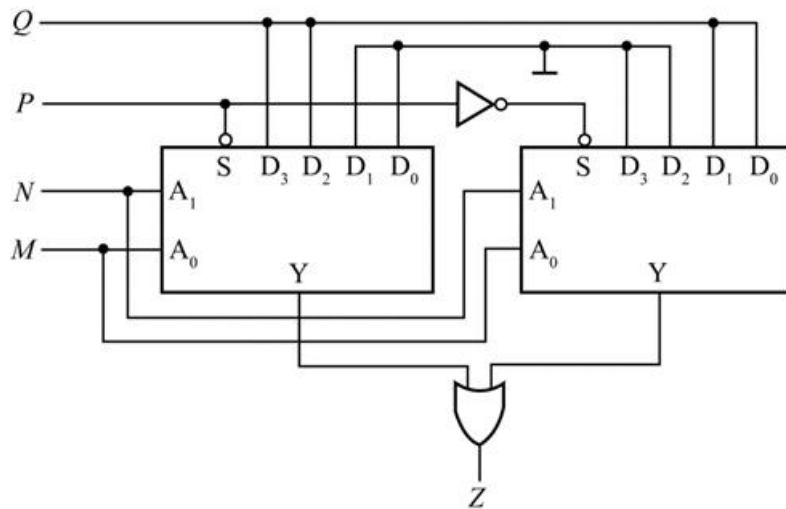


图4-2-26

解：输出Z与输入M、N、P、Q之间的逻辑函数式为

$$Y_1 = P'(D_0 \cdot N'M' + D_1 \cdot N'M + D_2 \cdot NM' + D_3 \cdot NM) = P'(QNM' + QNM) = P'QN$$

$$Y_2 = P(D_0 \cdot N'M' + D_1 \cdot N'M + D_2 \cdot NM' + D_3 \cdot NM) = P(QN'M' + QN'M) = PQN'$$

$$Z = Y_1 + Y_2 = P'QN + PQN'$$

4.18 试用4选1数据选择器产生逻辑函数

$$Y = AB'C' + A'C' + BC$$

解：4选1数据选择器的输出逻辑为

$$Y = A_1'A_0'D_0 + A_1'A_0D_1 + A_1A_0'D_2 + A_1A_0D_3$$

令数据选择器的输入接成  $A_1 = A/A_0 = B/D_0 = C'/D_1 = 1/D_2 = C'/D_3 = C'$ ，将给定的逻辑函数化为与以上逻辑函数对应的形式

$$Y = A'B'C' + A'B' + AB'C' + ABC$$

逻辑电路图如图4-2-27所示。

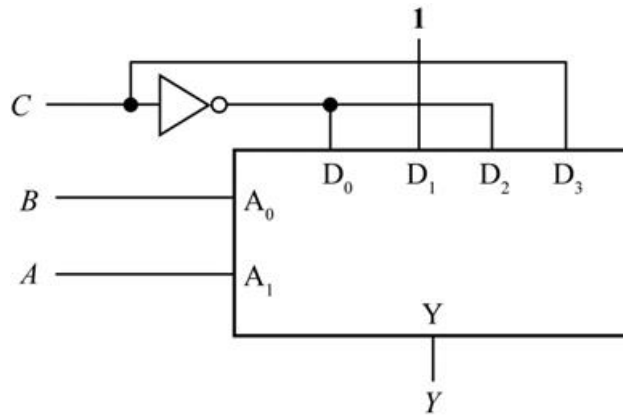


图4-2-27

4.19 用8选1数据选择器74HC151（见图4-2-25）产生逻辑函数

$$Y = AC'D + A'B'CD + BC + BC'D'$$

解：令B、C、D分别接4选1数据选择器的  $A_2$ 、 $A_1$ 、 $A_0$  端，则表达式可化简为

$$Y = A'CD + A'B'CD + BC + BC'D' = AB'C'D + ABC'D + A'B'CD + BCD' + BCD + BC'D' = 0 \cdot B'C'D' + A \cdot B'C'D + 0 \cdot B'CD' + A \cdot B'CD + 1 \cdot BCD' + A \cdot BCD + 1 \cdot BCD' + 1 \cdot BCD$$

逻辑电路图如图4-2-28所示。

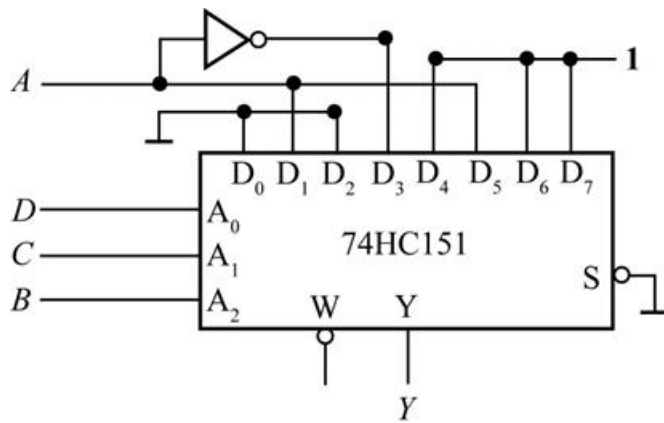


图4-2-28

4.20 用8选1数据选择器74HC151（见图4-2-25）产生逻辑函数

$$Y = AC + A'BC' + A'B'C$$

**解：**令A、B、C分别接8选1数据选择器的A<sub>2</sub>、A<sub>1</sub>、A<sub>0</sub>端，则表达式可化简为

$$Y = AC + A'BC' + A'B'C = AB'C + ABC + A'BC' + A'B'C = 0 \cdot A'B'C' + 1 \cdot A'B'C' + 1 \cdot A'BC' + 0 \cdot A'BC + 0 \cdot AB'C' + 1 \cdot AB'C + 0 \cdot ABC' + 1 \cdot ABC$$

逻辑电路图如图4-2-29所示。

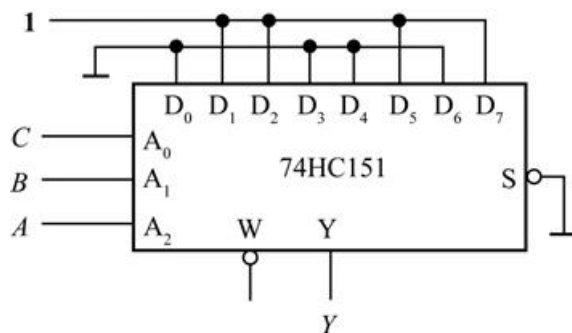


图4-2-29

4.21 设计用3个开关控制一个电灯的逻辑电路，要求改变任何一个开关的状态都能控制电灯由亮变灭或者由灭变亮。要求用数据选择器来实现。

**解：**用A、B、C表示三个开关，用Y表示输出，即灯的状态。初始状态ABC=000，此时Y=0（表示灯灭），则根据题意可列出真值表，如表4-2-11所示。

表4-2-11

A	B	C	Y	A	B	C	Y
0	0	0	0	0	1	1	0
0	0	1	1	1	0	1	0
0	1	0	1	1	1	0	0
1	0	0	1	1	1	1	1

将输出直接写成最小项和的形式，则有： $Y = A'B'C + A'BC' + AB'C' + ABC$ 。

令A、B分别接4选1数据选择器的A<sub>1</sub>、A<sub>0</sub>端，则表达式可化简为

$$Y = A'B'C + A'B \cdot C' + AB' \cdot C' + AB \cdot C$$

逻辑电路图如图4-2-30所示。

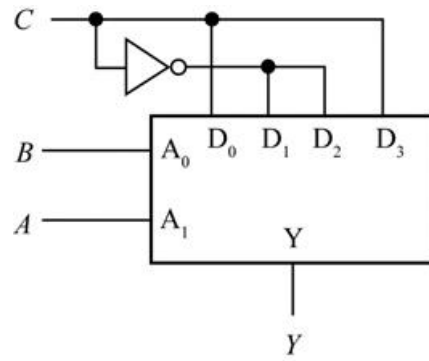


图4-2-30

4.22 人的血型有A、B、AB、O四种。输血时输血者的血型与受血者血型必须符合图4-2-31中用箭头指示的授受关系。试用数据选择器设计一个逻辑电路，判断输血者与受血者的血型是否符合上述规定。（提示：可以用两个逻辑变量的四种取值表示输血者的血型，用另外两个逻辑变量的四种取值表示受血者的血型。）

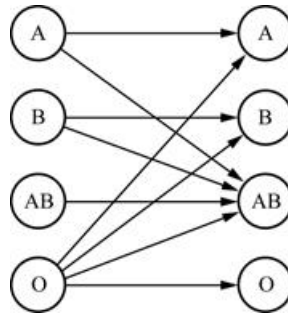


图4-2-31

**解：**用逻辑值00、01、10和11分别表示血型A、B、AB和O四种血型。

设输血者的四种血型用MN的四种状态表示，受血者的四种血型用PQ的四种状态表示，若能够匹配，则输出Z=1，否则Z=0。

由题意可得，真值表如表4-2-12所示。

表4-2-12

$M$	$N$	$P$	$Q$	$Z$
0	0	0	0	1
0	0	0	1	0
0	0	1	0	1
0	0	1	1	0
0	1	0	0	0
0	1	0	1	1
0	1	1	0	1
0	1	1	1	0
1	0	0	0	0
1	0	0	1	0
1	0	1	0	1
1	0	1	1	0
1	1	0	0	1
1	1	0	1	1
1	1	1	0	1
1	1	1	1	1

将 $Z$ 写成最小项和的形式，则有

$$Z = M'N'P'Q' + M'N'PQ' + M'NP'Q + M'NPQ' + MN'PQ' + MNP'Q' + MNP'Q + MNPQ' + MNPQ$$

若令 $MNP$ 分别接8选1数据选择器的 $A_2A_1A_0$ 端，则表达式可化简为

$$Z = M'N'P' \cdot Q' + M'N'P \cdot Q' + M'NP' \cdot Q + M'NP \cdot Q' + MN'P' \cdot 0 + MN'P \cdot Q' + MNP' \cdot 1 + MNP \cdot 1$$

逻辑电路图如图4-2-32所示。

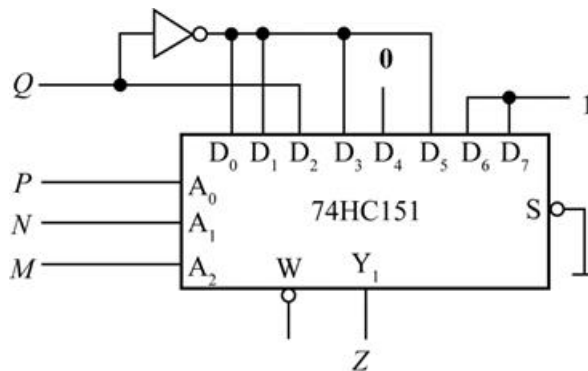


图4-2-32

4.23 用8选1数据选择器74HC151（见图4-2-25）设计一个组合逻辑电路。该电路有3个输入逻辑变量 $A$ 、 $B$ 、 $C$ 和1个工作状态控制变量 $M$ 。当 $M=0$ 时电路实现“意见一致”功能（ $A$ 、 $B$ 、 $C$ 状态一致时输出为1，否则输出为0），而 $M=1$ 时电路实现“多数表决”功能，即输出与 $A$ 、 $B$ 、 $C$ 中多数的状态一致。

**解：**令 $Y$ 表示输出变量，则根据题意可列出真值表，如表4-2-13所示。

表4-2-13



<i>M</i>	<i>A</i>	<i>B</i>	<i>C</i>	<i>Y</i>
0	0	0	0	1
0	0	0	1	0
0	0	1	0	0
0	0	1	1	0
0	1	0	0	0
0	1	0	1	0
0	1	1	0	0
0	1	1	1	0
1	0	0	0	0
1	0	0	1	0
1	0	1	0	0
1	0	1	1	1
1	1	0	0	0
1	1	0	1	1
1	1	1	0	1
1	1	1	1	1

根据真值表，可直接将输出表示成最小项和的形式：

$$Y = A'B'C'M' + ABCM' + A'BCM + AB'CM + ABC'M + ABCM$$

若令A、B、C分别接8选1数据选择器的A<sub>2</sub>、A<sub>1</sub>、A<sub>0</sub>端，则表达式可化简为

$$Y = A'B'C' \cdot M' + A'B'C \cdot 0 + A'BC' \cdot 0 + A'BC \cdot M + AB'C' \cdot 0 + AB'C \cdot M + ABC' \cdot M + ABC \cdot 1$$

逻辑电路图如图4-2-33所示。

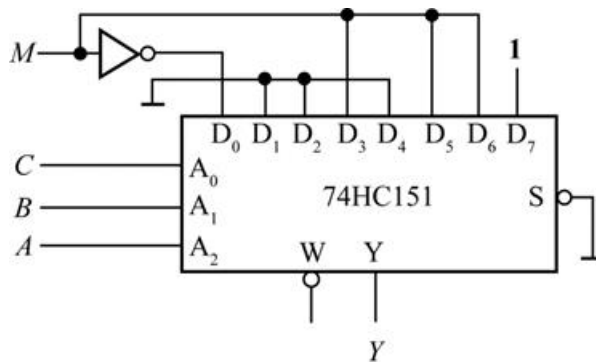


图4-2-33

4.24 用8选1数据选择器设计一个函数发生器电路，它的功能如表4-2-14所示。

表4-2-14 电路的功能表

<i>S</i> <sub>1</sub>	<i>S</i> <sub>0</sub>	<i>Y</i>
0	0	<i>A</i> · <i>B</i>
0	1	<i>A</i> + <i>B</i>
1	0	<i>A</i> ⊕ <i>B</i>
1	1	<i>A</i> '

解：根据电路的功能表可得：

$$Y = S_1'S_0'AB + S_1'S_0(A+B) + S_1S_0'(A \oplus B) + S_1S_0A' = S_1'S_0'AB + S_1'S_0A + S_1'S_0B + S_1S_0'A'B + S_1S_0A'$$

若令S<sub>1</sub>、S<sub>0</sub>、A分别接8选1数据选择器的A<sub>2</sub>、A<sub>1</sub>、A<sub>0</sub>端，则表达式可化简为

$$Y = S_1'S_0'AB + S_1'S_0A + S_1'S_0A'B + S_1S_0'AB' + S_1S_0'A'B + S_1S_0A^* = S_1'S_0'A \cdot 0 + S_1'S_0'A \cdot B + S_1'S_0A' \cdot B + S_1'S_0A \cdot 1 + S_1S_0'A \cdot B + S_1S_0'A \cdot B' + S_1S_0A' \cdot 1 + S_1S_0A \cdot 0$$

综上，逻辑电路图如图4-2-34所示。

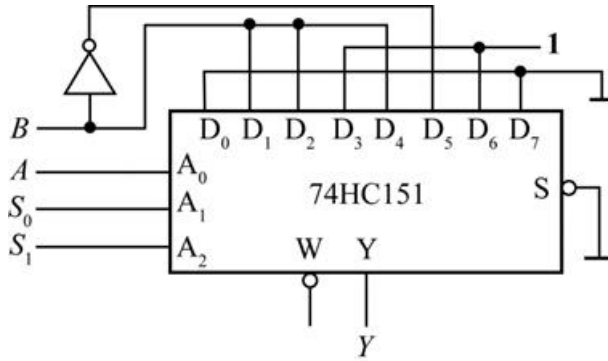


图4-2-34

4.25 试用4位并行加法器74LS283设计一个加/减运算电路。当控制信号M=0时它将两个无符号的4位二进制数相加，而M=1时它将两个无符号的4位二进制数相减。两数相加的绝对值不大于15。允许附加必要的门电路。

**解：**设两个四位二进制输入分别为A和B，则有

$$\text{当 } M=0 \text{ 时, } S = A+B = A+B+0 = A+B+CI;$$

$$\text{当 } M=1 \text{ 时, } S = A-B = A+B_{\text{反}}+1 = A+B'+CI。$$

比较发现，加数B和来自低位的进位CI因M的不同而不同。可认为  $B = M'B + MB' = M \oplus B$ ； $CI = M$ 。

输出的和是补码形式。S<sub>F</sub>是和的符号位，和为正数时S<sub>F</sub>=0，和为负数时S<sub>F</sub>=1。

综上，逻辑电路图如图4-2-35所示。

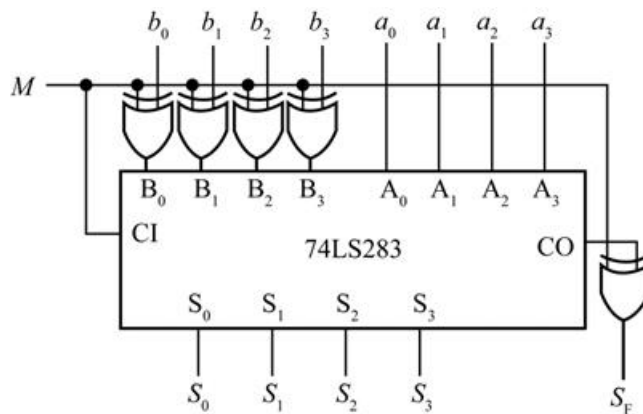


图4-2-35

4.26 能否用一片4位并行加法器74LS283将余3代码转换成8421的二-十进制代码？如果可能，应当如何连线？

**解：**若余3码减去3（0011）可得到相应的8421码，该减法运算用补码的加法实现，则认为余3码加上1101（-3的补码）可得到相应的8421码。

因此，可以实现且电路连接图如图4-2-36所示。

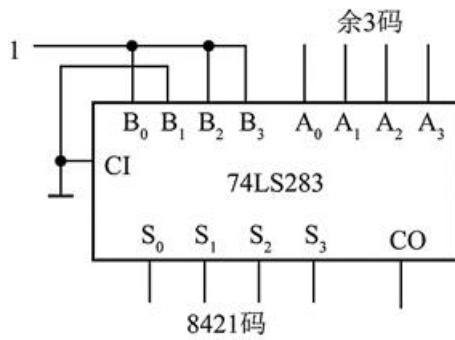


图4-2-36

4.27 试利用两片4位二进制并行加法器74LS283和必要的门电路组成1个二-十进制加法器电路。（提示：根据BCD码中8421码的加法运算规则，当两数之和小于、等于9（1001）时，相加的结果和按二进制数相加所得到的结果一样。当两数之和大于9（即等于1010~1111）时，则应在按二进制数相加的结果上加6（0110），这样就可以给出进位信号，同时得到一个小于9的和。）

**解：**第一片74LS283的输入为两个有效的四位二进制BCD码，根据8421BCD码的加法规则。

当第一片74LS283的 $S_{13}S_{12}S_{11}S_{10} \leq 1001$ 时，所得结果即为最终结果，可认为是加0000修正。

当 $S_{13}S_{12}S_{11}S_{10} > 1001$ 或 $CO_1 = 1$ （针对9+9；9+8；9+7；8+8四种情况）时，所得结果要加0110修正。

若把 $S_{13}S_{12}S_{11}S_{10}$ 作为第二片74LS283的一个加数，则它与另外一个加数之间的关系如真值表4-2-15所示。

表4-2-15

74LS283 (1) 的输出 $S_{13}S_{12}S_{11}S_{10} CO_1$	74LS283 (2) 的另一个加数 $A_{23}A_{22}A_{21}A_{20}$	74LS283 (2) 的输出 $S_{23}S_{22}S_{21}S_{20} CO_2$	备注
0000 0	0000	0000 0	不修正
0001 0	0000	0001 0	
0010 0	0000	0010 0	
0011 0	0000	0011 0	
0100 0	0000	0100 0	
0101 0	0000	0101 0	
0110 0	0000	0110 0	
0111 0	0000	0111 0	
1000 0	0000	1000 0	
1001 0	0000	1001 0	
1010 0	0110	0000 1	加6修正
1011 0	0110	0001 1	
1100 0	0110	0010 1	
1101 0	0110	0011 1	
1110 0	0110	0100 1	
1111 0	0110	0101 1	
0000 1	0110	0110 1	
0001 1	0110	0111 1	
0010 1	0110	1000 1	

从真值表可以看出第二片74LS283的另一个加数满足

$$A_{23} = A_{20} = 0$$

$$CO_2 = A_{22} = A_{21} = CO_1 + S_{13}S_{12} + S_{13}S_{11}$$

综上，逻辑电路图如图4-2-37所示。

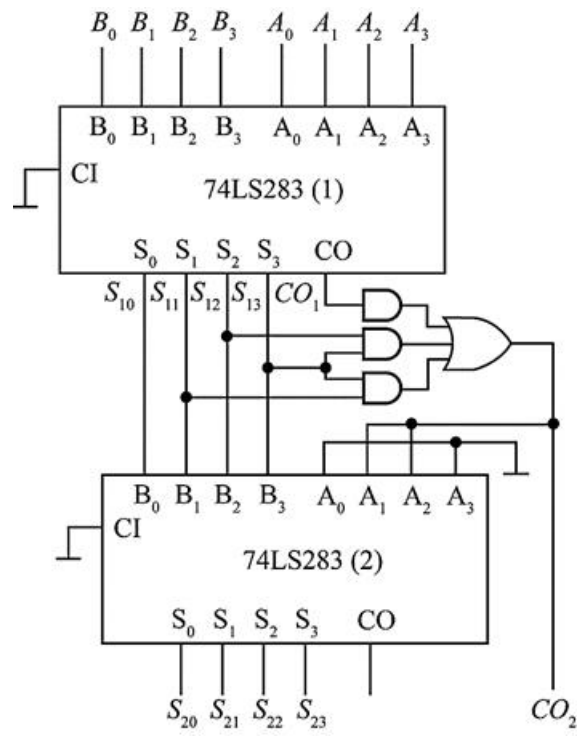


图4-2-37

4.28 若使用4位数值比较器74LS85（见图4-2-38）组成十位数值比较器，需要用几片？各片之间应如何连接？

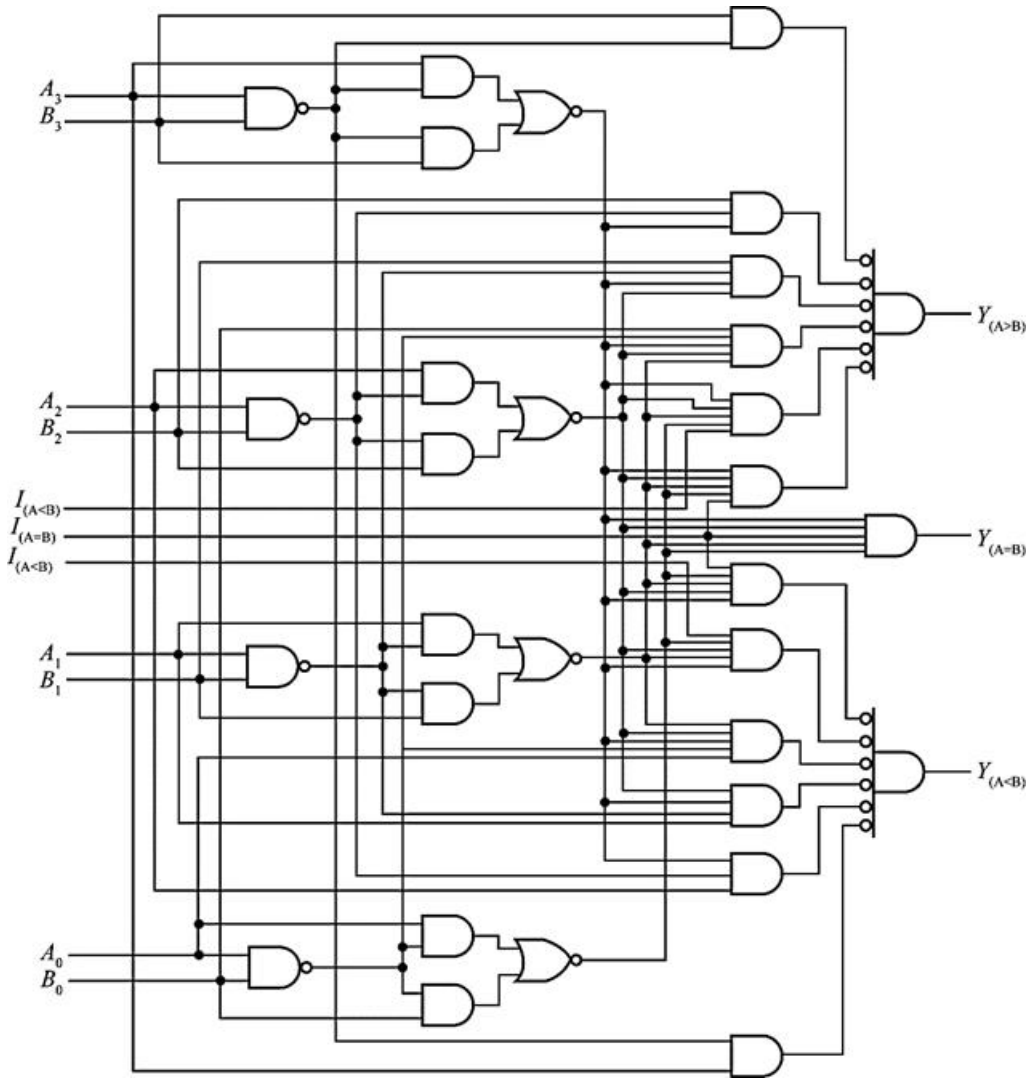


图4-2-38

解：共需要3片74LS85，连接图如图4-2-39所示。

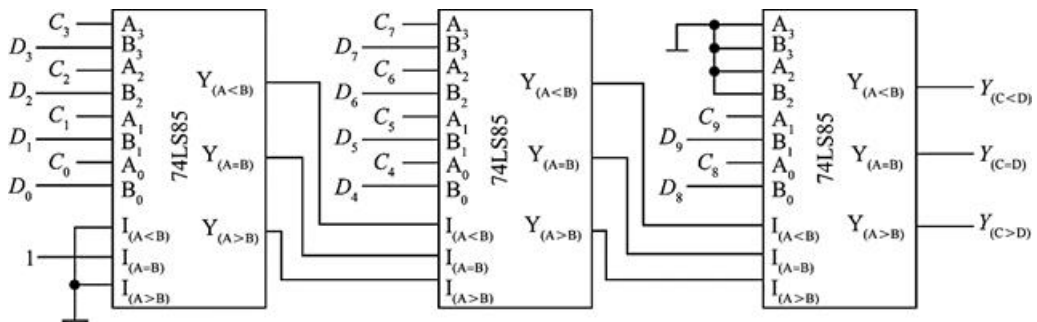


图4-2-39

4.29 试用两个4位数值比较器组成三个数的判断电路。要求能够判别三个4位二进制数A ( $a_3a_2a_1a_0$ )、B ( $b_3b_2b_1b_0$ )、C ( $c_3c_2c_1c_0$ ) 是否相等、A是否最大、A是否最小，并分别给出“三个数相等”、“A最大”、“A最小”的输出信号。可以附加必要的门电路。

解：根据题意，要将A分别与B、C比较。

$$\text{“A最大”} = (A > B) \cdot (A > C)$$

$$\text{“A最小”} = (A < B) \cdot (A < C)$$

$$\text{“三个数相等”} = (A = B) \cdot (A = C)$$

因此，逻辑电路图如图4-2-40所示。

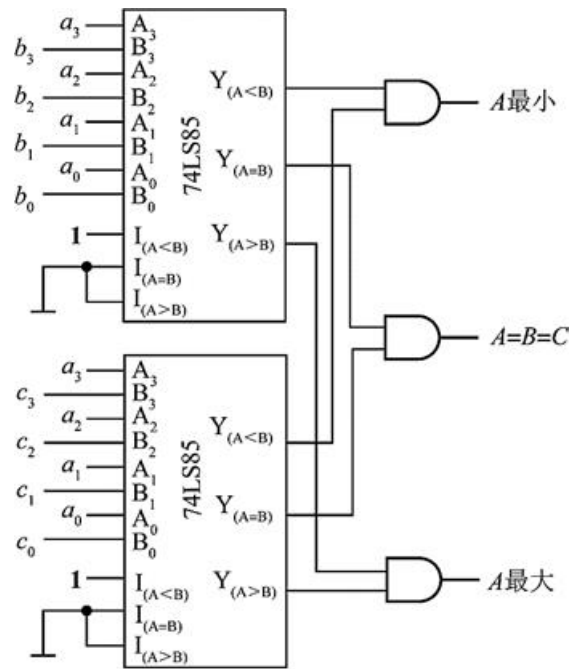


图4-2-40

4.30 已知4位数值比较器74LS85的传输延迟时间（从加上两个输入比较数到产生输出比较结果所需时间）小于45ns。要求用六片74LS85接成一个24位数值比较电路，传输延迟时间不得大于90ns。

**解：**令两个数分别为 $M=m_0\sim m_{23}$ ， $N=n_0\sim n_{23}$ ，由于对传输延迟的限制，不得用六片逐级串联的方式连接，且若添加较多的门电路，即使是两级串联也会大于题目要求的传输延迟。

因此，采用如图4-2-41所示的连接方式：前4片比较器的每一片均实现了五位二进制数的比较。

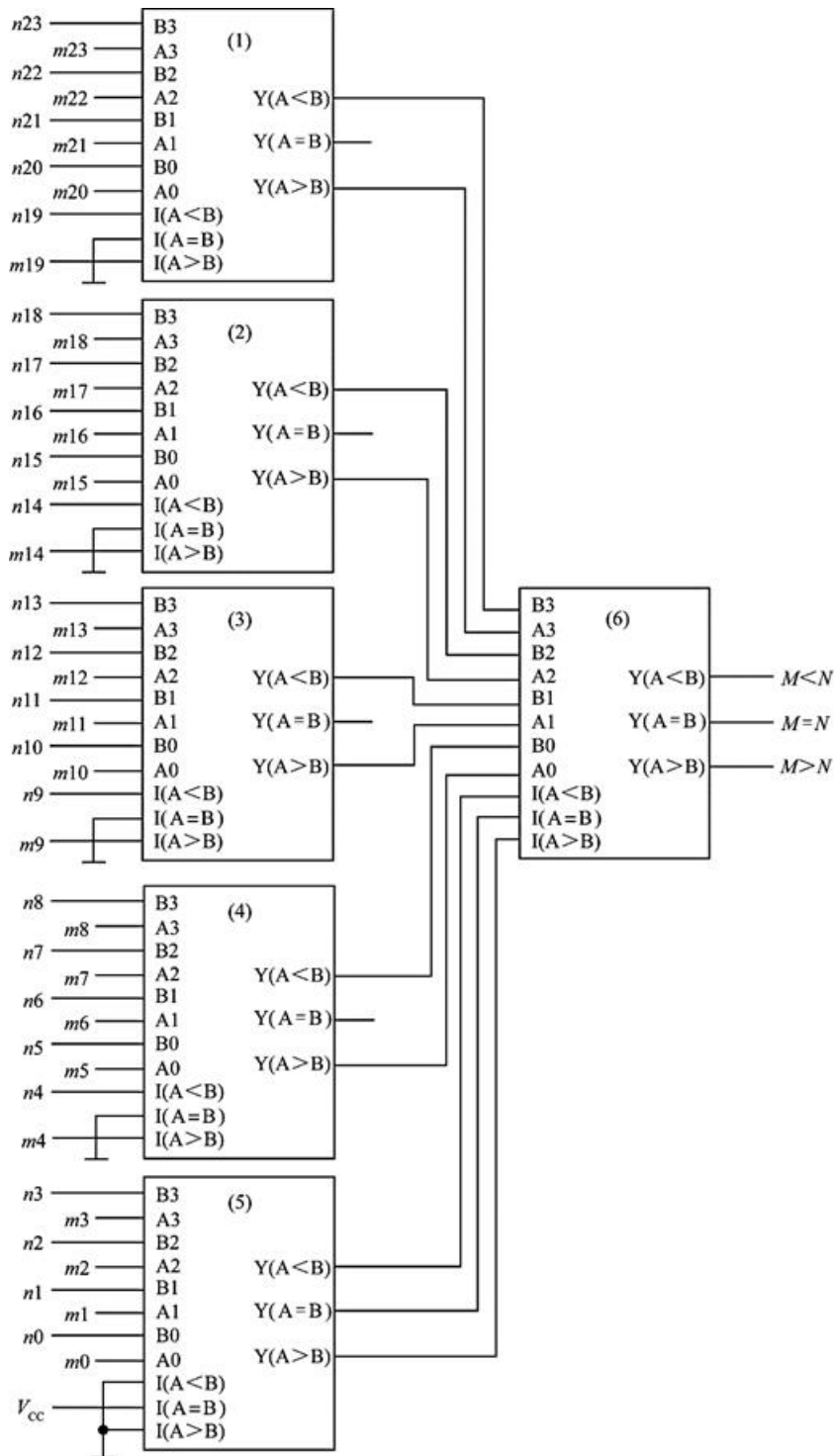


图4-2-41

4.31 若将十进制代码中的8421码、余3码、余3循环码、2421码和5211码分别加到二-十进制译码器74HC42（见图4-2-13）的输入端，并按教材表1.5.1的排列顺序依次变化时，输出端是否都会产生尖峰脉冲？试简述理由。

**解：**只有加入余3循环码并按教材表1.5.1排列顺序变化时，才不会产生尖峰脉冲。因为余三码的四个输入中每次只有一个发生状态变化，所以不存在竞争-冒险。

4.32 试分析图4-2-42电路中当A、B、C、D单独一个改变状态时是否存在竞争-冒险现象？如果存在竞争-冒险现象，那么都发生在其他变量为何种取值的情况下？

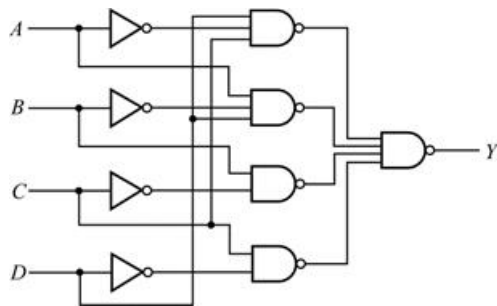


图4-2-42

解：由逻辑图可得：

$$Y = A'CD + AB'D + BC + CD'$$

- (1) 当B=0, C=D=1时, 输出逻辑式简化为 $Y = A + A'$ , 故A的状态改变时存在1型竞争-冒险。
- (2) 当A=D=1, C=0时, 输出逻辑式简化为 $Y = B + B'$ , 故B的状态改变时存在1型竞争-冒险。
- (3) 当B=1, D=0或A=0, B=D=1时, 输出的逻辑式简化为 $Y = C + C'$ , 故C的状态改变时存在1型竞争-冒险。
- (4) 当A=1, B=0, C=1, 或A=0, C=1时, 输出逻辑式简化为 $Y = D + D'$ , 故D的状态改变时存在1型竞争-冒险。

### 4.3 名校考研真题详解

#### 一、分析计算题

1 利用二片4位并行加法器74LS283和必要的门电路设计一个8421BCD码加法器, 8421BCD码的运算规则是: 当两数之和小于等于9时, 所得结果即为输出; 当所得结果大于9时, 则应加上6。[山东大学 2017 研]

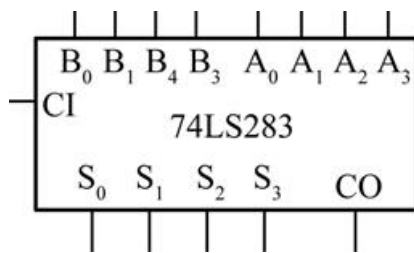


图4-3-1 4位并行加法器74LS283

解：根据74LS283功能表可知, CI为低位进位, CO为高位进位, 输出 $S_3S_2S_1S_0 = B_3B_2B_1B_0 + A_3A_2A_1A_0 + 000C_I$ , 因此最终结果 $Y_3Y_2Y_1Y_0 = S_3S_2S_1S_0$  (第一片74LS283) + (0000或0110)。

因此可以选择利用第一片74LS283实现两个四位数的相加, 即 $S_3S_2S_1S_0 = B_3B_2B_1B_0 + A_3A_2A_1A_0 + 000C_I$ , 利用第二片74LS283实现8421BCD码加上0000或0110实现8421BCD码功能。其中用第一片74LS283加上门电路可形成控制电路来控制第二片74LS283加0000还是0110。已知 $S_3S_2S_1S_0 = B_3B_2B_1B_0 + A_3A_2A_1A_0 + 000C_I$ 的最小值是0, 最大值是30, 因此第一片74LS283的进位输出CO在16~30时产生信号, 使控制电路在10~15时产生信号,  $CO_{总} = CO_1 + \text{控制信号}$ 。列出控制信号的真值表如下:

表4-3-1 控制信号真值表



$S_3$	$S_2$	$S_1$	$S_0$	控制信号
1	0	1	0	1
1	0	1	1	1
1	1	0	0	1
1	1	0	1	1
1	1	1	0	1
1	1	1	1	1

控制信号为 $\Sigma m(10, 11, 12, 13, 14, 15)$ ，进行卡诺图化简：

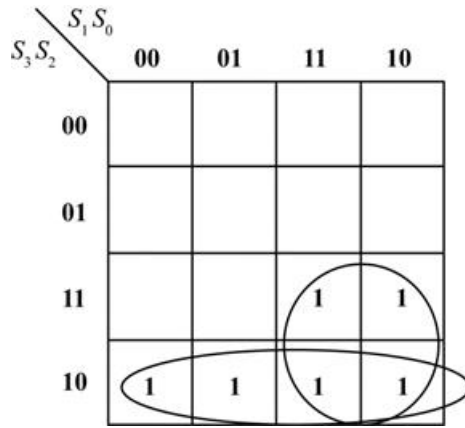


图4-3-2 卡诺图

最终得到控制信号为 $S_3S_2 + S_3S_1$ ，逻辑电路连接图如下：

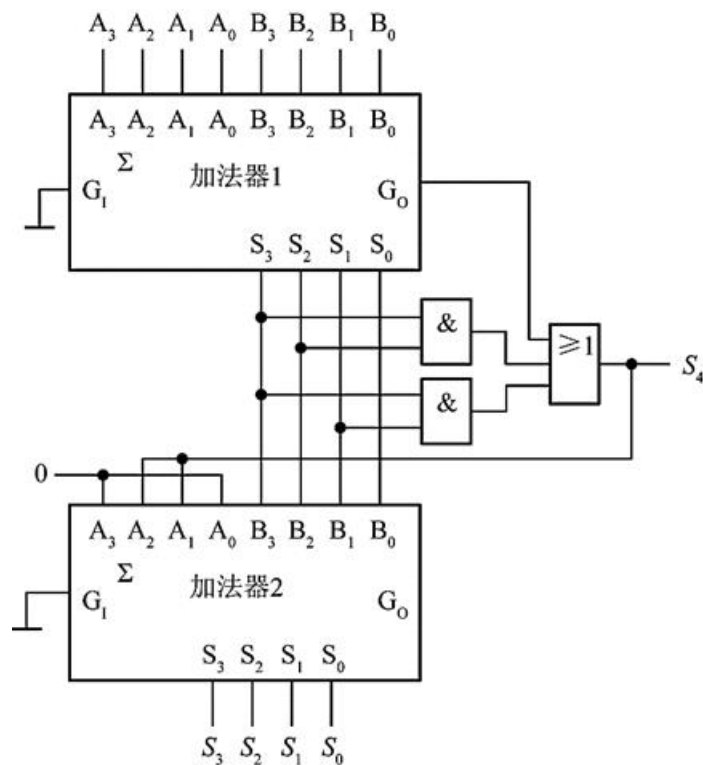


图4-3-3 电路连接图

2 数据选择器CC4512如图4-3-4所示，功能如表4-3-2所示，要求：

(1) 根据数据选择器的输入，写出逻辑表达式：

(2) 用卡诺图化简为最简与或式。[宁波大学2008研]

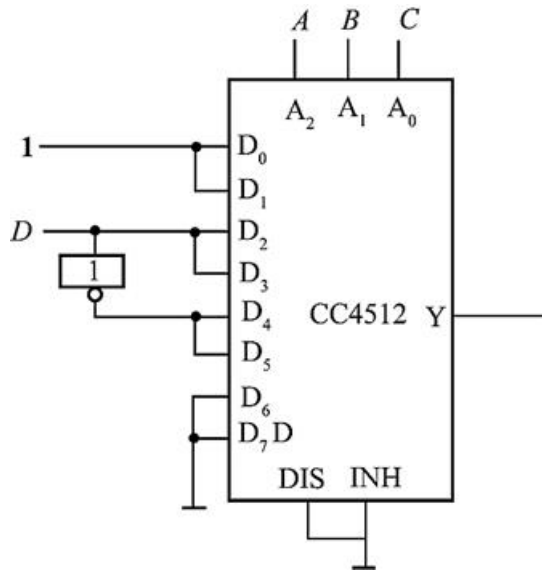


图4-3-4

表4-3-2

<i>DIS</i>	<i>INH</i>	<i>A</i> <sub>2</sub>	<i>A</i> <sub>1</sub>	<i>A</i> <sub>0</sub>	<i>Y</i>
0	0	0	0	0	<i>D</i> <sub>0</sub>
0	0	0	0	1	<i>D</i> <sub>1</sub>
0	0	0	1	0	<i>D</i> <sub>2</sub>
0	0	0	1	1	<i>D</i> <sub>3</sub>
0	0	1	0	0	<i>D</i> <sub>4</sub>
0	0	1	0	1	<i>D</i> <sub>5</sub>
0	0	1	1	0	<i>D</i> <sub>6</sub>
0	0	1	1	1	<i>D</i> <sub>7</sub>
0	1	×	×	×	0
1	×	×	×	×	高阻

解：（1） $Y = A'B'C' + A'B'C + A'BC'D + A'BCD + AB'C'D' + AB'CD' + ABC \cdot 0 + ABC \cdot 0$

（2）画出卡诺图并化简，如图4-3-5所示，可得： $Y = A'D + B'D'$ 。

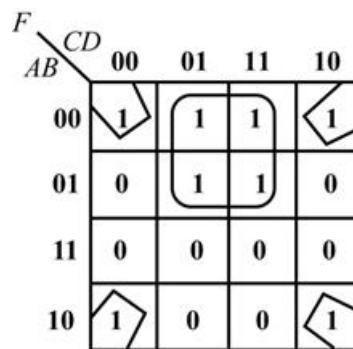


图4-3-5

3 分析图4-3-6所示组合逻辑电路的功能。已知输入 $A_3A_2A_1A_0$ 和 $B_3B_2B_1B_0$ 均为余3码。（7483是二进制超前进位加法器芯片）[华南理工大学2010研]

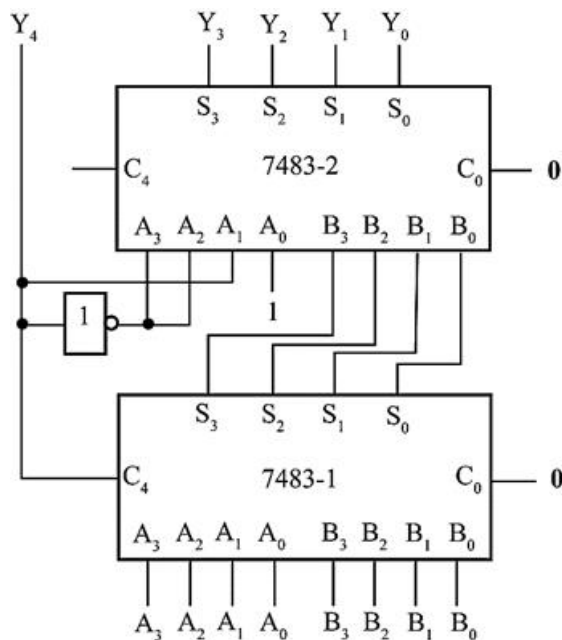


图4-3-6

解：（1）加法器7483-1实现的功能

$$S_3^{(1)} S_2^{(1)} S_1^{(1)} S_0^{(1)} = A_3^{(1)} A_2^{(1)} A_1^{(1)} A_0^{(1)} + B_3^{(1)} B_2^{(1)} B_1^{(1)} B_0^{(1)} = A_3 A_2 A_1 A_0 + B_3 B_2 B_1 B_0$$

进位信号赋给 $Y_4$ 。

（2）加法器7483-2实现的功能

$$\text{当 } Y_4=1 \text{ 时, } S_3^{(2)} S_2^{(2)} S_1^{(2)} S_0^{(2)} = 0011 + S_3^{(1)} S_2^{(1)} S_1^{(1)} S_0^{(1)} ;$$

$$\text{当 } Y_4=0 \text{ 时, } Y_3 Y_2 Y_1 Y_0 = S_3^{(2)} S_2^{(2)} S_1^{(2)} S_0^{(2)} = 1101 + S_3^{(1)} S_2^{(1)} S_1^{(1)} S_0^{(1)} .$$

（3）综上所述，该组合逻辑电路的功能是当低位有进位时将和转成余3码，当低位无进位时，将和的余3码转为8421码。

**4** 若某工厂有3个车间，每个车间需1kW的电力。这3个车间由两组发电机组供电，一台是1kW，另一台是2kW。此3个车间不一定同时工作。为了节省能源，又要保证电力供应，需要设计一个逻辑电路。根据3个车间的开工情况，启动相应的发电机供电。请画出相应的真值表，并用双4选1数据选择器加以实现。双4选1数据选择器功能图如图4-3-7所示，功能表如表4-3-3所示。[北京邮电大学]

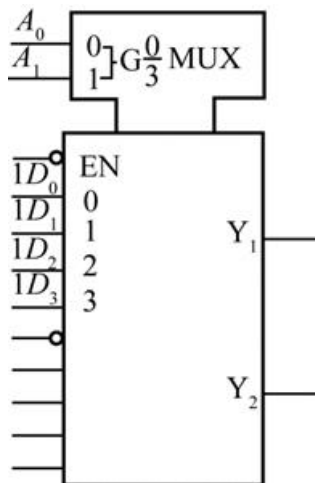


图4-3-7

表4-3-3

$\overline{EN}$	$A_1$	$A_0$	$Y$
1	×	×	1
0	0	0	$D_0$
0	0	1	$D_1$
0	1	0	$D_2$
0	1	1	$D_3$

解：（1）逻辑抽象并列真值表。设3个车间分别为A、B、C，1kW的发电机为 $Y_1$ ，2kW的发电机为 $Y_2$ ，若车间开工为1，停工为0；发电机供电为1，不供电为0。

由此可列出发电机供电的真值表如表4-3-4所示。

表4-3-4

车间			电机		供电说明
$A$	$B$	$C$	$Y_1$	$Y_2$	
0	0	0	0	0	3个车间都不工作，2个电机都不必开机供电
0	0	1	1	0	1个车间C工作，小电机 $Y_1$ 供电即可
0	1	0	1	0	1个车间B工作，小电机 $Y_1$ 供电即可
0	1	1	0	1	2个车间B和C工作，需大电机 $Y_2$ 供电
1	0	0	1	0	1个车间A工作，小电机 $Y_1$ 供电即可
1	0	1	0	1	2个车间A和C工作，需大电机 $Y_2$ 供电
1	1	0	0	1	2个车间A和B工作，需大电机 $Y_2$ 供电
1	1	1	1	1	3个车间都工作， $Y_1$ 、 $Y_2$ 电机都供电方可

（2）根据真值表可写出逻辑表达式

$$Y_1(A, B, C) = \sum_m(1, 2, 4, 7) = A'B'C + A'BC' + AB'C' + ABC$$

$$Y_2(A, B, C) = \sum_m(3, 5, 6, 7) = A'BC + AB'C + ABC' + ABC$$

（3）若将AB连接到数据选择器的地址段， $Y_1$ 由选择器的 $Y_1$ 端输出， $Y_2$ 由选择器的 $Y_2$ 端输出，则逻辑表达式可以变换为

$$Y_1(A, B, C) = A'B'C + A'BC' + AB'C' + ABC$$

$$Y_2(A, B, C) = A'BC + AB'C + AB$$

双4选1数据选择器的数据输入端为

$$D_{13} = D_{10} = C, D_{12} = D_{11} = C', D_{23} = 1, D_{20} = 0, D_{22} = D_{21} = C.$$

逻辑图如图4-3-8所示。

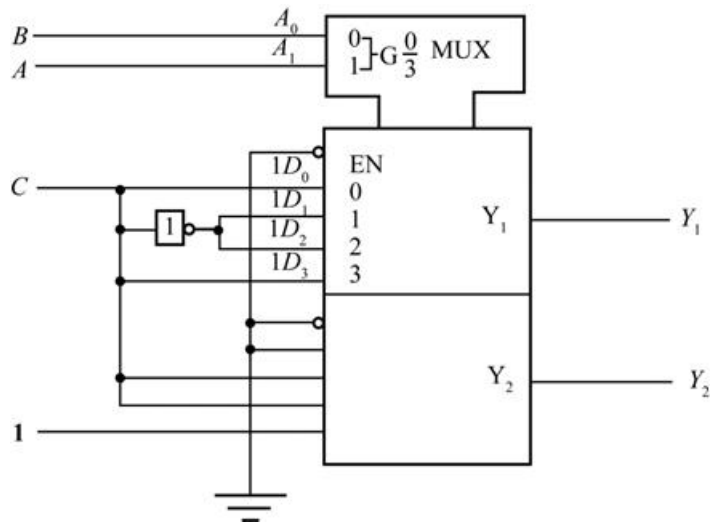


图4-3-8

## 第5章 半导体存储电路

### 5.1 复习笔记

本章系统地介绍了各种半导体存储电路的结构、工作原理和使用方法。首先介绍了基本的存储单元：SR锁存器和触发器，然后介绍了由这些存储单元组成的寄存器和随机存储器。本章的重点内容为：SR锁存器和触发器的电路结构、工作原理和动作特点。

#### 一、概述

存储单元、寄存器、存储器的概念与特点如表5-1-1所示。

表5-1-1 存储单元、寄存器、存储器的概念与特点

名称	概念	特点
存储单元	只能存储一位数据的电路	存储单元可分为静态存储单元和动态存储单元： ①静态存储单元，由门电路连接而成，包括锁存器和触发器，不切断电源则静态存储器状态一直保存； ②动态存储单元，利用电容的电荷存储效应来存储数据，需定时重新写入数据
寄存器	用于存储一组数据的电路	寄存器由一组触发器组成，每个触发器的输入和输出都有引出端，可直接与周围电路连接，快速进行数据交换
存储器	用于存储大量数据的电路	存储器可分为随机存储器和只读存储器： ①随机存储器的工作特点是可随时从其中快速读出或写入数据； ②只读存储器只能从其中读出所存储的数据

#### 二、SR锁存器

SR锁存器有两个能自行保持的稳定状态，且可根据输入信号置1或0状态，但它的置1或0操作是由输入的置1或0信号直接完成，不需要触发信号触发，所以不把它归为触发器，以示区别。常用的SR锁存器可由两个或非门或者两个与非门组成。

##### 1 或非门组成的锁存器

用或非门组成的锁存器如图5-1-1所示，特性如表5-1-2所示，其工作原理如下：

- (1)  $S_D=1$ 、 $R_D=0$ 时， $Q=1$ 、 $Q'=1$ ，当 $S_D=1$ 信号消失以后，电路保持1状态不变；
- (2)  $S_D=0$ 、 $R_D=0$ 时， $Q=0$ 、 $Q'=1$ ，当 $R_D=1$ 信号消失以后，电路保持0状态不变；
- (3)  $S_D=R_D=0$ 时，电路保持原状态不变；
- (4) 正常工作时不允许输入 $S_D=R_D=1$ 的信号。

**2** 与非门组成的锁存器

用与非门组成的锁存器如图5-1-2所示，特性如表5-1-3所示。

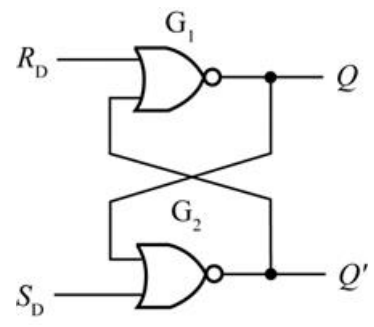


图5-1-1 用或非门组成的SR锁存器

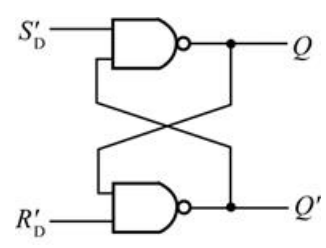


图5-1-2 用与非门组成的SR锁存器

表5-1-2 用或非门组成的SR锁存器的特性表

$S_D$	$R_D$	$Q$	$Q^*$
0	0	0	0
0	0	1	1
1	0	0	1
1	0	1	1
0	1	0	0
0	1	1	0
1	1	0	$0^{\oplus}$
1	1	1	$0^{\oplus}$

注： $S_D$ 、 $R_D$ 的1状态同时消失后状态不定。

表5-1-3 用与非门组成的SR锁存器的特性表

$S_D'$	$R_D'$	$Q$	$Q^*$
1	1	0	0
1	1	1	1
0	1	0	1
0	1	1	1
1	0	0	0
1	0	1	0
0	0	0	$1^{\oplus}$
0	0	1	$1^{\oplus}$

注： $S_D$ 、 $R_D$ 的0状态同时消失后状态不定。

### 三、触发器

#### 1 触发器的概念和特点（见表5-1-4）

表5-1-4 触发器概念和特点

要点	主要内容
触发器概念	能够存储 1 位二值信号的基本单元电路
触发器特点	①具有两个能自行保持的稳定状态，以表示逻辑状态 0 和 1，或二进制数 0 和 1； ②在触发信号操作下，根据不同输入信号可以置成 1 或 0 状态

#### 2 电平触发的触发器

(1) 电平触发的触发器结构、工作原理、动作特点（见表5-1-5）：

表5-1-5 电平触发的触发器总结

要点	主要内容																																																							
电路结构与图形符号																																																								
工作原理	在电平触发的触发器电路中，除了置1、置0输入端以外，又增加了一个触发信号输入端。只有触发信号变为有效电平后，触发器才能按照输入的置1、置0信号置成相应的状态，可同步控制多个触发器																																																							
特性表	<table border="1"> <thead> <tr> <th><math>CLK</math></th> <th><math>S</math></th> <th><math>R</math></th> <th><math>Q</math></th> <th><math>Q^*</math></th> </tr> </thead> <tbody> <tr><td>0</td><td>×</td><td>×</td><td>0</td><td>0</td></tr> <tr><td>0</td><td>×</td><td>×</td><td>1</td><td>1</td></tr> <tr><td>1</td><td>0</td><td>0</td><td>0</td><td>0</td></tr> <tr><td>1</td><td>0</td><td>0</td><td>1</td><td>1</td></tr> <tr><td>1</td><td>1</td><td>0</td><td>0</td><td>1</td></tr> <tr><td>1</td><td>1</td><td>0</td><td>1</td><td>1</td></tr> <tr><td>1</td><td>0</td><td>1</td><td>0</td><td>0</td></tr> <tr><td>1</td><td>0</td><td>1</td><td>1</td><td>0</td></tr> <tr><td>1</td><td>1</td><td>1</td><td>0</td><td>1<sup>Ⓢ</sup></td></tr> <tr><td>1</td><td>1</td><td>1</td><td>1</td><td>1<sup>Ⓢ</sup></td></tr> </tbody> </table> <p>注：<math>CLK</math> 回到低电平后状态不定</p>	$CLK$	$S$	$R$	$Q$	$Q^*$	0	×	×	0	0	0	×	×	1	1	1	0	0	0	0	1	0	0	1	1	1	1	0	0	1	1	1	0	1	1	1	0	1	0	0	1	0	1	1	0	1	1	1	0	1 <sup>Ⓢ</sup>	1	1	1	1	1 <sup>Ⓢ</sup>
$CLK$	$S$	$R$	$Q$	$Q^*$																																																				
0	×	×	0	0																																																				
0	×	×	1	1																																																				
1	0	0	0	0																																																				
1	0	0	1	1																																																				
1	1	0	0	1																																																				
1	1	0	1	1																																																				
1	0	1	0	0																																																				
1	0	1	1	0																																																				
1	1	1	0	1 <sup>Ⓢ</sup>																																																				
1	1	1	1	1 <sup>Ⓢ</sup>																																																				
动作特点	<p>① <math>CLK</math> 为有效电平时，触发器按输入信号将输出置成相应状态；</p> <p>② <math>CLK=1</math> 时，<math>S</math>、<math>R</math> 的状态变化都可以引起输出状态的改变；<math>CLK=0</math> 时，触发器保持原状态不变</p>																																																							

(2) 带异步置位、复位端的电平触发SR触发器：

异步置1输入端 $S_D'$ 或异步置0输入端 $R_D'$ 输入低电平时，可立即将触发器置1或置0，而不受时钟信号和输入信号的控制。触发器在时钟信号控制下正常工作时应使 $S_D'$ 和 $R_D'$ 处于高电平，如图5-1-3所示。

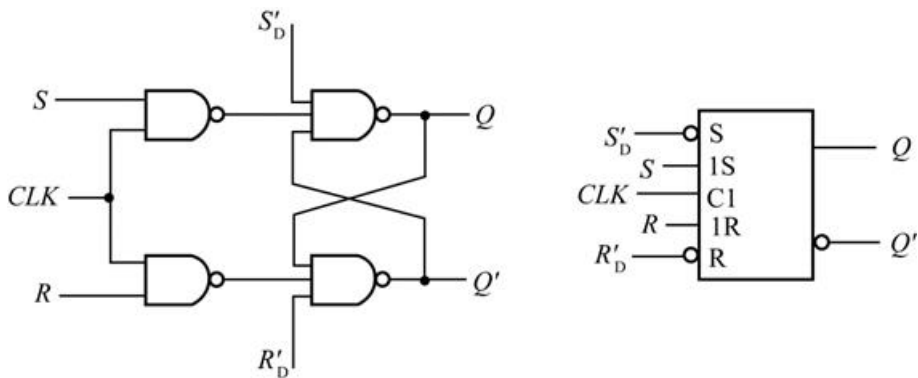


图5-1-3 带异步置位、复位端的电平触发SR触发器

3 脉冲触发的触发器

脉冲触发的触发器结构、工作原理、动作特点见表5-1-6。

表5-1-6 脉冲触发的触发器总结



要点		主要内容
主从 RS 触发器	电路结构与图形符号	
	工作原理	由两个同样的电平触发 SR 触发器组成，其中，由 $G_1 \sim G_4$ 组成的触发器称为从触发器，由 $G_5 \sim G_8$ 组成的触发器称为主触发器。在每个 CLK 周期输出端状态只能改变一次，从而提高了可靠性
主从 JK 触发器	电路结构与图形符号	
	工作原理	将主从 SR 触发器的 Q 和 $Q'$ 端作为一对附加的控制信号接回到输入端，使得即使出现了 $S=R=1$ 的情况，触发器的次态也是确定的
动作特点	<p>①触发器的翻转分两步动作：</p> <p>a. <math>CLK=1</math> 时，主触发器接收输入端 (<math>S</math>、<math>R</math> 或 <math>J</math>、<math>K</math>) 信号，输出置为相应的状态，从触发器保持原状态；</p> <p>b. <math>CLK</math> 下降沿到来时，从触发器 <math>Q</math> 和 <math>Q'</math> 端状态按照主触发器的状态翻转（若 <math>CLK</math> 为低电平有效，则 <math>Q</math> 和 <math>Q'</math> 端状态的变化发生在 <math>CLK</math> 上升沿。）</p> <p>②主触发器是一个电平触发 SR 触发器，在 <math>CLK=1</math> 的全部时间里输入信号都将对主触发器起控制作用</p>	

#### 4 边沿触发的触发器

边沿触发的触发器结构、工作原理、动作特点见表5-1-7。

表5-1-7 电平触发的触发器总结

要点	主要内容
原理框图	
实际的 CMOS 边沿触发 D 触发器	
工作原理	<p>FF<sub>1</sub> 和 FF<sub>2</sub> 是两个电平触发的 D 触发器，当 CLK 为低电平时，CLK<sub>1</sub> 为高电平，因而 FF<sub>1</sub> 输出 Q<sub>1</sub> 跟随输入端 D 的状态变化，始终保持 Q<sub>1</sub>=D。同时 CLK<sub>2</sub> 为低电平，FF<sub>2</sub> 输出 Q<sub>2</sub> 保持原来的状态不变</p>
动作特点	<p>触发器的次态仅取决于时钟信号 CLK 的上升沿或下降沿到来时输入的状态，其他时刻，输入信号的变化对触发器输出状态没有影响，从而提高了触发器的抗干扰能力和电路工作可靠性</p>

## 5 触发器的逻辑功能及其描述方法

(1) 触发器按逻辑功能的分类见表5-1-8:

表5-1-8 触发器按逻辑功能分类

触发器种类	特性方程	特性表	状态转换图																																				
SR 触发器	$\begin{cases} Q^* = S + R'Q \\ SR = 0 \text{ (约束条件)} \end{cases}$	<table border="1"> <thead> <tr> <th>S</th> <th>R</th> <th>Q</th> <th>Q*</th> </tr> </thead> <tbody> <tr><td>0</td><td>0</td><td>0</td><td>0</td></tr> <tr><td>0</td><td>0</td><td>1</td><td>1</td></tr> <tr><td>1</td><td>0</td><td>0</td><td>0</td></tr> <tr><td>1</td><td>0</td><td>1</td><td>0</td></tr> <tr><td>0</td><td>1</td><td>0</td><td>1</td></tr> <tr><td>0</td><td>1</td><td>1</td><td>1</td></tr> <tr><td>1</td><td>1</td><td>0</td><td>不定</td></tr> <tr><td>1</td><td>1</td><td>1</td><td>不定</td></tr> </tbody> </table>	S	R	Q	Q*	0	0	0	0	0	0	1	1	1	0	0	0	1	0	1	0	0	1	0	1	0	1	1	1	1	1	0	不定	1	1	1	不定	
S	R	Q	Q*																																				
0	0	0	0																																				
0	0	1	1																																				
1	0	0	0																																				
1	0	1	0																																				
0	1	0	1																																				
0	1	1	1																																				
1	1	0	不定																																				
1	1	1	不定																																				
JK 触发器	$Q^* = JQ' + K'Q$	<table border="1"> <thead> <tr> <th>J</th> <th>K</th> <th>Q</th> <th>Q*</th> </tr> </thead> <tbody> <tr><td>0</td><td>0</td><td>0</td><td>0</td></tr> <tr><td>0</td><td>0</td><td>1</td><td>1</td></tr> <tr><td>0</td><td>1</td><td>0</td><td>0</td></tr> <tr><td>0</td><td>1</td><td>1</td><td>0</td></tr> <tr><td>1</td><td>0</td><td>0</td><td>1</td></tr> <tr><td>1</td><td>0</td><td>1</td><td>1</td></tr> <tr><td>1</td><td>1</td><td>0</td><td>1</td></tr> <tr><td>1</td><td>1</td><td>1</td><td>0</td></tr> </tbody> </table>	J	K	Q	Q*	0	0	0	0	0	0	1	1	0	1	0	0	0	1	1	0	1	0	0	1	1	0	1	1	1	1	0	1	1	1	1	0	
J	K	Q	Q*																																				
0	0	0	0																																				
0	0	1	1																																				
0	1	0	0																																				
0	1	1	0																																				
1	0	0	1																																				
1	0	1	1																																				
1	1	0	1																																				
1	1	1	0																																				
T 触发器	$Q^* = TQ' + T'Q$	<table border="1"> <thead> <tr> <th>T</th> <th>Q</th> <th>Q*</th> </tr> </thead> <tbody> <tr><td>0</td><td>0</td><td>0</td></tr> <tr><td>0</td><td>1</td><td>1</td></tr> <tr><td>1</td><td>0</td><td>1</td></tr> <tr><td>1</td><td>1</td><td>0</td></tr> </tbody> </table>	T	Q	Q*	0	0	0	0	1	1	1	0	1	1	1	0																						
T	Q	Q*																																					
0	0	0																																					
0	1	1																																					
1	0	1																																					
1	1	0																																					
D 触发器	$Q^* = D$	<table border="1"> <thead> <tr> <th>D</th> <th>Q</th> <th>Q*</th> </tr> </thead> <tbody> <tr><td>0</td><td>0</td><td>0</td></tr> <tr><td>0</td><td>1</td><td>0</td></tr> <tr><td>1</td><td>0</td><td>1</td></tr> <tr><td>1</td><td>1</td><td>1</td></tr> </tbody> </table>	D	Q	Q*	0	0	0	0	1	0	1	0	1	1	1	1																						
D	Q	Q*																																					
0	0	0																																					
0	1	0																																					
1	0	1																																					
1	1	1																																					

## (2) 触发器的电路结构与逻辑功能和触发方式之间的关系

① 电路结构和逻辑功能：用同一种电路结构形式可以接成不同逻辑功能的触发器；反之，同一种逻辑功能的触发器可以用不同的电路结构实现。

② 电路结构和触发方式：电路结构形式与触发方式间有固定的对应关系。

a. 凡采用同步SR结构的触发器，无论其逻辑功能如何，一定是电平触发方式；

b. 凡采用主从SR结构的触发器，无论其逻辑功能如何，一定是脉冲触发方式；

c. 凡采用两个电平触发D触发器结构、维持阻塞结构或者利用门电路传输延迟时间结构组成的触发器，无论其逻辑功能如何，一定是边沿触发方式。

## 四、寄存器和存储器

### 1 寄存器

由N个触发器组成的器件称为寄存器，能够存储一组N位的二值代码。

### 2 存储器

能够存储大量二值信息（或称为数据）的器件。

## 5.2 课后习题详解

5.1 画出图5-2-1由与非门组成的SR锁存器输出端Q、Q'的电压波形，输入端 $S_D'$ 、 $R_D'$ 的电压波形如图中所示。

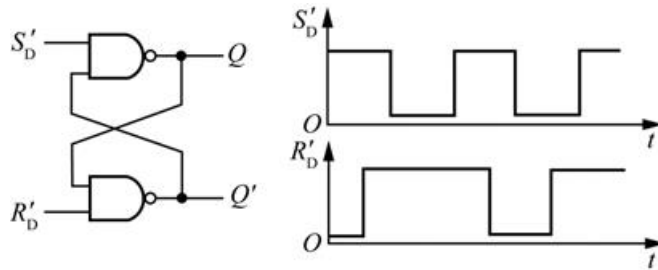


图5-2-1

解：根据与非门组成的SR锁存器工作特性，得到输出波形图如图5-2-2所示。

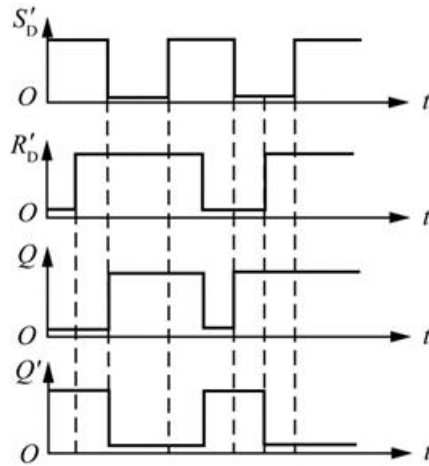


图5-2-2

5.2 画出图5-2-3由或非门组成的SR锁存器输出端Q、Q'的电压波形，输入端 $S_D$ 、 $R_D$ 的电压波形如图中所示。

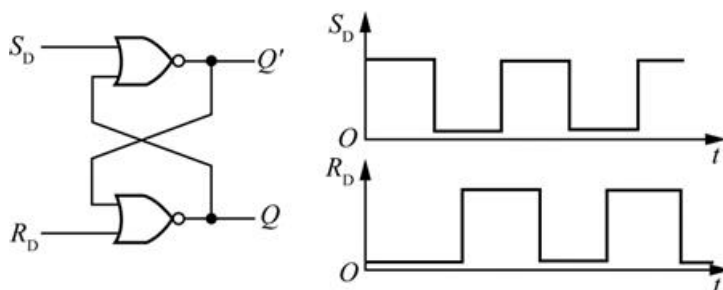


图5-2-3

解：根据或非门组成的SR锁存器工作特性，得到输出波形图如图5-2-4所示。

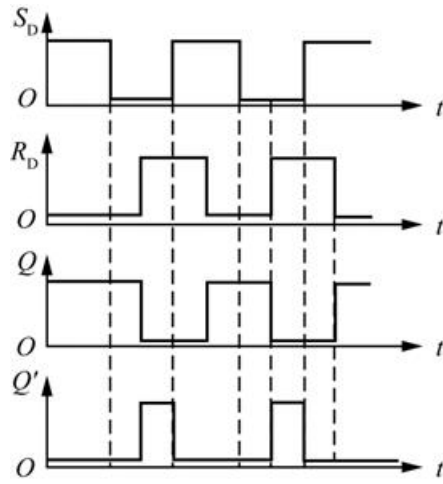


图5-2-4

5.3 图5-2-5所示为一个防抖动输出的开关电路。当拨动开关S时，由于开关触点接通瞬间发生振颤， $S_D'$ 和 $R_D'$ 的电压波形如图中所示，试画出Q、 $Q'$ 端对应的电压波形。

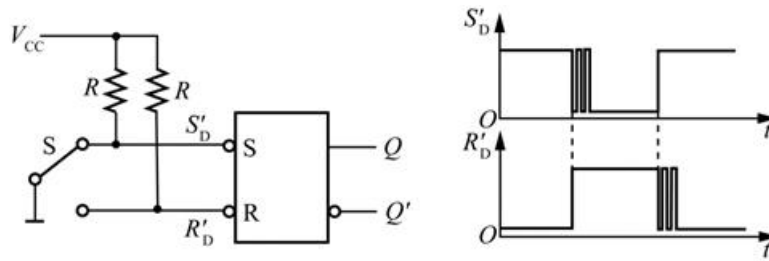


图5-2-5

解：Q、 $Q'$ 端对应的电压波形如图5-2-6所示。

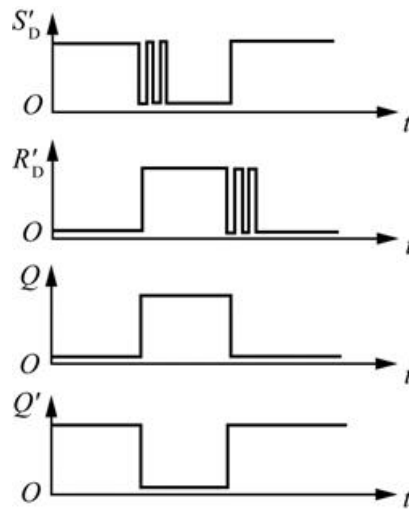


图5-2-6

5.4 在图5-2-7所示电路中，若CLK、S、R的电压波形如图中所示，试画出Q和 $Q'$ 端与之对应的电压波形。假定触发器的初始状态为 $Q=0$ 。

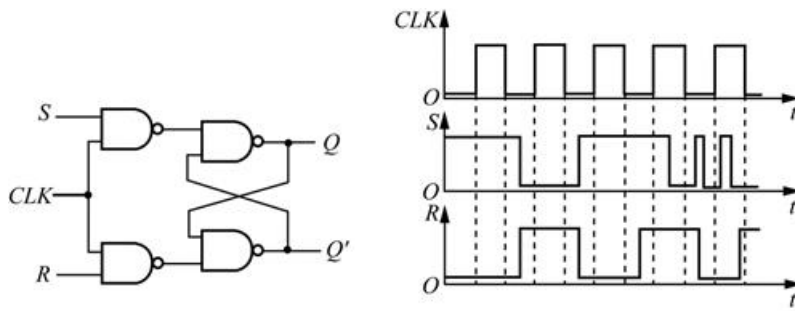


图5-2-7

**解：**当 $CLK=0$ 时，SR的值不能加到或非门，此时Q的状态保持不变。

当 $CLK=1$ 时，成为与非门组成的SR触发器。

Q和Q'端对应的电压波形如图5-2-8所示。

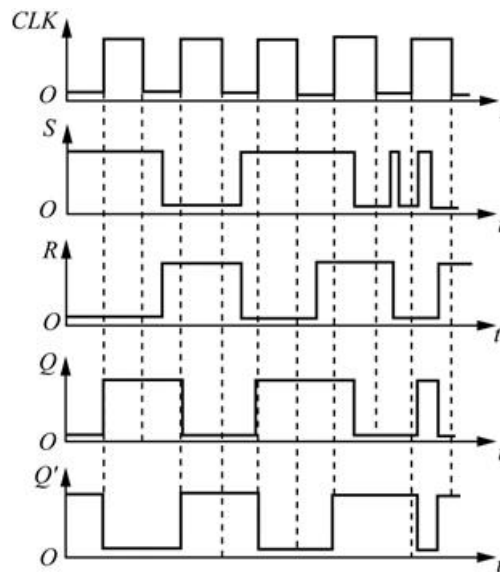


图5-2-8

5.5 在图5-2-9 (a) 所示的电平触发D触发器电路中，若CLK和D端电压波形图如图5-2-9 (b) 所示，试画出Q和Q'端对应的电压波形。假定触发器的初始状态为 $Q=0$ 。

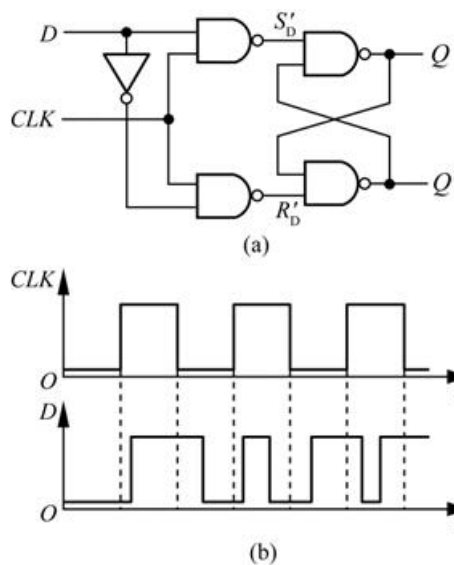


图5-2-9

**解：**根据电平触发D触发器工作特性，得到输出波形图如图5-2-10所示。

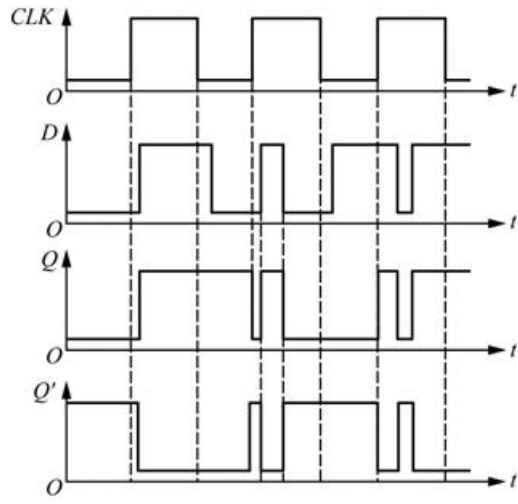


图5-2-10

5.6 在图5-2-11 (a) 所示的电平触发D触发器电路中, 若CLK和D端电压波形图如图5-2-11 (b) 所示, 试画出Q和Q'端对应的电压波形。假定触发器的初始状态为 $Q=0$ 。

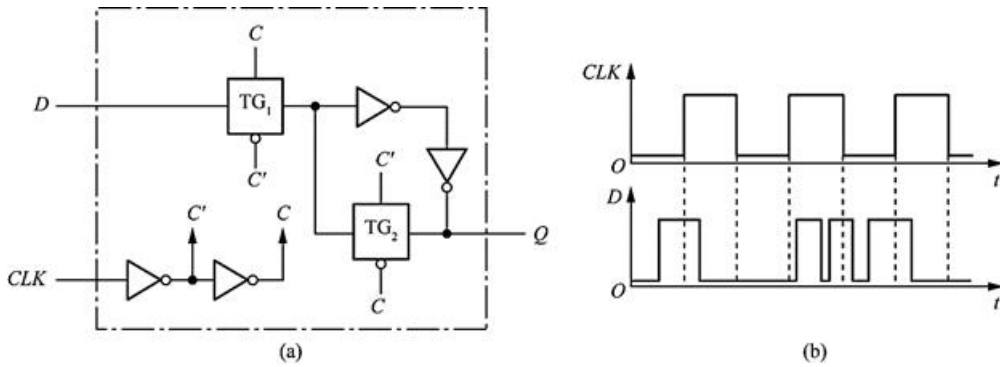


图5-2-11

**解:** 根据电平触发D触发器工作特性, 得到输出波形图如图5-2-12所示。

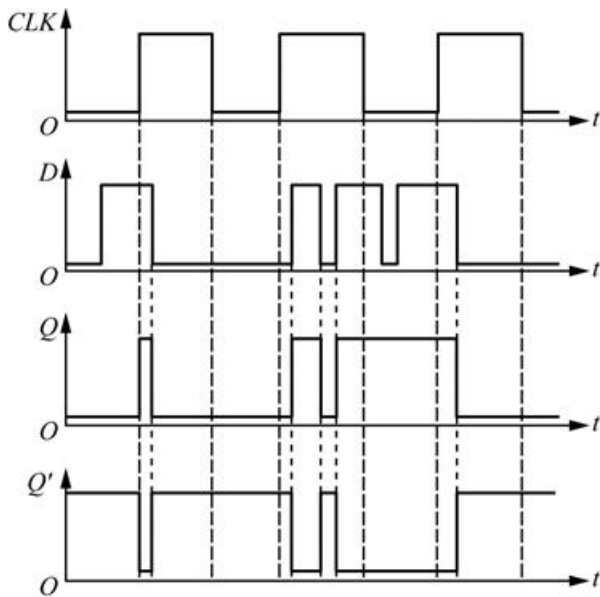


图5-2-12

5.7 已知边沿触发器输入端D和时钟信号CLK的电压波形图如图5-2-13所示, 试画出Q和Q'端对应的电压波形。假定触发器的初始状态为 $Q=0$ 。

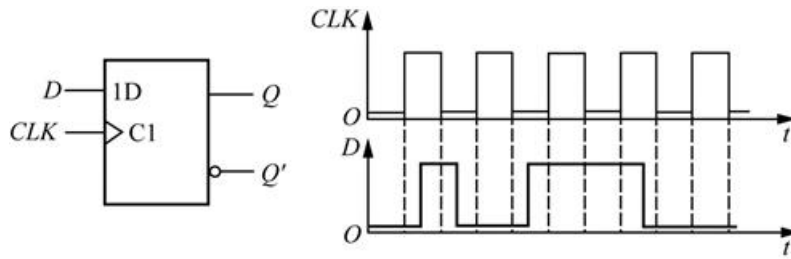


图5-2-13

解：根据边沿触发的D触发器工作特性，得到输出波形图如图5-2-14所示。

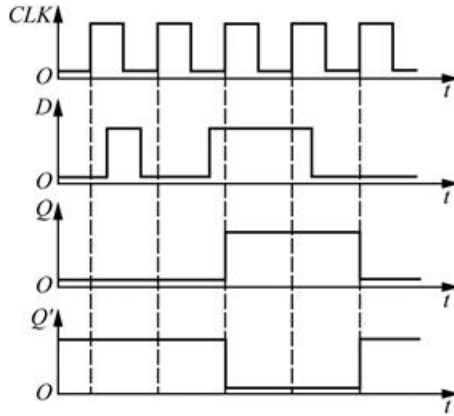


图5-2-14

5.8 已知边沿触发D触发器各输入端的电压波形如图5-2-15所示，试画出Q、Q'端对应的电压波形。

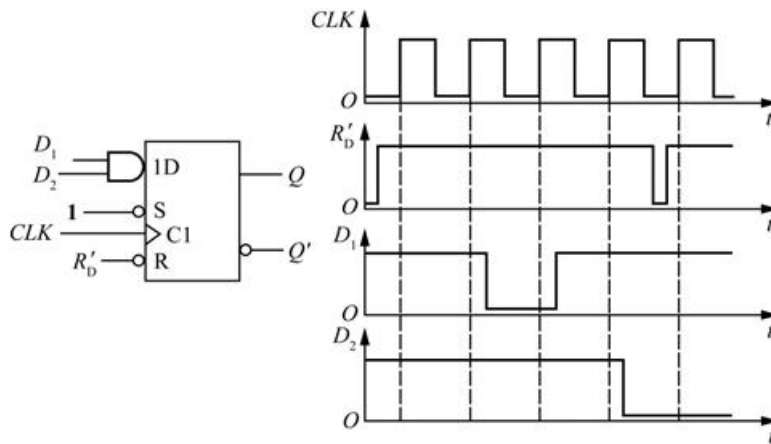


图5-2-15

解：根据边沿触发的D触发器工作特性，得到输出波形图如图5-2-16所示。



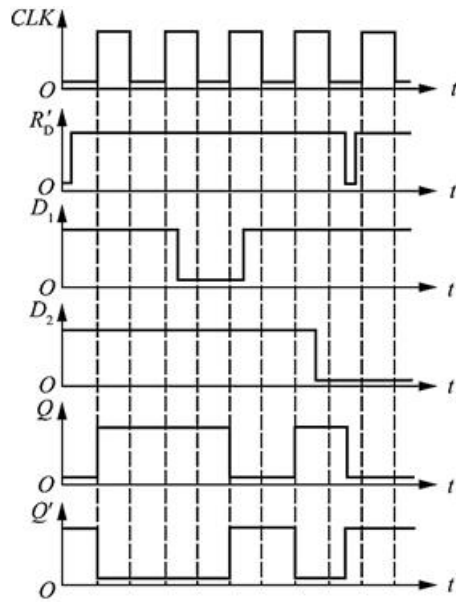


图5-2-16

5.9 已知边沿触发方式JK触发器各输入端的电压波形如图5-2-17所示，试画出 $Q$ 、 $Q'$ 端对应的电压波形。

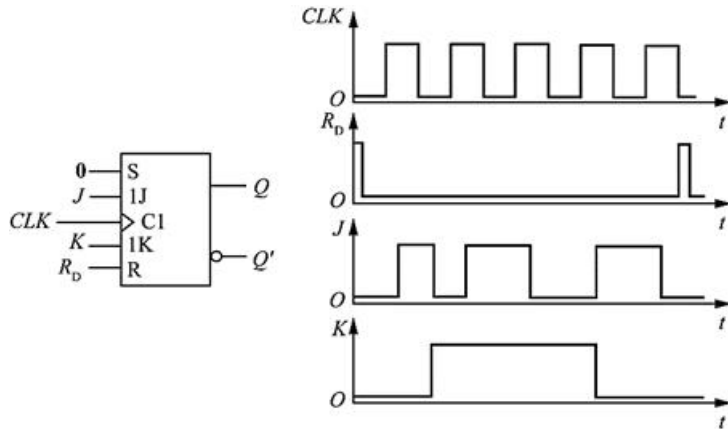


图5-2-17

解：根据边沿触发的JK触发器工作特性，得到输出波形图如图5-2-18所示。

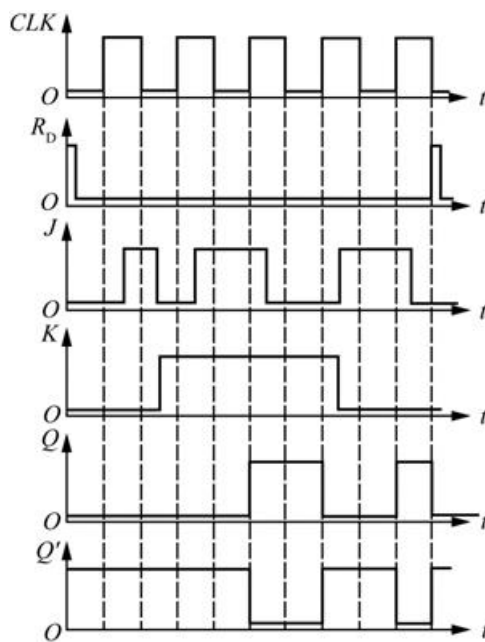


图5-2-18

5.10 若脉冲触发SR触发器各输入端的电压波形如图5-2-19中所示，试画出Q、Q'端对应的电压波形。设触发器的初始状态为Q=0。

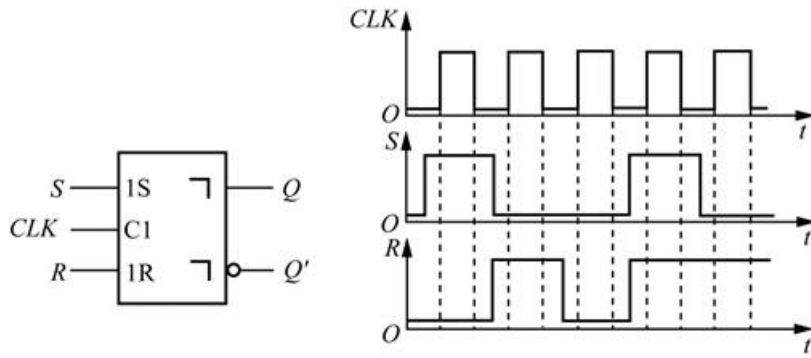


图5-2-19

解：根据脉冲触发的SR触发器工作特性，得到输出波形图如图5-2-20所示。

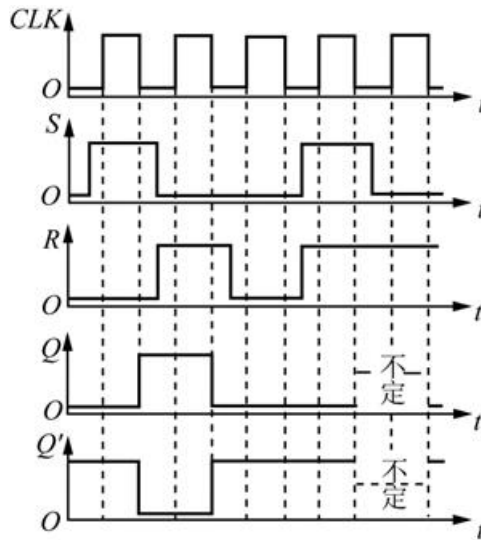


图5-2-20

5.11 在脉冲触发SR触发器电路中，若S、R、CLK端的电压波形如图5-2-21所示，试画出Q、Q'端对应的电压波形。假定触发器的初始状态为Q=0。

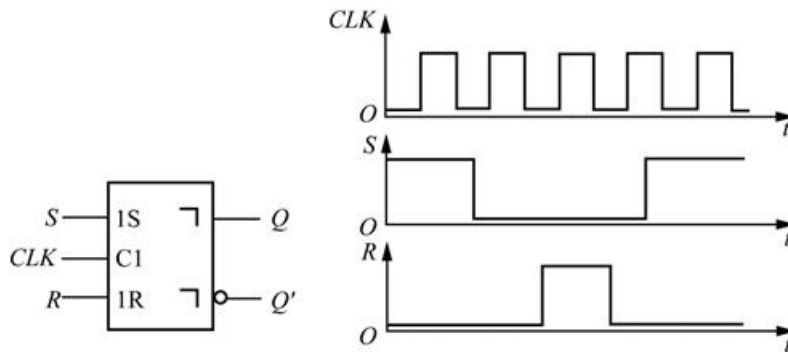


图5-2-21

解：根据脉冲触发的SR触发器工作特性，得到输出波形图如图5-2-22所示。

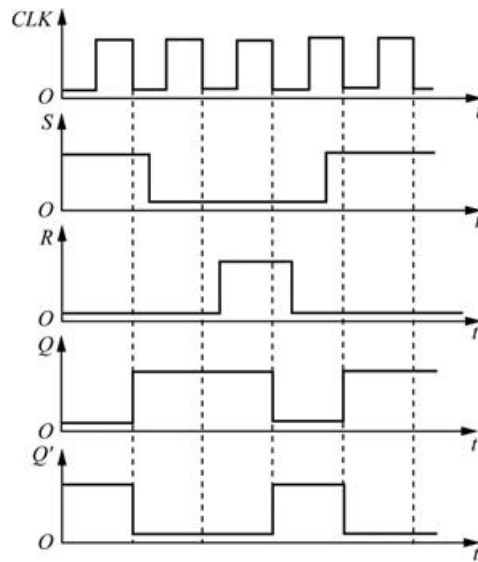


图5-2-22

5.12 在脉冲触发JK触发器中，已知J、K、CLK端的电压波形如图5-2-23所示，试画出Q、Q'端对应的电压波形。设触发器的初始状态为Q=0。

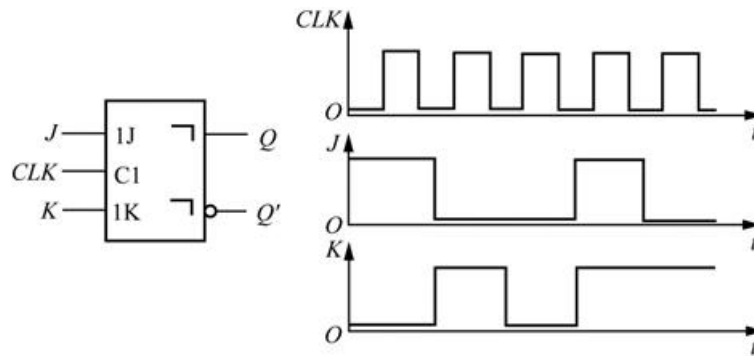


图5-2-23

解：根据脉冲触发的JK触发器工作特性，得到输出波形图如图5-2-24所示。

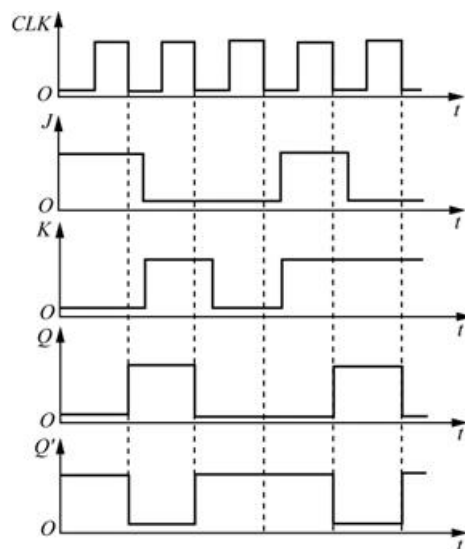


图5-2-24

5.13 已知脉冲触发JK触发器输入端J、K和CLK的电压波形如图5-2-25所示，试画出Q、Q'端对应的电压波形。设触发器的初始状态为Q=0。

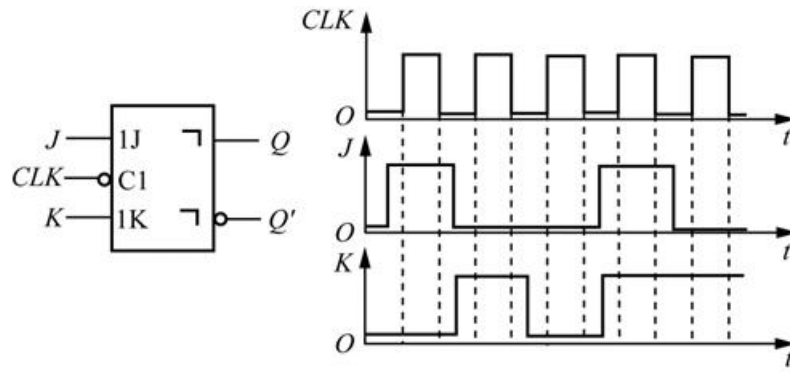


图5-2-25

解：根据脉冲触发的JK触发器工作特性，得到输出波形图如图5-2-26所示。

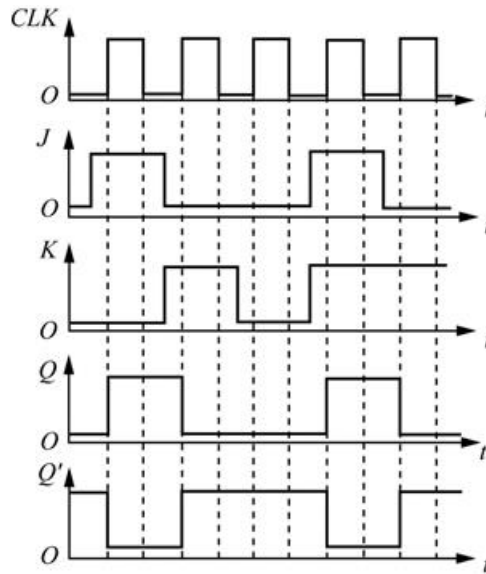


图5-2-26

5.14 若脉冲触发SR触发器的CLK、S、R、 $R'_D$ 各输入端的电压波形如图5-2-27所示， $S'_D=1$ ，试画出Q、 $Q'$ 端对应的电压波形。

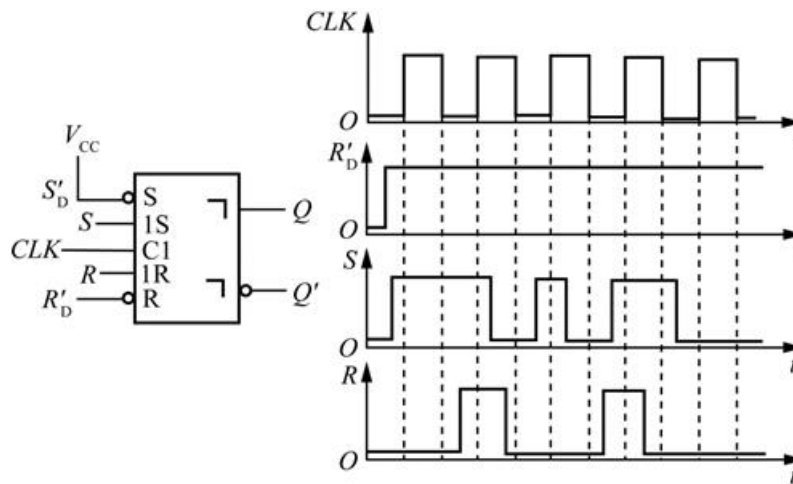


图5-2-27

解：根据脉冲触发的SR触发器工作特性，得到输出波形图如图5-2-28所示。

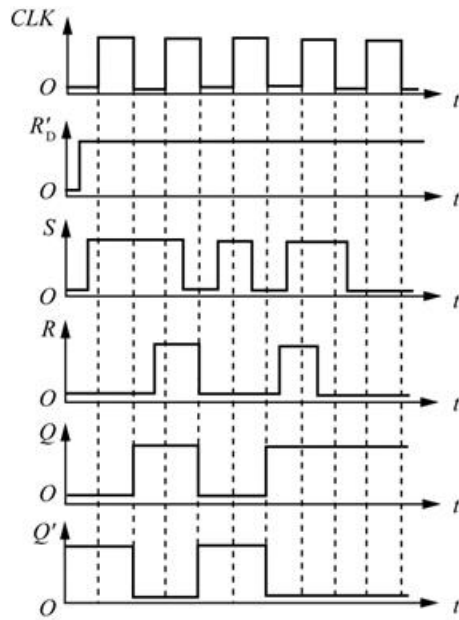


图5-2-28

5.15 若脉冲触发JK触发器CLK、 $R'_D$ 、 $S'_D$ 、J、K端的电压波形如图5-2-29所示，试画出Q、 $Q'$ 端对应的电压波形。

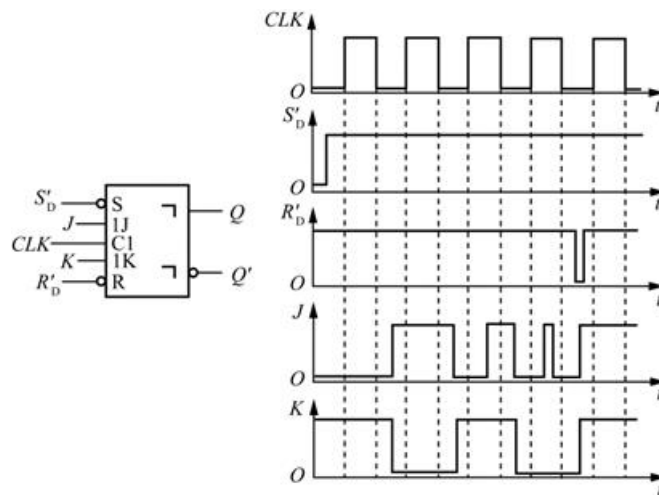


图5-2-29

**解：**根据脉冲触发的JK触发器工作特性，得到输出波形图如图5-2-30所示。

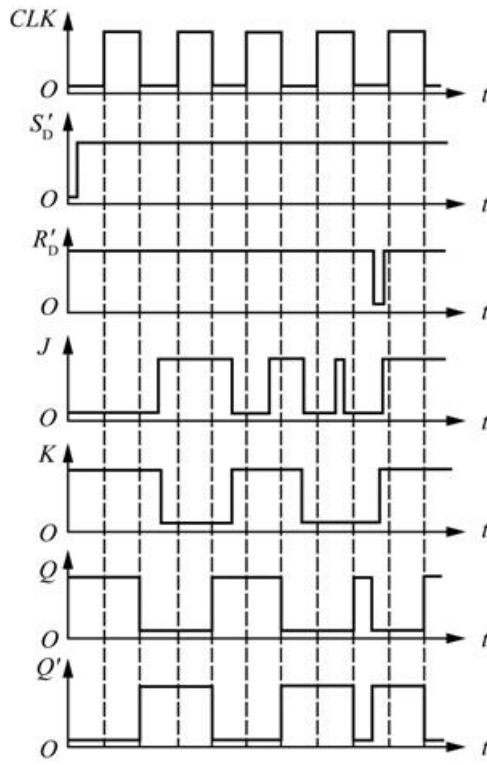


图5-2-30

5.16 在脉冲触发T触发器中，已知T、CLK端的电压波形如图5-2-31所示，试画出Q、Q'端对应的电压波形。设触发器的起始状态为Q=0。

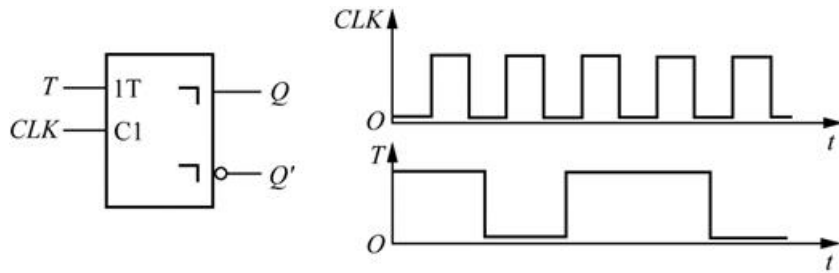


图5-2-31

解：根据脉冲触发的T触发器工作特性，得到输出波形图如图5-2-32所示。

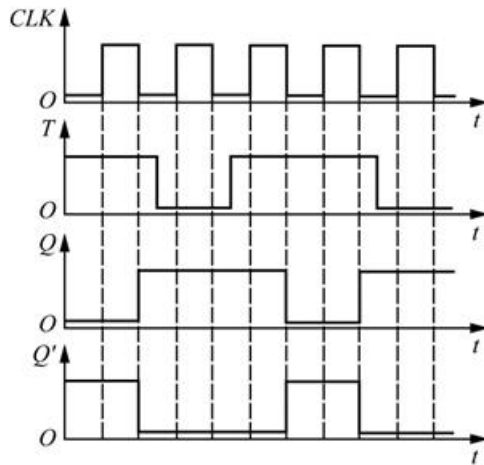


图5-2-32

5.17 在图5-2-33所示的边沿触发JK触发器电路中，已知CLK和输入信号T的电压波形如图所示，试画出触发

器输出端Q和Q'的电压波形。设触发器的起始状态为Q=0。

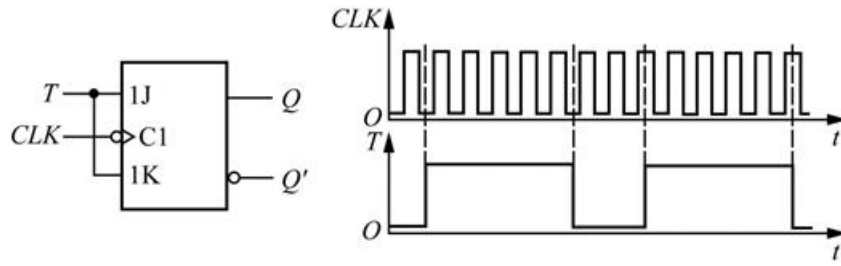


图5-2-33

解：根据边沿触发的JK触发器工作特性，得到输出波形图如图5-2-34所示。

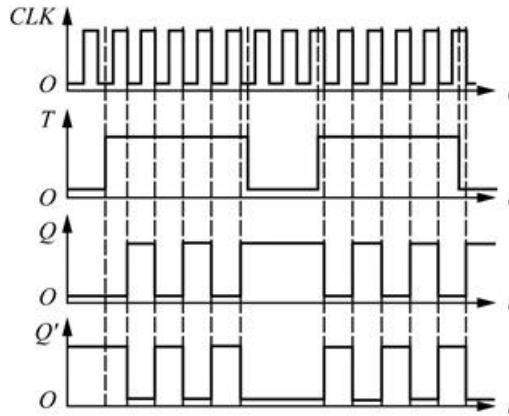


图5-2-34

5.18 设图5-2-35中各触发器的初始状态皆为Q=0，试画出在CLK信号连续作用下各触发器输出端的电压波形。

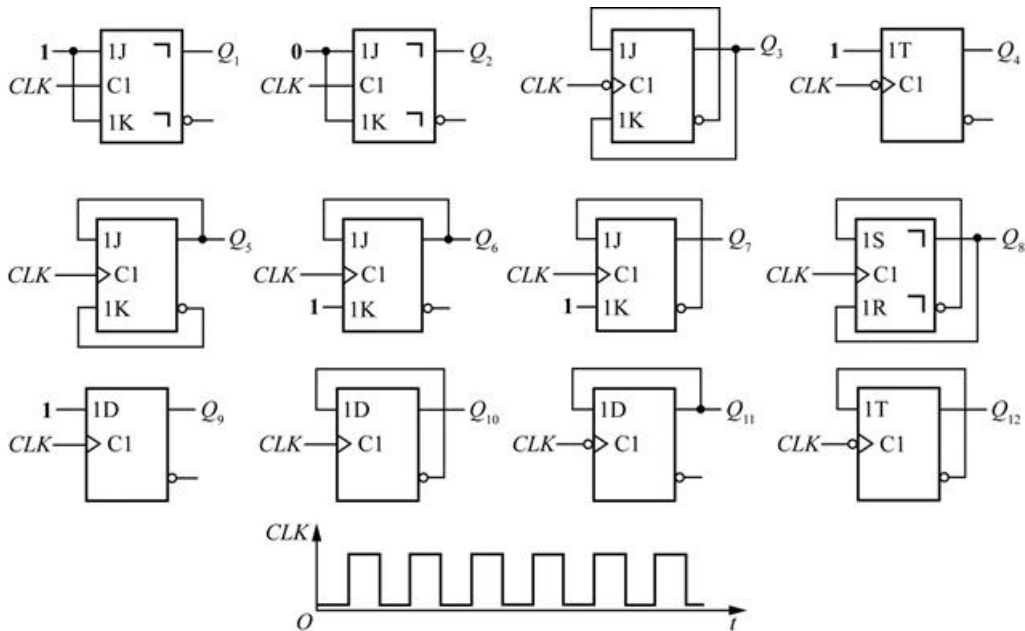


图5-2-35

解：根据图5-2-35中各个触发器的工作特性，得到相应输出波形图如图5-2-36所示。

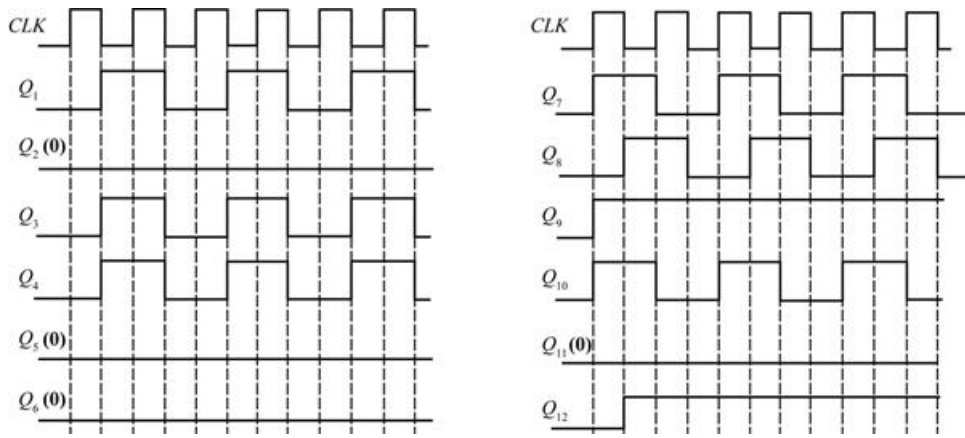


图5-2-36

5.19 试写出图5-2-37 (a) 中各电路的次态函数 (即  $Q_1^*$ 、 $Q_2^*$ 、 $Q_3^*$ 、 $Q_4^*$  与现态和输入变量之间的函数式), 并画出在图5-2-37 (b) 所给定信号的作用下  $Q_1$ 、 $Q_2$ 、 $Q_3$ 、 $Q_4$  的电压波形。假定各触发器的初始状态均为  $Q=0$ 。

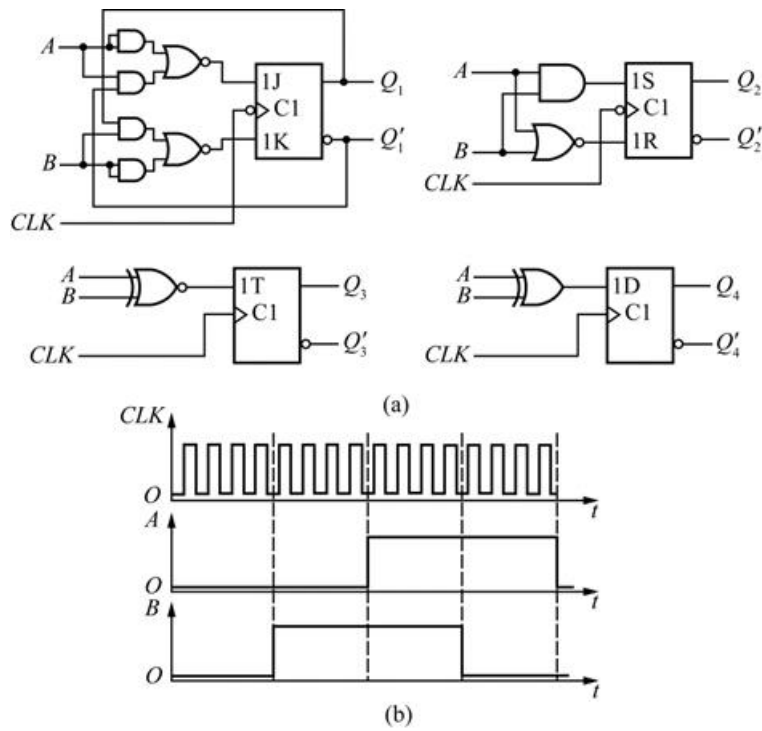


图5-2-37

解: (1) 下降沿触发的JK触发器

驱动方程为:  $J = (A + AQ_1')' = A'$ ,  $K = (B + BQ_1)' = B'$ ;

状态方程为:  $Q_1^* = A'Q_1' + BQ_1$ 。

(2) 下降沿触发的SR触发器

驱动方程为:  $S = AB$ ,  $R = (B + A)'$ ;

状态方程为:  $Q_2^* = AB + (A + B)Q_2$ 。

(3) 上升沿触发的T触发器

驱动方程为:  $T = A \odot B$ ;



状态方程为： $Q_3^* = (A \odot B) Q_3' + (A \oplus B) Q_3 = (A \odot B) Q_3$ 。

(4) 上升沿触发的D触发器

驱动方程为： $D = A \oplus B$ ；

状态方程为： $Q_4^* = A \oplus B$ 。

因此，波形图如图5-2-38所示。

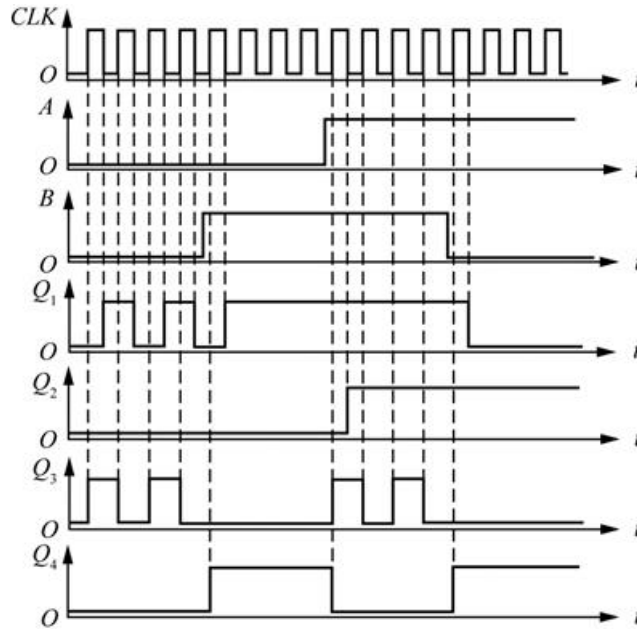


图5-2-38

5.20 试画出图5-2-39电路在图中所示CLK、 $R_D'$ 信号作用下 $Q_1$ 、 $Q_2$ 、 $Q_3$ 的输出电压波形，并说明 $Q_1$ 、 $Q_2$ 、 $Q_3$ 输出信号的频率与CLK信号频率之间的关系。

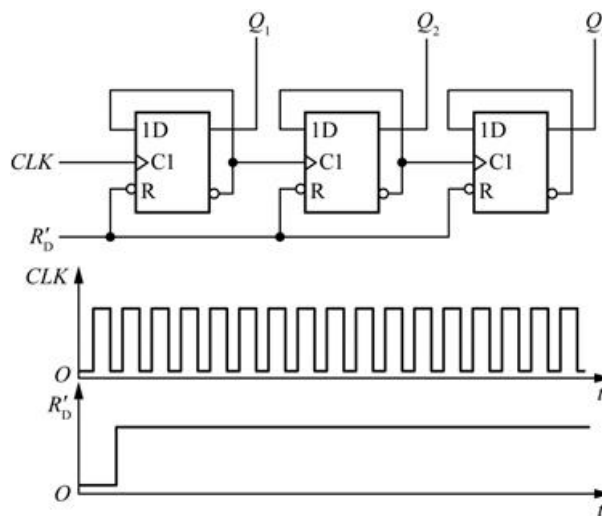


图5-2-39

**解：**设图5-2-39中从左至右触发器依次为FF1、FF2、FF3，分析可知，触发器FF1在脉冲信号CLK的上升沿触发；触发器FF2在 $Q_1'$ 的上升沿触发；触发器FF3在 $Q_2'$ 的上升沿触发，且每个触发器均满足 $Q_i^* = Q_i'$ ，即触发器到来时，取反。若输入的CLK的频率为 $f_0$ ，则 $Q_1$ 、 $Q_2$ 、 $Q_3$ 输出脉冲的频率依次为 $1/(2f_0)$ 、 $1/(4f_0)$ 、 $1/(8f_0)$ 。

因此，可画出输出电压波形如图5-2-40所示。

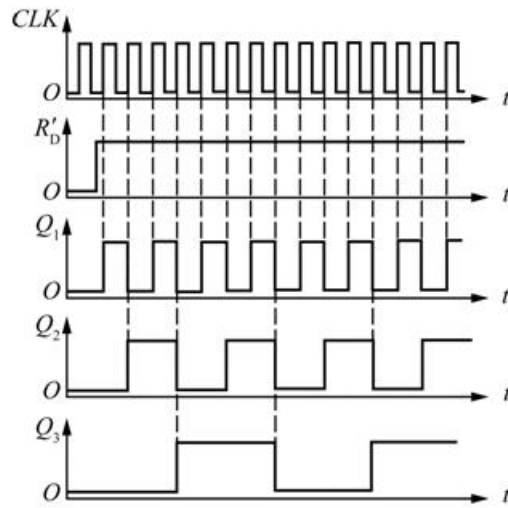


图5-2-40

5.21 试画出图5-2-41所示电路在一系列CLK信号作用下 $Q_1$ 、 $Q_2$ 、 $Q_3$ 端输出电压的波形，并说明 $Q_1$ 、 $Q_2$ 、 $Q_3$ 输出脉冲的频率与CLK信号频率之间的关系。触发器均为边沿触发方式，初始状态为 $Q=0$ 。

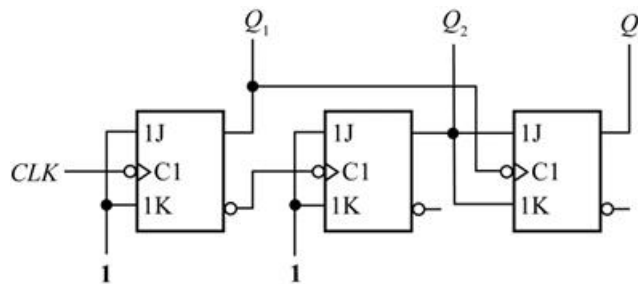


图5-2-41

**解：**设图5-2-41中从左至右触发器依次为FF1、FF2、FF3，由题意可得，触发器FF1在脉冲信号CLK的下降沿触发，触发器FF2在 $Q_1'$ 的下降沿触发，触发器FF3在 $Q_1$ 的下降沿触发。

驱动方程为： $J_1=K_1=1$ ， $J_2=K_2=1$ ， $J_3=K_3=Q_2$ ；

状态方程为： $Q_1^*=Q_1'$ ， $Q_2^*=Q_2'$ ， $Q_3^*=Q_2 \oplus Q_3$ 。

可看出触发器FF1和FF2在脉冲到来时取反，FF3状态的变换根据状态方程求得。

CLK信号频率与 $Q_1$ 、 $Q_2$ 、 $Q_3$ 输出脉冲的频率之比为8:4:2:1。

电压波形图如图5-2-42所示。

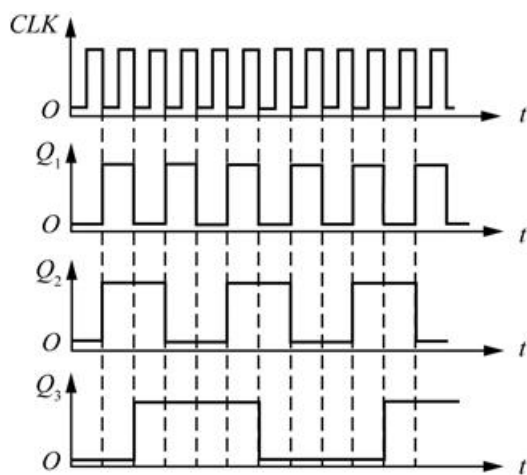


图5-2-42

5.22 在图5-2-43电路中已知输入信号 $v_I$ 的电压波形如图所示，试画出与之对应的输出电压 $v_O$ 的波形。初始状态为 $Q=0$ 。（提示：应考虑触发器和异或门的传输延迟时间。）

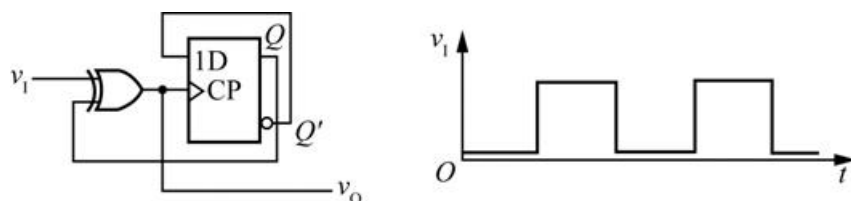


图5-2-43

**解：**由题意可得， $CP=v_O=v_I \oplus Q$ ， $Q^*=Q'$ ，且为上升沿触发。

开始时， $CP=0$ ，当 $v_I=1$ 时，经过一个异或门的延迟， $CP$ 变成高电平，之后经过一个触发器的传输延时， $Q$ 被置成高电平。再经过一个异或门的延迟， $CP$ 变成低电平。

$v_I$ 从高电平跳变到低电平时的过程与上述过程类似。

波形图如图5-2-44所示。其中， $t_D$ 表示触发器的传输延时， $t_G$ 表示异或门的延迟。

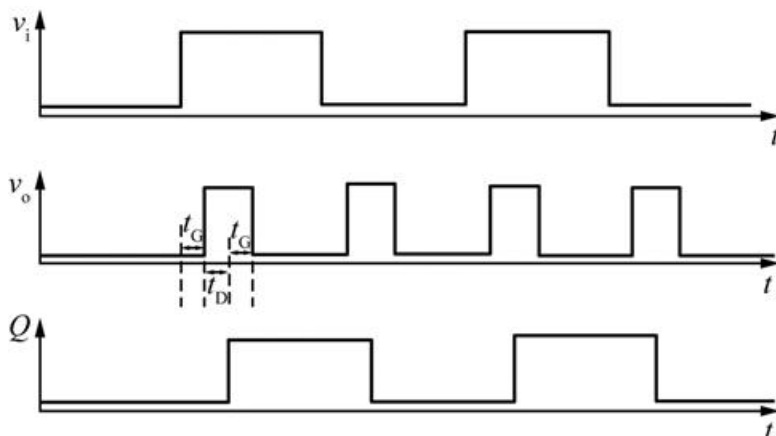


图5-2-44

5.23 图5-2-45所示是用边沿触发D触发器组成的脉冲分频电路。试画出一系列CLK脉冲作用下输出端Y对应的电压波形。设触发器的初始状态均为 $Q=0$ 。

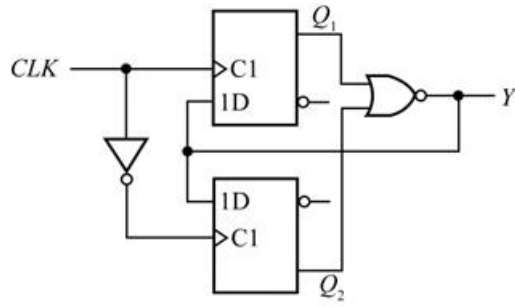


图5-2-45

**解：**设图5-2-45中由上至下依次为触发器FF1、FF2，由题意可得，触发器FF1在脉冲信号的上升沿触发；FF2在脉冲信号的下降沿触发。

驱动方程为： $D_1=D_2=(Q_1+Q_2)'=Q_1'Q_2'$ ；

状态方程为： $Q_1^*=Q_1'Q_2'$ ， $Q_2^*=Q_1'Q_2'$ ；

输出方程为： $Y=Q_1'Q_2'$ 。

电压波形图如图5-2-46所示。

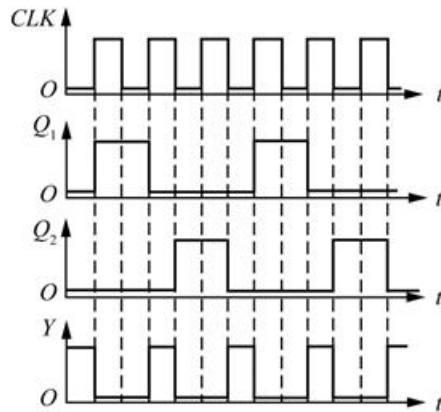


图5-2-46

5.24 在图5-2-47所示的脉冲触发JK触发器电路中，CLK和A的电压波形如图中所示，试画出Q端对应的电压波形。设触发器的初始状态为 $Q=0$ 。

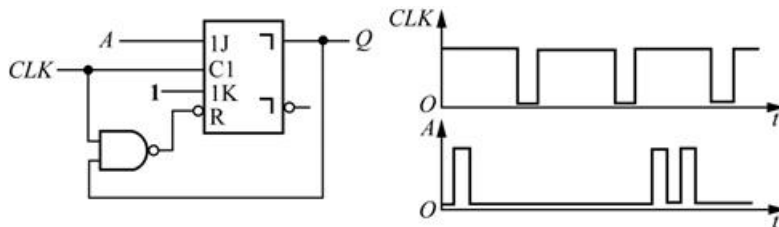


图5-2-47

**解：**根据主从JK触发器的特点，在 $CLK=1$ 期间，若 $Q=0$ 且出现 $J=1$ ，那么脉冲下降沿来临时，从触发器被置1。否则，可以直接按照脉冲下降沿到达时JK的状态确定输出的状态。

又当 $CLK=1$ 且 $Q=1$ 时，异步清零。

综上所述，电压波形图如图5-2-48所示。

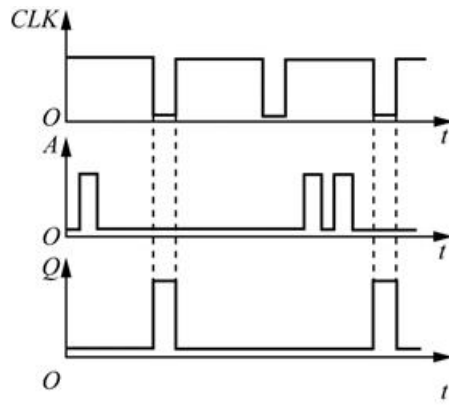


图5-2-48

5.25 试画出图5-2-49所示电路输出端Y、Z的电压波形。输入信号A和CLK的电压波形如图中所示。设触发器的初始状态均为 $Q=0$ 。

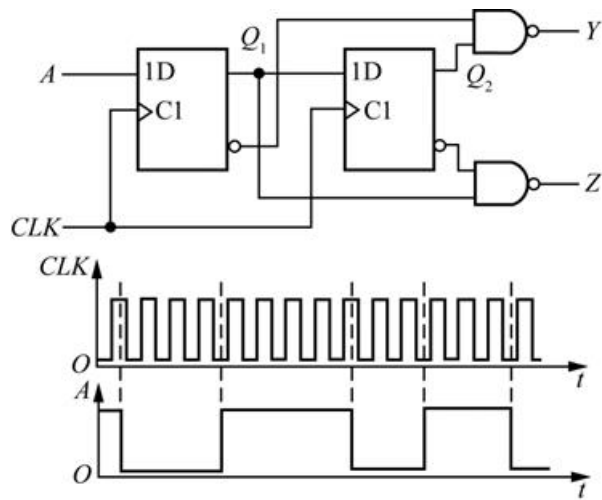


图5-2-49

**解：**由题意可得，该电路为同步时序逻辑电路，于脉冲信号的上升沿触发。

驱动方程为： $D_1=A$ ， $D_2=Q_1$ ；

状态方程为： $Q_1^*=A$ ， $Q_2^*=Q_1$ ；

输出方程为： $Y=(Q_1'Q_2)'=Q_1+Q_2'$ ； $Z=(Q_1Q_2')'=Q_1'+Q_2'$ 。

电压波形图如图5-2-50所示。

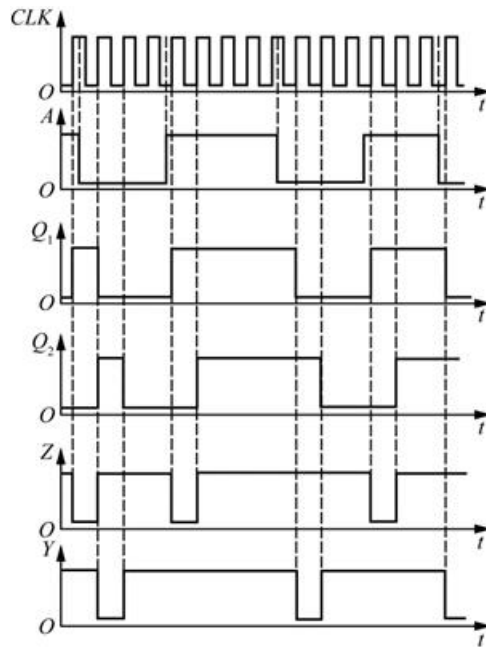


图5-2-50

5.26 设计一个4人抢答逻辑电路。具体要求如下：

- (1) 每个参赛者控制一个按钮，用按动按钮发出抢答信号。
- (2) 竞赛主持人另有一个按钮，用于将电路复位。
- (3) 竞赛开始后，先按动按钮者将对应的一个发光二极管点亮，此后其他3人再按动按钮对电路不起作用。

解：电路图如图5-2-51所示。

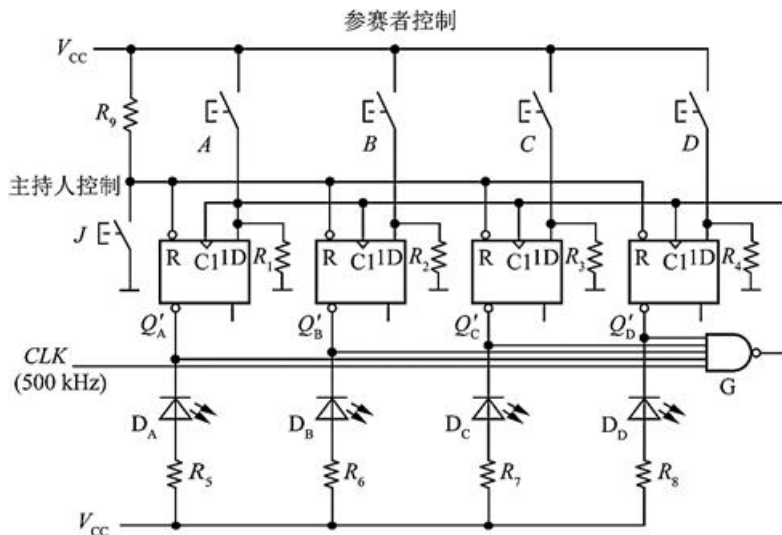


图5-2-51

由图5-2-51可知，脉冲信号为  $(Q_D'Q_C'Q_B'Q_A'CLK)'$ ，主持人复位后，此时脉冲信号即为  $CLK'$  信号。一旦有人在  $CLK'$  信号的下降沿按下按钮，则其所在的电路的发光二极管点亮，支路触发器的  $Q'$  端变为低电平，同时，脉冲信号被置1，不再随  $CLK$  信号变化，使得其他选手的按钮不起作用。

5.27 若存储器的容量为  $512K \times 8$  位，则地址代码应取几位？

解：由于地址代码应当有  $512 \times 10^3$  个，所以若取  $n$  位地址代码，则应满足  $2^n \geq 512 \times 10^3 > 2^{n-1}$ ，故应取  $n=19$ 。

5.28 某台计算机的内存储器设置有32位的地址线，16位并行数据输入/输出端，试计算它的最大存储量是多少？

解：存储器的最大存储量为： $2^{32} \times 16 \text{位} = 68.7 \times 10^9 \text{位} = 68.7 \text{G位}$ 。

5.29 若采用地址分时输入的DRAM有16位地址输入、一位数据输入/输出，试计算它有多少个存储单元。

解：采用地址分时输入结构以后，16位地址代码分两次先后输入，总的地址代码还是16位。故存储单元数总数为： $1 \times 2^{16} = 65536$ 。

5.30 试用两片1024×8位的ROM组成1024×16位的存储器。

解：根据存储器的扩展原理，可得电路图如图5-2-52所示。

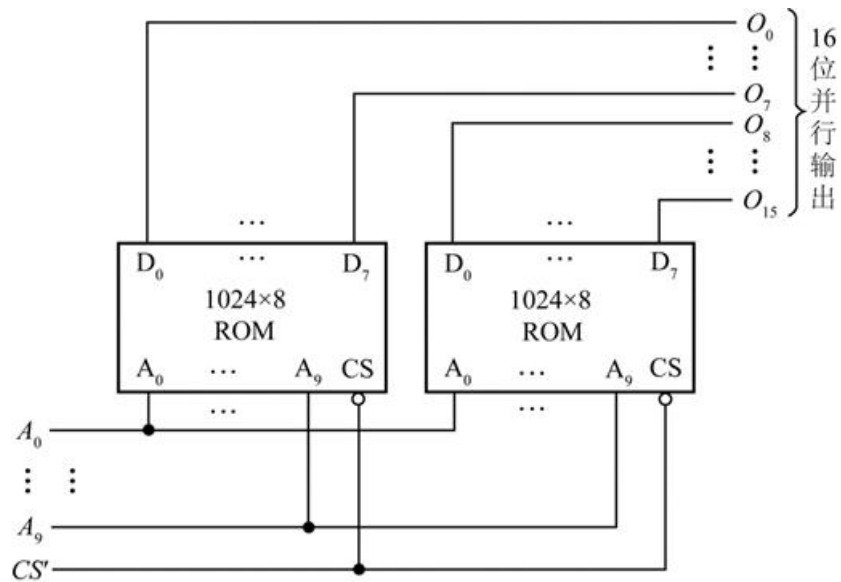


图5-2-52

5.31 试用4片4K×8位的RAM接成16K×8位的存储器。

解：根据存储器的扩展原理，可得电路图如图5-2-53所示。

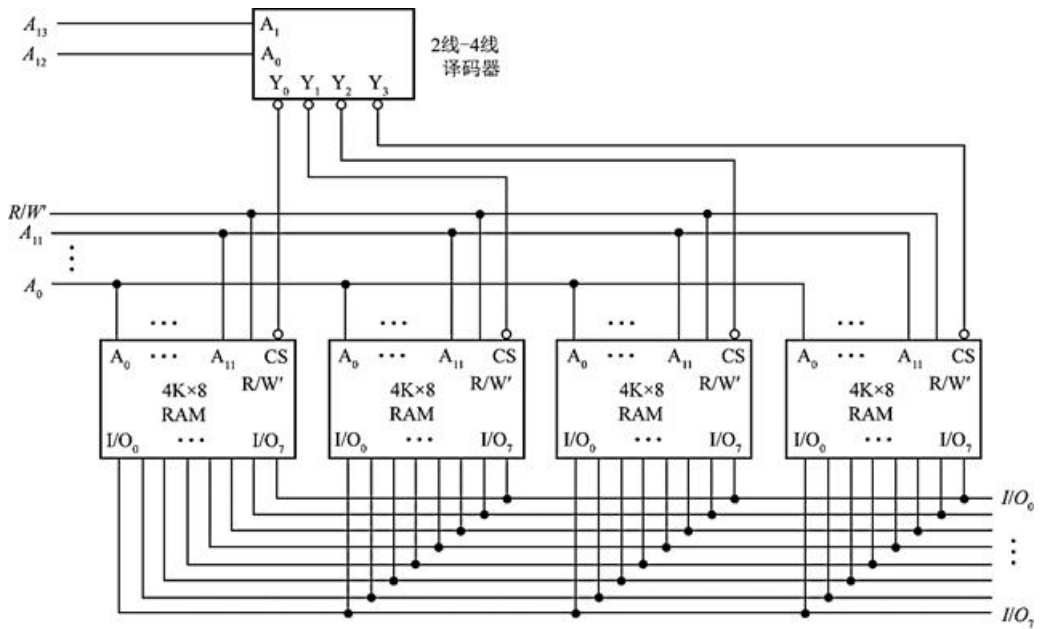


图5-2-53

5.32 试用4片2114（1024×4位的RAM）和3线-8线译码器74HC138组成4096×4位的RAM。

解：根据存储器的扩展原理，可得电路图如图5-2-54所示。

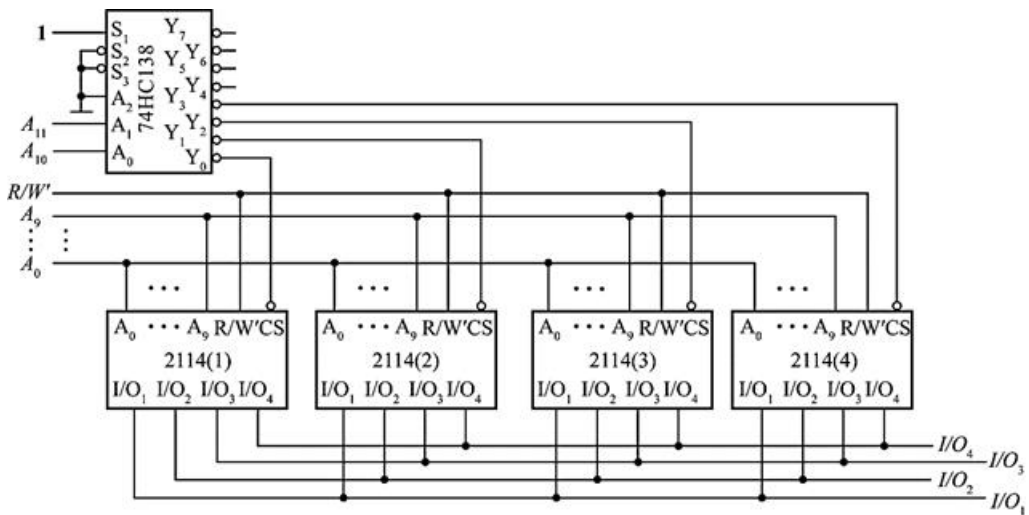


图5-2-54

5.33 试用16片2114（1024×4位的RAM）和3线-8线译码器74HC138组成8K×8位的RAM。

解：根据存储器的扩展原理，可得电路图如图5-2-55所示。



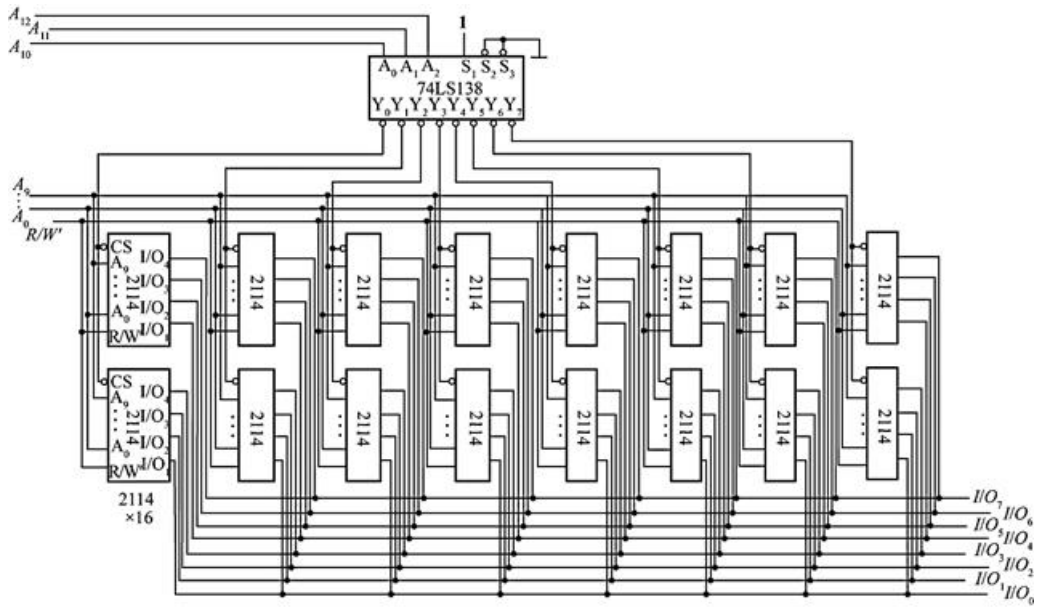


图5-2-55

5.34 已知ROM的数据表如表5-2-1所示，若将地址输入 $A_3$ 、 $A_2$ 、 $A_1$ 、 $A_0$ 作为4个输入逻辑变量，将数据输出 $D_3$ 、 $D_2$ 、 $D_1$ 、 $D_0$ 作为函数输出，试写出输入与输出间的逻辑函数式，并化为最简与或形式。

表5-2-1

地址输入				数据输出			
$A_3$	$A_2$	$A_1$	$A_0$	$D_3$	$D_2$	$D_1$	$D_0$
0	0	0	0	0	0	0	1
0	0	0	1	0	0	1	0
0	0	1	0	0	0	1	0
0	0	1	1	0	1	0	0
0	1	0	0	0	0	1	0
0	1	0	1	0	1	0	0
0	1	1	0	0	1	0	0
0	1	1	1	1	0	0	0
1	0	0	0	0	0	1	0
1	0	0	1	0	1	0	0
1	0	1	1	1	0	0	0
1	1	0	0	0	1	0	0
1	1	0	1	1	0	0	0
1	1	1	0	1	0	0	0
1	1	1	1	0	0	0	1

解：按照从真值表写逻辑函数式的方法即可写出：

$$D_3 = A_3'A_2A_1A_0 + A_3A_2'A_1A_0 + A_3A_2A_1'A_0 + A_3A_2A_1A_0'$$

$$D_2 = A_3'A_2'A_1A_0 + A_3'A_2A_1'A_0 + A_3'A_2A_1A_0' + A_3A_2'A_1'A_0 + A_3A_2'A_1A_0' + A_3A_2A_1'A_0'$$

$$D_1 = A_3'A_2'A_1'A_0 + A_3'A_2'A_1A_0' + A_3'A_2A_1'A_0' + A_3A_2'A_1'A_0'$$

$$D_0 = A_3'A_2'A_1'A_0' + A_3A_2A_1A_0$$

5.35 图5-2-56是一个16×4位的ROM， $A_3A_2A_1A_0$ 为地址输入， $D_3D_2D_1D_0$ 是数据输出。若将 $D_3$ 、 $D_2$ 、 $D_1$ 、 $D_0$ 视

为 $A_3$ 、 $A_2$ 、 $A_1$ 、 $A_0$ 的逻辑函数，试写出 $D_3$ 、 $D_2$ 、 $D_1$ 、 $D_0$ 的逻辑函数式。

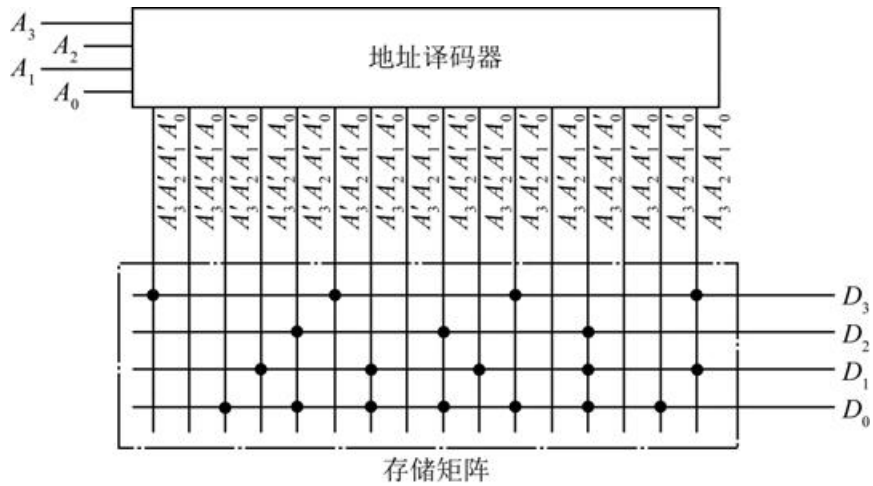


图5-2-56

解：按照从真值表写逻辑函数式的方法即可写出：

$$D_3 = A_3'A_2'A_1'A_0' + A_3'A_2A_1'A_0 + A_3A_2'A_1A_0' + A_3A_2A_1A_0$$

$$D_2 = A_3'A_2A_1'A_0' + A_3A_2'A_1'A_0' + A_3A_2A_1'A_0'$$

$$D_1 = A_3'A_2'A_1A_0 + A_3'A_2A_1A_0' + A_3A_2'A_1'A_0 + A_3A_2A_1'A_0' + A_3A_2A_1A_0$$

$$D_0 = A_3'A_2'A_1A_0' + A_3'A_2A_1'A_0' + A_3'A_2A_1A_0' + A_3A_2'A_1'A_0 + A_3A_2'A_1A_0' + A_3A_2A_1'A_0' + A_3A_2A_1A_0'$$

5.36 用 $16 \times 4$ 位的ROM设计一个将两个2位二进制数相乘的乘法器电路，列出ROM的数据表，画出存储矩阵的点阵图。

解：设两个相乘的数为 $C_1C_0$ 和 $B_1B_0$ ，乘积用 $P_3P_2P_1P_0$ 表示，则得到如表5-2-2所示的真值表。将 $C_1C_0B_1B_0$ 加到ROM的地址输入端 $A_3A_2A_1A_0$ ，按图5-2-57的矩阵编程，则 $D_3$ 、 $D_2$ 、 $D_1$ 、 $D_0$ 即乘积的四位输出端 $P_3$ 、 $P_2$ 、 $P_1$ 、 $P_0$ 。

表5-2-2

乘数				乘积			
$C_1$	$C_0$	$B_1$	$B_0$	$P_3$	$P_2$	$P_1$	$P_0$
0	0	0	0	0	0	0	0
0	0	0	1	0	0	0	0
0	0	1	0	0	0	0	0
0	0	1	1	0	0	0	0
0	1	0	0	0	0	0	0
0	1	0	1	0	0	0	1
0	1	1	0	0	0	1	0
0	1	1	1	0	0	1	1
1	0	0	0	0	0	0	0
1	0	0	1	0	0	1	0
1	0	1	0	0	1	0	0
1	0	1	1	0	1	1	0
1	1	0	0	0	0	0	0
1	1	0	1	0	0	1	1
1	1	1	0	0	1	1	0
1	1	1	1	1	0	0	1
$A_3$	$A_2$	$A_1$	$A_0$	$D_3$	$D_2$	$D_1$	$D_0$

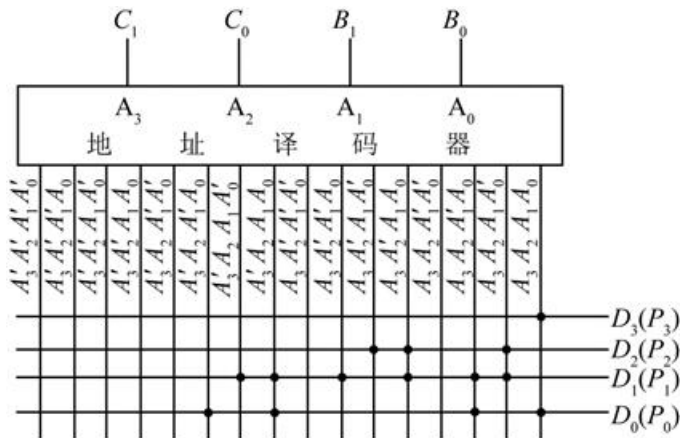


图5-2-57

5.37 用ROM产生下列一组逻辑函数，写出ROM中应存入的数据表。

$$\begin{cases} Y_3 = A'B'CD' + AB'CD \\ Y_2 = ABD' + A'CD + AB'C'D' \\ Y_1 = AB'CD' + BC'D \\ Y_0 = A'D' \end{cases}$$

解：将上式化为最小项之和形式后得到：

$$\begin{cases} Y_3 = A'B'CD' + AB'CD \\ Y_2 = A'B'CD + A'BCD + AB'C'D' + ABC'D' + ABCD' \\ Y_1 = A'BC'D + AB'CD' + ABC'D \\ Y_0 = A'B'C'D' + A'B'CD' + A'BC'D' + A'BCD' \end{cases}$$

若将A、B、C、D依次接至ROM的地址输入端A<sub>3</sub>、A<sub>2</sub>、A<sub>1</sub>、A<sub>0</sub>，并按表5-2-3的数据表给出的数据写入ROM中，则在ROM的数据输出端D<sub>3</sub>、D<sub>2</sub>、D<sub>1</sub>、D<sub>0</sub>就得到了函数Y<sub>3</sub>、Y<sub>2</sub>、Y<sub>1</sub>、Y<sub>0</sub>，如图5-2-58所示。

表5-2-3

A <sub>3</sub>	A <sub>2</sub>	A <sub>1</sub>	A <sub>0</sub>	D <sub>3</sub>	D <sub>2</sub>	D <sub>1</sub>	D <sub>0</sub>
(A)	(B)	(C)	(D)	(Y <sub>3</sub> )	(Y <sub>2</sub> )	(Y <sub>1</sub> )	(Y <sub>0</sub> )
0	0	0	0	0	0	0	1
0	0	0	1	0	0	0	0
0	0	1	0	1	0	0	1
0	0	1	1	0	1	0	0
0	1	0	0	0	0	0	1
0	1	0	1	0	0	1	0
0	1	1	0	0	0	0	1
0	1	1	1	0	1	0	0
1	0	0	0	0	1	0	0
1	0	0	1	0	0	0	0
1	0	1	0	0	0	1	0
1	0	1	1	1	0	0	0
1	1	0	0	0	1	0	0
1	1	0	1	0	0	1	0
1	1	1	0	0	1	0	0
1	1	1	1	0	0	0	0

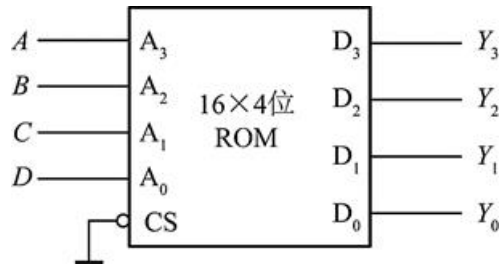


图5-2-58

5.38 用ROM设计一个组合逻辑电路，用来产生下列一组逻辑函数

$$\begin{cases} Y_1 = A'B'C'D' + A'BC'D + AB'CD' + ABCD \\ Y_2 = A'B'CD' + A'BCD + AB'C'D' + ABC'D \\ Y_3 = A'BD + B'CD' \\ Y_4 = BD + B'D' \end{cases}$$

列出ROM应有的数据表，画出存储矩阵的点阵图。

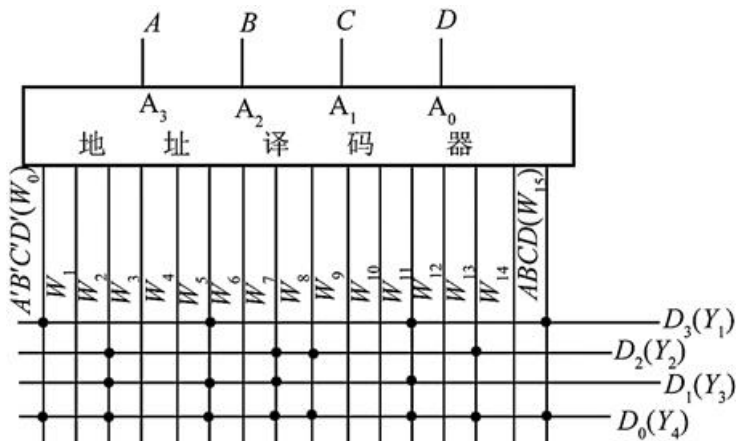
解：将函数化为最小项之和形式后得到：

$$\begin{cases} Y_1(A, B, C, D) = m_0 + m_5 + m_{10} + m_{15} \\ Y_2(A, B, C, D) = m_2 + m_7 + m_8 + m_{13} \\ Y_3(A, B, C, D) = m_2 + m_5 + m_7 + m_{10} \\ Y_4(A, B, C, D) = m_0 + m_2 + m_5 + m_7 + m_8 + m_{10} + m_{13} + m_{15} \end{cases}$$

根据上式得到ROM中的数据表如表5-2-4，存储矩阵的点阵图如图5-2-59所示。

表5-2-4

地址				数据				地址				数据			
$A_3$	$A_2$	$A_1$	$A_0$	$D_3$	$D_2$	$D_1$	$D_0$	$A_3$	$A_2$	$A_1$	$A_0$	$D_3$	$D_2$	$D_1$	$D_0$
(A)	(B)	(C)	(D)	( $Y_3$ )	( $Y_2$ )	( $Y_1$ )	( $Y_0$ )	(A)	(B)	(C)	(D)	( $Y_3$ )	( $Y_2$ )	( $Y_1$ )	( $Y_0$ )
0	0	0	0	1	0	0	1	1	0	0	0	0	1	0	1
0	0	0	1	0	0	0	0	1	0	0	1	0	0	0	0
0	0	1	0	0	1	1	1	1	0	1	0	1	0	1	1
0	0	1	1	0	0	0	0	1	0	1	1	0	0	0	0
0	1	0	0	0	0	0	0	1	1	0	0	0	0	0	0
0	1	0	1	1	0	1	1	1	1	0	1	0	1	0	1
0	1	1	0	0	0	0	0	1	1	1	0	0	0	0	0
0	1	1	1	0	1	1	1	1	1	1	1	1	0	0	1



5.39 用一片256×8位的ROM产生如下一组组合逻辑函数

$$\begin{cases} Y_1 = AB + BC + CD + DA \\ Y_2 = A'B' + B'C' + C'D' + D'A' \\ Y_3 = ABC + BCD + ABD + ACD \\ Y_4 = A'B'C' + B'C'D' + A'B'D' + A'C'D' \\ Y_5 = ABCD \\ Y_6 = A'B'C'D' \end{cases}$$

列出ROM的数据表，画出电路的连接图，标明各输入变量与输出函数的接线端。

解：将函数化为最小项之和形式后得到：

$$\begin{cases} Y_1(A, B, C, D) = m_3 + m_6 + m_7 + m_9 + m_{11} + m_{12} + m_{13} + m_{14} + m_{15} \\ Y_2(A, B, C, D) = m_0 + m_1 + m_2 + m_3 + m_4 + m_5 + m_6 + m_7 + m_{12} \\ Y_3(A, B, C, D) = m_7 + m_{11} + m_{13} + m_{14} + m_{15} \\ Y_4(A, B, C, D) = m_0 + m_1 + m_2 + m_4 + m_6 \\ Y_5(A, B, C, D) = m_{15} \\ Y_6(A, B, C, D) = m_0 \end{cases}$$

ROM地址的高4位接0，低4位地址输入端接至ABCD，取D<sub>5</sub>~D<sub>0</sub>作为Y<sub>1</sub>~Y<sub>6</sub>的输出，电路连接图如图5-2-60所示。

ROM数据表如表5-2-5所示，因为ROM的高4位地址接0，输出Y<sub>1</sub>~Y<sub>6</sub>只用了D<sub>5</sub>~D<sub>0</sub>这六个输出端，所以数据表只列出了这部分数据。

表5-2-5

低四位地址				数据输出端						低四位地址				数据输出端					
A <sub>3</sub>	A <sub>2</sub>	A <sub>1</sub>	A <sub>0</sub>	D <sub>5</sub>	D <sub>4</sub>	D <sub>3</sub>	D <sub>2</sub>	D <sub>1</sub>	D <sub>0</sub>	A <sub>3</sub>	A <sub>2</sub>	A <sub>1</sub>	A <sub>0</sub>	D <sub>5</sub>	D <sub>4</sub>	D <sub>3</sub>	D <sub>2</sub>	D <sub>1</sub>	D <sub>0</sub>
(A)	(B)	(C)	(D)	(Y <sub>1</sub> )	(Y <sub>2</sub> )	(Y <sub>3</sub> )	(Y <sub>4</sub> )	(Y <sub>5</sub> )	(Y <sub>6</sub> )	(A)	(B)	(C)	(D)	(Y <sub>1</sub> )	(Y <sub>2</sub> )	(Y <sub>3</sub> )	(Y <sub>4</sub> )	(Y <sub>5</sub> )	(Y <sub>6</sub> )
0	0	0	0	0	1	0	1	0	1	1	0	0	0	0	1	0	1	0	0
0	0	0	1	0	1	0	1	0	0	1	0	0	1	1	1	0	0	0	0
0	0	1	0	0	1	0	1	0	0	1	0	1	0	0	0	0	0	0	0
0	0	1	1	1	1	0	0	0	0	1	0	1	1	1	0	1	0	0	0
0	1	0	0	0	1	0	1	0	0	1	1	0	0	1	1	0	0	0	0
0	1	0	1	0	0	0	0	0	0	1	1	0	1	1	0	1	0	0	0
0	1	1	0	1	1	0	0	0	0	1	1	1	0	1	0	1	0	0	0
0	1	1	1	1	0	1	0	0	0	1	1	1	1	1	0	1	0	1	0

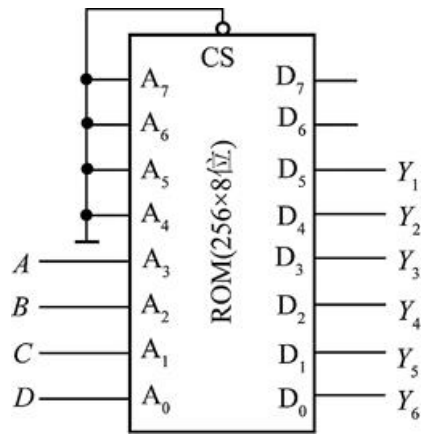


图5-2-60

5.40 用两片1024×8位的EPROM接成一个数码转换器，将10位二进制数转换成等值的4位二-十进制数。

(1) 试画出电路接线图，标明输入和输出。

(2) 当地址输入 $A_9A_8A_7A_6A_5A_4A_3A_2A_1A_0$ 分别为000000000、100000000、111111111时，两片EPROM中对应地址中的数据各为何值？

解：(1) 电路接法如图5-2-61所示。

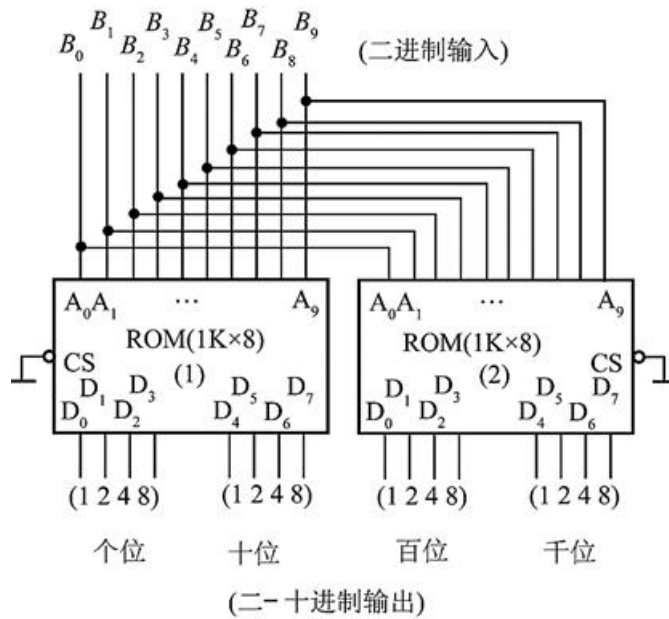


图5-2-61

(2) EPROM中对应的数据如表5-2-6所示。

表5-2-6

地址 (二进制输入)										数据 (二-十进制输出)															
										ROM (2)								ROM (1)							
A	A	A	A	A	A	A	A	A	A	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D
9	8	7	6	5	4	3	2	1	0	7	6	5	4	3	2	1	0	7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1	0	0	0	1	0	0	1	0
1	1	1	1	1	1	1	1	1	1	0	0	0	1	0	0	0	0	0	0	1	0	0	0	1	1

## 一、填空题

1 试用D触发器实现T触发器的功能，写出逻辑表达式\_\_\_\_\_。[北京邮电大学2010研]

【答案】  $D = T\bar{Q}^n + \bar{T}Q^n$  (或  $D = T \oplus Q^n$ )

【解析】 D触发器的逻辑功能为  $Q^{n+1} = D$ ；T触发器的逻辑功能为  $Q^{n+1} = T(Q^n)' + T'Q^n$ ，对比可得。

2 JK触发器的现态  $Q=0$  要求  $Q^*=1$ ，则应使  $J=$ \_\_\_\_，  $K=$ \_\_\_\_。[山东大学2016研]

【答案】 1； 0或1

【解析】 JK触发器的特征表达式为  $Q^{n+1} = J\bar{Q}^n + \bar{K}Q^n$ ，根据特征表达式可写出真值表，如表5-3-1所示。

表5-3-1 真值表

J	K	$Q^*$
0	0	0
1	0	1
0	1	0
1	1	1

根据真值表可知当  $J=1$ ，  $K=0$ 或 $1$ 时，  $Q^*=1$ 。

3 在CLK作用下，欲使D触发器具有  $Q^*=Q'$  的功能，其D端应接\_\_\_\_\_。[山东大学2015研]

【答案】  $Q'$

【解析】 D触发器的特征方程为  $Q^*=D$ ，为使  $Q^*=Q'$ ，则D端接  $Q'$ 。

## 二、选择题

1 主从JK触发器的一次变化问题是指在时钟信号为高电平期间（ ）。[中山大学2010研]

- A. 主触发器状态只能改变一次
- B. 主触发器状态必能改变一次

【答案】 A

【解析】 主触发器本身为同步RS触发器，在  $CP=1$  的全部时间内，输入信号都将对主触发器起控制作用，状态只能改变一次，可能会是保持，不是必改变一次。

2 下列4种类型的触发器中可以用来组成移位寄存器的是（ ）触发器。[江苏大学 2016 研]

- A. 基本RS
- B. 维-阻D

C. 同步RS

D. 主从RS

**【答案】** D

**【解析】** 构成移位寄存器的触发器应该在一个时钟周期内只翻转一次，B项维持阻塞D触发器在时钟信号的上升沿到达时与前一瞬间D的状态相同，不一定发生翻转，只有主从RS触发器只发生一次翻转。

### 三、分析计算题

**1** 如图5-3-1所示输入电压波形，触发器的初始状态均为 $Q=0$ ，试画出各触发器输出端的电压波形。[北京科技大学2010研]

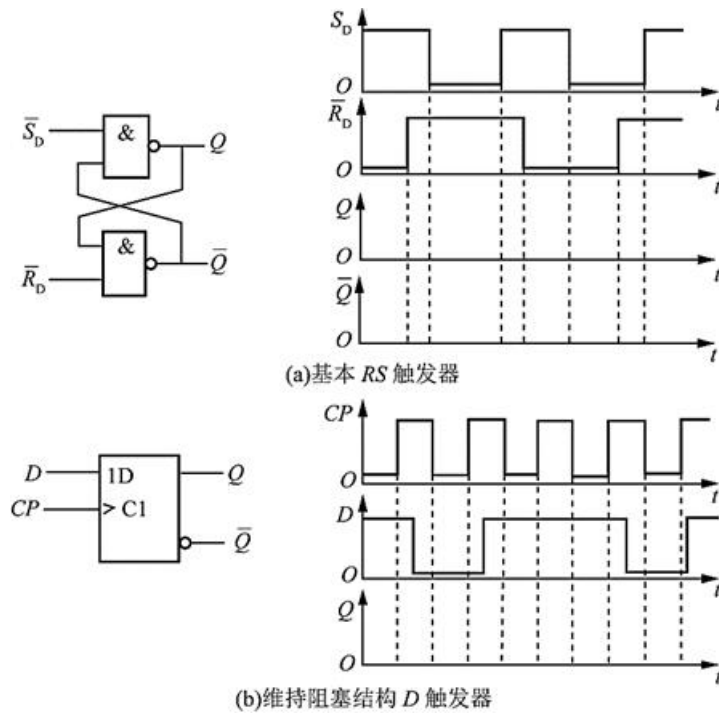


图5-3-1

**解：**（1）图5-3-1（a）所示为RS触发器，其工作特性如表5-3-2所示，输出端的电压波形如图5-3-2（a）所示。

表5-3-2

$S_D R_D$	$Q^{n+1}$
00	不定
01	置1
10	置0
11	保持

（2）如图5-3-1（b）所示，脉冲上升沿触发的D触发器， $Q^{n+1}=D$ ，输出端的电压波形如图5-3-2（b）所示。



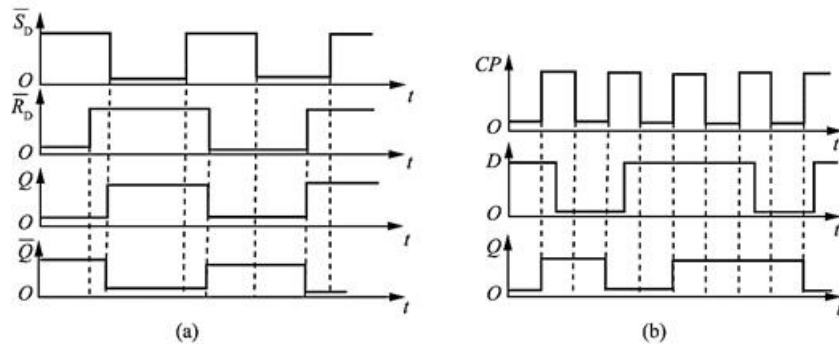


图5-3-2

2 (1) 指出图5-3-3 (a) 所示触发器的触发方式。(其中  $\overline{CP}$  为一开关, 当  $CP=0$  时, 开关断开; 当  $CP=1$  时, 开关接通。)

(2) 分析图5-3-3 (b) 所示触发器的工作原理, 指出其触发方式。

(3) 若有如图5-3-3 (c) 所示输入波形加在 (1)、(2) 所示的触发器上, 试画出它们的输出波形。[清华大学2006研]

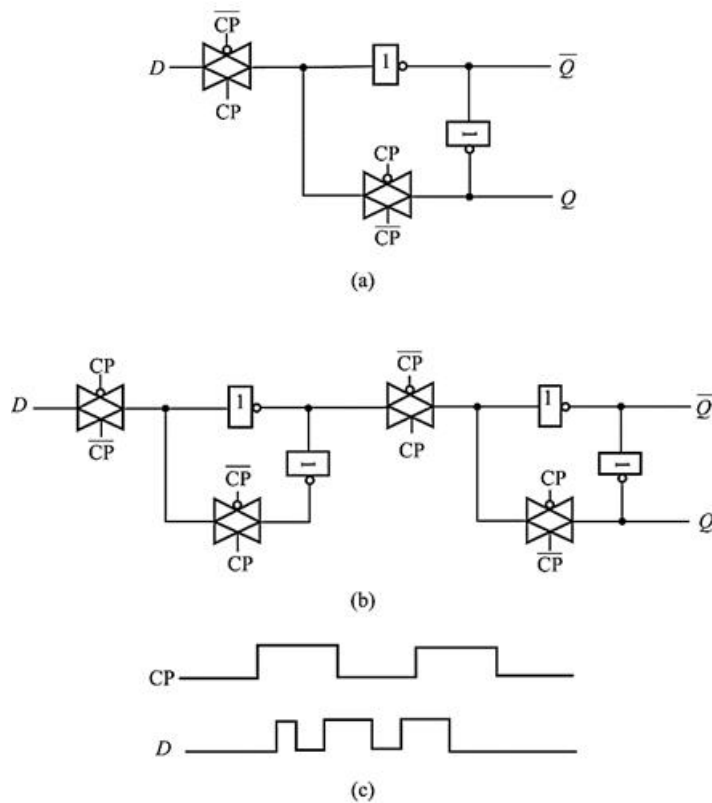


图5-3-3

解: (1) 这是一个D型锁存器。

①当  $CP=0$  时, 左边的传输开关断开, 右边的传输开关接通, 状态保持不变,  $Q^{n+1}=Q^n$ ; ②当  $CP=1$  时, 右边的传输开关断开, 左边的传输开关接通, 输入信号  $D$  能传输到输出端,  $Q^{n+1}=D$ 。因此, 该触发器是电平触发。

(2) 这是一个由2个D锁存器构成的主从CMOS触发器: 左边一个是主触发器, 右边一个是从触发器。①当  $CP=0$  时, 主触发器接收来自  $D$  的数据, 从触发器锁存, 输出端  $Q, \overline{Q}$  的状态保持不变; ②当  $CP=1$  时, 主触发器锁存, 锁存到达主触发器输出端的输入数据  $D$ , 从触发器接收数据,  $Q^{n+1}=D$ 。因此, 它是一个正边沿触发的

D型触发器。

(3) 设电路的初始状态为1，则输出波形如图5-3-4所示。其中， $Q_{(1)}$  是图5-3-3 (a) 所示电路的输出波形， $Q_{(2)}$  是图5-3-3 (b) 所示电路的输出波形。

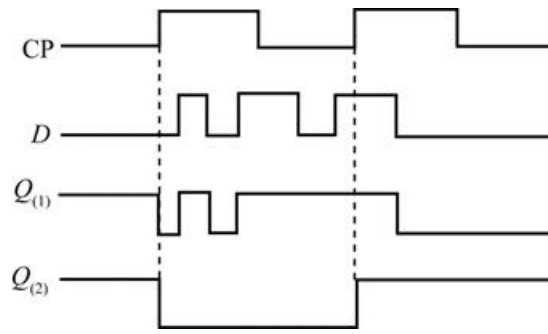


图5-3-4

3 触发器的初始状态 $Q=0$ ，如图5-3-5和图5-3-6所示，试画出在CLK信号连续作用下触发器输出端的电压波形。[山东大学 2017 研]

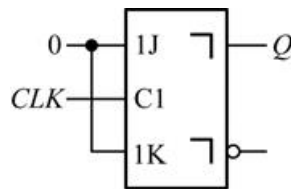


图5-3-5 JK触发器

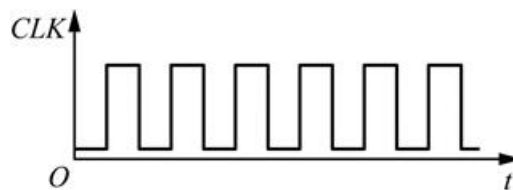


图5-3-6 时钟信号

解：已知JK触发器的特征方程为 $Q^* = JQ' + K'Q$ ，当 $J=K=0$ 时，状态方程 $Q^* = Q=0$ 。

在CLK信号连续作用下触发器输出端的电压波形如图5-3-7所示。



图5-3-7 输出电压波形

4 试在下图下方画出在CLK、 $R_D'$ 信号作用下 $Q_1$ 、 $Q_2$ 、 $Q_3$ 的输出电压波形，并说明 $Q_1$ 、 $Q_2$ 、 $Q_3$ 与CLK信号频率之间的关系。[中山大学 2017 研]

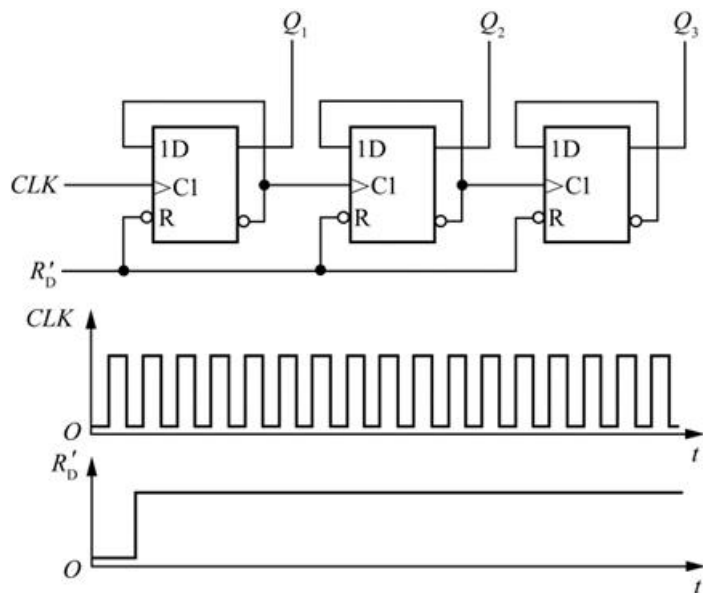


图5-3-8

**解：**D触发器特征方程为 $Q^*=D$ ， $D=Q'$ ，所以状态方程为 $Q^*=Q'$ 。设图5-3-8中从左至右依次为触发器1、2、3。CLK控制触发器1时钟信号，在上升沿时输出状态翻转； $Q_1'$ 控制触发器2时钟信号， $Q_1'$ 上升沿即 $Q_1$ 下降沿翻转；同理， $Q_2'$ 控制触发器3时钟信号， $Q_3$ 在 $Q_2$ 下降沿翻转。分析电路可得 $Q_1$ 、 $Q_2$ 、 $Q_3$ 的输出电压波形如图5-3-9所示。

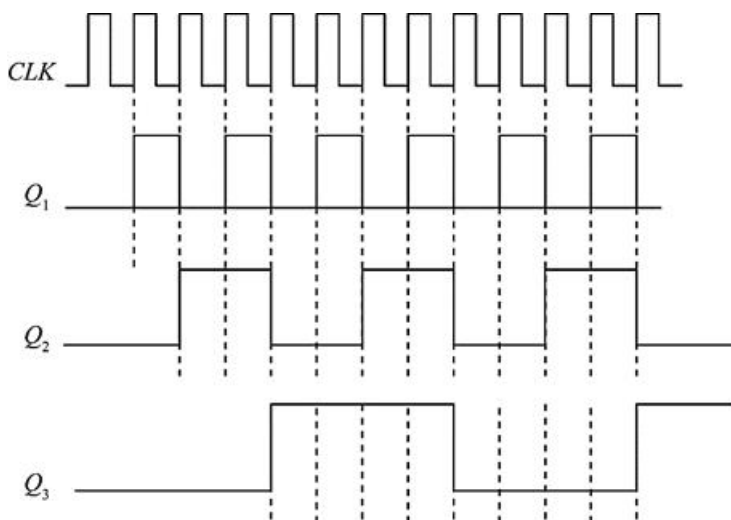


图5-3-9 输出波形

由输出波形图可看出 $Q_1$ 为2倍的CLK频率， $Q_2$ 为4倍的CLK频率， $Q_3$ 为8倍的CLK频率。

## 第6章 时序逻辑电路

### 6.1 复习笔记

本章系统地讲述了时序逻辑电路的工作原理和分析方法、设计方法。首先讲述了时序逻辑电路在逻辑功能和电路结构上的特点以及分析时序逻辑电路的具体方法和步骤。然后介绍了移位寄存器、计数器、顺序脉冲发生器等各类时序逻辑电路的工作原理和使用方法。最后介绍了时序逻辑电路的竞争-冒险现象。

#### 一、概述

时序电路称为状态机（简称SM）、有限状态机（FSM）或算法状态机（ASM），工作时在电路的有限个状态

间按一定的规律转换，关于时序电路的要点总结如表6-1-1所示。

表6-1-1 时序电路要点总结

要点	主要内容
类型	根据输出信号的特点将时序电路划分为米利 (Mealy) 型和穆尔 (Moore) 型两种： ①米利型电路：输出信号不仅取决于存储电路的状态，还取决于输入变量； ②穆尔型电路：输出信号仅仅取决于存储电路的状态。穆尔型电路是米利型电路的一种特例
电路结构特点	①时序电路通常包含组合电路和存储电路两个组成部分，存储电路必不可少； ②存储电路的输出状态必须反馈到组合电路的输入端，与输入信号一起共同决定组合逻辑电路的输出
结构框图	
输出方程	$\begin{cases} y_1 = f_1(x_1, x_2, \dots, x_i, q_1, q_2, \dots, q_i) \\ y_2 = f_2(x_1, x_2, \dots, x_i, q_1, q_2, \dots, q_i) \\ \vdots \\ y_j = f_j(x_1, x_2, \dots, x_i, q_1, q_2, \dots, q_i) \end{cases}$
驱动方程	$\begin{cases} z_1 = g_1(x_1, x_2, \dots, x_i, q_1, q_2, \dots, q_i) \\ z_2 = g_2(x_1, x_2, \dots, x_i, q_1, q_2, \dots, q_i) \\ \vdots \\ z_k = g_k(x_1, x_2, \dots, x_i, q_1, q_2, \dots, q_i) \end{cases}$

## 二、时序逻辑电路的分析方法

### 1 同步时序逻辑电路的分析方法

分析一个时序电路，就是要求找出电路的状态和输出的状态在输入变量和时钟信号作用下的变化规律。由于同步时序电路中所有触发器都是在同一个时钟信号操作下工作的，因此分析方法比较简单。分析同步时序电路时一般按如下步骤进行：

- (1) 由逻辑图得到每个触发器的驱动方程；
- (2) 将驱动方程代入相应触发器的特性方程，得到状态方程；
- (3) 得到整个时序电路的状态方程组；
- (4) 根据逻辑图得到电路的输出方程。

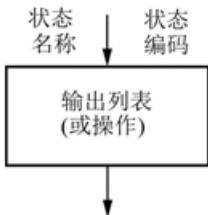
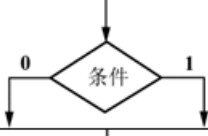

### 2 时序逻辑电路的状态转换表、状态转换图、状态机流程图和时序图

- (1) 状态转换表：①状态方程和输出方程中代入任意一组输入变量及电路初态的取值；②计算出电路的次态和现态下的输出值；③将其再代入状态方程和输出方程；④得到一组新的次态和输出值；⑤将所有计算结果列成真值表的形式，得到状态转换表。

(2) 状态转换图：将电路的各个状态用圆圈表示，状态转换方向用箭头表示。箭头旁注明状态转换前的输入变量取值和输出值。输入变量取值通常写在斜线以上，输出值写在斜线以下。

(3) 状态机流程图（SM图）：SM图表示在一系列时钟脉冲作用下时序电路状态转换的流程以及每个状态下的输入和输出。SM图常用图形符号见表6-1-2。

表6-1-2 SM图常用图形符号

名称	符号	描述
状态框		每个框表示一个状态，左上角注明状态名称，右上角注明状态编码，框内列出此状态下等于 1 的输出逻辑变量
判断框		外形为菱形，框内标注的判断条件，根据判断条件取值是 1 还是 0，确定在时钟信号到达时电路状态的去向
条件输出框		框内标注输出变量的名称。当所接判断框出口的条件满足时，框内输出变量等于 1，否则等于 0

(4) 时序图：在输入信号和时钟脉冲序列作用下，电路状态、输出状态随时间变化的波形图称为时序图。便于用实验观察的方法检查时序电路的逻辑功能。

### 三、若干常用的时序逻辑电路

#### 1 寄存器和移位寄存器

(1) 寄存器：用于寄存一组二值代码。

一个触发器能储存1位二值代码，N个触发器组成的寄存器能储存一组N位的二值代码。无论用电平触发的触发器，还是用脉冲触发或边沿触发的触发器，都可以组成寄存器。

图6-1-1是一个由电平触发的D触发器组成的4位寄存器74LS75逻辑图。由电平触发的动作特点可知，在CLK的高电平期间Q端的状态跟随D端状态而变，在CLK变成低电平以后，Q端将保持CLK变为低电平时刻D端的状态。

图6-1-2是由CMOS边沿触发器组成的4位寄存器74HC175逻辑图。由边沿触发的动作特点可知，触发器输出端的状态仅仅取决于CLK上升沿到达时刻D端的状态。

虽然74LS75和74HC175都是4位寄存器，但由于采用了不同结构类型的触发器，因此动作特点是不同的。为了增加使用的灵活性，在有些寄存器电路中还附加了一些控制电路，使寄存器又增添了异步置0、输出三态控制和“保持”等功能。

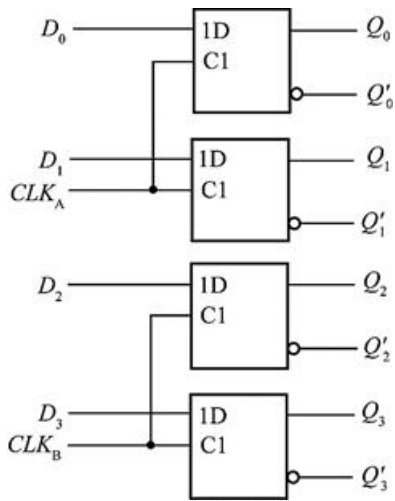


图6-1-1 74LS75的逻辑图

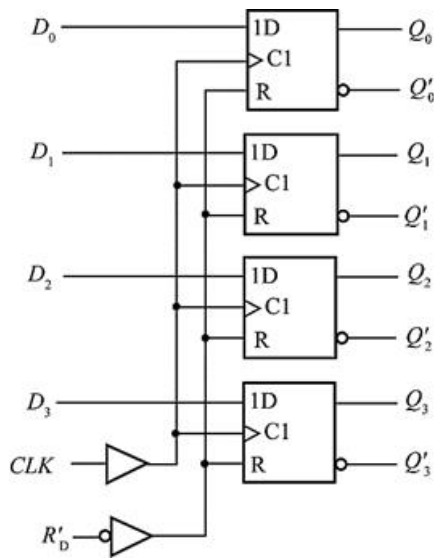


图6-1-2 74HC175逻辑图

(2) 移位寄存器：除具有存储代码的功能外，还具有移位功能。移位功能是指寄存器里存储的代码能在移位脉冲的作用下依次左移或右移。

图6-1-3是由边沿触发方式的D触发器组成的4位移位寄存器。

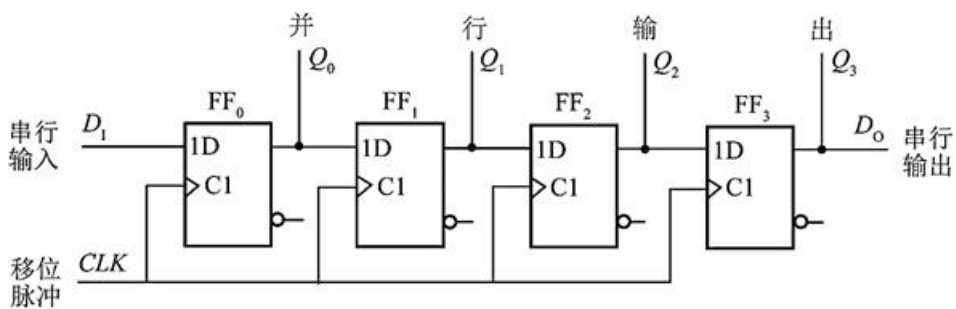


图6-1-3 用D触发器构成的移位寄存器

当移位寄存器的初始状态都为0000时，依次输入1011，在移位脉冲作用下，移位寄存器里代码的移动情况如表6-1-3所示。

表6-1-3 四位移位寄存器中代码的移动情况

CLK 的顺序	输入 $D_1$	$Q_0$	$Q_1$	$Q_2$	$Q_3$
0	0	0	0	0	0
1	1	1	0	0	0
2	0	0	1	0	0
3	1	1	0	1	0
4	1	1	1	0	1

## 2 计数器

(1) 计数器的用途及分类见表6-1-4:

表6-1-4 计数器的用途及分类

要点	主要内容
计数器用途	不仅用于对时钟脉冲计数,还可用于分频、定时、产生节拍脉冲和脉冲序列及进行数字运算等
计数器分类	①按计数器中的触发器是否同时翻转分为同步式和异步式; ②按计数过程中计数器中的数字增减分为加法计数器、减法计数器和可逆计数器(或称加/减计数器); ③按计数器中的数字的编码方式分为二进制计数器、二十进制计数器、格雷码计数器等

(2) 同步计数器:

①同步二进制计数器:在一个多位二进制数的末位上加1时,若其中第*i*位(即任何一位)以下各位皆为1时,则第*i*位应改变状态(由0变成1,由1变成0)而最低位的状态在每次加1时都要改变。

同步计数器通常用T触发器构成,结构形式有两种:

a. 控制输入端T的状态。当每次CLK信号(也就是计数脉冲)到达时,使该翻转的那些触发器输入控制端 $T_i=1$ ,不该翻转的 $T_i=0$ 。当通过T端的状态控制时,第*i*位触发器输入端的逻辑式可表示为:

$$T_i = Q_{i-1} \cdot Q_{i-2} \cdot \dots \cdot Q_1 \cdot Q_0 = \prod_{j=0}^{i-1} Q_j \quad (i=1, 2, \dots, n-1)$$

b. 控制时钟信号,每次计数脉冲到达时,只能加到该翻转的那些触发器的CLK输入端上,而不能加给那些不该翻转的触发器。当采用控制时钟信号方式时,每个触发器的时钟信号可表示为:

$$clk_i = CLK \prod_{j=0}^{i-1} Q_j$$

同步二进制减法计数器第*i*位触发器输入端 $T_i$ 的逻辑式可表示为:

$$T_i = Q'_{i-1} \cdot Q'_{i-2} \cdot \dots \cdot Q'_1 \cdot Q'_0 = \prod_{j=0}^{i-1} Q'_j \quad (i=1, 2, \dots, n-1)$$

②同步十进制计数器:在同步二进制加法计数器电路的基础上略加修改而成。从0000开始计数,计入第九个计数脉冲后电路进入1001状态,当第十个计数脉冲输入后,电路返回0000状态。

(3) 异步计数器:

①异步二进制计数器:

a. 异步二进制加法计数器在做“加1”计数时是采取从低位到高位逐位进位的方式，各个触发器不是同步翻转的。如图6-1-4是用下降沿触发的T触发器组成的3位二进制加法计数器。

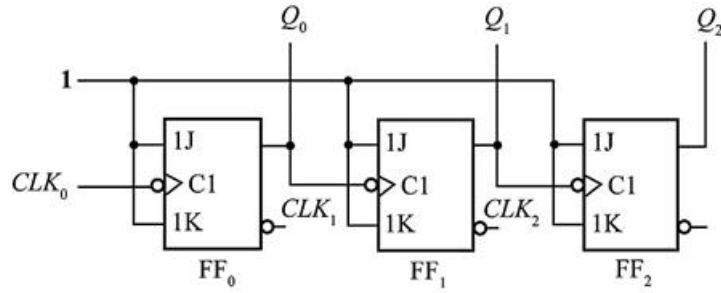


图6-1-4 下降沿触发的异步二进制加法计数器

用上升沿触发的T触发器同样可以组成异步二进制加法计数器，但每一级触发器的进位脉冲应改为Q'端输出。

b. 异步二进制减法计数器：若低位触发器已经为0，则再输入一个减法计数脉冲后应翻成1，同时向高位发出借位信号，使高位翻转。图6-1-5是用下降沿触发的T触发器组成的3位二进制减法计数器。

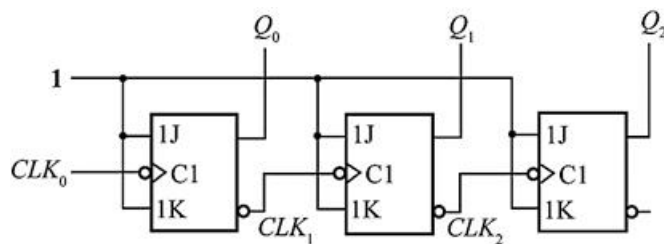


图6-1-5 下降沿触发的异步二进制减法计数器

② 异步十进制计数器：在4位异步二进制加法计数器基础上修改得到，跳过从1010到1111的6个状态。

图6-1-6是异步十进制加法计数器的典型电路。J、K悬空时相当于逻辑1。

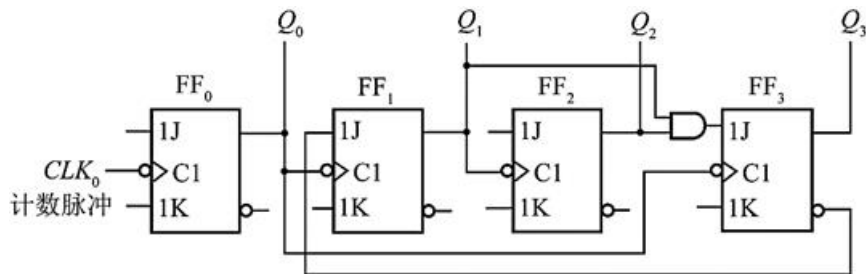


图6-1-6 异步十进制加法计数器的典型电路

(4) 任意进制计数器的构成方法：假定已有的是N进制计数器，而需要得到的是M进制计数器。

①  $M < N$  的情况：在N进制计数器的顺序计数过程中，通过置零法（或称复位法）或置数法（或称置位法）使之跳越N-M个状态，就可以得到M进制计数器。

②  $M > N$  的情况：用多片N进制计数器组合起来，通过串行进位方式、并行进位方式、整体置零方式和整体置数方式使其构成M进制计数器。

(5) 移位寄存器型计数器见表6-1-5：

表6-1-5 移位寄存器型计数器总结



要点		主要内容
环形计数器	组成形式	将移位寄存器首尾相接, 连续不断地输入时钟信号时寄存器里的数据将循环右移
	优点	①电路结构简单; ②在有效循环的每个状态只包含一个 <b>1</b> (或 <b>0</b> ) 时, 可以直接以各个触发器输出端的 <b>1</b> 状态表示电路的一个状态, 不需要另外加译码电路
	缺点	没有充分利用电路的状态, 用 $n$ 位移位寄存器组成的环形计数器只用了 $n$ 个状态, 而电路总共有 $2^n$ 个状态
扭环形计数器		①改变反馈逻辑电路, $n$ 位移位寄存器构成的扭环形计数器可得 $2n$ 个有效状态的循环, 状态利用率提高一倍; ②每次状态转换时只有一位触发器改变状态, 译码时不会产生竞争-冒险现象

### 3 顺序脉冲发生器和序列信号发生器 (见表6-1-6)

表6-1-6 顺序脉冲发生器和序列信号发生器概念及构成

名称	概念	构成
顺序脉冲发生器	能产生一组在时间上有一定先后顺序的脉冲信号的电路	由移位寄存器构成。当环形计数器工作在每个状态只有 <b>1</b> 的循环状态时, 即为顺序脉冲发生器
序列信号发生器	能产生一组特定的串行数字信号的电路	简单直观采用计数器和数据选择器构成。(例如: 用一个八进制计数器和一个 <b>8</b> 选 <b>1</b> 数据选择器可以产生一个时间顺序自左而右的 <b>8</b> 位序列信号 <b>00010111</b> )

## 四、时序逻辑电路的设计方法

设计同步时序逻辑电路的一般步骤:

(1) 逻辑抽象, 得出电路的状态转换图或状态转换表。

①分析给定逻辑问题, 确定输入变量、输出变量及电路的状态数。通常取原因 (或条件) 作输入, 取结果作输出。

②定义输入、输出逻辑状态和每个电路状态的含意, 将电路状态顺序编号。

③按照题意列出电路的状态转换表或画出电路的状态转换图。

(2) 状态化简: 若两个电路状态在相同的输入下有相同的输出, 且转换到同样一个次态, 则称这两个状态为等价状态。等价状态是重复的, 可以合并为一个。状态化简的目的就在于将等价状态合并, 以求得最简的状态转换图。

(3) 状态分配:

①需确定触发器的数目  $n$ 。  $n$  个触发器有  $2^n$  种状态组合, 为获得时序电路所需的  $M$  个状态, 必须取  $2^{n-1} < M < 2^n$ ;

②给每个电路状态规定对应的触发器状态组合。

(4) 根据状态转换图 (或状态转换表) 和选定的状态编码、触发器的类型, 就可以求出电路的状态方程、驱动方程和输出方程。

(5) 根据得到的方程式画出逻辑图。

(6) 检查设计的电路能否自启动。如果电路不能自启动，解决办法如下：

- ① 在电路开始工作时通过预置数将电路的状态置成有效状态循环中的某一种；
- ② 通过修改逻辑设计加以解决。

### 五、时序逻辑电路中的竞争-冒险现象

因为时序逻辑电路包含组合逻辑电路和存储电路两部分，所以它的竞争-冒险现象也包含两个方面：

- (1) 组合逻辑部分：可能产生竞争-冒险现象，详见第4章。
- (2) 存储电路部分：输入信号和时钟信号同时改变，且沿不同路径到达同一触发器时，即产生竞争，可能导致触发器误动作。这种产生竞争并导致误动作的现象称为存储电路的竞争-冒险现象。

## 6.2 课后习题详解

6.1 分析图6-2-1时序电路的逻辑功能，写出电路的驱动方程、状态方程和输出方程，画出电路的状态转换图和时序图。

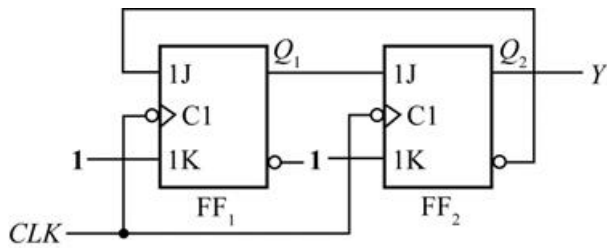


图6-2-1

**解：**电路的驱动方程为： $J_1=Q_2'$ ， $K_1=1$ ； $J_2=Q_1$ ， $K_2=1$ 。将驱动方程代入JK触发器的特性方程 $Q^*=JQ'+K'Q$ 中，可得电路的状态方程为： $Q_1^{n+1}=Q_1'Q_2'$ ， $Q_2^{n+1}=Q_1Q_2'$ ；电路的输出方程为： $Y=Q_2$ 。因此，可画出状态转换图及时序图如图6-2-2所示。

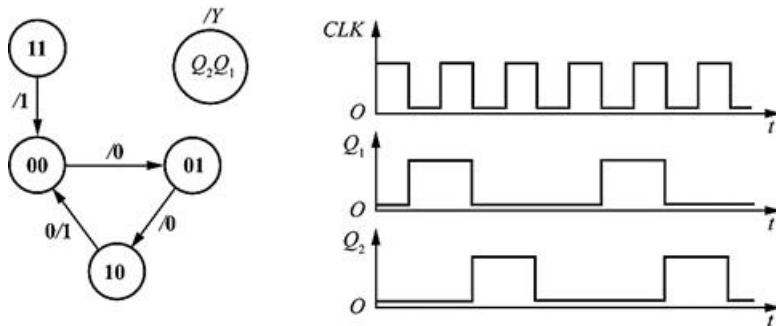


图6-2-2

6.2 分析图6-2-3时序电路的逻辑功能，写出电路的驱动方程、状态方程和输出方程，画出电路的状态转换图，并说明该电路能否自启动。

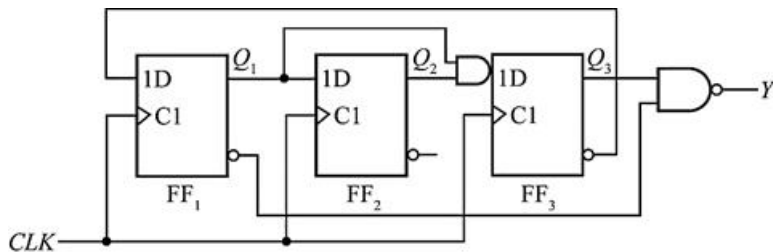


图6-2-3

解：电路的驱动方程为： $D_1=Q_3'$ ， $D_2=Q_1$ ， $D_3=Q_1Q_2$ 。将驱动方程代入D触发器的特性方程 $Q^*=D$ 中，可得电路的状态方程为： $Q_1^{n+1}=Q_3'$ ， $Q_2^{n+1}=Q_1$ ， $Q_3^{n+1}=Q_1Q_2$ ；电路的输出方程为： $Y=(Q_1'Q_3)'$ 。因此，可画出状态转换图如图6-2-4所示，可见电路可以自启动。

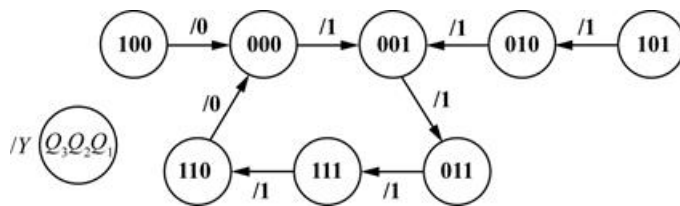


图6-2-4

6.3 分析图6-2-5时序电路的逻辑功能，写出电路的驱动方程、状态方程和输出方程，画出电路的状态转换图，说明电路能否自启动。

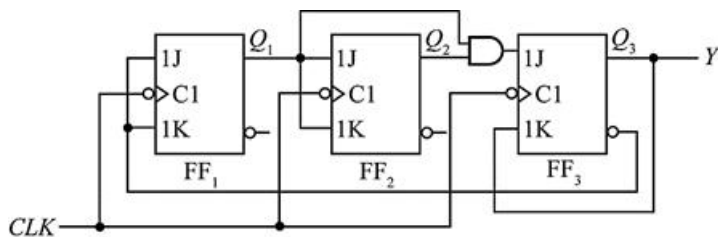


图6-2-5

解：电路的驱动方程为： $J_1=K_1=Q_3'$ ， $J_2=K_2=Q_3'$ ， $J_3=Q_1Q_2$ ， $K_3=Q_3$ ；将驱动方程代入JK触发器的特性方程 $Q^{n+1}=JQ'+K'Q$ 中，可得电路的状态方程为：

$$Q_1^{n+1}=Q_3'Q_1'+Q_3Q_1=Q_3\odot Q_1$$

$$Q_2^{n+1}=Q_1Q_2'+Q_1'Q_2=Q_1\oplus Q_2$$

$$Q_3^{n+1}=Q_1Q_2Q_3'$$

电路的输出方程为： $Y=Q_3$ 。

因此，可画出状态转换图如图6-2-6所示，可见电路可以自启动。

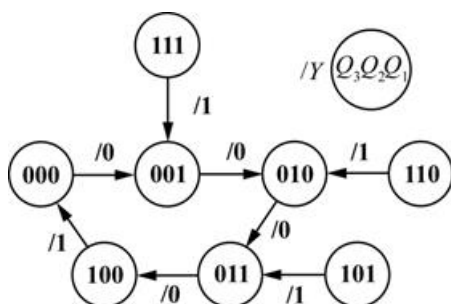


图6-2-6

6.4 试分析图6-2-7时序电路的逻辑功能，写出电路的驱动方程、状态方程和输出方程，画出电路的状态转换图，检查电路能否自启动。

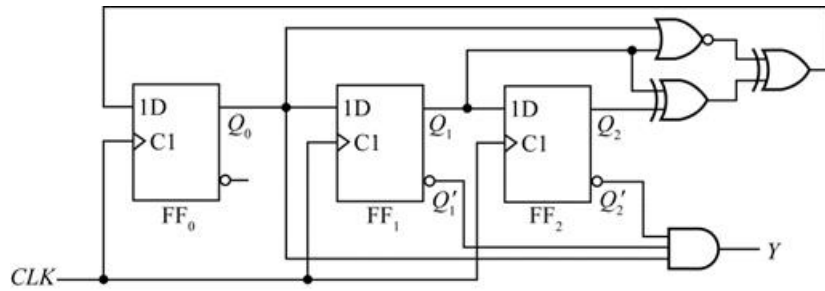


图6-2-7

解：电路的驱动方程为：

$$D_0 = (Q_1 + Q_0)' \oplus (Q_1 \oplus Q_2) = Q_2'Q_0' + Q_2'Q_1 + Q_2Q_1'Q_0$$

$$D_1 = Q_0, \quad D_2 = Q_1$$

将驱动方程代入D触发器的特性方程 $Q^{n+1} = D$ 中，可得电路的状态方程为：

$$Q_0^{n+1} = Q_2'Q_0' + Q_2'Q_1 + Q_2Q_1'Q_0$$

$$Q_1^{n+1} = Q_0, \quad Q_2^{n+1} = Q_1$$

电路的输出方程为： $Y = Q_2'Q_1'Q_0$ 。

因此，可画出状态转换图如图6-2-8所示，电路可以自启动。

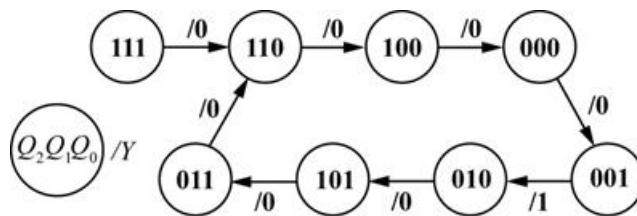


图6-2-8

6.5 试分析图6-2-9时序电路的逻辑功能，写出电路的驱动方程、状态方程和输出方程，画出电路的状态转换图。A为输入逻辑变量。

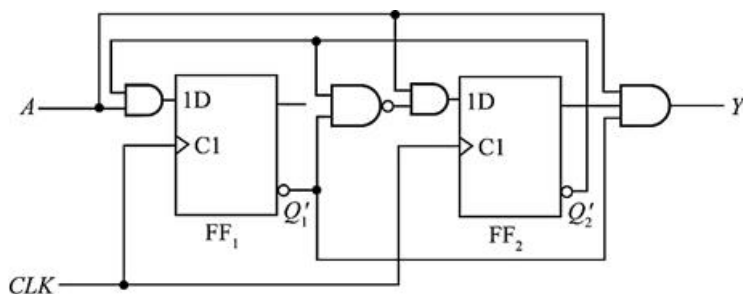


图6-2-9

解：电路的驱动方程为： $D_1 = AQ_2'$ ， $D_2 = A(Q_1'Q_2) = A(Q_1 + Q_2)$ ；将驱动方程代入D触发器的特性方程

$Q^{n+1}=D$ 中, 可得电路的状态方程为:  $Q_1^{n+1}=AQ_2'$ ,  $Q_2^{n+1}=A(Q_1+Q_2)$ ; 电路的输出方程为:  $Y=AQ_2Q_1'$ 。因此, 可画出状态转换图如图6-2-10所示。

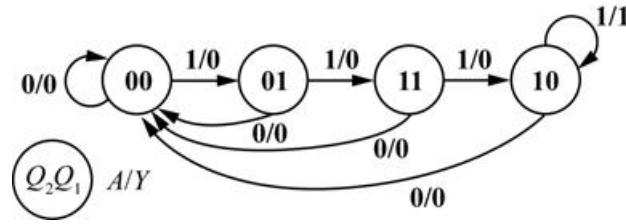


图6-2-10

6.6 分析图6-2-11给出的时序电路, 画出电路的状态转换图, 检查电路能否自启动, 说明电路实现的功能。A 为输入变量。

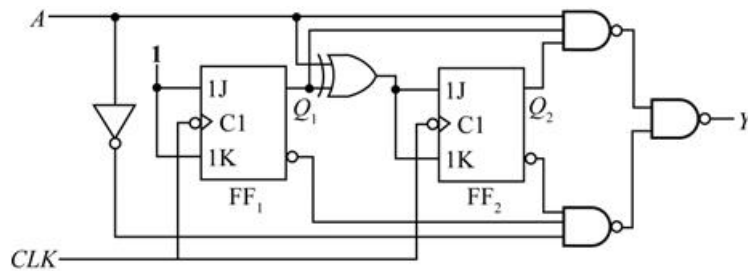


图6-2-11

**解:** 电路的驱动方程为:  $J_1=K_1=1$ ,  $J_2=K_2=A \oplus Q_1$ ; 将驱动方程代入JK触发器的特性方程中, 可得电路的状态方程为:  $Q_1^{n+1}=Q_1'$ ,  $Q_2^{n+1}=A \oplus Q_1 \oplus Q_2$ ; 电路的输出方程为:  $Y=AQ_1Q_2+A'Q_1'Q_2'$ 。因此, 可画出状态转换图如图6-2-12所示, 电路没有无效状态。

电路功能:  $A=0$ 时, 随脉冲信号做二进制加法计数;  $A=1$ 时, 随脉冲信号做二进制减法计数。

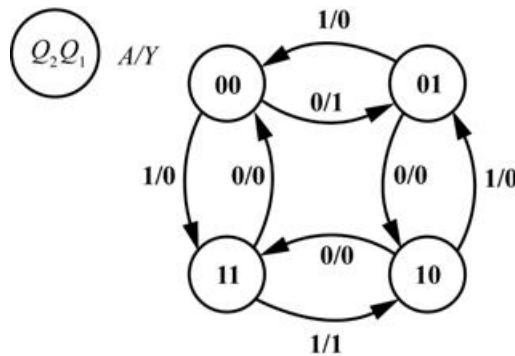


图6-2-12

6.7 分析图6-2-13的时序逻辑电路, 写出电路的驱动方程、状态方程和输出方程, 画出电路的状态转换图, 说明电路能否自启动。

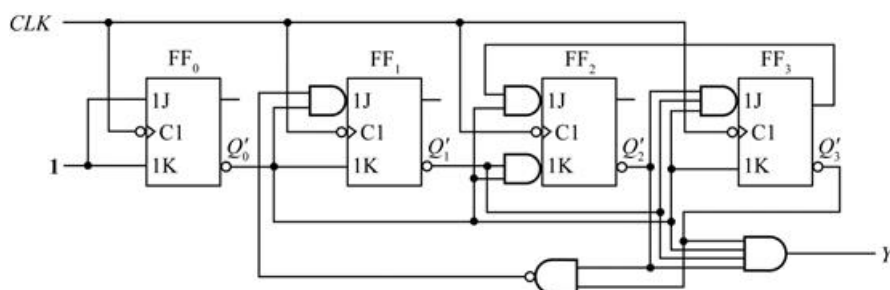


图6-2-13

解：电路的驱动方程为：

$$J_0=K_0=1$$

$$J_1=Q_0' (Q_2'Q_3')', K_1=Q_0'$$

$$J_2=Q_0'Q_3, K_2=Q_0'Q_1'$$

$$J_3=Q_0'Q_1'Q_2', K_3=Q_0'$$

将驱动方程代入JK触发器的特性方程中，可得电路的状态方程为：

$$Q_0^{n+1}=Q_0'$$

$$Q_1^{n+1}=Q_0'Q_1'Q_2+Q_0'Q_1'Q_3+Q_0Q_1$$

$$Q_2^{n+1}=Q_0'Q_2'Q_3+Q_0Q_2+Q_1Q_2$$

$$Q_3^{n+1}=Q_0'Q_1'Q_2'Q_3'+Q_0Q_3$$

电路的输出方程为： $Y=Q_0'Q_1'Q_2'Q_3'$ 。

因此，可画出状态转换图如图6-2-14所示，可见电路可以自启动。

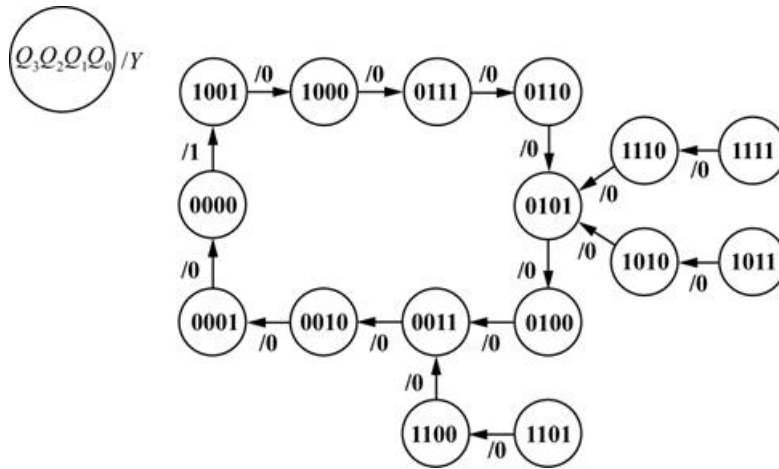


图6-2-14

6.8 分析图6-2-15电路，写出电路的驱动方程、状态方程和输出方程，画出电路的状态转换图。图中的X、Y分别表示输入逻辑变量和输出逻辑变量。

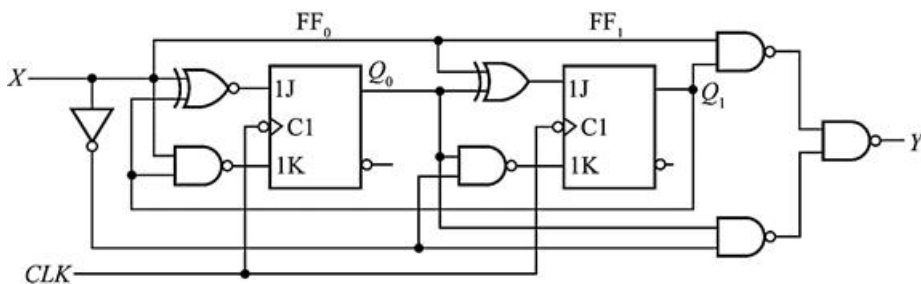


图6-2-15

解：电路的驱动方程为： $J_0=(X \oplus Q_1)'$ ， $K_0=(XQ_1)'$ ； $J_1=X \oplus Q_0$ ， $K_1=(X'Q_0)'$ 。将驱动方程代入JK

触发器的特性方程中，可得电路的状态方程为： $Q_0^{n+1}=X'Q_1'Q_0'+XQ_1$ ， $Q_1^{n+1}=XQ_1'Q_0'+X'Q_0$ ；电路的输出方程为： $Y=XQ_1+X'Q_0$ 。

因此，可画出状态转换图如图6-2-16所示。

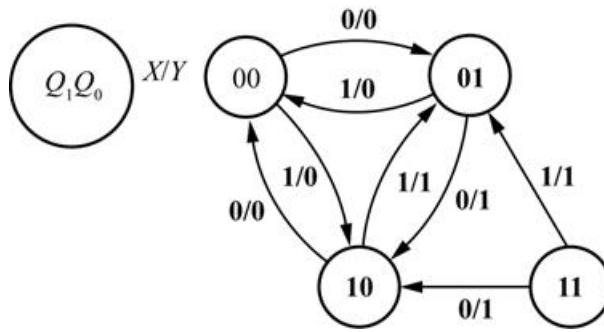


图6-2-16

6.9 试画出用4片74LS194A组成16位双向移位寄存器的逻辑图。74LS194A的功能表如表6-2-1所示。

表6-2-1 双向移位寄存器74LS194A的功能表

$R_D'$	$S_1$	$S_0$	工作状态
0	×	×	置零
1	0	0	保持
1	0	1	右移
1	1	0	左移
1	1	1	并行输入

解：电路连接图如图6-2-17所示。

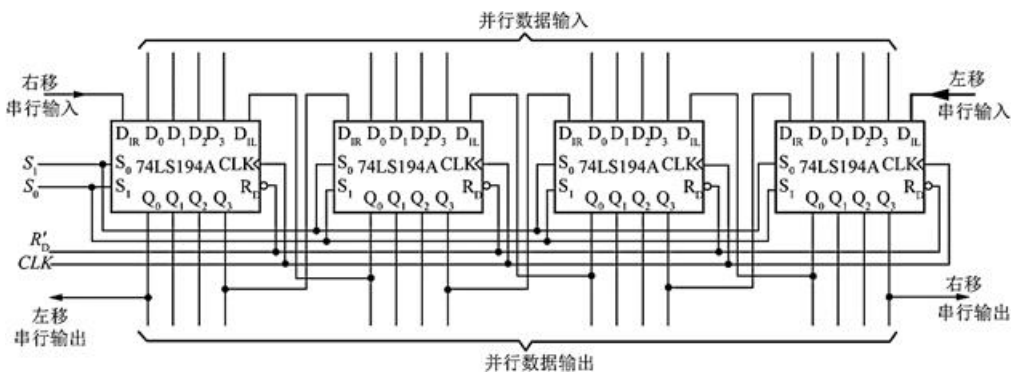


图6-2-17

6.10 在图6-2-18电路中，若两个移位寄存器中的原始数据分别为 $A_3A_2A_1A_0=1001$ ， $B_3B_2B_1B_0=0011$ ，CI的初始值为0，试问经过4个CLK信号作用以后两个寄存器中的数据如何？这个电路完成什么功能？

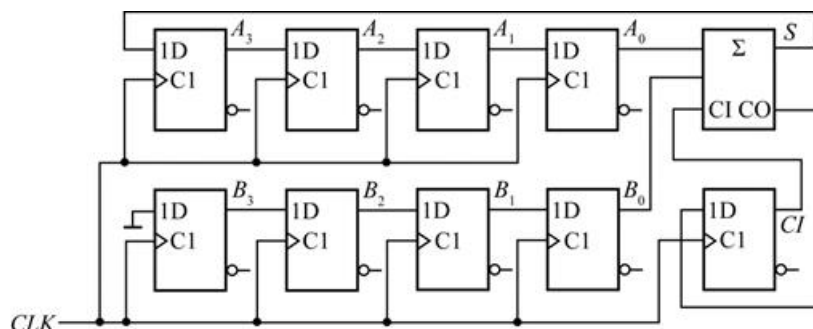


图6-2-18

**解：**这是一个4位串行加法器电路。A和B为两个加数，从低位开始相加，所得的和送到上面的移位寄存器，向高位的进位通过一个D触发器送到全加器的CI端。四个脉冲后， $A_3A_2A_1A_0=1100$ ， $B_3B_2B_1B_0=0000$ 。

6.11 分析图6-2-19的计数器电路，说明这是多少进制的计数器。十进制计数器74160的功能表与表6-2-2相同。

表6-2-2 4位同步二进制计数器74161的功能表

$CLK$	$R_D'$	$L_D'$	$EP$	$ET$	工作状态
×	0	×	×	×	置零
↑	1	0	×	×	预置数
×	1	1	0	1	保持
×	1	1	×	0	保持(但 $C=0$ )
↑	1	1	1	1	计数

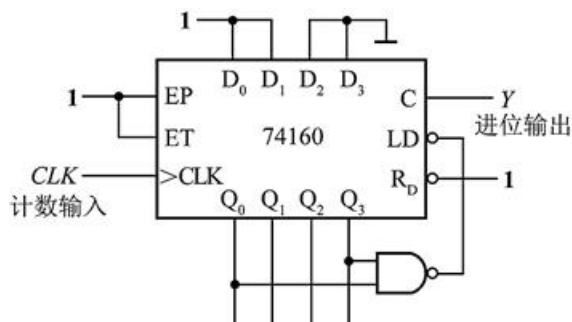


图6-2-19

**解：**当 $Q_3Q_2Q_1Q_0=1001$ 时，同步置数，下一个脉冲到来时，电路被置数0011，故该计数器从0011计数至1001，并在1001状态输出进位信号。

因此，该计数器是带有进位端的7进制计数器。

6.12 分析图6-2-20的计数器电路，画出电路的状态转换图，说明这是多少进制的计数器。十六进制计数器74LS161的功能表如表6-2-2所示。

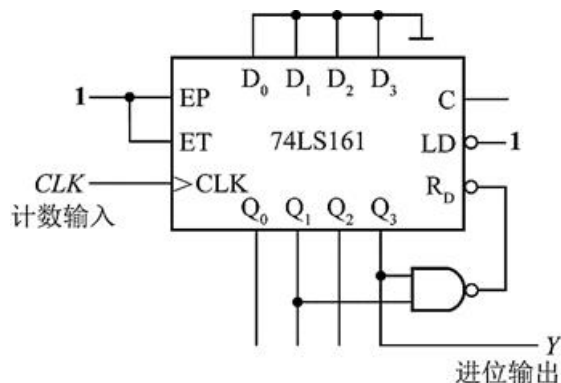


图6-2-20

**解：**当 $Q_3Q_2Q_1Q_0=1010$ 时，异步置数，1010状态为暂态，故该计数器从0000计数至1001。

因此，该计数器是带有进位端的10进制计数器。

可画出电路的状态转换图如图6-2-21所示。



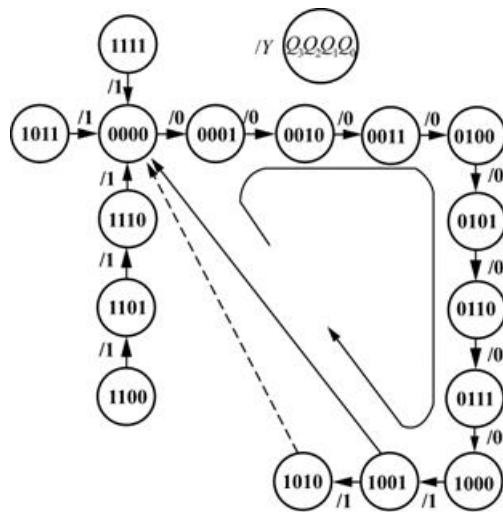


图6-2-21

6.13 试分析图6-2-22的计数器在M=1和M=0时各为几进制。74160的功能表与表6-2-2相同。

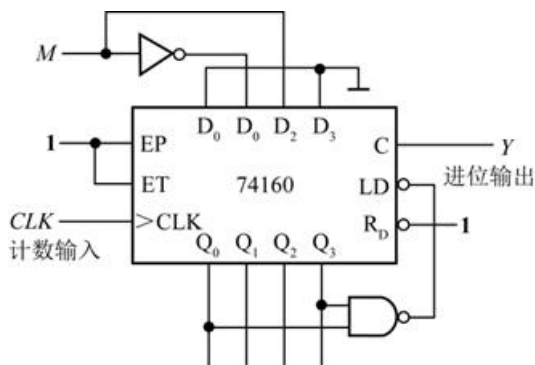


图6-2-22

解：当 $Q_3Q_2Q_1Q_0=1001$ 时，同步置数。

若 $M=0$ ，则下一个脉冲到来时，电路被置数0010，故该计数器从0010计数至1001，并在1001状态输出进位信号。因此，该计数器是带有进位端的8进制计数器。

同理，若 $M=1$ ，则该计数器从0100计数至1001，并在1001状态输出进位信号。因此，该计数器是带有进位端的6进制计数器。

6.14 试用4位同步二进制计数器74LS161接成十二进制计数器，标出输入、输出端。可以附加必要的门电路。74LS161的功能表如表6-2-2所示。

解：若采用异步清零的方式，则在 $Q_3Q_2Q_1Q_0=1100$ 时，异步清零，因此，电路图如图6-2-23所示。

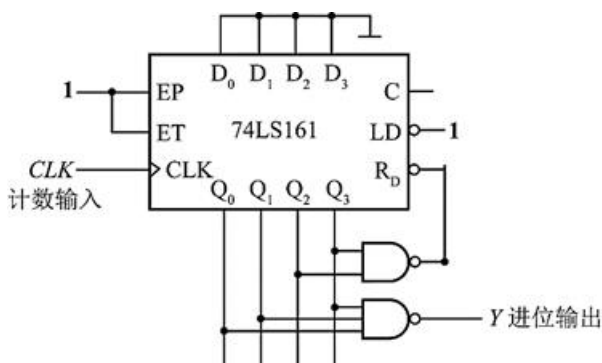


图6-2-23

6.15 图6-2-24电路是可变进制计数器。试分析当控制变量A为1和0时电路各为几进制计数器。74LS161的功能表如表6-2-2所示。

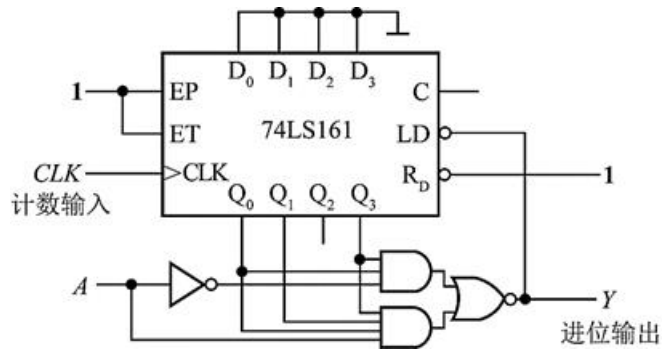


图6-2-24

解：由图6-2-24可得： $Y = (Q_3Q_1Q_0A + Q_3Q_0A')'$ 。

若A=1，则在 $Q_3Q_2Q_1Q_0=1011$ 时，同步置数，故计数器从0000计数至1011，因此，电路是十二进制计数器；

若A=0，则在 $Q_3Q_2Q_1Q_0=1001$ 时，同步置数，故计数器从0000计数至1001，因此，电路是十进制计数器。

6.16 设计一个可控进制的计数器，当输入控制变量M=0时工作在五进制，M=1时工作在十五进制。请标出计数输入端和进位输出端。

解：本题可利用十六进制计数器和门电路实现，电路采用同步置数的方式。

若M=1，则在 $Q_3Q_2Q_1Q_0=1110$ 时，同步置零，并输出进位信号，可实现十五进制计数器。

若M=0，则在 $Q_3Q_2Q_1Q_0=0100$ 时，同步置零，并输出进位信号，可实现五进制计数器。

因此， $Y = (Q_3Q_1Q_0M + Q_2M)'$ ，电路连接图如图6-2-25所示。

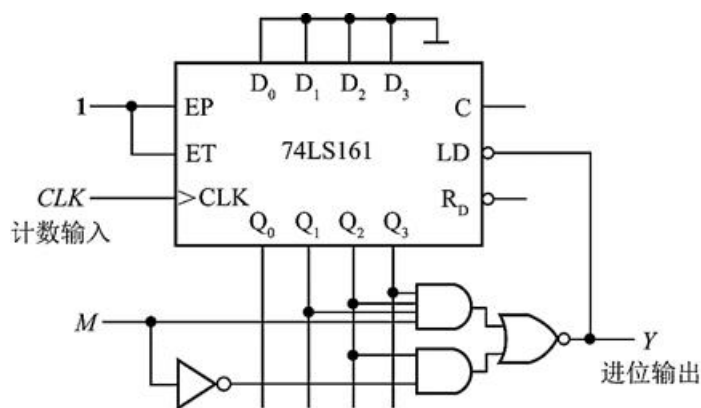


图6-2-25

6.17 分析图6-2-26给出的计数器电路，画出电路的状态转换图，说明这是几进制计数器。74LS290的电路见图6-2-27。

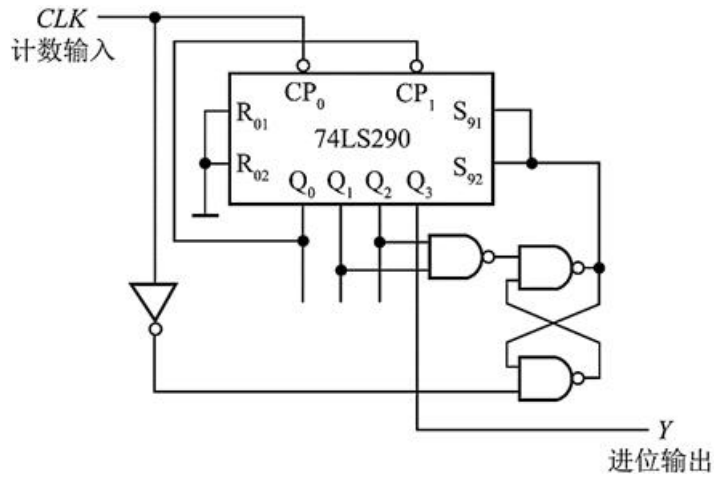


图6-2-26

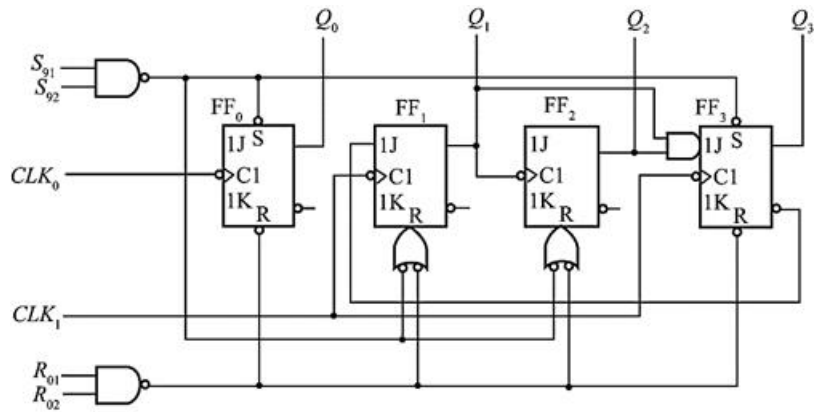


图6-2-27

**解：**若没有门电路，电路中的连接使得74LS290为异步十进制计数器。

由74LS290的功能表可知，当 $S_{91}=S_{92}=1$ 时，电路被异步置成1001。门电路使得当 $Q_1=Q_2=1$ 时，电路被异步置成1001。

因此，该计数器的计数状态为

1001→0000→0001→0010→0011→0100→0101→1001

该计数器为异步七进制计数器，电路转换图如图6-2-28所示。

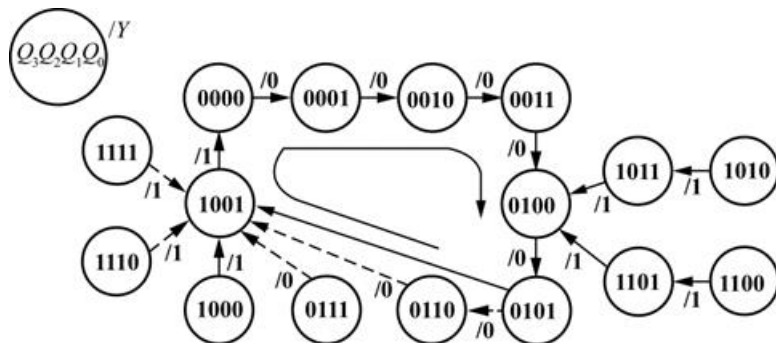


图6-2-28

6.18 试分析图6-2-29计数器电路的分频比（即Y与CLK的频率之比）。74LS161的功能表如表6-2-2所示。

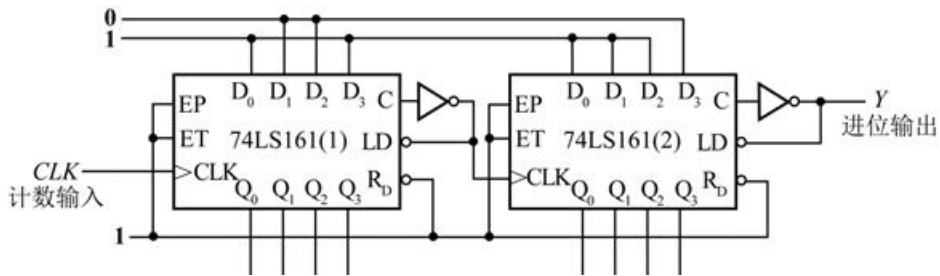


图6-2-29

**解：**对于第一片计数器，当 $Q_3Q_2Q_1Q_0=1111$ 时，同步置数，其从1001计数至1111，为七进制计数器。

第一片的进位信号作为第二片计数器的脉冲信号，第二片计数器从0111计数至1111，为九进制计数器。

当第二片计数器为1111时，并不能马上置数，它要等待下一个脉冲的到来，即再经历一个第一片计数器的计数周期。

因此，该电路是63进制计数器，分频比为1:63。

6.19 图6-2-30电路是由两片同步十进制计数器74160组成的计数器，试分析这是多少进制的计数器，两片之间是几进制。74160的功能表与表6-2-2相同。

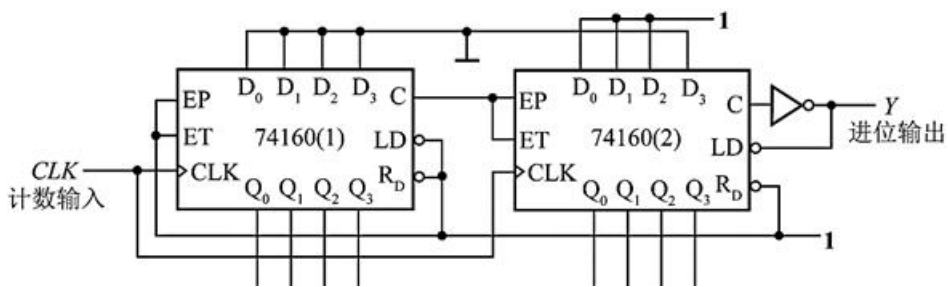


图6-2-30

**解：**第一片计数器为十进制计数器，第二片计数器从0111计数至1001，为三进制计数器，两片之间是十进制。

经过 $t$ 个脉冲后，若 $Q_{23}Q_{22}Q_{21}Q_{20}=1000$ ， $Q_{13}Q_{12}Q_{11}Q_{10}=1001$ ，则下一个脉冲时

$$Q_{23}Q_{22}Q_{21}Q_{20}=1001, Q_{13}Q_{12}Q_{11}Q_{10}=0000$$

再经过一个脉冲信号， $Q_{23}Q_{22}Q_{21}Q_{20}=0111$ ， $Q_{13}Q_{12}Q_{11}Q_{10}=0001$ ，该状态是下一个计数周期的开始。

完整的计数周期是从 $Q_{23}Q_{22}Q_{21}Q_{20}Q_{13}Q_{12}Q_{11}Q_{10}=0111\ 0001$ 到 $Q_{23}Q_{22}Q_{21}Q_{20}Q_{13}Q_{12}Q_{11}Q_{10}=1001\ 0000$

因此，该计数器是二十进制计数器。

6.20 分析图6-2-31给出的电路，说明这是多少进制的计数器，两片之间是多少进制。74LS161的功能表如表6-2-2所示。

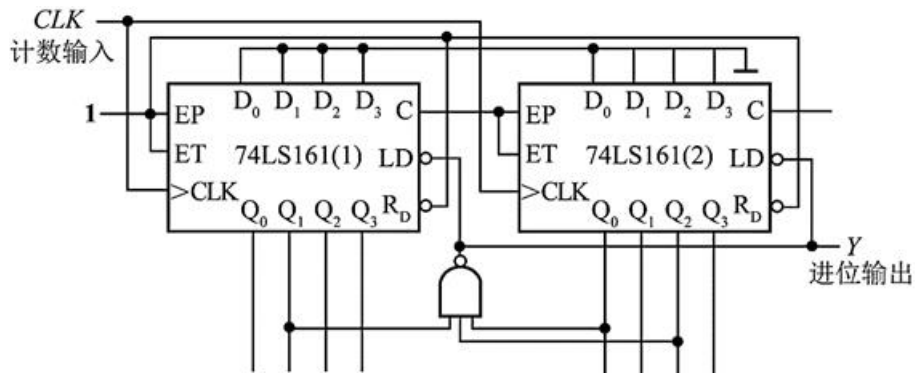


图6-2-31

**解：**在出现 $LD'=0$ 信号以前，两片74LS161均按十六进制计数，即第一片到第二片为十六进制。

电路从 $Q_{23}Q_{22}Q_{21}Q_{20}Q_{13}Q_{12}Q_{11}Q_{10}=0000\ 0000$ 开始计数，当 $Q_{23}Q_{22}Q_{21}Q_{20}Q_{13}Q_{12}Q_{11}Q_{10}=0101\ 0010$ 时，同步置数。

总的进制为： $82$ （ $01010010$ 对应的十进制数） $+1=83$ 。

因此，电路为八十三进制计数器。

6.21 画出用两片同步十进制计数器74160接成同步三十一进制计数器的接线图。可以附加必要的门电路。74160的逻辑图和功能表见图6-2-32和表6-2-2。

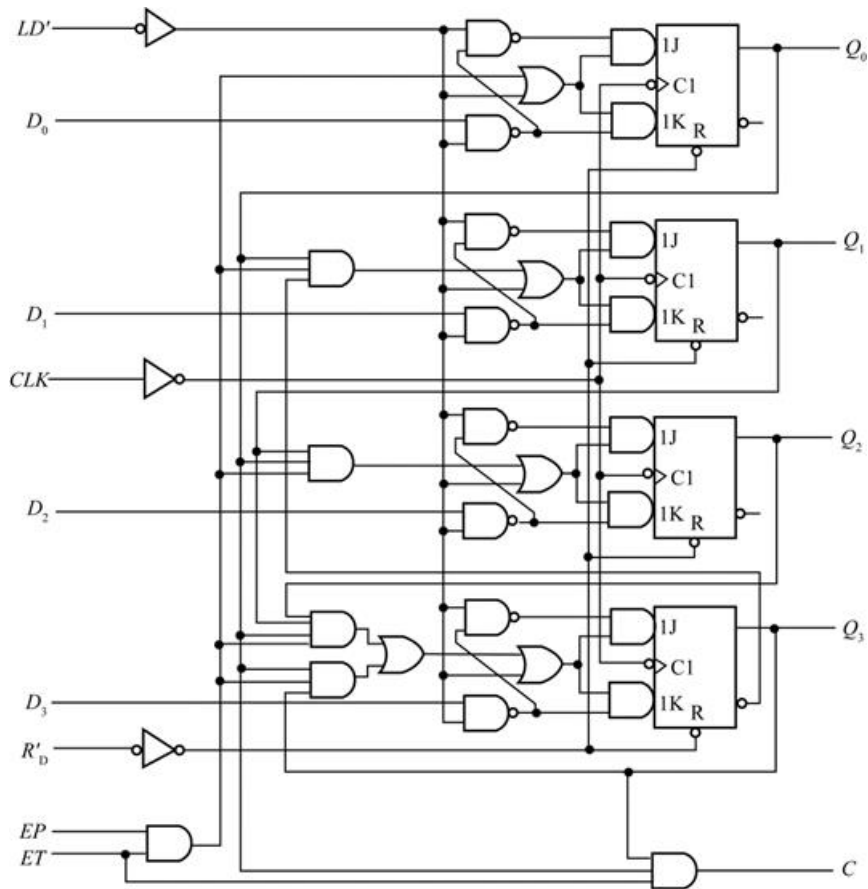


图6-2-32

**解：**若采用整体置数的方式，则 $Q_{23}Q_{22}Q_{21}Q_{20}Q_{13}Q_{12}Q_{11}Q_{10}=0011\ 0000$ 时，同步置数。

电路图如图6-2-33所示。

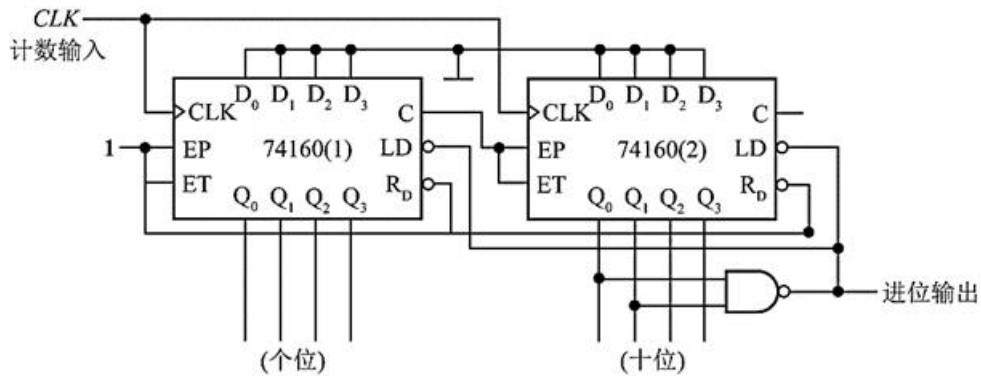


图6-2-33

6.22 用同步十进制计数器芯片74160设计一个三百六十五进制的计数器。要求各位间为十进制关系。允许附加必要的门电路。74160的功能表与表6-2-2相同。

**解：**先用三片74LS160通过并行的方式构成1000进制计数器，且在 $Q_{33}Q_{32}Q_{31}Q_{30}Q_{23}Q_{22}Q_{21}Q_{20}Q_{13}Q_{12}Q_{11}Q_{10}=0011\ 0110\ 0100$ 时，同步置数。

电路连接图如图6-2-34所示。

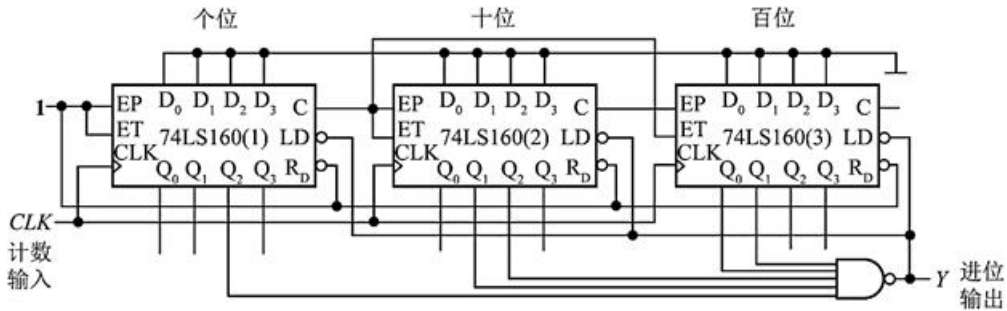


图6-2-34

6.23 设计一个数字钟电路，要求能用七段数码管显示从0时0分0秒到23时59分59秒之间的任一时刻。

**解：**设时用一个24进制计数器表示，分和秒分别用60进制计数器表示。

若用74LS160实现，则需要六片，电路图如图6-2-35所示。

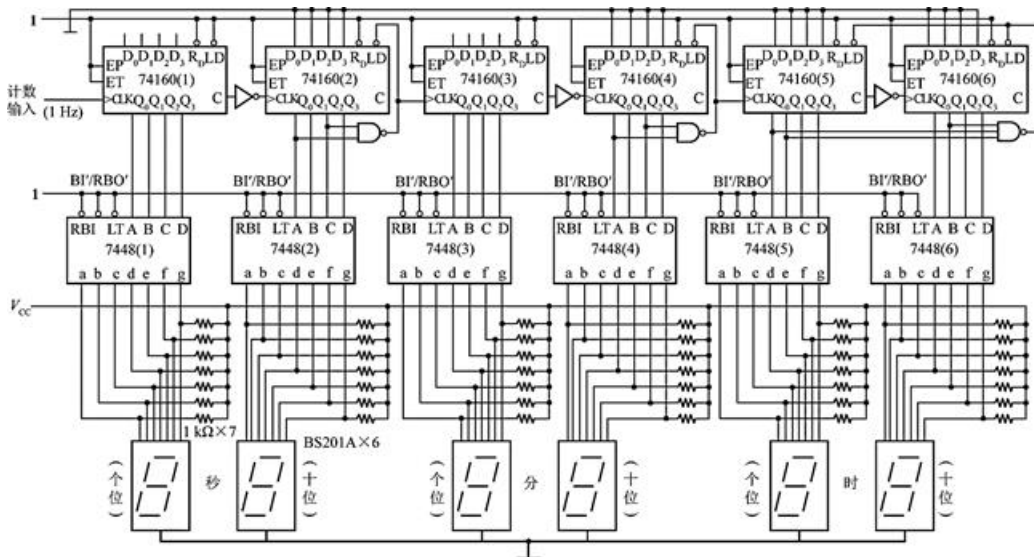


图6-2-35

6.24 图6-2-36所示电路是用二-十进制优先编码器74LS147和同步十进制计数器74160组成的可控分频器，试说明当输入控制信号A'、B'、C'、D'、E'、F'、G'、H'、I'分别为低电平时由Y端输出的脉冲频率各为多少。已知CLK端输入脉冲的频率为10 kHz。74LS147的功能表如表6-2-3所示，74160的功能表如表6-2-2所示。

表6-2-3 二-十进制编码器74LS147的功能表

输入									输出			
I <sub>1</sub> '	I <sub>2</sub> '	I <sub>3</sub> '	I <sub>4</sub> '	I <sub>5</sub> '	I <sub>6</sub> '	I <sub>7</sub> '	I <sub>8</sub> '	I <sub>9</sub> '	Y <sub>3</sub> '	Y <sub>2</sub> '	Y <sub>1</sub> '	Y <sub>0</sub> '
1	1	1	1	1	1	1	1	1	1	1	1	1
×	×	×	×	×	×	×	×	0	0	1	1	0
×	×	×	×	×	×	×	0	1	0	1	1	1
×	×	×	×	×	×	0	1	1	1	0	0	0
×	×	×	×	×	0	1	1	1	1	0	0	1
×	×	×	×	0	1	1	1	1	1	0	1	0
×	×	0	1	1	1	1	1	1	1	1	0	0
×	0	1	1	1	1	1	1	1	1	1	0	1
0	1	1	1	1	1	1	1	1	1	1	1	0

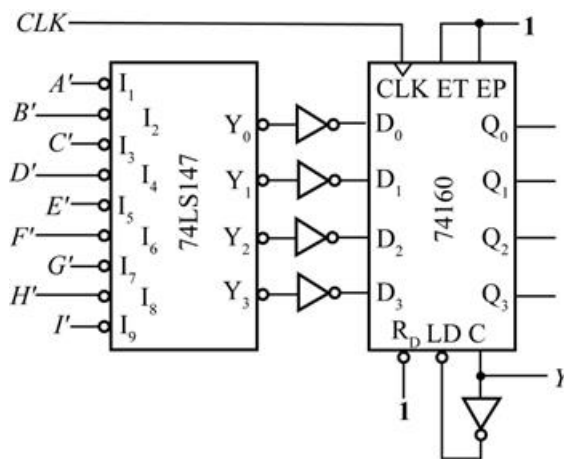


图6-2-36

解：74LS160为十进制计数器，当 $Q_3Q_2Q_1Q_0=1001$ 时， $Y=C=1$ ，下一个脉冲上升沿到来时，计数器被置数。

当 $A=0$ 时，74LS147的输出为 $Y_3'Y_2'Y_1'Y_0'=1110$ ，74160的数据输入端 $D_3D_2D_1D_0=0001$ ，状态转换顺序（ $Q_3Q_2Q_1Q_0$ ）依次为：0001、0010、0011、0100、0101、0110、0111、1000、1001。

此时Y端输出的脉冲频率为CLK频率的1/9，因此，Y端输出的脉冲频率如表6-2-4所示。

表6-2-4

接低电平的输入端	A'	B'	C'	D'	E'	F'	G'	H'	I'
$f_y/f_{CP}$	1/9	1/8	1/7	1/6	1/5	1/4	1/3	1/2	0
$f_y$ (kHz)	1.11	1.25	1.43	1.67	2	2.5	3.33	5	0

6.25 试用同步十进制可逆计数器74LS190和二-十进制优先编码器74LS147设计一个工作在减法计数状态的可控分频器。要求在控制信号A、B、C、D、E、F、G、H分别为1时分频比对应为1/2、1/3、1/4、1/5、1/6、1/7、1/8、1/9。74LS190的逻辑图见图6-2-37，它的功能表与表6-2-5相同。可以附加必要的门电路。

表6-2-5 同步十六进制加/减计数器74LS191的功能表

$CLK_1$	$S'$	$LD'$	$U/D$	工作状态
×	1	1	×	保持
×	×	0	×	预置数
↑	0	1	0	加法计数
↑	0	1	1	减法计数

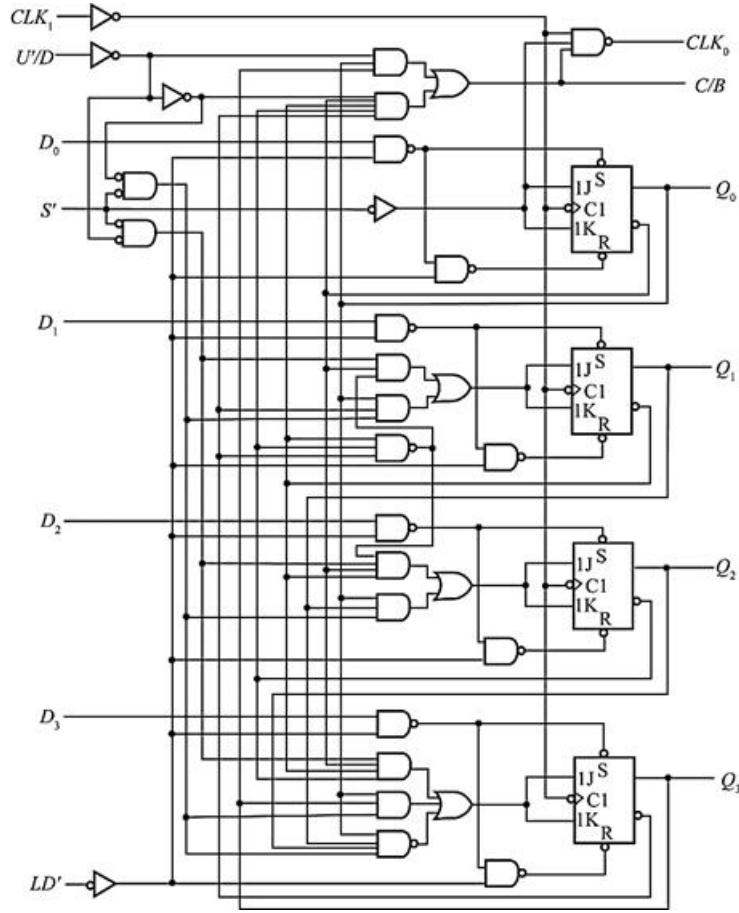


图6-2-37

解：根据题意，可利用74LS190的置数功能实现。在0000状态时， $C/B=1$ ，取反后接到 $LD'$ 端，进行预置数，由于74LS190是异步置数，为提高置数的可靠性，可增设锁存器。

又若预置数为 $i$ ，则第一个脉冲到来时，从 $i-1$ 开始做减法运算，在计数至0000输出进位信号，故输出进位信号与CLK信号的分频比为 $1/i$ 。

74LS147的输入输出均是低电平有效。

将控制信号分别取反后与74LS147的输入连接，它们之间的对应关系如表6-2-6所示。

将74LS147的输出取反后与计数器74LS190的输入端连接。电路连接图如图6-2-38所示。

表6-2-6

分频比 ( $f_o/f_{CLK}$ )	1/2	1/3	1/4	1/5	1/6	1/7	1/8	1/9
低电平信号输入端	$I_2'(A')$	$I_3'(B')$	$I_4'(C')$	$I_5'(D')$	$I_6'(E')$	$I_7'(F')$	$I_8'(G')$	$I_9'(H')$



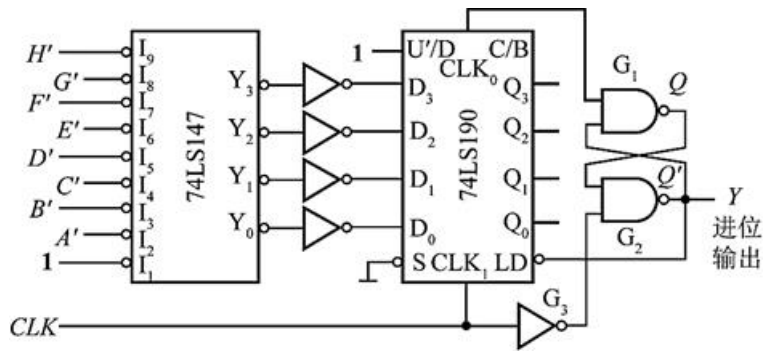


图6-2-38

6.26 图6-2-39是一个移位寄存器型计数器，试画出它的状态转换图，说明这是几进制计数器，能否自启动。

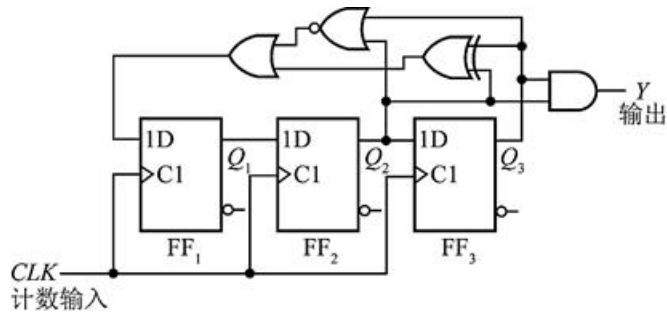


图6-2-39

解：电路为同步时序逻辑电路，其状态方程为：

$$\begin{cases} Q_{1n+1} = D_1 = Q_2Q_3' + Q_2'Q_3 + Q_2'Q_3' \\ Q_{2n+1} = D_2 = Q_1 \\ Q_{3n+1} = D_3 = Q_2 \end{cases}$$

输出方程为：Y=Q<sub>2</sub>Q<sub>3</sub>。

状态转换图如图6-2-40所示，可见电路是能自启动的五进制计数器。

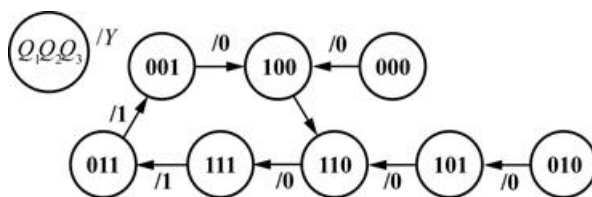


图6-2-40

6.27 图6-2-41是一个移位寄存器型计数器。试画出电路的状态转换图，并说明这是几进制计数器，能否自启动。

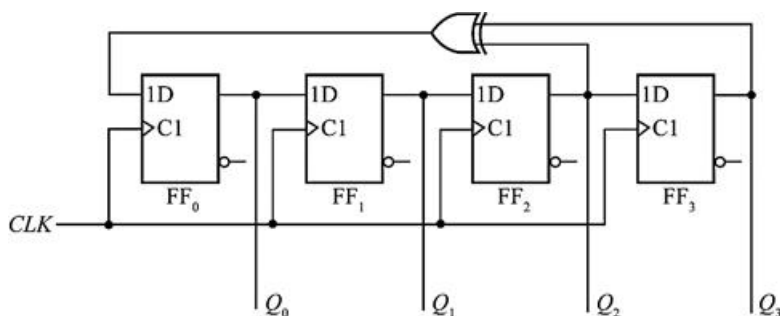


图6-2-41

解：电路为同步时序逻辑电路，其状态方程为：

$$Q_0^{n+1} = D_0 = Q_2 \oplus Q_3$$

$$Q_1^{n+1} = D_1 = Q_0$$

$$Q_2^{n+1} = D_2 = Q_1$$

$$Q_3^{n+1} = D_3 = Q_2$$

状态转换图如图6-2-42所示，可见电路进入0000状态后，不能回到有效状态，因此，电路是不能自启动的十五进制计数器。

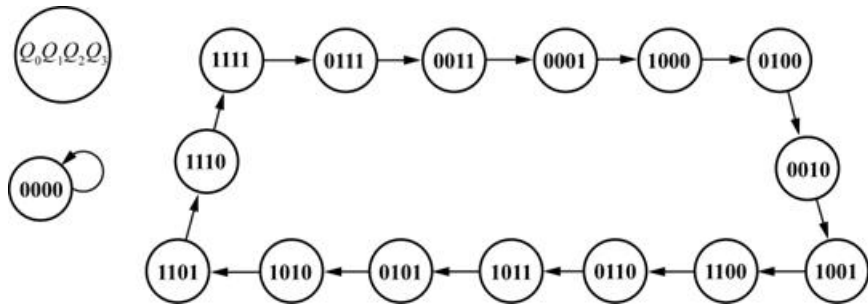


图6-2-42

6.28 试利用同步十六进制计数器74LS161和4线-16线译码器74LS154设计节拍脉冲发生器，要求从12个输出端顺序、循环地输出等宽的负脉冲。74LS154的逻辑框图及说明见题4.11。74LS161的功能表如表6-2-2所示。

解：先将74LS161采用同步置数法连接成12进制计数器，然后与4-16译码器相连。

电路图如图6-2-43所示，译码器的输出端依次输出 $P_0 \sim P_{11}$ 的顺序负脉冲。

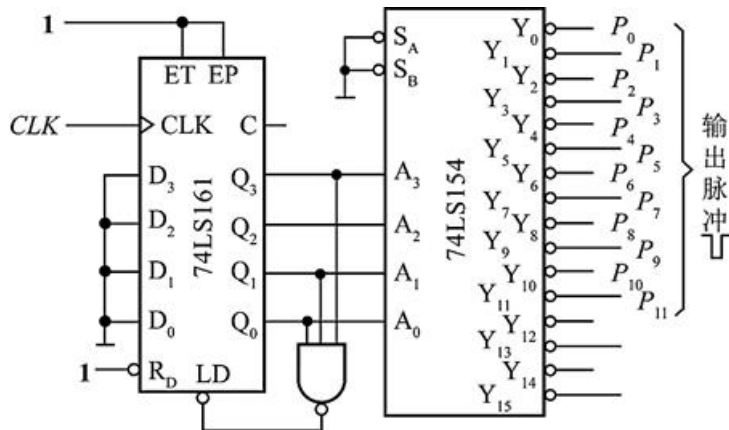


图6-2-43

6.29 设计一个序列信号发生器电路，使之在一系列CLK信号作用下能周期性地输出“0010110111”的序列信号。

解：本题可采用十进制计数器74LS160和八选一数据选择器74HC151实现，当计数器输出从 $Q_3Q_2Q_1Q_0=0000$ 计数至1001时，74HC151的输出Z按0010110111依次变化。

可列出真值表如表6-2-7所示。

将Z写成最小项和的形式，则有：

$$Z = Q_3'Q_2'Q_1Q_0' + Q_3'Q_2Q_1'Q_0' + Q_3'Q_2Q_1'Q_0 + Q_3'Q_2Q_1Q_0 + Q_3Q_2'Q_1'Q_0' + Q_3Q_2'Q_1'Q_0$$

若令 $Q_2Q_1Q_0$ 分别接74HC151的 $A_2A_1A_0$ 端，则Z化简为：

$$Z = Q_3 \cdot Q_2'Q_1'Q_0' + Q_3 \cdot Q_2'Q_1'Q_0 + Q_3' \cdot Q_2'Q_1Q_0' + 0 \cdot Q_2'Q_1Q_0 + Q_3' \cdot Q_2Q_1'Q_0' + Q_3' \cdot Q_2Q_1'Q_0 + 0 \cdot Q_2Q_1Q_0' + Q_3' \cdot Q_2Q_1Q_0$$

因此，可画出电路连接图如图6-2-44所示。

表6-2-7

CLK 顺序	$Q_3$	$Q_2$	$Q_1$	$Q_0$	Z
0	0	0	0	0	0
1	0	0	0	1	0
2	0	0	1	0	1
3	0	0	1	1	0
4	0	1	0	0	1
5	0	1	0	1	1
6	0	1	1	0	0
7	0	1	1	1	1
8	1	0	0	0	1
9	1	0	0	1	1

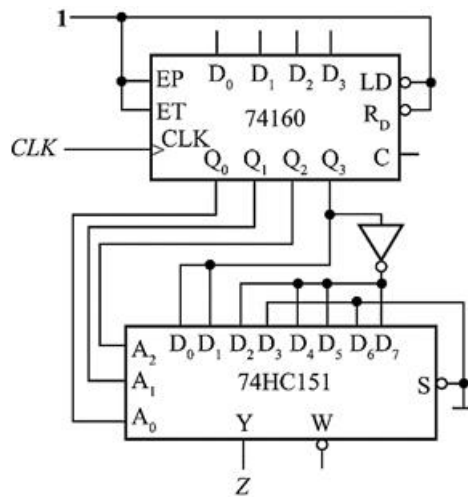


图6-2-44

6.30 设计一个灯光控制逻辑电路。要求红、绿、黄三种颜色的灯在时钟信号作用下按表6-2-8规定的顺序转换状态。表中的1表示“亮”，0表示“灭”。要求电路能自启动，并尽可能采用中规模集成电路芯片。

表6-2-8

CLK 顺序	红	黄	绿
0	0	0	0
1	1	0	0
2	0	1	0
3	0	0	1
4	1	1	1
5	0	0	1
6	0	1	0
7	1	0	0
8	0	0	0

解：三个灯的状态共八个并顺序循环，每个灯状态的循环都可看成是一个脉冲信号发生器。

可用一个八进制计数器和三个四选一数据选择器实现，计数器的输出作为选择器的输入，三个数据选择器的输出表示三种颜色灯的状态。

选择器输入-输出之间的关系如表6-2-9所示。

表6-2-9

输入	输出	输入	输出
$Q_2Q_1Q_0$	R (Y <sub>1</sub> ) Y (Y <sub>2</sub> ) G (Y <sub>3</sub> )	$Q_2Q_1Q_0$	R (Y <sub>1</sub> ) Y (Y <sub>2</sub> ) G (Y <sub>3</sub> )
000	000	100	111
001	100	101	001
010	010	110	010
011	001	111	100

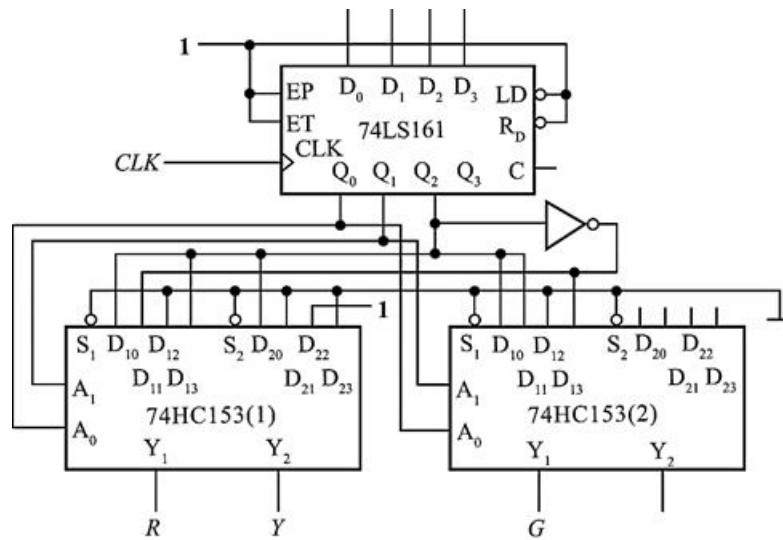


图6-2-45

如果将 $Q_1Q_0$ 接选择器的 $A_1A_0$ ，则输出可表示为：

$$R = Q_2 \cdot Q_1' \cdot Q_0' + Q_2' \cdot Q_1' \cdot Q_0 + 0 \cdot Q_1 \cdot Q_0' + Q_2 \cdot Q_1 \cdot Q_0$$

$$Y = Q_2 \cdot Q_1' \cdot Q_0' + 0 \cdot Q_1' \cdot Q_0 + 1 \cdot Q_1 \cdot Q_0' + 0 \cdot Q_1 \cdot Q_0$$

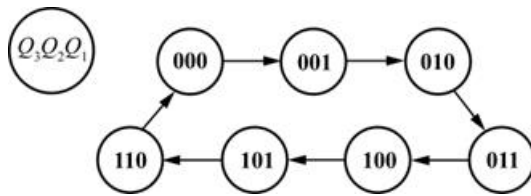
$$G = Q_2 \cdot Q_1' \cdot Q_0' + Q_2 \cdot Q_1' \cdot Q_0 + 0 \cdot Q_1 \cdot Q_0' + Q_2' \cdot Q_1 \cdot Q_0$$

电路连接图如图6-2-45所示，其中，八进制计数器用74LS161的第三位实现，三个数据选择器用两个双4选1数据选择器74HC153实现。

### 6.31 试用JK触发器和门电路设计一个同步七进制计数器。

解：同步七进制计数器，需用3级JK触发器实现。

若计数器的状态转换图如图6-2-46 (a) 所示。



6-2-46 (a)

次态的卡诺图如图6-2-46 (b) 所示。

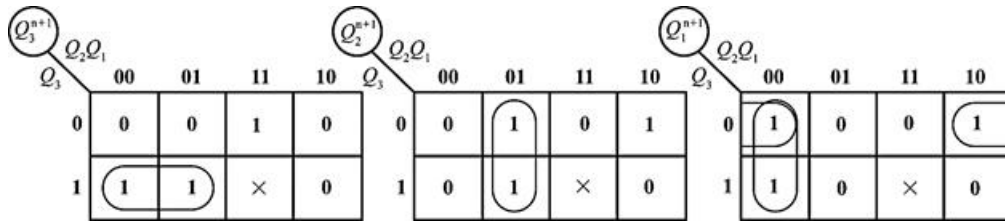


图6-2-46 (b)

化简可得：

$$Q_1^{n+1} = Q_3'Q_1' + Q_2'Q_1' = (Q_3' + Q_2') Q_1'$$

$$Q_2^{n+1} = Q_1Q_2' + Q_1'Q_3'Q_2$$

$$Q_3^{n+1} = Q_3Q_2' + Q_3'Q_2Q_1$$

则驱动方程为：

$$J_1 = Q_3' + Q_2' = (Q_3Q_2) ', K_1 = 1$$

$$J_2 = Q_1, K_2 = (Q_1'Q_3') '$$

$$J_3 = Q_1Q_2, K_3 = Q_2$$

当 $Q_2Q_1Q_0=111$ 时，其次态为000，因此，电路可以自启动，电路图如图6-2-46 (c) 所示。

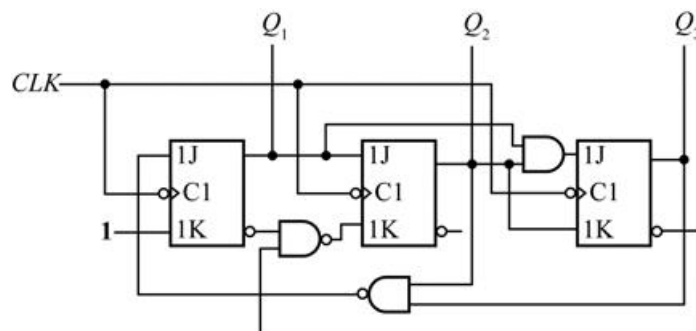


图6-2-46 (c)

6.32 用JK触发器和门电路设计一个4位格雷码计数器，它的状态转换表应如表6-2-10所示。

表6-2-10

计数 顺序	电路状态				进位输出 C
	$Q_3$	$Q_2$	$Q_1$	$Q_0$	
0	0	0	0	0	0
1	0	0	0	1	0
2	0	0	1	1	0
3	0	0	1	0	0
4	0	1	1	0	0
5	0	1	1	1	0
6	0	1	0	1	0
7	0	1	0	0	0
8	1	1	0	0	0
9	1	1	0	1	0
10	1	1	1	1	0
11	1	1	1	0	0
12	1	0	1	0	0
13	1	0	1	1	0
14	1	0	0	1	0
15	1	0	0	0	1
16	0	0	0	0	0

解：由状态转换表，可得到次态的卡诺图如图6-2-47所示。

	$Q_1Q_0$	$(Q_3^*Q_2^*Q_1^*Q_0^*)$			
$Q_3Q_2$		00	01	11	10
00		0001	0011	0010	0110
01		1100	0100	0101	0111
11		1101	1111	1110	1010
10		0000	1000	1001	1011

图6-2-47

化简得：

$$Q_3^* = Q_3Q_1 + Q_3Q_0 + Q_2Q_1'Q_0' = (Q_2Q_1'Q_0') Q_3' + (Q_2'Q_1'Q_0') Q_3$$

$$Q_2^* = Q_2Q_1' + Q_2Q_0 + Q_3'Q_1Q_0' = (Q_3'Q_1Q_0') Q_2' + (Q_3Q_1Q_0') Q_2$$

$$Q_1^* = Q_1Q_0' + Q_3'Q_2'Q_0 + Q_3Q_2Q_0' = ((Q_2 \oplus Q_3)'Q_0) Q_1' + (Q_0(Q_3 \oplus Q_2)) Q_1$$

$$Q_0^* = Q_3'Q_2'Q_1' + Q_3'Q_2Q_1 + Q_3Q_2Q_1' + Q_3Q_2'Q_1 = (Q_3 \oplus Q_2 \oplus Q_1)'Q_0' + (Q_3 \oplus Q_2 \oplus Q_1) Q_0$$

故驱动方程为：

$$J_3 = Q_2Q_1'Q_0'; \quad K_3 = Q_2'Q_1'Q_0'$$

$$J_2 = Q_3'Q_1Q_0'; \quad K_2 = Q_3Q_1Q_0'$$

$$J_1 = (Q_3 \oplus Q_2)'Q_0; \quad K_1 = (Q_3 \oplus Q_2) Q_0$$

$$J_0 = (Q_3 \oplus Q_2 \oplus Q_1)'; \quad K_0 = Q_3 \oplus Q_2 \oplus Q_1$$

进位输出信号为：  $C = Q_3Q_2'Q_1'Q_0'$ 。

因此，可画出逻辑电路图如图6-2-48所示。

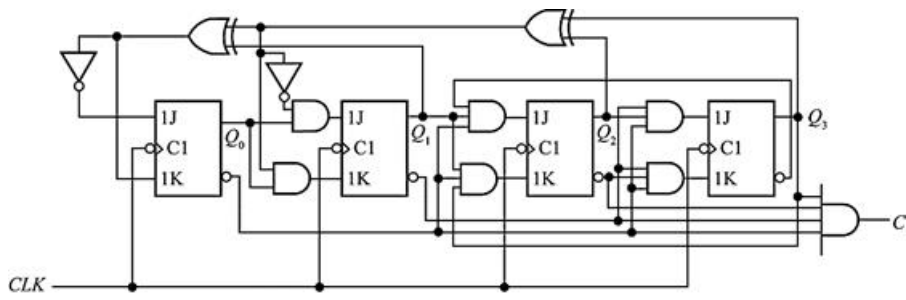


图6-2-48

6.33 用D触发器和门电路设计一个十一进制计数器，并检查设计的电路能否自启动。

**解：**十一进制计数器共十一个有效状态，故选用4级D触发器。若状态转换表如表6-2-11所示，则可得次态及输出的卡诺图如图6-2-49 (a) 所示。

表6-2-11

计数顺序	电路状态	进位输出
	$Q_3Q_2Q_1Q_0$	C
0	0000	0
1	0001	0
2	0010	0
3	0011	0
4	0100	0
5	0101	0
6	0110	0
7	0111	0
8	1000	0
9	1001	0
10	1010	1
11	0000	0

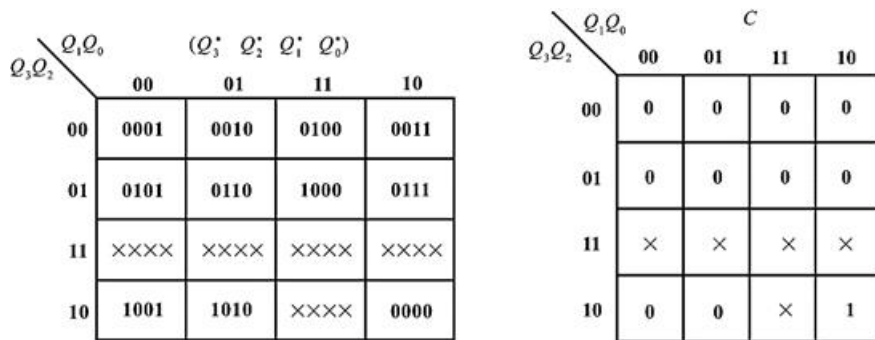


图6-2-49 (a)

化简得

$$Q_3^* = Q_3Q_1' + Q_2Q_1Q_0$$

$$Q_2^* = Q_2Q_1' + Q_2Q_0' + Q_2'Q_1Q_0$$

$$Q_1^* = Q_1'Q_0 + Q_3'Q_1Q_0'$$

$$Q_0^* = Q_3'Q_0' + Q_1'Q_0'$$

$$C = Q_3 Q_1$$

由 $Q^* = D$ 可得电路图如图6-2-49 (b) 所示。

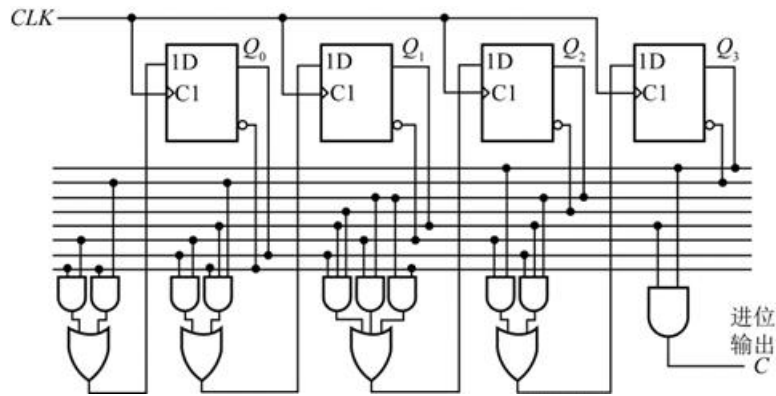


图6-2-49 (b)

完整的状态转换图如图6-2-49 (c) 所示，可见电路可以自启动。

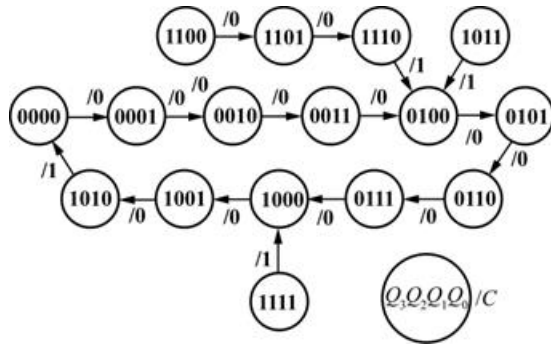


图6-2-49 (c)

6.34 设计一个控制步进电动机三相六状态工作的逻辑电路。如果用1表示电机绕组导通，0表示电机绕组截止，则3个绕组ABC的状态转换图应如图6-2-50所示。M为输入控制变量，当M=1时为正转，M=0时为反转。

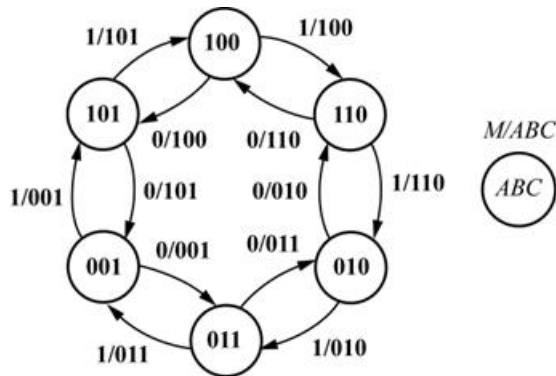


图6-2-50

**解：**由图6-2-50可知，共六个有效状态，可以用三级D触发器实现，并可以直接把触发器的状态 $Q_1Q_2Q_3$ 看成绕组ABC的工作状态，因此，触发器的状态转换图与ABC的状态转换图相同，由此可得到触发器次态的卡诺图如图6-2-51 (a) 所示。



	$Q_2Q_3$	$(Q_1^* Q_2^* Q_3^*)$			
$MQ_1$		00	01	11	10
00	xxx	011	010	110	
01	101	001	xxx	100	
11	110	100	xxx	010	
10	xxx	101	001	011	

图6-2-51 (a)

化简得：

$$D_1 = Q_1^* = MQ_2' + M'Q_3'$$

$$D_2 = Q_2^* = MQ_3' + M'Q_1'$$

$$D_3 = Q_3^* = MQ_1' + M'Q_2'$$

电路图如图6-2-51 (b) 所示。

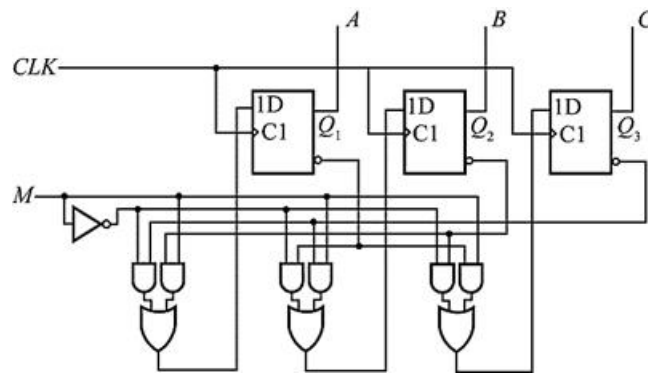


图6-2-51 (b)

6.35 设计一个串行数据检测电路。当连续出现四个和四个以上的1时，检测输出信号为1，其余情况下的输出信号为0。

解：该串行数据检测电路的状态转换表，如表6-2-12所示。

表6-2-12

含义	现态 $S^n$	次态/输出 ( $S^{n+1}/Y$ )	
		A=0	A=1
初态 (接受 0)	$S_0$	$S_0/0$	$S_1/0$
接收 1	$S_1$	$S_0/0$	$S_2/0$
接收 11	$S_2$	$S_0/0$	$S_3/0$
接收 111	$S_3$	$S_0/0$	$S_3/1$

由表6-2-12可知，共四个有效状态，可用两级D触发器实现，且用 $Q_1Q_0=00、01、10、11$ 分别表示 $S_0、S_1、S_2、S_3$ 状态，则触发器的状态转换图如图6-2-52 (a) 所示。

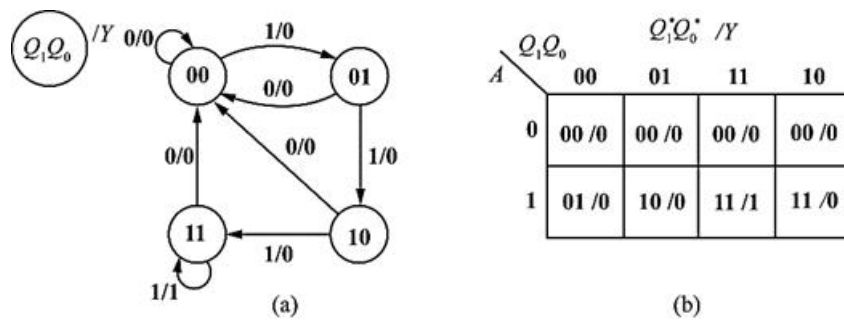


图6-2-52

由状态转换图可得到次态的卡诺图如图6-2-52 (b) 所示。

化简得

$$D_1 = Q_1^* = AQ_1 + AQ_0$$

$$D_0 = Q_0^* = AQ_1 + AQ_0'$$

$$Y = AQ_1Q_0$$

因此，可得电路图如图6-2-52 (c) 所示。

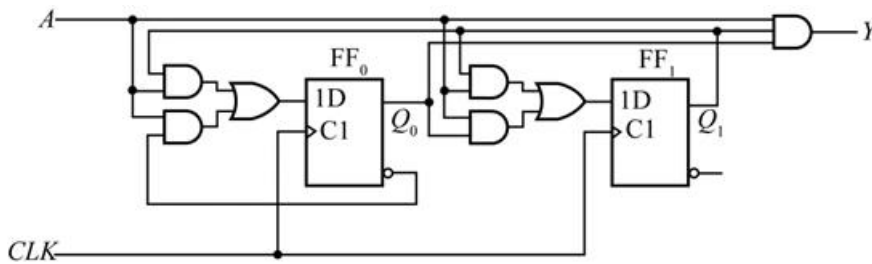


图6-2-52 (c)

### 6.3 名校考研真题详解

#### 一、填空题

1 8级扭环计数器的状态转换圈中，无效状态有\_\_\_\_\_个。[电子科技大学2008研]

【答案】240

【解析】n级扭环计数器的无效状态共有： $2^n - 2n$ 个。

2 消除竞争冒险的现象的方法有\_\_\_\_\_、\_\_\_\_\_、\_\_\_\_\_。[重庆大学2014研]

【答案】接入滤波电容；引入选通脉冲；修改逻辑设计

【解析】由于竞争-冒险而产生的尖峰脉冲一般都很窄，所以只要在输出端并接一个很小的滤波电容就足以把尖峰脉冲的幅值削弱至门电路的阈值电压以下；引入一个选通脉冲也可消除竞争-冒险的现象；修改电路逻辑设计为 $Y = A + A'$ 或 $Y = A \cdot A'$ 也可实现。

#### 二、选择题

1 一个六位二进制减法计数器，初始状态为000000，问经过203个输入脉冲后，此计数器的状态为（ ）。[电子科技大学2008研]

- A. 110011
- B. 110101
- C. 111000
- D. 110110

【答案】B

【解析】六位减法器的计数周期为 $2^6=64$ ； $203\%64=11$ ，即从000000经过3个完整的计数周期后，在进行第四个计数周期的过程中，输出状态变为110101。

2 为了把串行输入的数据转换为并行输出的数据，可以使用（ ）。[北京科技大学2010研]

- A. 寄存器
- B. 移位寄存器
- C. 计数器
- D. 存储器

【答案】B

【解析】移位寄存器能够实现串行输入串行输出，并行输入并行输出，串行输入并行输出。

3 属于组合逻辑电路的是（ ）。[重庆大学 2015 研]

- A. 译码器
- B. 计数器
- C. 移位寄存器
- D. 编码器

【答案】A、D

【解析】带有触发器单元的电路全部都为时序电路。

### 三、分析计算题

1 画出图6-3-1所示时序电路的状态图，写出激励函数和状态方程，分析其逻辑功能，并检查能否自启动。[清华大学2005研]

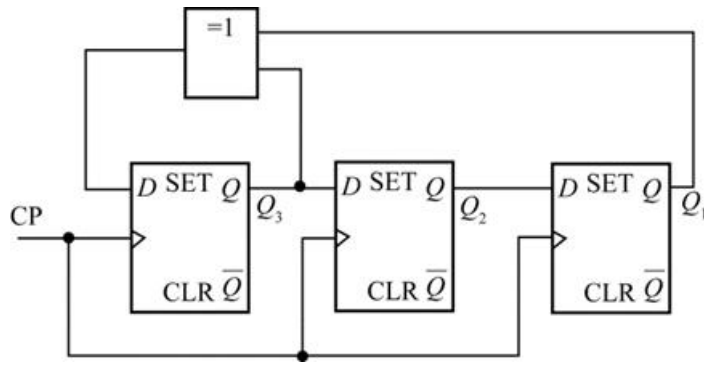


图6-3-1

解：（1）电路的激励函数为：

$$D_3=Q_3 \oplus Q_1, D_2=Q_3, D_1=Q_2$$

（2）将驱动方程代入D触发器的特性方程中，可得状态方程为

$$Q_3^{n+1}=Q_3 \oplus Q_1, Q_2^{n+1}=Q_3, Q_1^{n+1}=Q_2$$

（3）根据状态方程，写出状态转换表，如表6-3-1所示。

表6-3-1

$Q_3$	$Q_2$	$Q_1$	$Q_3^{n+1}$	$Q_2^{n+1}$	$Q_1^{n+1}$	$Q_3$	$Q_2$	$Q_1$	$Q_3^{n+1}$	$Q_2^{n+1}$	$Q_1^{n+1}$
0	0	0	0	0	0	1	0	0	1	1	0
0	0	1	1	0	0	1	0	1	0	1	0
0	1	0	0	0	1	1	1	0	1	1	1
0	1	1	1	0	1	1	1	1	0	1	1

（4）根据状态转换表，可得状态图如图6-3-2所示。

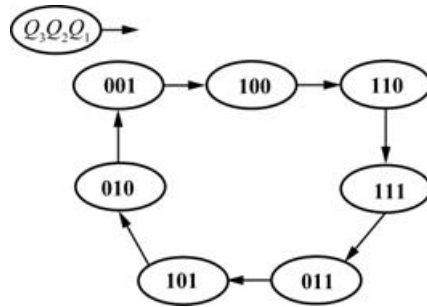


图6-3-2

（6）根据状态图可得，该电路实现的是七进制计数器。经验证，当电路进入000状态时，无法转入有效循环状态，故电路不能自启动。

**2** 74LS163是一个带有同步置位和同步清零输入端的4位二进制同步计数器，其功能表和逻辑电路图分别如表6-3-2和图6-3-3所示，使用一个74LS163和一些简单的门电路（与、或、非门）来设计一个14进制计数器，实现的计数序列如下：1, 2, 3, 4, 5, 6, 7, 8, 9, 10, 11, 12, 13, 15, 1, 2, ...。要求画出逻辑电路图并对设计作简要说明。

注意：计数序列中不包含0和14两个状态。[电子科技大学2008研]

表6-3-2 74LS163的功能表

输入				现态				次态				输出
CLR_L	LD_L	ENT	ENP	QD	QC	QB	QA	QD*	QC*	QB*	QA*	RCO
0	×	×	×	×	×	0	×	0	0	0	0	0
1	0	×	×	×	×	0	×	D	C	B	A	0
1	1	0	×	×	×	0	×	QD	QC	QB	QA	0
1	1	1	0	×	×	0	×	QD	QC	QB	QA	0
1	1	1	1	0	0	0	0	0	0	0	1	0
1	1	1	1	0	0	0	1	0	0	1	0	0
1	1	1	1	0	0	0	0	0	0	1	1	0
1	1	1	1	0	0	0	1	0	1	0	0	0
1	1	1	1	-----				-----				0
1	1	1	1	1	1	1	1	0	0	0	0	1

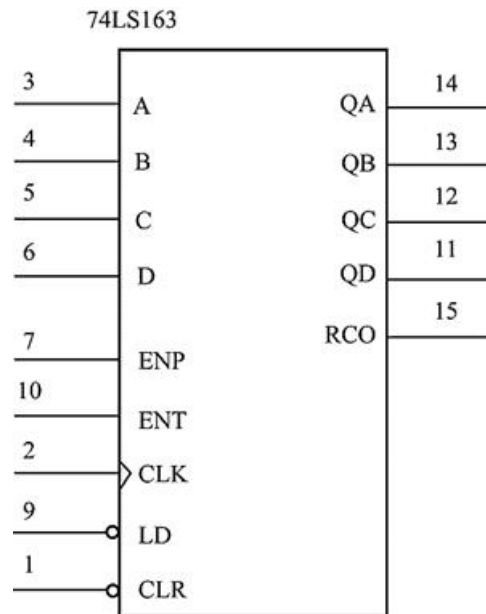
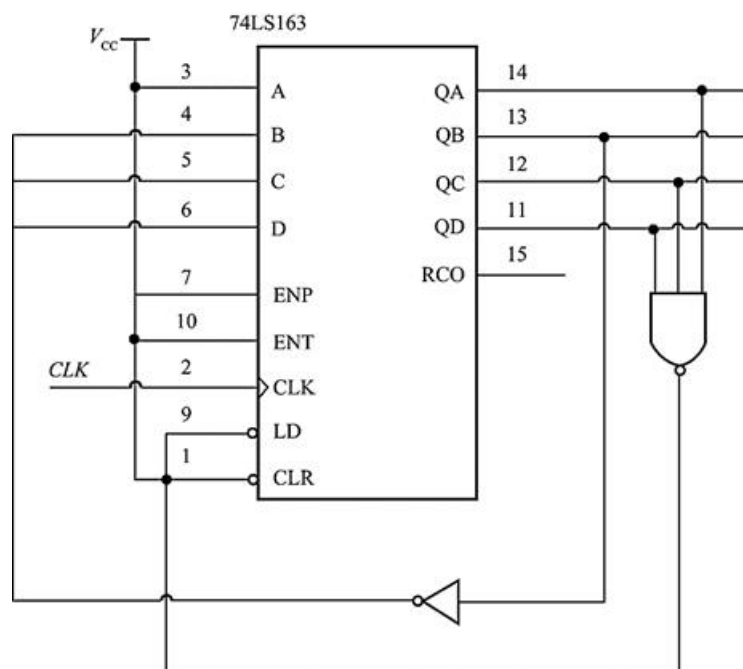


图6-3-3

解：要求求得的计数序列中不含“0”状态，因此该设计中不能用清零法，只能用同步置数法。

在1101（13）和1111（15）状态时需要产生置数信号，所以有 $LD = (Q_D Q_C Q_A)'$ 。

在1101（13）时置数1111（15），在1111（15）时置数0001（1），所以有 $A=1$ ； $B=C=D=Q_B'$ 。对应的逻辑电路图如图6-3-4所示。



3 设计一个可变进制的同步计数器。它有一个控制端M：当M为0时，实现七进制计数器；M为1时，实现五进制计数器。请用D触发器和门电路（门电路类型不限）实现，画出最简逻辑图，并验证能否自启动。（若不能自启动，不必修改成自启动电路）[清华大学2006研]

解：（1）根据题目要求，实现七进制计数器时，至少需要3个D触发器；实现五进制计数器，也需要3个D触发器，因此电路共需要3个D触发器。

（2）状态转换真值表如表6-3-3所示。

表6-3-3 状态转换真值表

M	Q <sub>2</sub>	Q <sub>1</sub>	Q <sub>0</sub>	Q <sub>2</sub> <sup>n+1</sup>	Q <sub>1</sub> <sup>n+1</sup>	Q <sub>0</sub> <sup>n+1</sup>
0	0	0	0	0	0	1
0	0	0	1	0	1	0
0	0	1	0	0	1	1
0	0	1	1	1	0	0
0	1	0	0	1	0	1
0	1	0	1	1	1	0
0	1	1	0	0	0	0
0	1	1	1	×	×	×
1	0	0	0	0	0	1
1	0	0	1	0	1	0
1	0	1	0	0	1	1
1	0	1	1	1	0	0
1	1	0	0	0	0	0
1	1	0	1	×	×	×
1	1	1	0	×	×	×
1	1	1	1	×	×	×

（3）根据状态转换真值表，作出次态的卡诺图如图6-3-5所示，化简得

$$Q_2^{n+1} = M'Q_2Q_1' + Q_1Q_0$$

$$Q_1^{n+1} = Q_1'Q_0 + Q_2'Q_1Q_0'$$

$$Q_0^{n+1} = (MQ_1Q_0)' + (Q_2Q_0)'$$

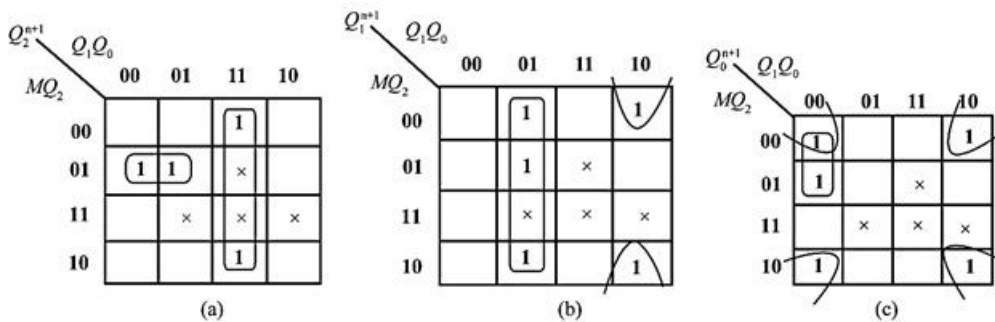


图6-3-5

（4）写出驱动方程

$$D_2 = M'Q_2Q_1' + Q_1Q_0$$

$$D_1 = Q_1'Q_0 + Q_2'Q_1Q_0'$$

$$D_0 = M'Q_1'Q_0' + Q_2'Q_0'$$

(5) 作出电路图如图6-3-6所示。

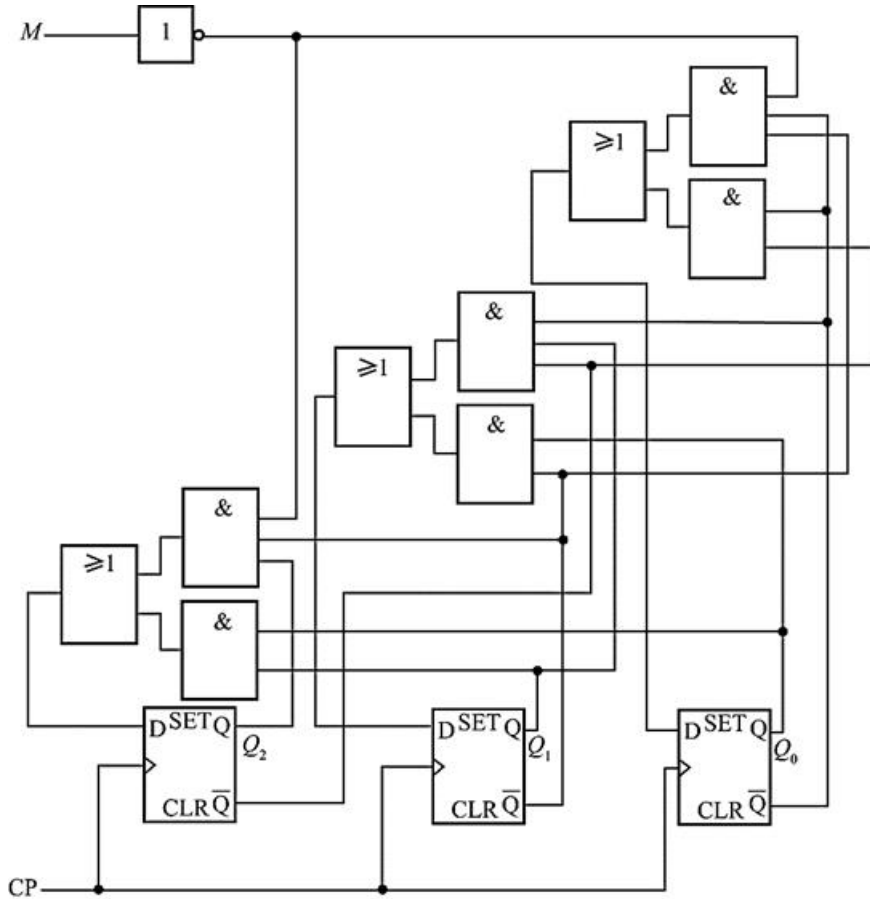


图6-3-6

(6) 验证自启动能力。经验证，当 $M=0$ 时，状态111的次态为100，能进入有效循环；当 $M=1$ 时，状态111→100，110→000，101→010，均能进入有效循环，故该计数器能自启动。完整的状态图如图6-3-7 (a) (b) 所示。

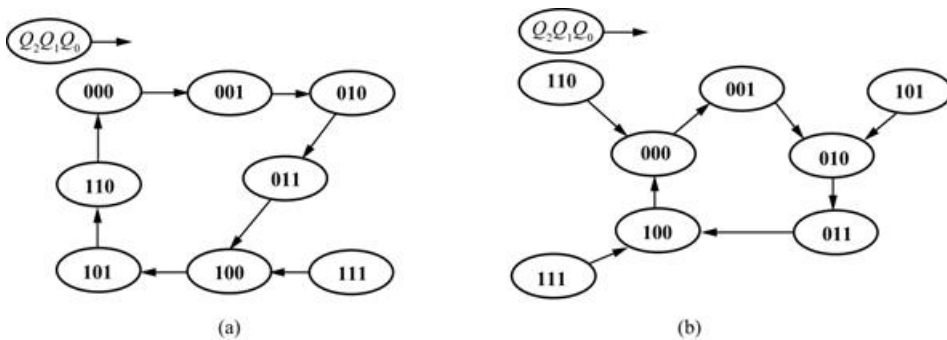


图6-3-7

**4** 试用JK触发器加尽可能少的门电路实现能够自启动的三位环形计数器（要求有效循环是 $Q_0Q_1Q_2$ : 100→010→001→100，并画出逻辑图。[山东大学2017研]

**解：**三位环形计数器则需要三个JK触发器来实现。依题可得状态转换表如表6-3-4所示：

表6-3-4 状态转换表

$Q_0$	$Q_1$	$Q_2$	$Q_0^*$	$Q_1^*$	$Q_2^*$
1	0	0	0	1	0
0	1	0	0	0	1
0	0	1	1	0	0

根据转换表可得： $Q_0^* = Q_2$ ， $Q_1^* = Q_0$ ， $Q_2^* = Q_1$ ，根据该式补全状态转换表如表6-3-5所示：

表6-3-5 状态转换表

$Q_0$	$Q_1$	$Q_2$	$Q_0^*$	$Q_1^*$	$Q_2^*$
0	0	0	0	0	0
0	0	1	1	0	0
0	1	0	0	0	1
0	1	1	1	0	1
1	0	0	0	1	0
1	0	1	1	1	0
1	1	0	0	1	1
1	1	1	1	1	1

电路转换图如图6-3-8所示：

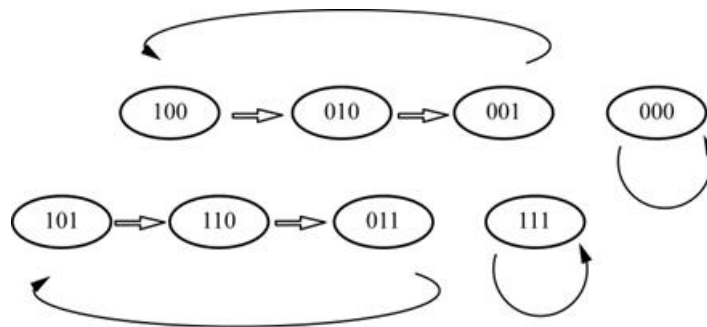


图6-3-8 状态转换图

要实现电路的自启动需要修改无效循环的次态，使其进入有效循环；要尽可能少使用门电路就要让 $Q_0^*$ 、 $Q_1^*$ 、 $Q_2^*$ 的式子尽可能简单，即修改后的卡诺图尽可能简单。通常进行自启动设计只修改一个输入，而不改变内部结构，因此选择修改 $Q_0$ 的输入表达式。

首先修改其状态转换图，修改后如图6-3-9所示：

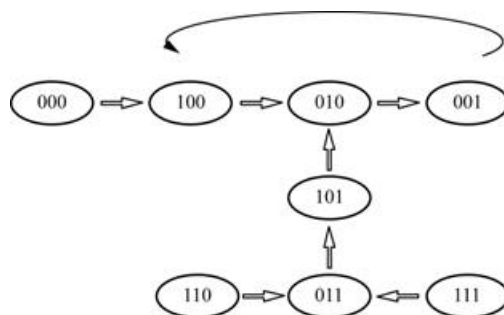


图6-3-9 修改后状态转换图

当现态为000时，次态从000改为100；当现态为111时，次态从111改为011；当现态为101时，次态从110改为010。因此只有这三个状态的首位 $Q_0$ 发生了改变，因此只需改变 $Q_0$ 的卡诺图即可，改进后状态转换表如表6-3-6所示：

表6-3-6 状态转换表



$Q_0$	$Q_1$	$Q_2$	$Q_0^*$	$Q_1^*$	$Q_2^*$
0	0	0	1	0	0
0	0	1	1	0	0
0	1	0	0	0	1
0	1	1	1	0	1
1	0	0	0	1	0
1	0	1	0	1	0
1	1	0	0	1	1
1	1	1	0	1	1

改进型的 $Q_0$ 的卡诺图化简如图6-3-10所示：

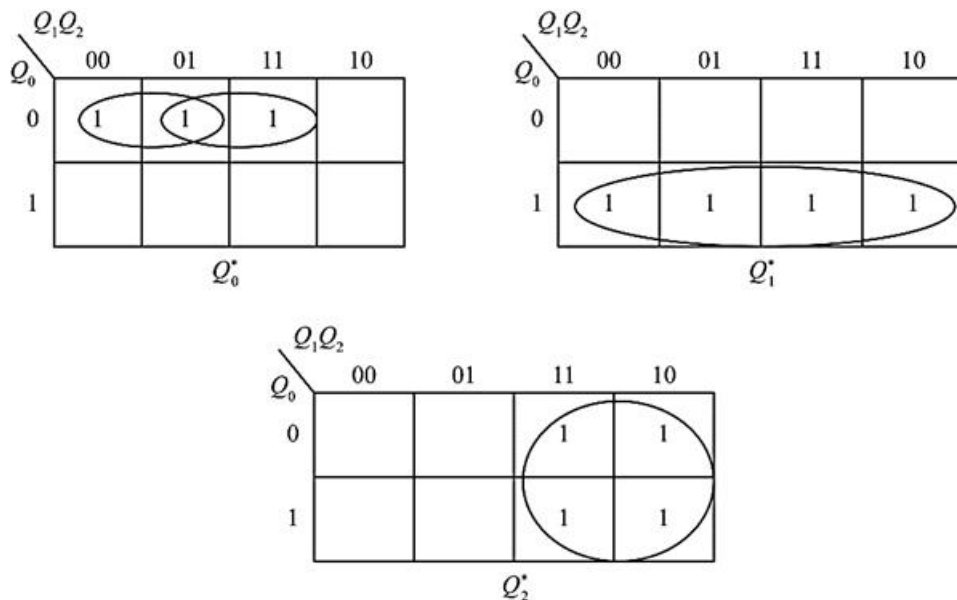


图6-3-10 卡诺图

最终化简得到 $Q_0^* = Q_0'Q_1' + Q_0'Q_2$ ,  $Q_1^* = Q_0$ ,  $Q_2^* = Q_1$ 。

根据JK触发器驱动方程 $Q^* = JQ' + KQ$ 得：

$$Q_0^* = Q_0' (Q_1' + Q_2), J_0 = Q_1' + Q_2, K_0 = 1;$$

$$Q_1^* = Q_0, J_1 = 0, K_1 = 0;$$

$$Q_2^* = Q_1 = Q_1 (Q_2 + Q_2') = Q_1Q_2 + Q_1Q_2', J_2 = Q_1, K_2 = Q_1'.$$

## 第7章 脉冲波形的产生和整形

### 7.1 复习笔记

本章介绍矩形脉冲波形的产生和整形电路，详细介绍了常见的两种整形电路——施密特触发电路和单稳态电路，以及脉冲波形产生电路中，能自行产生矩形脉冲波形的各种多谐振荡电路，主要包括对称式和非对称式多谐振荡电路、环形振荡电路以及用施密特触发电路构成的多谐振荡电路等，还讲述了555定时器的工作原理和用它构成施密特触发电路、单稳态电路和多谐振荡电路的方法。本章重点内容为：施密特触发电路、单稳态电路、多谐振荡电路的工作原理和各元器件参数关系；脉冲电路的分析计算方法；555定时器的应用。

#### 一、概述

## 1 获取矩形脉冲波形途径

- (1) 产生：不用信号源，加上电源自激振荡产生波形。
- (2) 整形：输入信号源进行整形。

## 2 矩形脉冲特性参数

描述矩形脉冲特性的主要参数如图7-1-1所示。

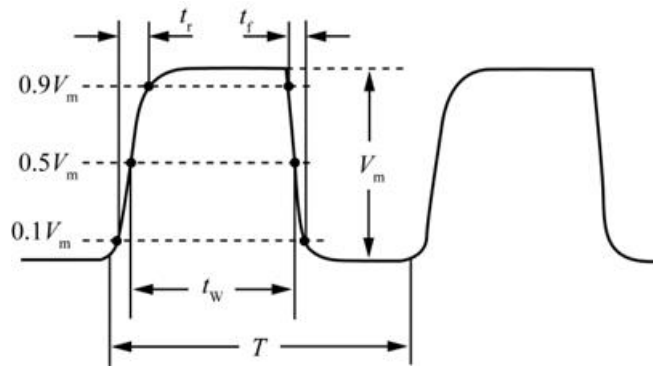


图7-1-1 描述矩形脉冲特性的主要参数

- (1) 脉冲周期 $T$ ：周期性脉冲序列中相邻脉冲的时间间隔；
- (2) 脉冲幅度 $V_m$ ：脉冲电压的最大变化幅度；
- (3) 脉冲宽度 $t_w$ ：脉冲前沿 $0.5V_m \sim$ 脉冲后沿 $0.5V_m$ 的一段时间；
- (4) 上升时间 $t_r$ ：脉冲上升沿 $0.1V_m \sim 0.9V_m$ 的时间；
- (5) 下降时间 $t_f$ ：脉冲下降沿 $0.9V_m \sim 0.1V_m$ 的时间；
- (6) 占空比 $q$ ： $t_w$ 与 $T$ 的比值。

## 二、施密特触发器

### 1 施密特触发器的结构和工作原理

- (1) 电路结构：施密特电路是通过公共发射极电阻耦合的两级正反馈放大器，其结构如图7-1-2所示。

(2) 电压传输特性：

①  $T_1$ 饱和导通时的 $v_E$ 值必低于 $T_2$ 饱和导通时的值，故由截止变为导通的输入电压会高于 $T_1$ 由导通变为截止的输入电压，便可得到图7-1-3所示的电压传输特性；

②  $V_{T+}$ ：正向阈值电压； $V_{T-}$ ：负向阈值电压； $|V_{T+} - V_{T-}| = \Delta V_T$ ：回差电压。

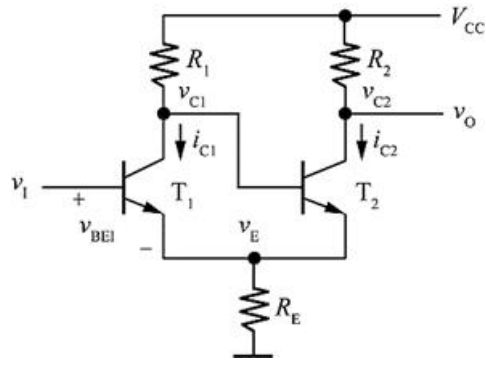


图7-1-2 施密特触发电路

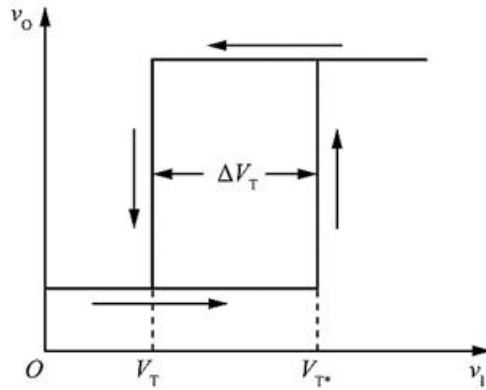


图7-1-3 施密特触发特性

(3) 性能特点:

- ① 输入信号从低电平上升的过程中，电路状态转换时对应的输入电平，与输入信号从高电平下降过程中对应的输入转换电平不同；
- ② 在电路状态转换时，通过电路内部的正反馈过程使输出电压波形的边沿变得很陡。

## 2 用门电路组成的施密特触发器

(1) 结构：将两级反相器串接起来，同时通过分压电阻将输出端的电压反馈到输入端，就构成了图7-1-4所示的施密特触发器电路。

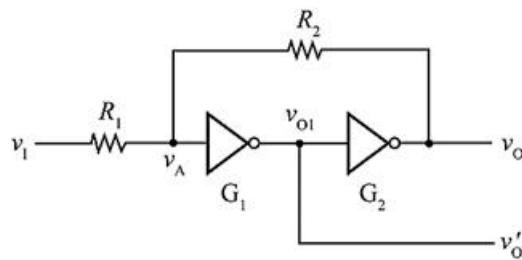


图7-1-4 用CMOS反相器构成的施密特触发器电路图

(2) 工作原理:

- ① 当 $v_1=0$ 时，为正反馈电路， $v_O=v_{O1}\approx 0$ ；
- ② 当 $v_1=V_{TH}$ 时（上升），为放大区， $v_O=v_{OH}\approx V_{DD}$ ；
- ③ 当 $v_1=V_{TH}$ 时（下降），为正反馈， $v_O=v_{OL}\approx 0$ 。

### 3 施密特触发器的应用（见表7-1-1）

表7-1-1 施密特触发器的应用

应用	主要内容
波形变换	边沿变化缓慢的周期信号可以通过施密特触发器的正反馈作用转变为边沿很陡的矩形脉冲信号
脉冲整形	矩形脉冲波形畸变可通过用施密特触发器整形而获得比较理想的矩形脉冲波形
脉冲鉴幅	若将一系列幅度各异的脉冲信号加到施密特触发器的输入端,只有那些幅度大于 $V_{T-}$ 的脉冲能输出,施密特触发器能选出幅度大于 $V_{T-}$ 的脉冲

## 三、单稳态触发器

### 1 单稳态触发器的特点

- (1) 它有稳态和暂稳态两个不同的工作状态;
- (2) 在外界触发脉冲作用下, 能从稳态翻转到暂稳态, 在暂稳态维持一段时间以后, 再自动返回稳态;
- (3) 暂稳态维持时间的长短取决电路本身的参数, 与触发脉冲的宽度和幅度无关。

### 2 用门电路组成的单稳态触发器

单稳态触发器的暂稳态通常都是靠RC电路的充、放电过程来维持的, 分为微分型和积分型, 具体见表7-1-2。

表7-1-2 用门电路组成的单稳态触发器

种类	电路图	结构	主要参数计算
微分型单稳态触发器		由 CMOS 门电路和 RC 微分电路构成, $G_2$ 输出和 $G_1$ 输入之间为直接耦合, $G_1$ 输出和 $G_2$ 输入之间采用 RC 微分电路耦合	单稳态触发器输出脉冲宽度: $t_w = RC \ln \frac{V_{DD}}{V_{DD} - V_{TH}}$ 恢复时间: $t_{re} \approx (3 \sim 5) R_{ON} C$ 其中, $R_{ON}$ 为 $G_1$ 门输出低电平时的输出电阻
积分型单稳态触发器		由 TTL 与非门和反相器以及 RC 积分电路组成	单稳态触发器输出脉冲宽度: $t_w = (R + R_O) C \ln \frac{V_{OL} - V_{OH}}{V_{OL} - V_{TH}}$ 恢复时间: $t_{re} \approx (3 \sim 5) (R + R'_O) C$ 其中, $R'_O$ 为 $G_1$ 门输出高电平时的输出电阻

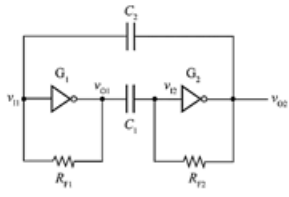
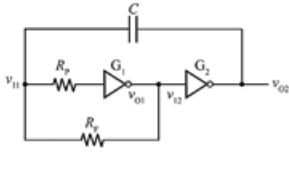
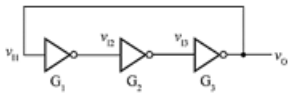
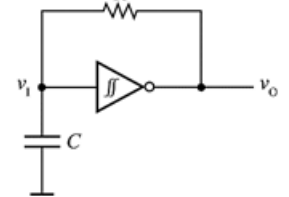
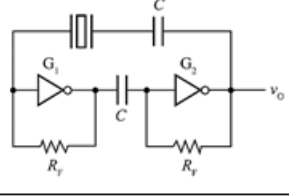
## 四、多谐振荡电路

### 1 多谐振荡电路定义

多谐振荡电路是一种能够自动产生矩形脉冲信号的自激振荡电路。

2 多谐振荡电路分类（见表7-1-3）

表7-1-3 几种典型多谐振荡电路

种类	电路图	结构	主要参数关系
对称式多谐振荡电路		由两个反相器 $G_1$ 和 $G_2$ 经耦合电容 $C_1$ 和 $C_2$ 连接起来的正反馈振荡回路	电路的振荡周期： $T \approx 2R_F C \ln \frac{V_{OH} - V_{IK}}{V_{OH} - V_{IH}}$ 当 $R_{F1} = R_{F2} = R_F$ 、 $C_1 = C_2 = C$ 时， $T \approx 1.3R_F C$
非对称式多谐振荡器		在对称式的基础上把 $C_1$ 和 $R_{F2}$ 去掉，保留电容 $C_2$ ，电路没有稳定状态，而只能在两个暂稳态之间往复振荡	电路的振荡周期： $T \approx 2R_F C \ln 3 = 2.2R_F C$
环形振荡器		利用延迟负反馈产生振荡的。它是利用门电路的传输延迟时间将奇数个反相器首尾相接而构成	电路的振荡周期： $T = 6t_{pd}$ 。 $t_{pd}$ 为经过 $G_1$ 的传输延迟时间，当 $n$ 个串联反相器时， $T = 2nt_{pd}$
用施密特触发器构成的多谐振荡器		将施密特触发器反相输出端经 $RC$ 积分电路接回输入端	若 $V_{OH} \approx V_{DD}$ ， $V_{OL} \approx 0$ ，且 $V_{T-}$ 、 $V_{T+}$ 为输入电压 $v_i$ 正向和反向跳变的阈值电压，则电路的振荡周期： $T = RC \ln \left( \frac{V_{DD} - V_{T-}}{V_{DD} - V_{T+}} \cdot \frac{V_{T+}}{V_{T-}} \right)$
石英晶体多谐振荡器		在多谐振荡器电路中接入石英晶体，提高频率稳定性	振荡频率取决于石英晶体固有振荡频率，由其结晶方向和外形尺寸决定

五、555定时器及其应用

1 555定时器的电路结构与功能

国产双极型定时器CB555的功能表如表7-1-4所示，电路结构如图7-1-5所示。

表7-1-4 CB555的功能表

输入			输出	
$R_D'$	$v_{I1}$	$v_{I2}$	$v_O$	$T_D$ 状态
0	×	×	低	导通
1	$>2V_{CC}/3$	$>V_{CC}/3$	低	导通
1	$<2V_{CC}/3$	$>V_{CC}/3$	不变	不变
1	$<2V_{CC}/3$	$<V_{CC}/3$	高	截止
1	$>2V_{CC}/3$	$<V_{CC}/3$	高	截止

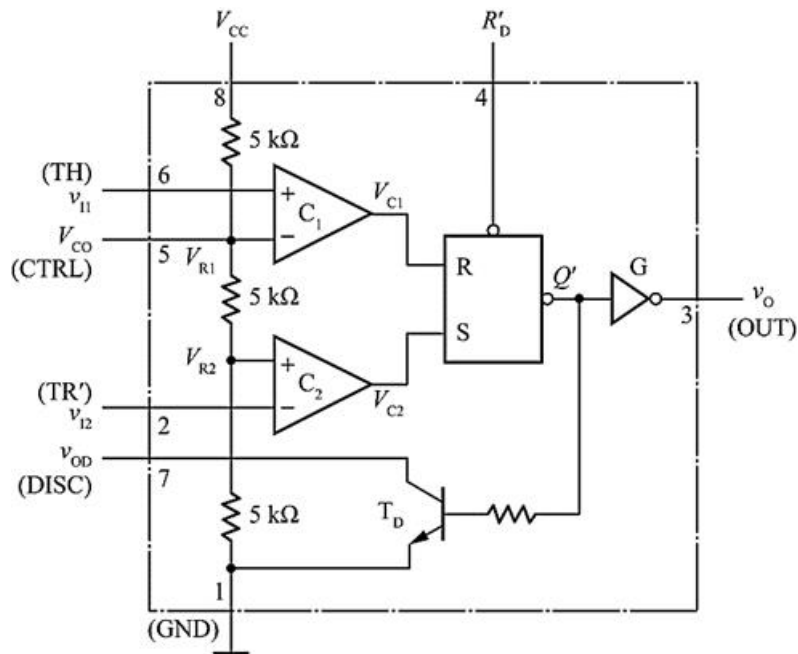


图7-1-5 CB555的电路结构图

2 555定时器的应用（见表7-1-5）

表7-1-5 555定时器的应用

应用	电路图	结构	重点内容
施密特触发电路		$V_{11}$ 和 $V_{12}$ 端连接在一起，作为信号输入端	在 $v_i$ 从 0 逐渐升高过程中， $V_{T+} = 2V_{CC}/3$ ， $V_{T-} = V_{CC}/3$ ，回差电压 $\Delta V_T = V_{T+} - V_{T-} = V_{CC}/3$ ；考虑电压由外接的电压 $V_{CC}$ 供给，则 $\Delta V_T = V_{T+} - V_{T-} = V_{CC}/2$
单稳态电路		$T_D$ 和 $R$ 组成的反相器接 $V_{11}$ 端，同时 $V_{11}$ 接对地电容 $C$ ， $V_{12}$ 作为触发信号的输入端	特性：该电路由负脉冲触发；稳态时，电路输出低电平；暂稳态时，电路输出高电平；该电路输出脉冲宽度为 $t_w = 1.1RC$
多谐振荡电路		$V_{11}$ 和 $V_{12}$ 端连接在一起，再将 $v_o$ 经 $RC$ 积分电路接回输入端	振荡周期： $T = (R_1 + 2R_2) C \ln 2$ $C \ln 2$ 振荡频率： $f = \frac{1}{T} = \frac{1}{(R_1 + 2R_2) C \ln 2}$ 输出脉冲占空比： $q = \frac{T_1}{T} = \frac{R_1 + R_2}{R_1 + 2R_2}$

## 7.2 课后习题详解

7.1 若反相输出的施密特触发器输入信号波形如图7-2-1所示，试画出输出信号的波形。施密特触发器的转换电平 $V_{T+}$ 、 $V_{T-}$ 已在输入信号波形图上标出。

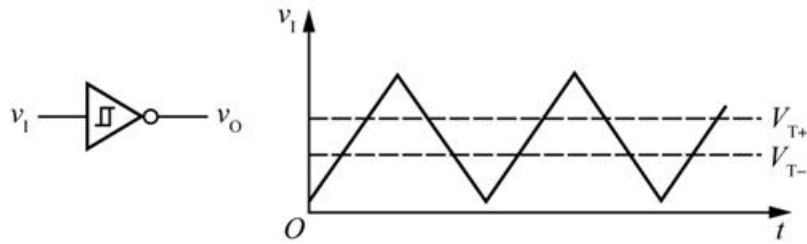


图7-2-1

解：输出信号的波形如图7-2-2所示。

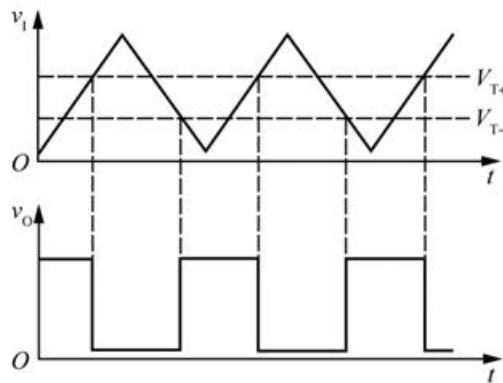


图7-2-2

7.2 在图7-2-3所示的用CMOS反相器组成的施密特触发器电路中，若 $R_1=50\text{k}\Omega$ ， $R_2=100\text{k}\Omega$ ， $V_{DD}=5\text{V}$ ， $V_{TH}=V_{DD}/2$ ，试求电路的输入转换电平 $V_{T+}$ 、 $V_{T-}$ 以及回差电压 $\Delta V_T$ 。

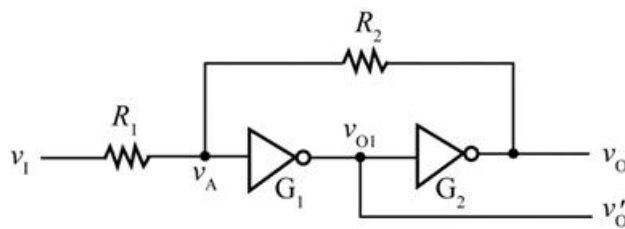


图7-2-3

解：电路的输入转换电平 $V_{T+}$ 、 $V_{T-}$ 分别为：

$$V_{T+} = \left(1 + \frac{R_1}{R_2}\right)V_{TH} = \left(1 + \frac{50}{100}\right) \times 2.5\text{V} = 3.75\text{V}$$

$$V_{T-} = \left(1 - \frac{R_1}{R_2}\right)V_{TH} = \left(1 - \frac{50}{100}\right) \times 2.5\text{V} = 1.25\text{V}$$

回差电压为：

$$\Delta V_T = V_{T+} - V_{T-} = (3.75 - 1.25)\text{V} = 2.5\text{V}$$

7.3 在图7-2-4 (a) 所示的施密特触发器电路中, 已知 $R_1=10\text{k}\Omega$ ,  $R_2=30\text{k}\Omega$ 。 $G_1$ 和 $G_2$ 为CMOS反相器,  $V_{DD}=15\text{V}$ 。

(1) 试计算电路的正向阈值电压 $V_{T+}$ 、负向阈值电压 $V_{T-}$ 和回差电压 $\Delta V_T$ 。

(2) 若将图7-2-4 (b) 给出的电压信号加到图7-2-4 (a) 电路的输入端, 试画出输出电压的波形。

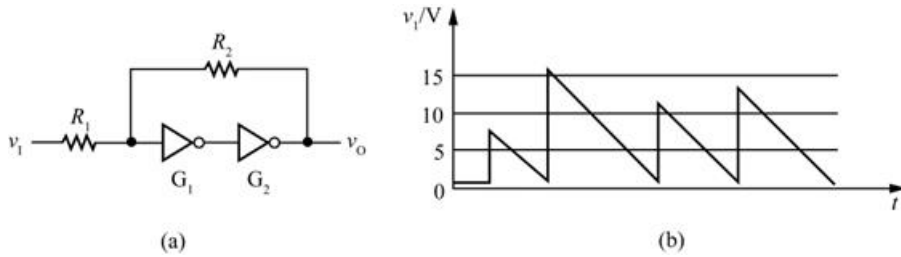


图7-2-4

解: (1) 电路的正向阈值电压 $V_{T+}$ 为:

$$V_{T+} = (1 + \frac{R_1}{R_2})V_{TH} = (1 + \frac{10}{30}) \times \frac{15}{2} \text{V} = 10\text{V}$$

负向阈值电压 $V_{T-}$ 为:

$$V_{T-} = (1 - \frac{R_1}{R_2})V_{TH} = (1 - \frac{10}{30}) \times \frac{15}{2} \text{V} = 5\text{V}$$

回差电压 $\Delta V_T$ 为:

$$\Delta V_T = V_{T+} - V_{T-} = (10 - 5) \text{V} = 5\text{V}$$

(2) 若将图7-2-4 (b) 给出的电压信号加到图7-2-4 (a) 所示电路的输入端, 则输出电压的波形如图7-2-5所示。

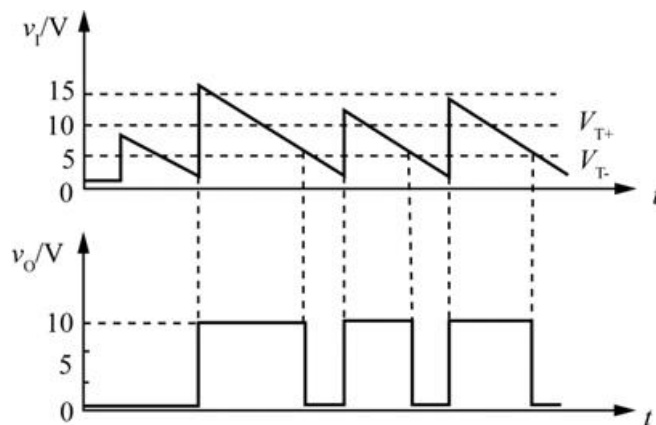


图7-2-5

7.4 图7-2-6是用CMOS反相器接成的压控施密特触发器电路, 试分析它的转换电平 $V_{T+}$ 、 $V_{T-}$ 以及回差电压 $\Delta V_T$ 与控制电压 $V_{CO}$ 的关系。



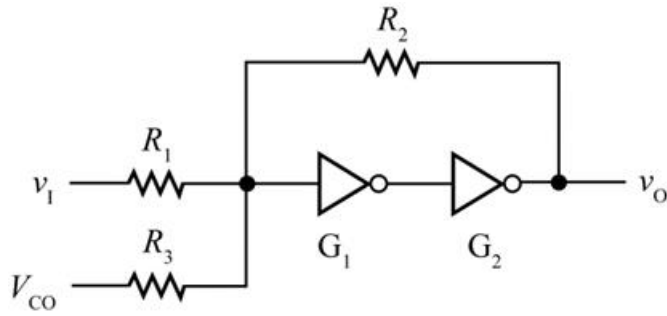


图7-2-6

解：根据叠加定理，设反相器 $G_1$ 输入端电压为 $v_A$ ，则有：

$$v_A = v_I \frac{R_2 // R_3}{R_1 + R_2 // R_3} + V_{CO} \frac{R_1 // R_2}{R_3 + R_1 // R_2} + v_O \frac{R_1 // R_3}{R_2 + R_1 // R_3}$$

(1) 在 $v_I$ 升高过程中 $v_O=0$ ，当 $v_A=V_{TH}$ 时， $v_I=V_{T+}$ ，故可得：

$$V_{TH} = V_{T+} \frac{R_2 // R_3}{R_1 + R_2 // R_3} + V_{CO} \frac{R_1 // R_2}{R_3 + R_1 // R_2}$$

$$V_{T+} = (V_{TH} - V_{CO} \frac{R_1 // R_2}{R_3 + R_1 // R_2}) \frac{R_1 + R_3 // R_2}{R_3 // R_2} = V_{TH} (1 + \frac{R_1}{R_3} + \frac{R_1}{R_2}) - \frac{R_1}{R_3} V_{CO}$$

(2) 在 $v_I$ 降低过程中 $v_O=V_{DD}$ ，当 $v_A=V_{TH}$ 时， $v_I=V_{T-}$ ，故可得：

$$v_A = V_{T-} \frac{R_2 // R_3}{R_1 + R_2 // R_3} + V_{CO} \frac{R_1 // R_2}{R_3 + R_1 // R_2} + V_{DD} \frac{R_1 // R_3}{R_2 + R_1 // R_3}$$

$$\begin{aligned} V_{T-} &= (V_{TH} - V_{CO} \frac{R_1 // R_2}{R_3 + R_1 // R_2} - V_{DD} \frac{R_1 // R_3}{R_2 + R_1 // R_3}) \frac{R_1 + R_3 // R_2}{R_3 // R_2} \\ &= V_{TH} (1 + \frac{R_1}{R_3} - \frac{R_1}{R_2}) - \frac{R_1}{R_3} V_{CO} \end{aligned}$$

(3)  $\Delta V_T = V_{T+} - V_{T-} = 2 \frac{R_1}{R_2} V_{TH} = \frac{R_1}{R_2} V_{DD}$ ，所以回差电压 $\Delta V_T$ 与控制电压 $V_{CO}$ 无关。

7.5 在图7-2-3的施密特触发电路中，已知电源电压 $V_{DD}=5V$ 。若要求回差电压 $\Delta V_T=2V$ ，试为 $R_1$ 和 $R_2$ 选定合适的电阻阻值，并说明 $R_1$ 和 $R_2$ 取值的允许范围。反相器高电平输出电流最大允许值为4mA，这时输出的高电平为4.85V。

解：回差电压： $\Delta V_T = 2 \frac{R_1}{R_2} V_{TH}$ ，代入题中的电压值可得： $R_2 = 2.5 R_1$ 。题中反相器高电平的输出电流最大允许值为4mA，则：

$$(V_{OH} - V_{TH}) / R_2 < |I_{OH(max)}|$$

$$R_2 > \frac{V_{OH} - V_{TH}}{|I_{OH(max)}|} = 587.5 \Omega$$

7.6 在图7-2-7所示的整形电路中，输入电压 $v_I$ 的波形如图中所示，假定它的低电平持续时间比R、C电路的时

间常数大得多。

(1) 试画出输出电压 $v_O$ 的波形。

(2) 能否用图7-2-7中的电路作单稳态触发器使用？试说明理由。

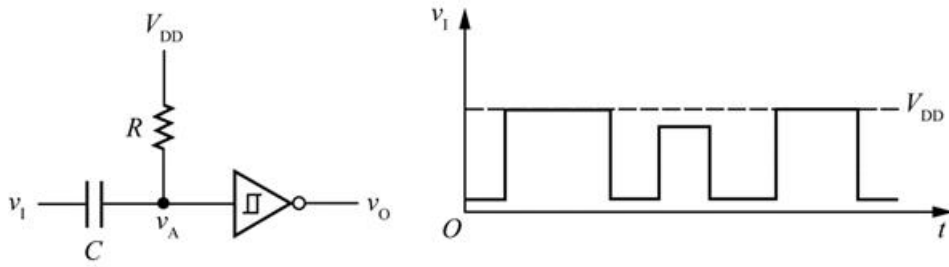


图7-2-7

解：(1) 输出电压的波形，如图7-2-8所示。

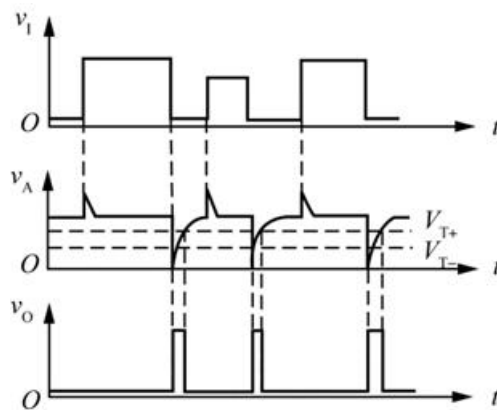


图7-2-8

(2) 不能用图7-2-7中的电路作单稳态触发器使用。

因为 $v_A$ 的脉冲幅度和输入信号 $v_I$ 的幅度、下降沿的好坏有关，所以 $v_O$ 输出脉冲的宽度也与 $v_I$ 有关，而不仅仅取决于电路内部的参数。

7.7 在图7-2-9给出的微分型单稳态触发器电路中，已知 $R=51\text{k}\Omega$ ， $C=0.01\mu\text{F}$ ，电源电压 $V_{DD}=10\text{V}$ ，试求在触发信号作用下输出脉冲的宽度和幅度。

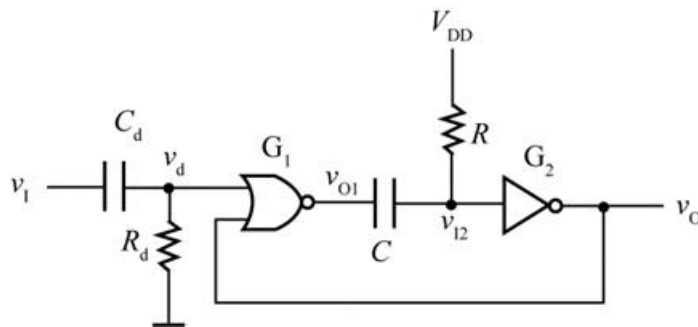


图7-2-9

解：在触发信号作用下输出脉冲的宽度为： $t_w = RC \ln 2 = 51 \times 10^3 \times 0.01 \times 10^{-6} \times 0.69 \text{s} = 0.35 \text{ms}$ ；

在触发信号作用下输出脉冲的幅度为： $V_m = V_{OH} - V_{OL} \approx V_{DD} = 10\text{V}$ 。

7.8 在图7-2-10所示的积分型单稳态触发器电路中，若 $G_1$ 和 $G_2$ 为74LS系列门电路，它们的 $V_{OH}=3.4V$ ， $V_{OL}\approx 0$ ， $V_{TH}=1.1V$ ， $R=1k\Omega$ ， $C=0.01\mu F$ ，试求在触发信号作用下输出负脉冲的宽度。设触发脉冲的宽度大于输出脉冲的宽度。

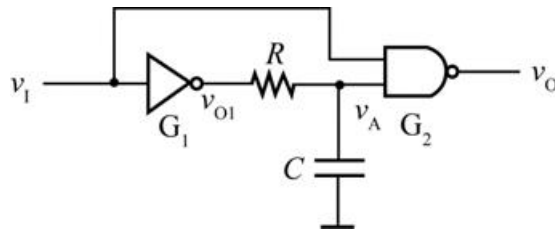


图7-2-10

**解：**在触发信号作用下输出负脉冲的宽度为： $t_{\text{tr}} = RC \ln \frac{V_{OH}}{V_{TH}} = 1 \times 10^3 \times 0.01 \times 10^{-6} \ln \frac{3.4}{1.1} = 11.3 \mu\text{s}$ 。

7.9 图7-2-11是用TTL门电路接成的微分型单稳态触发器，其中 $R_d$ 阻值足够大，保证稳态时 $v_A$ 为高电平。 $R$ 的阻值很小，保证稳态时 $v_{I2}$ 为低电平。试分析该电路在给定触发信号 $v_I$ 作用下的工作过程，画出 $v_A$ 、 $v_{O1}$ 、 $v_{I2}$ 和 $v_O$ 的电压波形。 $C_d$ 的电容量很小，它与 $R_d$ 组成微分电路。

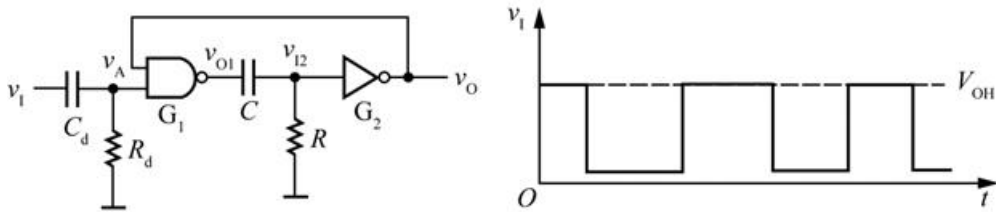


图7-2-11

**解：**图7-2-11可知， $R$ 的阻值很小， $v_{I2} < V_{TH}$ ； $v_A \geq V_{TH}$ ，故稳态时 $v_{O1} = V_{OL}$ ， $v_O = V_{OH}$ 。

$v_I$ 为负触发脉冲时， $v_A$ 处出现负的微分脉冲， $v_{O1}$ 和 $v_{I2}$ 处产生正电压跳变， $v_O$ 跳变为低电平。同时 $v_I$ 的低电平信号消失后， $v_O$ 和状态不变。

当 $v_{O1}$ 变为高电平时， $C$ 开始充电， $v_{I2}$ 开始下降，当 $v_{I2} = V_{TH}$ 时， $v_O$ 变为高电平， $v_{O1}$ 变为低电平， $C$ 放电，电路恢复原稳定状态。各点电压波形如图7-2-12所示。

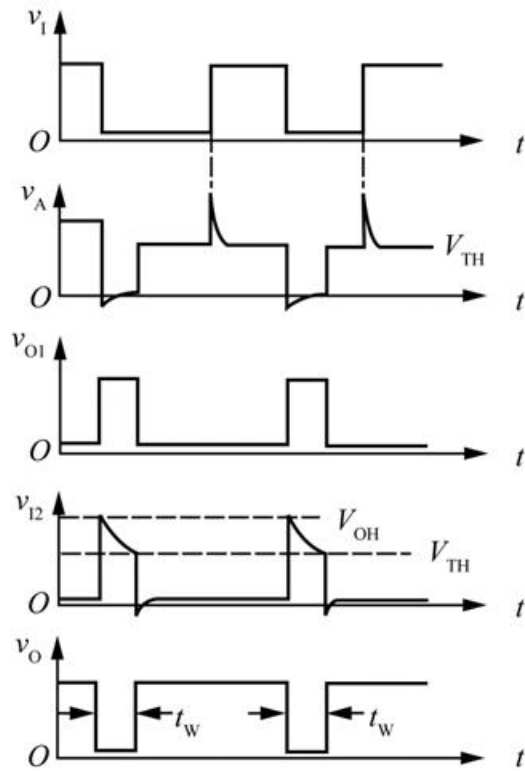


图7-2-12

7.10 在图7-2-11所示的微分型单稳态触发器电路中，若 $G_1$ 和 $G_2$ 为74系列TTL门电路，它们的 $V_{OH}=3.2V$ ， $V_{OL}\approx 0$ ， $V_{TH}=1.3V$ ， $R=0.3k\Omega$ ， $C=0.01\mu F$ ，试计算电路输出负脉冲的宽度。

解：由图7-2-12可知， $v_{12}$ 从 $V_{OH}$ 下降至 $V_{TH}$ 的时间，即电路输出负脉冲的宽度为：

$$t_w = RC \ln \frac{V_{OH}}{V_{TH}} = 0.3 \times 10^3 \times 0.01 \times 10^{-6} \ln \frac{3.2}{1.3} = 2.7 \mu s$$

7.11 图7-2-13是用两个集成单稳态触发器74121所组成的脉冲变换电路，外接电阻和外接电容的参数如图中所示。试计算在输入触发信号 $v_1$ 作用下 $v_{O1}$ 、 $v_{O2}$ 输出脉冲的宽度，并画出与 $v_1$ 波形相对应的 $v_{O1}$ 、 $v_{O2}$ 的电压波形。 $v_1$ 的波形如图中所示。

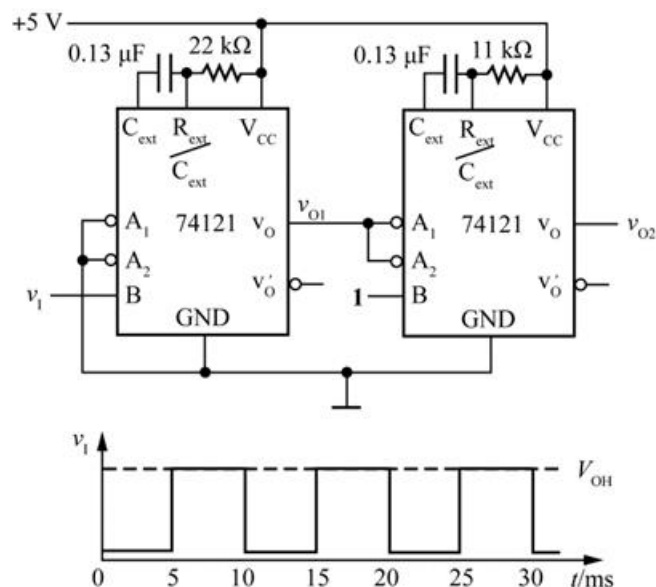


图7-2-13

解：在输入触发信号 $v_I$ 作用下 $v_{O1}$ 、 $v_{O2}$ 输出脉冲的宽度分别为：

$$t_{W1} = 0.69 \times 22 \times 103 \times 0.13 \times 10^{-6} \text{s} \approx 2 \text{ms}$$

$$t_{W2} = 0.69 \times 11 \times 103 \times 0.13 \times 10^{-6} \text{s} \approx 1 \text{ms}$$

与 $v_I$ 相对应的 $v_{O1}$ 、 $v_{O2}$ 的波形图，如图7-2-14所示。

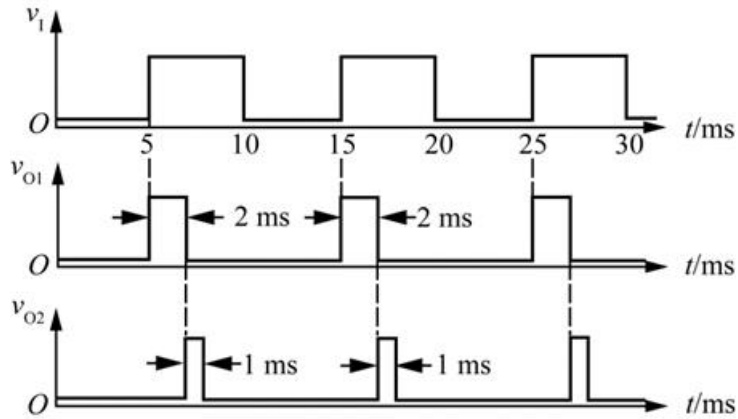


图7-2-14

7.12 在图7-2-15所示的对称式多谐振荡器电路中，若 $R_{F1} = R_{F2} = 1 \text{k}\Omega$ ， $C_1 = C_2 = 0.1 \mu\text{F}$ ， $G_1$ 和 $G_2$ 为74LS04（六反相器）中的两个反相器， $G_1$ 和 $G_2$ 的 $V_{OH} = 3.4 \text{V}$ ， $V_{TH} = 1.1 \text{V}$ ， $V_{IK} = -1.5 \text{V}$ ， $R_1 = 20 \text{k}\Omega$ ，求电路的振荡频率。

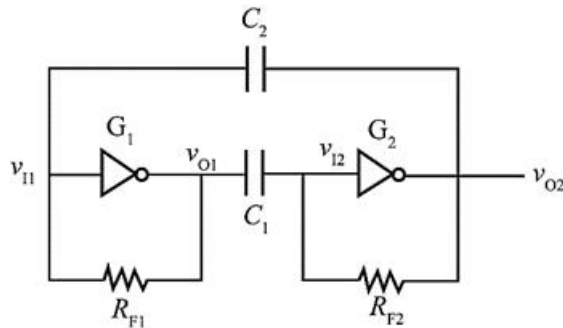


图7-2-15

解：根据题意可得，振荡周期为：

$$T = 2R_E C \ln \frac{V_E - V_{IK}}{V_E - V_{TH}}$$

将

$$R_E = \frac{R_1 R_F}{R_1 + R_F} = \frac{20 \times 1}{20 + 1} \text{k}\Omega = 0.95 \text{k}\Omega$$

$$\begin{aligned} V_E &= V_{OH} + \frac{R_F}{R_1 + R_F} (V_{CC} - V_{OH} - V_{BE}) \\ &= 3.4 \text{V} + \frac{1}{20 + 1} (5 - 3.4 - 0.7) \text{V} = 3.44 \text{V} \end{aligned}$$

代入上式得：

$$T = 2 \times 0.95 \times 10^3 \times 0.1 \times 10^{-6} \ln \frac{3.44 + 1.5}{3.44 - 1.1} = 1.42 \times 10^{-4} \text{ s}$$

因此，振荡频率  $f = 1/T = 7.04 \text{ kHz}$ 。

7.13 图7-2-16是用CMOS反相器组成的对称式多谐振荡器。若  $R_{F1} = R_{F2} = 10 \text{ k}\Omega$ ， $C_1 = C_2 = 0.01 \mu\text{F}$ ， $R_{P2} = R_{P1} = 33 \text{ k}\Omega$ ，试求电路的振荡频率，并画出  $v_{I1}$ 、 $v_{O1}$ 、 $v_{I2}$ 、 $v_{O2}$  各点的电压波形。

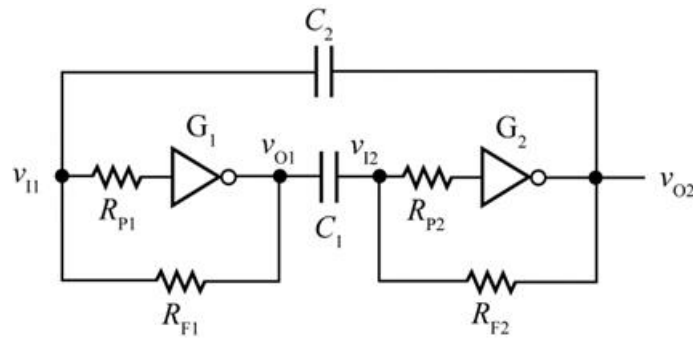


图7-2-16

解：电路中各点电压波形，如图7-2-17 (a) 所示，电容充、放电的等效电路，如图7-2-17 (b) 所示。

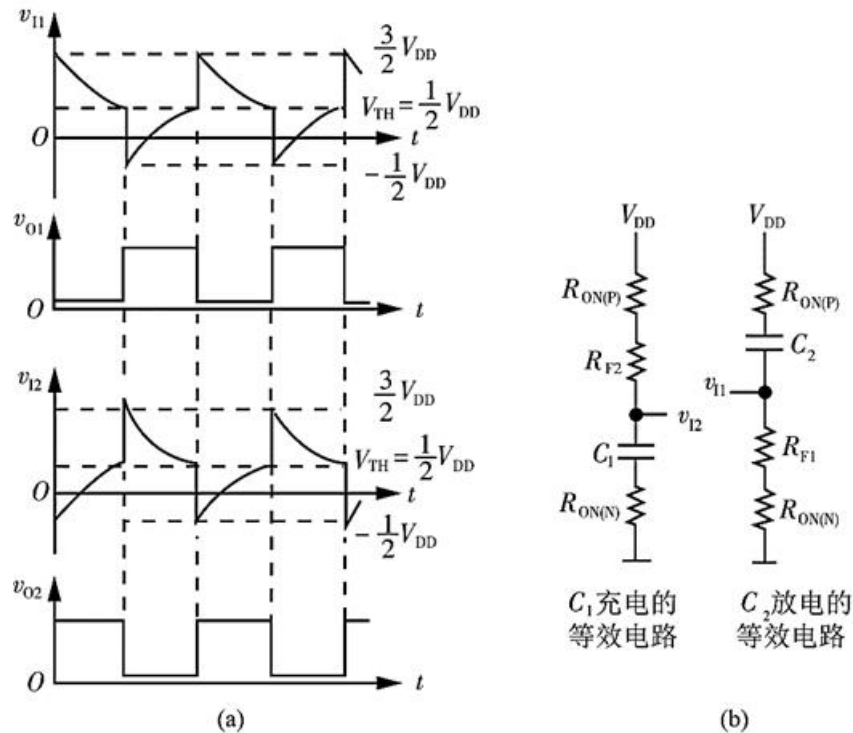


图7-2-17

振荡周期：

$$T = 2(R_F + R_{ON(N)} + R_{ON(P)}) C \ln \frac{V_{DD} - (V_{TH} - V_{DD})}{V_{DD} - V_{TH}}$$

若  $R_F \gg R_{ON(N)}$ 、 $R_F \gg R_{ON(P)}$ 、 $V_{TH} = \frac{V_{DD}}{2}$ ，可改写为：

$$T = 2R_F C \ln 3$$

代入数值，计算得：

$$f = \frac{1}{T} = 4.55\text{kHz}$$

7.14 在图7-2-18所示的非对称式多谐振荡器电路中，若 $G_1$ 、 $G_2$ 为CMOS反相器， $R_F=9.1\text{k}\Omega$ ， $C=0.001\mu\text{F}$ ， $R_P=100\text{k}\Omega$ ， $V_{DD}=5\text{V}$ ， $V_{TH}=2.5\text{V}$ ，试计算电路的振荡频率。

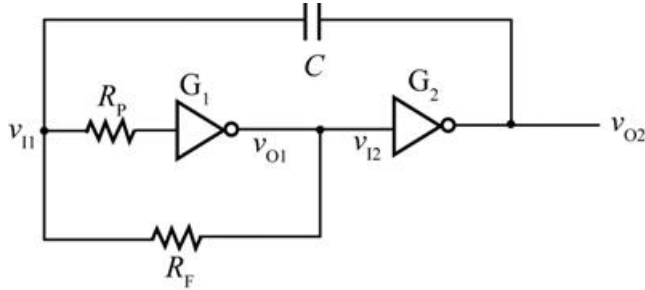


图7-2-18

解：由题意可得：

$$f = \frac{1}{T} = \frac{1}{2.2R_FC} = \frac{1}{2.2 \times 9.1 \times 10^3 \times 10^{-9}} \approx 50\text{kHz}$$

7.15 如果将图7-2-18所示非对称式多谐振荡器中的 $G_1$ 和 $G_2$ 改用TTL反相器，并将 $R_P$ 短路，试画出电容 $C$ 充、放电时的等效电路，并求出计算电路振荡频率的公式。

解：根据题意， $v_{I1}$ 的波形图如图7-2-19所示。

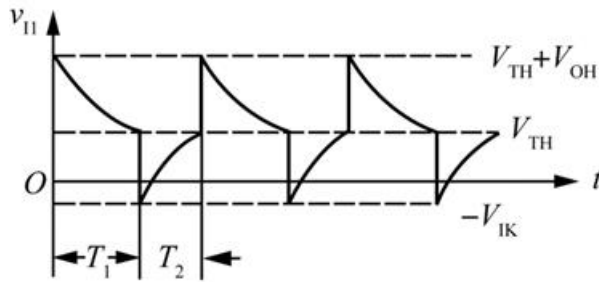


图7-2-19

电容 $C$ 放电的回路，如图7-2-20所示。

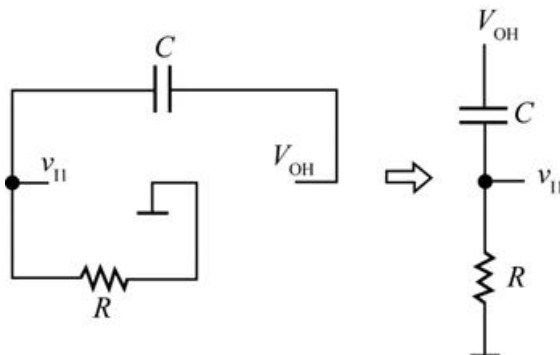


图7-2-20

电容 $C$ 充电的回路，如图7-2-21所示。

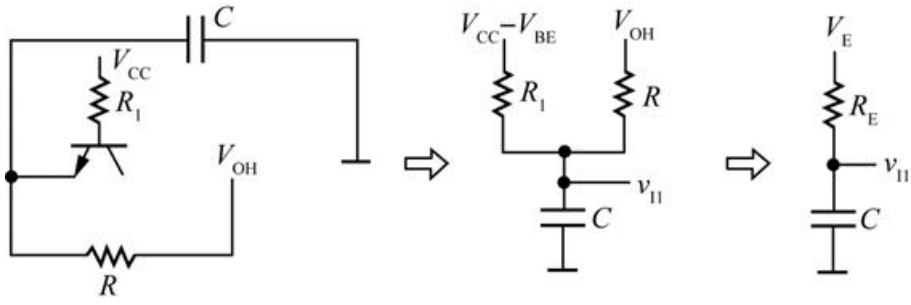


图7-2-21

电容放电时间  $T_1 = RC \ln \frac{V_{TH} + V_{OH}}{V_{TH}}$  ;

电容充电时间  $T_2 = R_E C \ln \frac{V_E - (-V_{IK})}{V_E - V_{TH}}$  ;

其中,  $R_E = \frac{RR_1}{R+R_1}$ ,  $V_E = V_{OH} + \frac{R}{R+R_1}(V_{CC} - V_{BE} - V_{OH})$ 。

当  $R_1 \gg R$  时,  $R_E \approx R$ ,  $V_E \approx V_{OH}$ , 则周期的近似计算公式为:

$$T = T_1 + T_2 = RC \ln \frac{V_{TH} + V_{OH}}{V_{TH}} \frac{V_{OH} + V_{IK}}{V_{OH} - V_{TH}}$$

7.16 图7-2-22是由五个同样的与非门接成的环形振荡器。今测得输出信号的重复频率为10MHz, 试求每个门的平均传输延迟时间。假定所有与非门的传输延迟时间相同, 而且  $t_{PHL} = t_{PLH} = t_{pd}$ 。

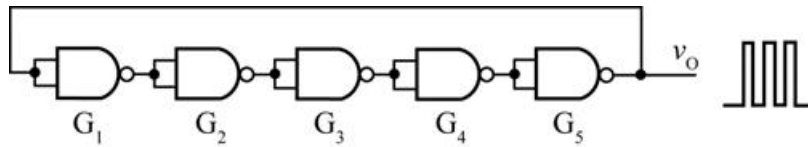


图7-2-22

解: 若n个反相器首尾相接组成的环形振荡器的振荡周期为  $T = 2nt_{pd}$ , 则有:

$$t_{pd} = \frac{T}{2n} = \frac{1}{2nf} = \frac{1}{2 \times 5 \times 10 \times 10^6} \text{ s} = 10^{-8} \text{ s} = 10 \text{ ns}$$

7.17 在图7-2-23所示的环形振荡器电路中, 若给定  $R = 200 \Omega$ ,  $R_S = 100 \Omega$ ,  $C = 0.01 \mu\text{F}$ ,  $G_1$ 、 $G_2$ 和 $G_3$ 为74系列TTL门电路 ( $V_{OH} = 3\text{V}$ ,  $V_{OL} \approx 0$ ,  $V_{TH} = 1.3\text{V}$ ), 试计算电路的振荡频率。

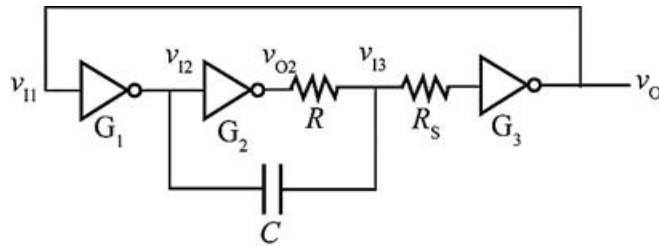


图7-2-23

解: 根据题意, 电路的振荡周期为:



$$\begin{aligned}
 T &= RC \ln \frac{V_{TH} + V_{OH}}{V_{TH}} \frac{2V_{OH} - V_{TH}}{V_{OH} - V_{TH}} \\
 &= 200 \times 0.01 \times 10^{-6} \ln \frac{6-1.3}{3-1.3} \times \frac{3+1.3}{1.3} \text{ s} \\
 &= 4.4 \mu\text{s}
 \end{aligned}$$

因此，电路的振荡频率  $f=1/T=227\text{kHz}$ 。

7.18 在图7-2-24电路中，已知CMOS集成施密特触发器的电源电压  $V_{DD}=15\text{V}$ ， $V_{T+}=9\text{V}$ ， $V_{T-}=4\text{V}$ ，试问：

- (1) 为了得到占空比为  $q=50\%$  的输出脉冲， $R_1$  与  $R_2$  的比值应取多少？
- (2) 若给定  $R_1=3\text{k}\Omega$ ， $R_2=8.2\text{k}\Omega$ ， $C=0.05\mu\text{F}$ ，电路的振荡频率为多少？输出脉冲的占空比又是多少？

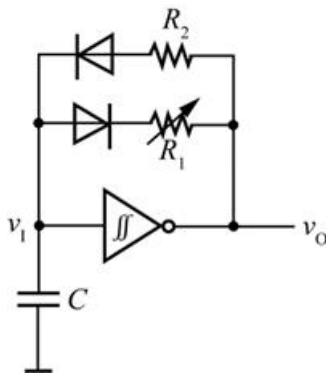


图7-2-24

解：（1）要得到占空比为50%的输出脉冲，应有  $T_1=T_2$ ，即：

$$R_2 C \ln \frac{V_{DD} - V_{T-}}{V_{DD} + V_{T+}} = R_1 C \ln \frac{V_{T+}}{V_{T-}}$$

故有：

$$\frac{R_2}{R_1} = 1 \frac{\ln \frac{V_{T+}}{V_{T-}}}{\ln \frac{V_{DD} - V_{T-}}{V_{DD} + V_{T+}}} = \frac{\ln \frac{11}{6}}{\ln \frac{9}{4}} = \frac{3}{4}$$

（2）根据题意，电路的振荡周期为：

$$\begin{aligned}
 T &= T_2 + T_1 = R_1 C \ln \frac{V_{T+}}{V_{T-}} + R_2 C \ln \frac{V_{DD} - V_{T-}}{V_{DD} - V_{T+}} \\
 &= 8.2 \times 10^3 \times 0.05 \times 10^{-6} \ln \frac{11}{6} \text{ s} + 3 \times 10^3 \times 0.05 \times 10^{-6} \ln \frac{9}{4} \text{ s} \\
 &= (0.25 + 0.12) \text{ ms} = 0.37 \text{ ms}
 \end{aligned}$$

振荡频率为： $f=1/T=2.7\text{kHz}$ ；输出脉冲的占空比为： $q=T_1/T=0.25/0.37=0.68$ 。

7.19 在图7-2-25所示用555定时器接成的施密特触发器电路中，试求：

(1) 当 $V_{CC}=12V$ ，而且没有外接控制电压时， $V_{T+}$ 、 $V_{T-}$ 及 $\Delta V_T$ 值。

(2) 当 $V_{CC}=9V$ 、外接控制电压 $V_{CO}=5V$ 时， $V_{T+}$ 、 $V_{T-}$ 、 $\Delta V_T$ 各为多少。

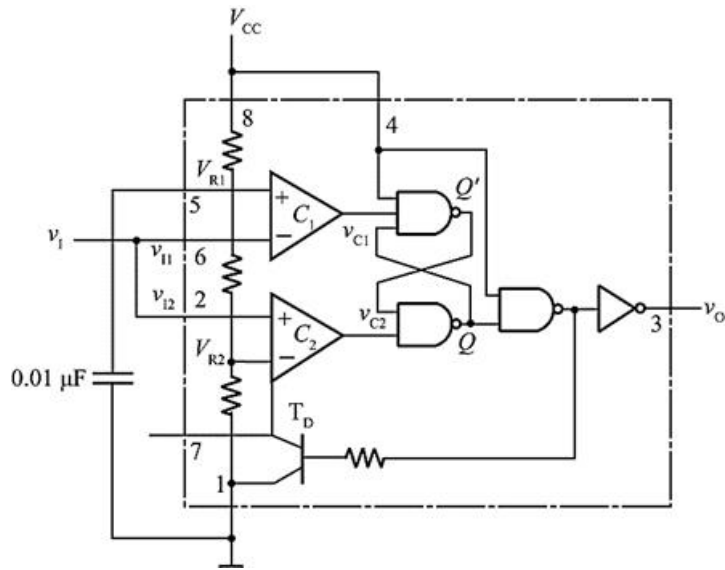


图7-2-25

**解：** (1) 当 $V_{CC}=12V$ ，而且没有外接控制电压时： $V_{T+}=2V_{CC}/3=8V$ ， $V_{T-}=V_{CC}/3=4V$ ， $\Delta V_T=V_{T+}-V_{T-}=4V$ 。

(2) 当 $V_{CC}=9V$ 、外接控制电压 $V_{CO}=5V$ 时： $V_{T+}=V_{CO}=5V$ ， $V_{T-}=V_{CO}/2=2.5V$ ， $\Delta V_T=V_{T+}-V_{T-}=2.5V$ 。

7.20 图7-2-26是用555定时器组成的开机延时电路。若给定 $C=25\mu F$ ， $R=91k\Omega$ ， $V_{CC}=12V$ ，试计算常闭开关S断开以后经过多长的延迟时间 $v_O$ 才跳变为高电平。

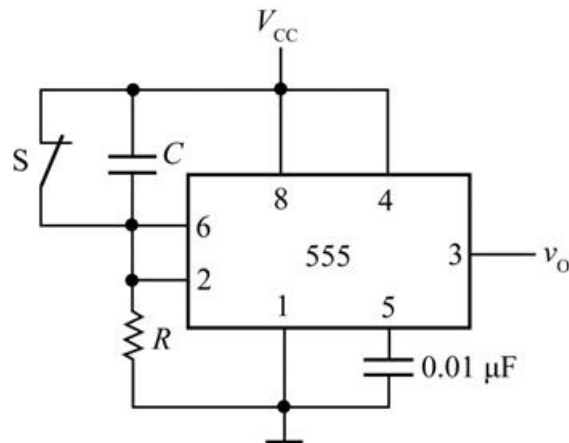


图7-2-26

**解：** 当S断开后，电阻R上的电压降至 $V_{T-}=1/3V_{CC}$ 的时间为：

$$T_D = RC \ln \frac{0 - V_{CC}}{0 - \frac{1}{3}V_{CC}} = RC \ln 3 = 1.1 \times 91 \times 10^3 \times 25 \times 10^{-6} = 2.5s$$

7.21 试用555定时器设计一个单稳态触发器，要求输出脉冲宽度在1~10s的范围内可手动调节。给定555定时器的电源为15V。触发信号来自TTL电路，高低电平分别为3.4V和0.1V。

解：利用555定时器设计的单稳态触发器电路如图7-2-27所示。

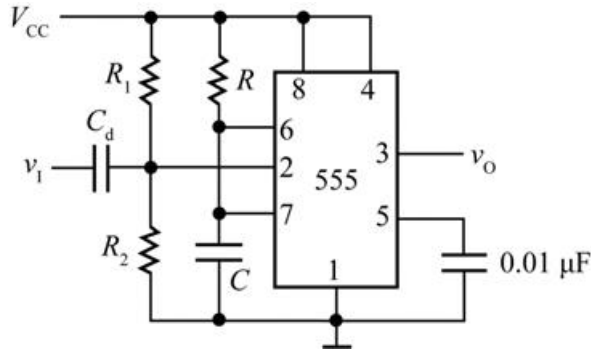


图7-2-27

在该电路中取 $R_1=22\text{k}\Omega$ ,  $R_2=18\text{k}\Omega$ ,  $C=100\mu\text{F}$ , 为使 $t_W=1\sim 10\text{s}$ , 则有:

$$R_{(\min)} = \frac{t_{W(\min)}}{1.1C} = \frac{1}{1.1 \times 100 \times 10^{-6}} \Omega = 9.1\text{k}\Omega$$

$$R_{(\max)} = \frac{t_{W(\max)}}{1.1C} = \frac{10}{1.1 \times 100 \times 10^{-6}} \Omega = 91\text{k}\Omega$$

因此, 取 $100\text{k}\Omega$ 的电位器和 $8.2\text{k}\Omega$ 的电阻串联作为 $R$ , 即可得到 $t_W=1\sim 10\text{s}$ 的调节范围。

7.22 在图7-2-28所示用555定时器组成的多谐振荡器电路中, 若 $R_1=R_2=5.1\text{k}\Omega$ ,  $C=0.01\mu\text{F}$ ,  $V_{CC}=12\text{V}$ , 试计算电路的振荡频率。

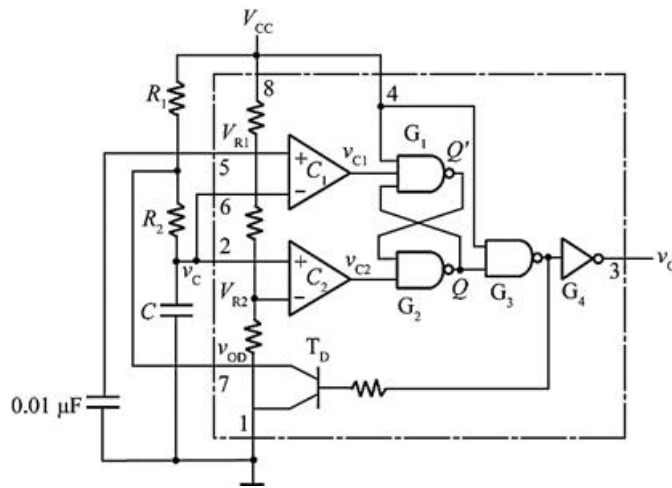


图7-2-28

解：根据题意, 电路的振荡频率

$$f = \frac{1}{(R_1 + 2R_2)C \ln 2} = \frac{1}{3 \times 5.1 \times 10^3 \times 0.01 \times 10^{-6} \times 0.69} \text{Hz} = 9.47\text{kHz}$$

7.23 图7-2-29是用555定时器构成的压控振荡器, 试求输入控制电压和振荡频率之间的关系式。当输入控制电压升高时频率是升高还是降低?

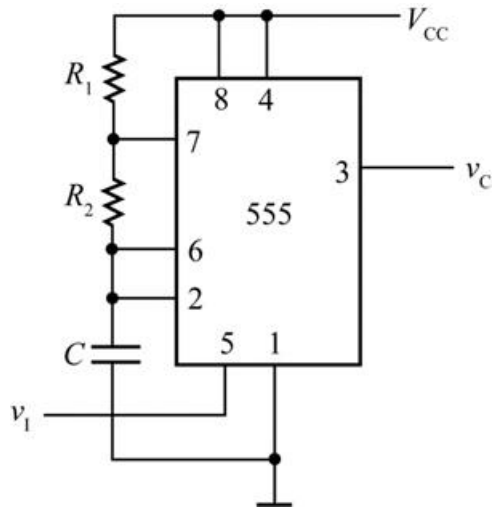


图7-2-29

解：根据题意，电路的振荡周期为：

$$T = T_2 + T_1 = R_2 C \ln \frac{V_{T+}}{V_{T-}} + (R_1 + R_2) C \ln \frac{V_{CC} - V_{T-}}{V_{CC} - V_{T+}}$$

将  $V_{T+} = v_I$ ,  $V_{T-} = v_I/2$  代入，则有：

$$T = (R_1 + R_2) C \ln \frac{V_{CC} - \frac{1}{2}v_I}{V_{CC} - v_I} + R_2 C \ln 2$$

因此，当  $v_I$  升高时， $T$  变大，振荡频率下降。

7.24 图7-2-30是一个简易电子琴电路，当琴键  $S_1 \sim S_n$  均未按下时，三极管  $T$  接近饱和导通， $v_E$  约为  $0V$ ，使555定时器组成的振荡器停振。当按下不同琴键时，因  $R_1 \sim R_n$  的阻值不等，扬声器发出不同的声音。若  $R_B = 20k\Omega$ ,  $R_1 = 10k\Omega$ ,  $R_E = 2k\Omega$ ，三极管的电流放大系数  $\beta = 150$ ,  $V_{CC} = 12V$ ，振荡器外接电阻、电容参数如图所示，试计算按下琴键  $S_1$  时扬声器发出声音的频率。

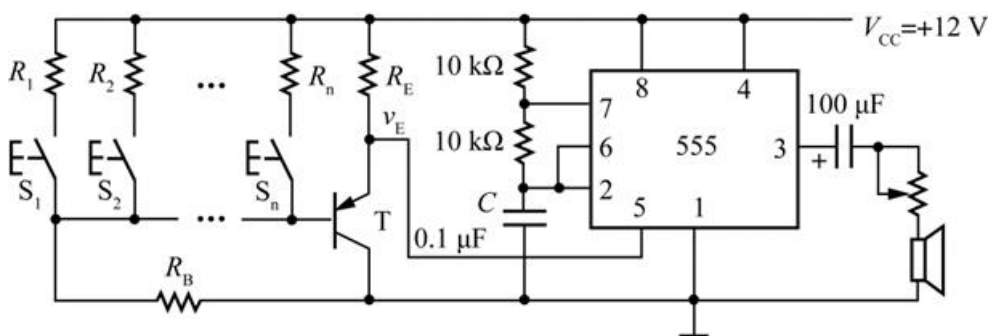


图7-2-30

解：根据题意，当  $S_1$  按下时，忽略三极管  $T$  的基极电流，则有：
$$V_{R1} \approx \frac{R_1}{R_1 + R_B} V_{CC} = 4V。$$

设  $T$  为 PNP 型锗三极管，导通时  $V_{BE} = 0.3V$ ，则  $R_E$  上的电压为：

$$V_{RE} = V_{R1} - V_{BE} = 3.7V$$

$$v_E = V_{CC} - V_{RE} = 8.3V$$

因此，按下键 $S_1$ 时扬声器发出声音的周期为：

$$\begin{aligned} T &= (R_1 + R_2)C \ln \frac{V_{CC} - \frac{1}{2}v_E}{V_{CC} - v_E} + R_2 C \ln 2 \\ &= (20 \times 10^3 \times 0.1 \times 10^{-6} \ln \frac{12 - 4.15}{12 - 8.3} + 10 \times 10^3 \times 0.1 \times 10^{-6} \times 0.69) s \\ &= (1.5 \times 10^{-3} + 0.69 \times 10^{-3}) s = 2.19 \times 10^{-3} s \end{aligned}$$

频率为： $f = 1/T = 457\text{Hz}$ 。

7.25 图7-2-31是用两个555定时器接成的延迟报警器。当开关 $S$ 断开后，经过一定的延迟时间后扬声器开始发出声音。如果在延迟时间内 $S$ 重新闭合，扬声器不会发出声音。在图中给定的参数下，试求延迟时间的具体数值和扬声器发出声音的频率。图中的 $G_1$ 是CMOS反相器，输出的高、低电平分别为 $V_{OH} \approx 12V$ ， $V_{OL} \approx 0V$ 。

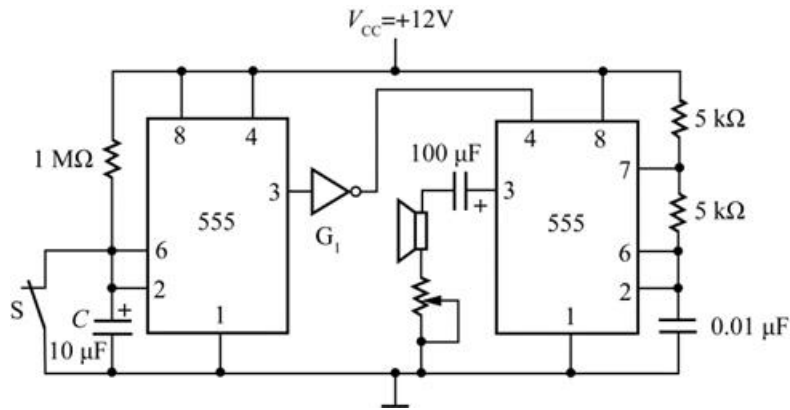


图7-2-31

解：将电路图中的元件标注，如图7-2-32所示。

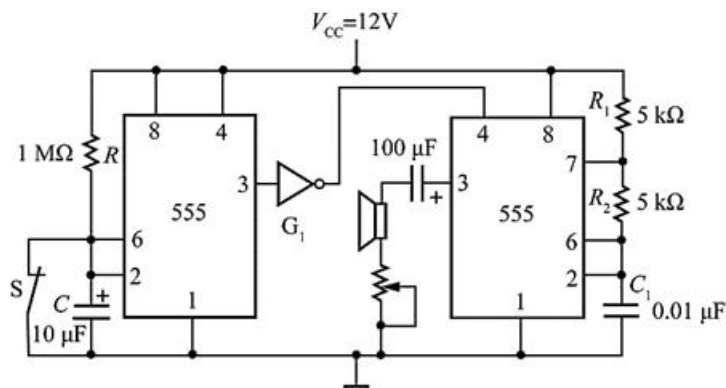


图7-2-32

由题意可得，延迟时间为：

$$T_D = RC \ln \frac{V_{CC}}{V_{CC} - V_{T+}} = 10^6 \times 10 \times 10^{-6} \ln \frac{12}{12 - 8} s = 11s$$

扬声器发出声音的频率为：

$$f = \frac{1}{(R_1 + 2R_2)C_1 \ln 2} = \frac{1}{15 \times 10^3 \times 0.01 \times 10^{-6} \times 0.69} \text{Hz} = 9.66\text{Hz}$$

7.26 图7-2-33是救护车扬声器发音电路。在图中给出的电路参数下，试计算扬声器发出声音的高、低音频率以及高、低音的持续时间。当 $V_{CC}=12V$ 时，555定时器输出的高、低电平分别为11V和0.2V，输出电阻小于 $100\Omega$ 。

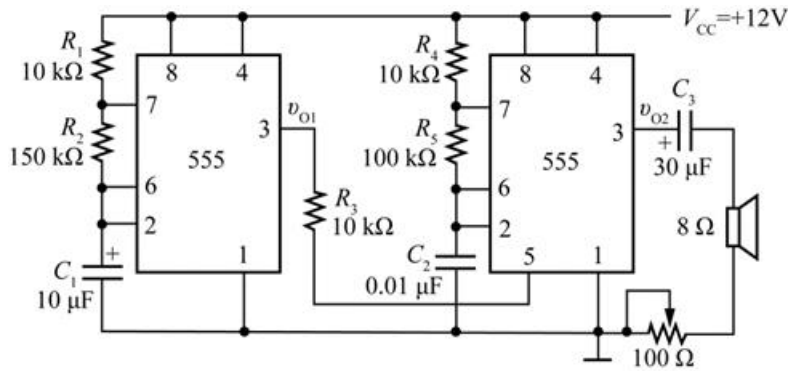


图7-2-33

解：（1）由题意可得， $v_{O1}$ 的高电平持续时间为：

$$t_H = (R_1 + R_2) C_1 \ln 2 = 160 \times 10^3 \times 10 \times 10^{-6} \times 0.69s = 1.1s$$

又此时555定时器输出高、低电平分别为11V和0.2V，故 $v_{O1} = 11V$ 。

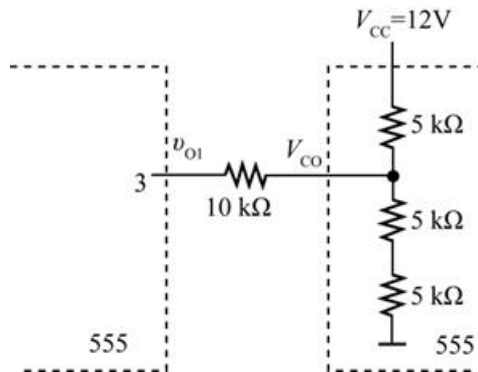


图7-2-34

由图7-2-34可得，加到555定时器5脚上的电压 $v_{CO} = 8.8V$ ，故有： $V_{T+} = 8.8V$ ， $V_{T-} = 4.4V$ 。

因此，扬声器的振荡周期为：

$$\begin{aligned} T &= (R_4 + R_5) C_2 \ln \frac{V_{CC} - V_{T-}}{V_{CC} - V_{T+}} + R_5 C_2 \ln 2 \\ &= (110 \times 10^3 \times 0.01 \times 10^{-6} \ln \frac{12 - 4.4}{12 - 8.8} + 100 \times 10^3 \times 0.01 \times 10^{-6} \times 0.69)s \\ &= 1.63 \times 10^{-3}s \end{aligned}$$

扬声器的振荡频率为： $f_1 = 1/T_1 = 611Hz$ 。

（2）由题意可得， $v_{O1}$ 的低电平持续时间为： $t_L = R_2 C_1 \ln 2 = 150 \times 10^3 \times 10 \times 10^{-6} \times 0.69s = 1.04s$ 。

又此时左边555定时器输出电压 $v_{O1} = 0.2V$ ，加到右边555定时器5脚上的电压 $v_{CO} = 6V$ ，故有： $V_{T+} = 6V$ ， $V_{T-} = 3V$ 。

因此，扬声器的振荡周期为：

$$T = (110 \times 10^3 \times 0.01 \times 10^{-6} \ln \frac{12-3}{12-6} + 100 \times 10^3 \times 0.01 \times 10^{-6} \times 0.69) \text{s}$$

$$= 1.14 \times 10^{-3} \text{s}$$

扬声器的振荡频率为： $f_2 = 1/T_2 = 876 \text{Hz}$ 。

综上所述，扬声器的高音频率为876Hz，持续时间1.04s，低音频率为611Hz，持续时间1.1s。

7.27 图7-2-35 (a) 是用555定时器接成的脉冲宽度调制电路，其中 $R=18\text{k}\Omega$ ， $C=0.01\mu\text{F}$ ，若 $V_{DD}=5\text{V}$ ，触发输入信号 $v_I$ 和调制输入信号 $V_M$ 的电压波形如图7-2-35 (b) 中所示，试画出与之对应的输出电压波形，并计算 $V_M$ 为2V、3V、4V时输出脉冲的宽度。

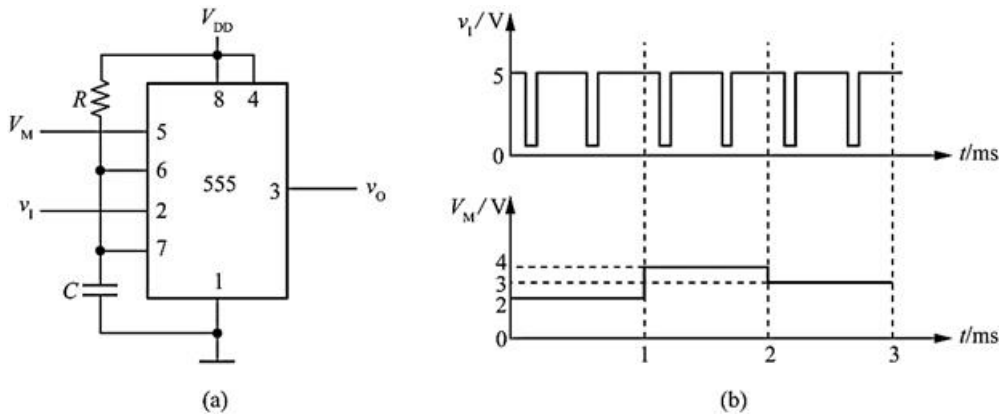


图7-2-35

**解：**7-2-35 (a) 的脉冲宽度调制电路实际上是一个单稳态电路，它的输出脉冲宽度受调制输入信号 $V_M$ 控制，电路输出脉冲宽度的公式  $t_W = \frac{RC \ln(V_{CC} - 0)}{(V_{CC} - V_M)}$ 。

根据上式计算得到：

当 $V_M=2\text{V}$ 时， $t_W=0.09\text{ms}$ ；

当 $V_M=3\text{V}$ 时， $t_W=0.16\text{ms}$ ；

当 $V_M=4\text{V}$ 时， $t_W=0.29\text{ms}$ 。

输出脉冲的波形图如图7-2-36所示。

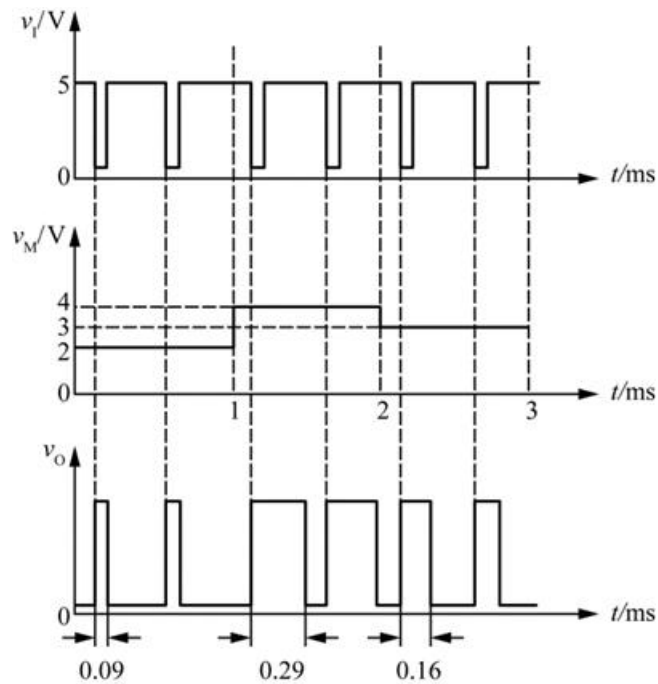


图7-2-36

### 7.3 名校考研真题详解

#### 一、填空题

1 单稳态触发器进入暂态的时刻由\_\_\_\_\_（① 电路参数；② 触发信号）决定，而暂态持续时间由\_\_\_\_\_（① 电路参数；② 触发信号）决定。[中山大学2010研]

【答案】②；①

【解析】在外加脉冲的作用下，单稳态触发器可以从一个稳定状态翻转到一个暂稳态，而暂稳态维持的时间取决于电路参数RC的值。

2 施密特触发器有\_\_\_\_\_种稳定状态，上限触发电平和下限触发电平的\_\_\_\_\_值称为施密特触发器的\_\_\_\_\_。[山东大学 2017 研]

【答案】2；差；回差电压

【解析】施密特触发器能够输出高、低阈值电压且能够长久保持，因此有2种稳定状态；施密特触发器的阈值电压分别为正向阈值电压和反向阈值电压，其差值称为回差电压。

3 在脉冲电路中，产生周期性方波的电路为\_\_\_\_\_。能进行脉冲整形的电路中，在一个周期中\_\_\_\_\_电路有一个暂态，\_\_\_\_\_电路有两个稳态。[重庆大学 2015 研]

【答案】555定时器；单稳态触发器；施密特触发器

#### 二、选择题

下列哪种数字部件可将正弦信号转换成与之频率相同的矩形波信号？（ ）[江苏大学 2016 研]



- A. 施密特触发器
- B. 移位寄存器
- C. 优先编码器
- D. T触发器

【答案】A

【解析】施密特触发器可用于波形变换，它可以将边沿变化缓慢的周期性信号变换为边沿很陡的矩形脉冲信号。

### 三、分析计算题

1 用555集成电路设计多谐振荡器，要求占空比为1:1，频率不作要求，画出设计电路。[电子科技大学2009研]

解：如图7-3-1由555定时器和外接元件 $R_1$ 、 $R_2$ 、 $C$ 构成多谐振荡器，管脚2与6直接相连，电路没有稳态，仅存在两个暂稳态，电路不需要外接触发信号，电源通过 $R_1$ 、 $R_2$ 向 $C$ 充电，并且 $C$ 通过 $R_2$ 向管脚7的DISC放电，从而使电路产生振荡。（ $C_0$ 起滤波作用，消除外来干扰，一般为10nf~1uf。）

正常计算占空比： $T_1 = (R_1 + R_2) C \ln 2$ ， $T_2 = R_2 C \ln 2$ 。 $T_1/T_2 = (R_1 + R_2)/R_2 =$ 占空比， $R_2$ 数值对比 $R_1$ 越大，占空比越接近50%。

题目要求占空比为50%，可在 $R_2$ 两端并联二极管（利用其反向导电性），并使 $R_1 = R_2$ （单位：k $\Omega$ ）。

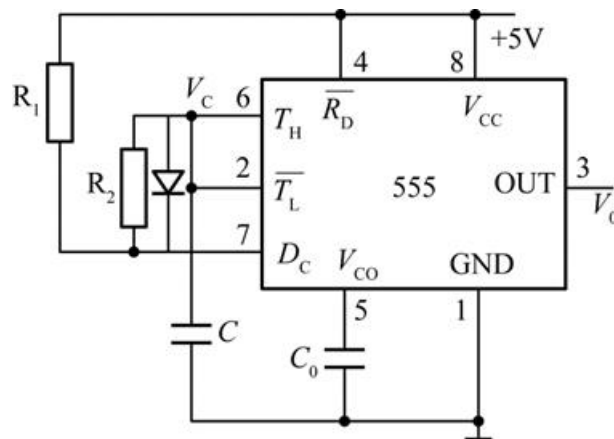


图7-3-1

2 在图7-3-2 (a) 所示的施密特触发器电路中，已知 $R_1 = 10k\Omega$ ， $R_2 = 30k\Omega$ 。 $G_1$ 和 $G_2$ 为CMOS反相器， $V_{DD} = 15V$ 。

(1) 试计算电路的正向阈值电压 $V_{T+}$ 、负向阈值电压 $V_{T-}$ 和回差电压 $\Delta V_T$ 。

(2) 若将图7-3-2 (b) 给出的电压信号加到图7-3-2 (a) 电路的输入端，试画出输出电压的波形。[宁波大学2009研]

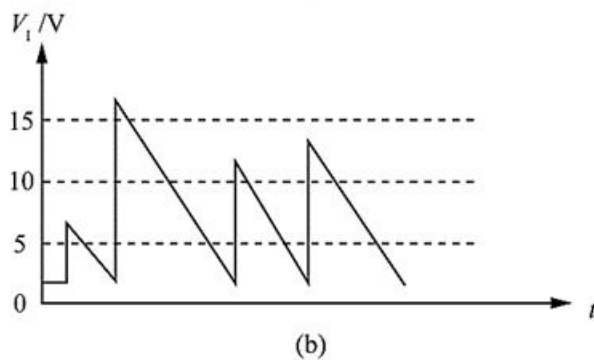
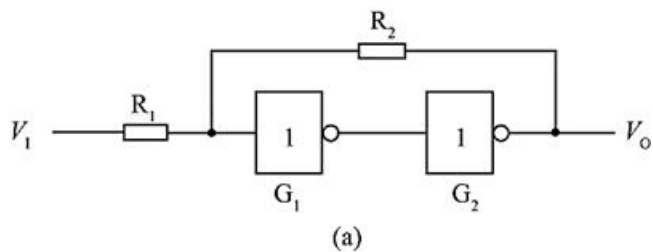


图7-3-2

解：（1）电路的正向阈值电压 $V_{T+}$ 、负向阈值电压 $V_{T-}$ 和同等电压 $\Delta V_T$ 分别为：

$$V_{T+} = (1 + \frac{R_1}{R_2})V_{TH} = (1 + \frac{10}{30}) \times \frac{15}{2} \text{V} = 10\text{V}$$

$$V_{T-} = (1 - \frac{R_1}{R_2})V_{TH} = (1 - \frac{10}{30}) \times \frac{15}{2} \text{V} = 5\text{V}$$

$$\Delta V_T = V_{T+} - V_{T-} = (10 - 5) \text{V} = 5\text{V}$$

（2）输出电压的波形如图7-3-3所示。

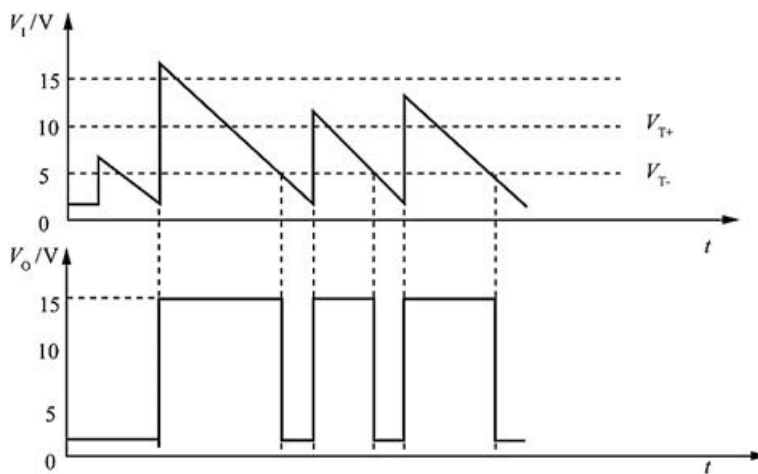


图7-3-3

3 分析图7-3-4所示实用电路的功能。假设 $R_1=R_2=3R_3=3R_4=3R$ ， $C_1=2C_3=2C$ ，要求定性画出第一个555输出 $V_{O1}$ 的波形和第二个555输出 $V_{O2}$ 的波形图。[电子科技大学2008研]

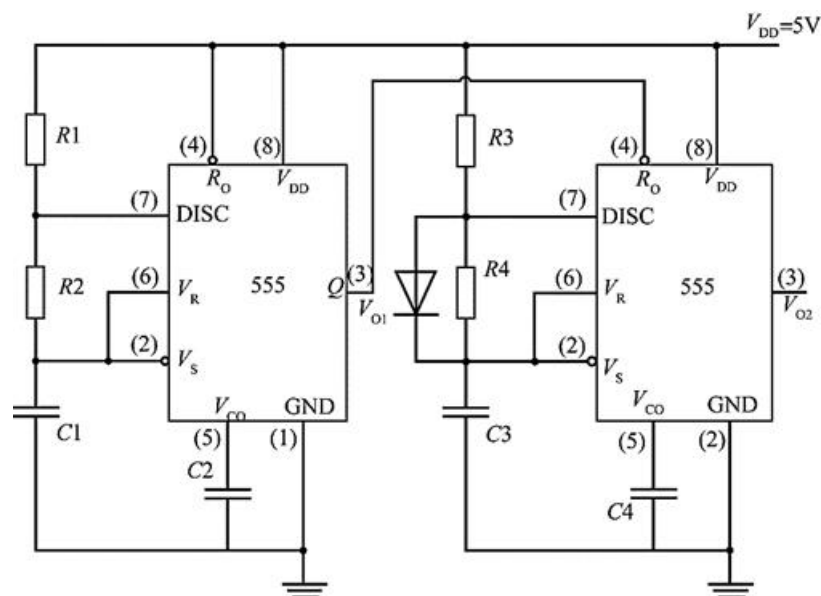


图7-3-4 555实用电路

**解：**图7-3-4中第一个555构成自激多谐振荡器，高电平持续12个时间单位，低电平持续6个时间单位，时间单位为 $RC\ln 2$ ；第二个555构成可控多谐振荡器，控制端为低电平时输出为低。控制端为高电平时，输出方波信号。高低电平各持续1个时间单位 $RC\ln 2$ 。

具体波形如图7-3-5所示。

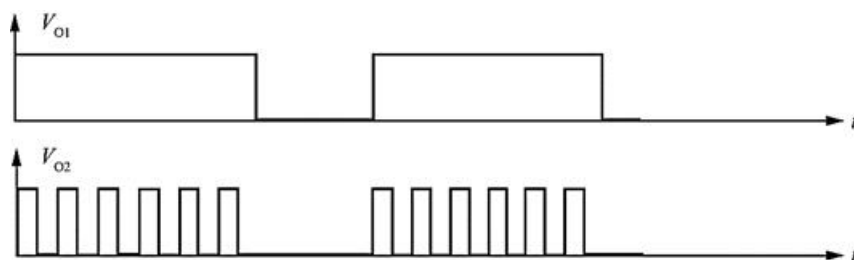


图7-3-5

## 第8章 数-模和模-数转换

### 8.1 复习笔记

本章系统讲授了数-模转换（D/A转换）和模-数转换（A/D转换）的基本原理和常见的典型电路。在数-模转换电路中，介绍了几个重要的数-模转换器；在模-数转换电路中，介绍了模-数转换的一般原理和步骤，然后分别介绍了取样保持电路和模-数转换器的主要类型。最后讨论了转换精度与转换速度的问题。

#### 一、概述

模-数转换与数-模转换的概念及分类见表8-1-1。

表8-1-1 模-数转换与数-模转换的概念及分类

要点	主要内容	
模-数转换	概念	从模拟信号到数字信号的转换称为模-数转换，简称 A/D 转换
	分类	A/D 转换器可分为直接 A/D 转换器和间接 A/D 转换器： ①直接 A/D 转换器包括：并联比较型 A/D 转换器，逐次逼近型 A/D 转换器； ②间接 A/D 转换器包括：双积分型 A/D 转换器
数-模转换	概念	从数字信号到模拟信号的转换称为数-模转换，简称 D/A 转换
	分类	从基本原理上可分为电流求和型和分压器型。 ①电流求和型包括：权电阻型 D/A 转换器，权电流型 D/A 转换器，倒 T 型网络 D/A 转换器； ②分压器型包括：开关树型 D/A 转换器，权电容网络 D/A 转换器

## 二、D/A转换器的电路结构和工作原理

### 1 权电阻网络D/A转换器

图8-1-1是4位权电阻网络D/A转换器原理图，由权电阻网络、4个模拟开关和1个求和放大器组成。

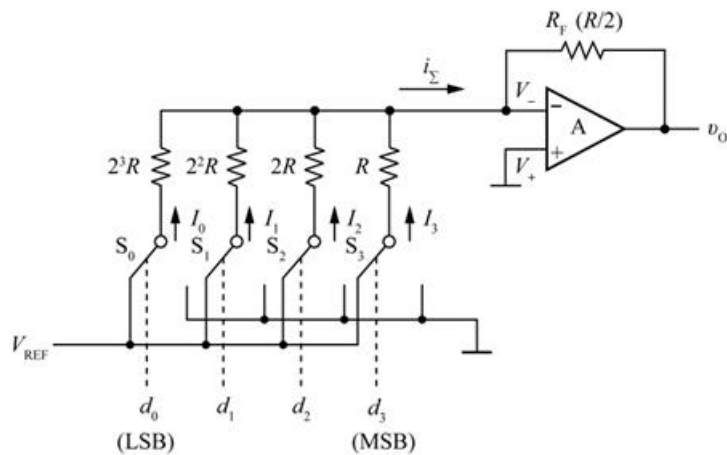


图8-1-1 权电阻网络D/A转换器

反馈电阻取R/2时输出电压：

$$v_o = -\frac{V_{REF}}{2^4} (d_3 2^3 + d_2 2^2 + d_1 2^1 + d_0 2^0)$$

n位权电阻网络D/A转换器，反馈电阻取R/2时输出电压：

$$v_o = -\frac{V_{REF}}{2^n} (d_{n-1} 2^{n-1} + d_{n-2} 2^{n-2} + \dots + d_1 2^1 + d_0 2^0) = -\frac{V_{REF}}{2^n} D_n$$

其中 $D_n$ 为输入的数字量， $D_n$ 的范围为 $0 \sim (2^n - 1)$ 。

### 2 倒T形电阻网络D/A转换器

如图8-1-2所示，倒T形电阻网络D/A转换器中只有R、2R两种阻值的电阻，克服了权电阻网络D/A转换器中电阻阻值相差太大的缺点，这给集成电路的设计和制作带来了很大的方便。

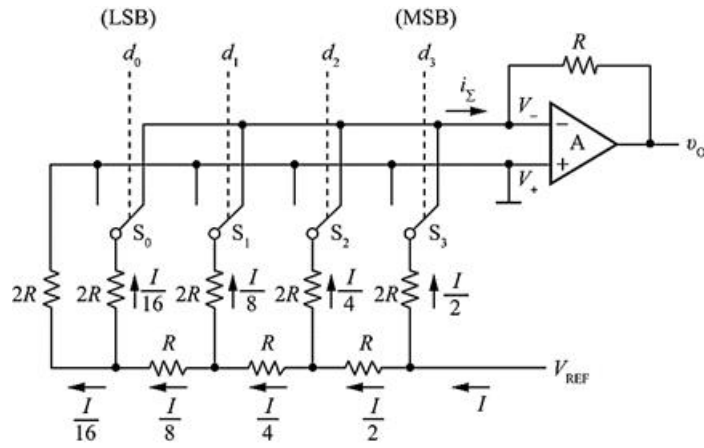


图8-1-2 倒T形电阻网络D/A转换器

在求和放大器的反馈电阻阻值等于R的条件下，输出电压：

$$v_o = -Ri_{\Sigma} = -\frac{V_{REF}}{2^4} (d_3 2^3 + d_2 2^2 + d_1 2^1 + d_0 2^0)$$

n位输入的倒T形电阻网络D/A转换器，在求和放大器的反馈电阻阻值为R的条件下，输出模拟电压：

$$v_o = -\frac{V_{REF}}{2^n} (d_{n-1} 2^{n-1} + d_{n-2} 2^{n-2} + \dots + d_1 2^1 + d_0 2^0) = -\frac{V_{REF}}{2^n} D_n$$

其中 $D_n$ 为输入的数字量， $D_n$ 的范围为 $0 \sim (2^n - 1)$ 。

### 3 权电流型D/A转换器

权电流型D/A转换器中，采用一组恒流源，所以每个支路的电流大小不再受开关内阻和压降的影响，且每个恒流源电流大小依次为前一个的1/2。

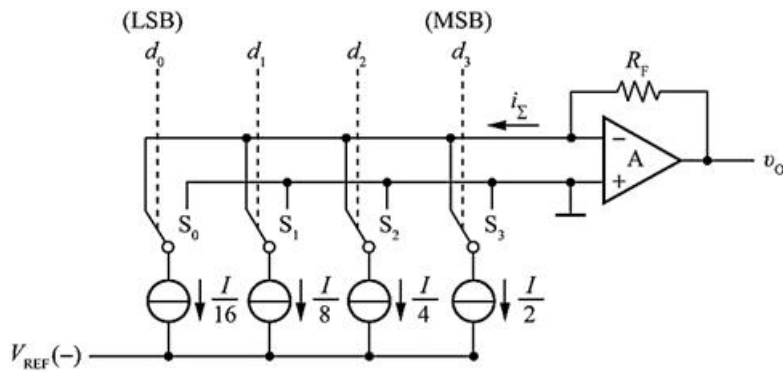


图8-1-3 权电流型D/A转换器

当输入数字量的某位代码为1时，对应的开关将恒流源接至运算放大器的输入端；当输入代码为0时，对应的开关接地，故输出电压为：

$$\begin{aligned} v_o &= i_{\Sigma} R_F = R_F \left( \frac{1}{2} d_3 + \frac{1}{2^2} d_2 + \frac{1}{2^3} d_1 + \frac{1}{2^4} d_0 \right) \\ &= \frac{R_F I}{2^4} (d_3 2^3 + d_2 2^2 + d_1 2^1 + d_0 2^0) \end{aligned}$$

### 4 具有双极性输出的D/A转换器

在二进制算术运算中通常将带符号的数值表示为补码的形式，而前面讲过的D/A转换器电路输出电压都是单极性的，得不到正、负极性的输出电压。而双极性输出的D/A转换器能够将以补码形式输入的正、负数分别转化成正、负极性的模拟电压。电路图如图8-1-4所示。

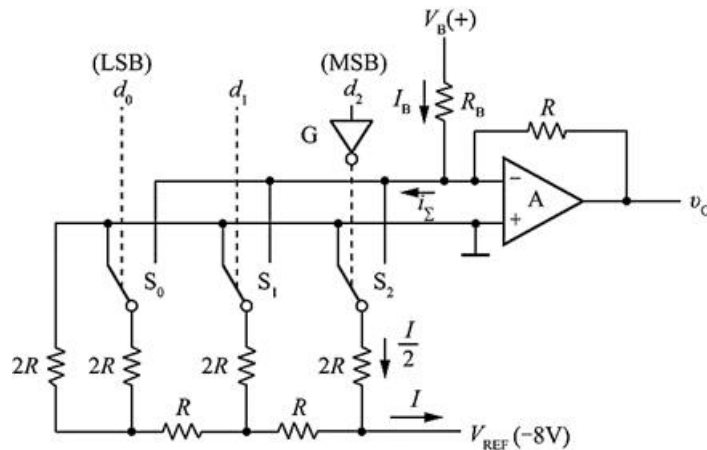


图8-1-4 具有双极性输出电压的D/A转换器

图8-1-4以输入为3位二进制补码为例，说明转换的原理。在该电路中增加了由 $R_B$ 和 $V_B$ 组成的偏移电路。为了使输入代码为100时的输出电压为0，只要使 $I_B$ 与此时的 $i_{\Sigma}$ 大小相等即可。故应取  $\frac{|V_B|}{R_B} = \frac{I}{2} = \frac{|V_{REF}|}{2R}$ 。

### 三、D/A转换器的转换精度与转换速度

D/A转换器的转换精度与转换速度描述方法见表8-1-2。

表8-1-2 D/A转换器的转换精度与转换速度

要点		主要内容
D/A转换器的转换精度描述方法	分辨率	①用输入二进制数码的位数给出； ②用D/A转换器能够分辨出的最小电压（此时输入的数字代码只有最低有效位为1，其余各位都是0）与最大输出电压（此时输入数字代码所有各位全是1）之比给出
	转换误差	D/A转换器的误差原因：① $V_{REF}$ 的波动；②运算放大器的零点漂移；③模拟开关的导通内阻和压降；④电阻网络中电阻值的偏差；⑤三极管特性的不一致等
D/A转换器的转换速度描述方法	建立时间 $t_{set}$	建立时间指从输入的数字量发生突变开始，直到输出电压进入与稳态值相差 $\pm \text{LSB}/2$ 范围以内的这段时间

### 四、A/D转换的基本原理

#### 1 取样定理

满足条件： $f_s \geq 2f_{i(\max)}$ ，通常取 $f_s = (3 \sim 5) f_{i(\max)}$ 。式中， $f_s$ ：取样频率； $f_{i(\max)}$ ： $v_i$ 的最高频分量的频率。

取样频率提高后每次转换的时间也相应地缩短了，这就要求更快的工作速度。因此，不能无限制地提高取样频率，通常取 $f_s = (3 \sim 5) \cdot f_{i(\max)}$ 即可满足要求。

#### 2 量化和编码

任何一个数字量的大小只能是某个规定的最小数量单位的整数倍。在进行A/D转换时，必须将取样电压表示为

这个最小单位的整数倍。这个转化过程称为量化，所取的最小数量单位称为量化单位。

将量化的结果用代码（可以是二进制，也可以是其他进制）表示出来，称为编码。

## 五、取样-保持电路

电路基本形式如图8-1-5所示。

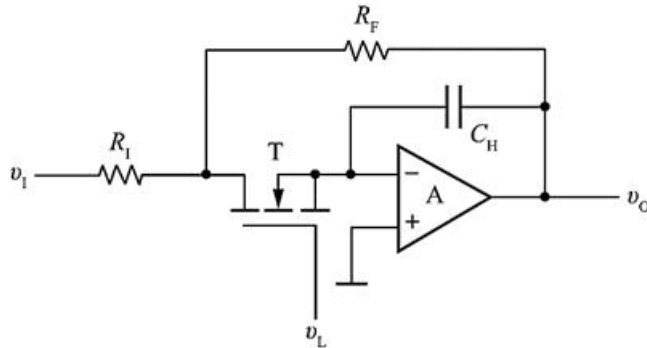


图8-1-5 取样-保持电路的基本形式

- ①  $v_L$ 为高电平时，T导通， $v_1$ 经 $R_1$ 和T向 $C_H$ 充电；
- ② 若 $R_1=R_F$ ，则充电结束后， $v_O=v_C=-v_1$ ；
- ③  $v_L$ 返回低电平时，T截止， $C_H$ 电压基本保持不变；
- ④  $v_O$ 保持不变，取样结果被保存下来。

## 六、A/D转换器的电路结构和工作原理

### 1 并联比较型A/D转换器

并联比较型A/D转换器有如下特点：

- ① 属于直接A/D转换器，不需要经过中间变量；
- ② 由电压比较器、寄存器和代码转换电路三部分组成；
- ③ 精度取决于量化电平的划分，分的越细，精度越高，电路也越复杂；
- ④ 优点是转换速度快，且不需要附加取样-保持电路；
- ⑤ 缺点是需要很多的电压比较器和触发器。

### 2 逐次逼近型A/D转换器

逐次逼近型A/D转换器采用的是一种反馈比较型电路结构。由比较器C、D/A转换器、寄存器、时钟脉冲源和控制逻辑等组成，如图8-1-6所示。

原理：取一个数字量加到D/A转换器上，则得到一个对应的输出模拟电压。将这个模拟电压和输入的模拟电压信号相比较，如果两者不相等，则调整所取的数字量，直到两个模拟电压相等为止，最后所取的这个数字量就是所求的转换结果。

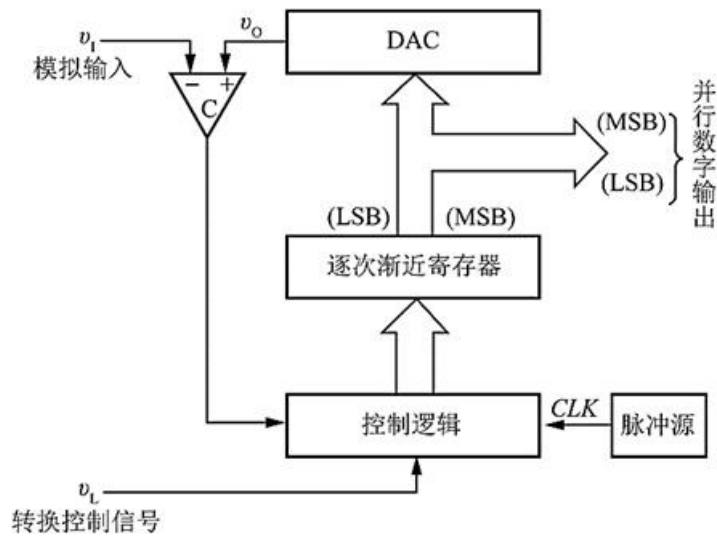


图8-1-6 逐次渐近型A/D转换器的电路结构框图

### 3 双积分型A/D转换器

双积分型A/D转换器是一种间接A/D转换器。由积分器、比较器、计数器、控制逻辑和时钟信号源组成，如图8-1-7所示。

原理：

- ① 将输入的模拟电压信号转换为对应的时间宽度信号；
- ② 在这个时间宽度内对时钟脉冲计数；
- ③ 计数结果正比于输入电压的幅值；
- ④ 又称电压-时间变换型（V-T变换型）A/D转换器。

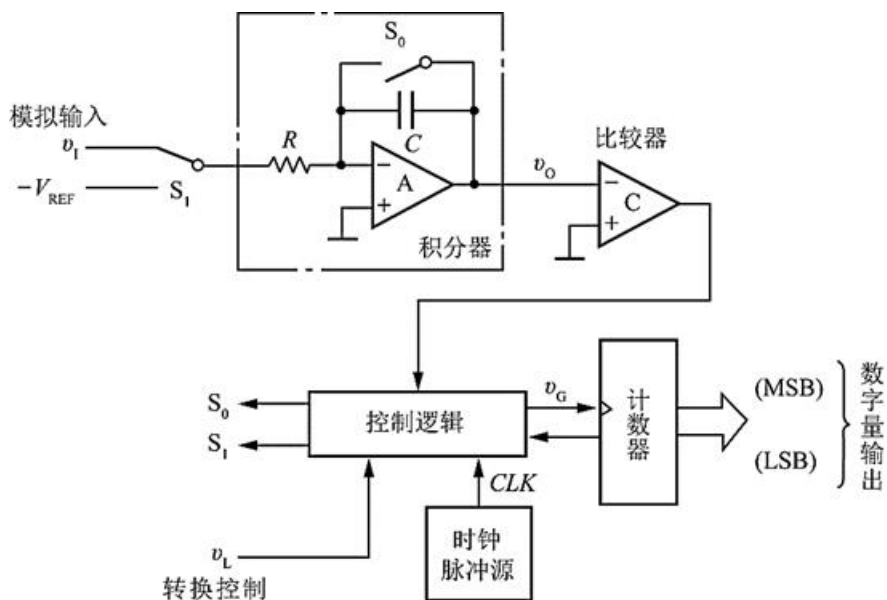


图8-1-7 双积分型A/D转换器的结构框图

### 4 V-F变换型A/D转换器

电压-频率变换型A/D转换器（简称V-F变换型A/D转换器）也是一种间接A/D转换器。主要由V-F变换器（也称为压控振荡器Voltage Controlled Oscillator，简称VCO）、计数器及其时钟信号控制闸门、寄存器、单稳态触发



器等几部分组成，如图8-1-8所示。

原理：

- ① 将输入的模拟电压信号转换为对应的频率信号；
- ② 在固定的时间内对频率信号计数；
- ③ 计数结果正比于输入电压的幅值。

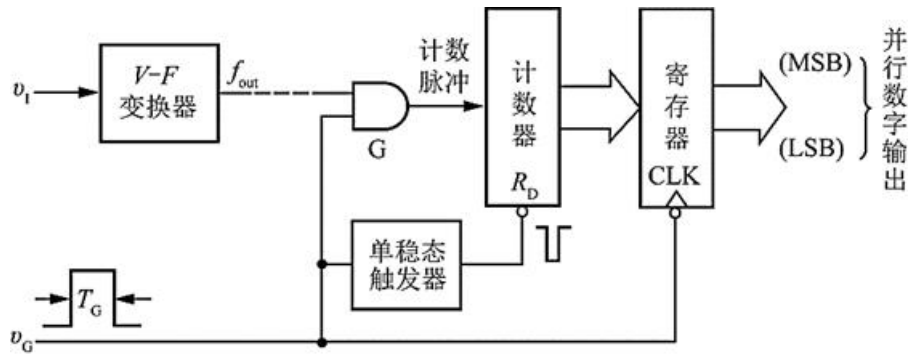


图8-1-8 V-F变换型A/D转换器的电路结构框图

## 七、A/D转换器的转换精度与转换速度

A/D转换器的转换精度与转换速度描述方法见表8-1-3。

表8-1-3 A/D转换器的转换精度与转换速度

要点		主要内容
A/D转换器的转换精度描述方法	分辨率	①以输出二进制数或十进制数的位数表示； ②n为二进制数字输出的A/D转换器应能区分 $2^n$ 个不同等级模拟信号的大小，最小差异为 $FSR/2^n$
	转换误差	通常以输出误差最大值的形式给出，一般多以最低有效位的倍数给出，有时也用满量程输出的百分数给出
A/D转换器的转换速度描述方法	电路类型	不同类型A/D转换器的转换速度相差悬殊。并联比较型A/D转换器的转换速度最快，逐次渐近型A/D转换器的转换速度次之，间接A/D转换器的转换速度要低得多

## 8.2 课后习题详解

8.1 在图8-2-1所示的权电阻网络D/A转换器中，若取 $V_{REF}=5\text{ V}$ ，试求当输入数字量为 $d_3d_2d_1d_0=0101$ 时输出电压的大小。

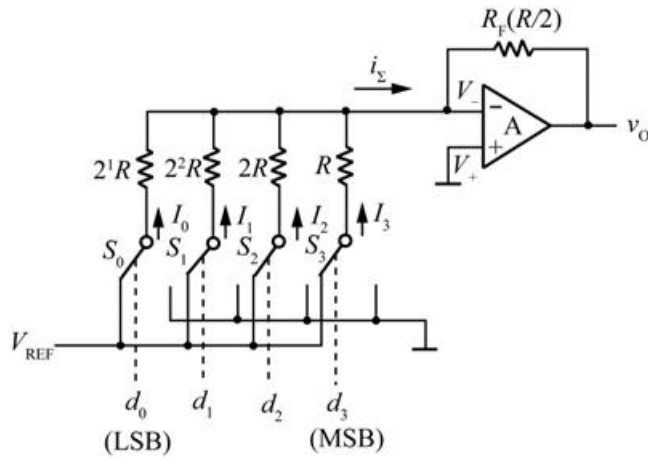


图8-2-1

解：根据题意，当输入数字量为 $d_3d_2d_1d_0=0101$ 时，输出电压为：

$$\begin{aligned}
 v_o &= -\frac{V_{REF}}{2^4}(d_32^3 + d_22^2 + d_12^1 + d_02^0) \\
 &= -\frac{5}{2^4}(0 \times 2^3 + 1 \times 2^2 + 0 \times 2^1 + 1 \times 2^0) \text{V} = -1.5625 \text{V}
 \end{aligned}$$

8.2 在图8-2-2给出的倒T形电阻网络D/A转换器中，已知 $V_{REF} = -8\text{V}$ ，试计算当 $d_3$ 、 $d_2$ 、 $d_1$ 、 $d_0$ 每一位输入代码分别为1时在输出端所产生的模拟电压值。

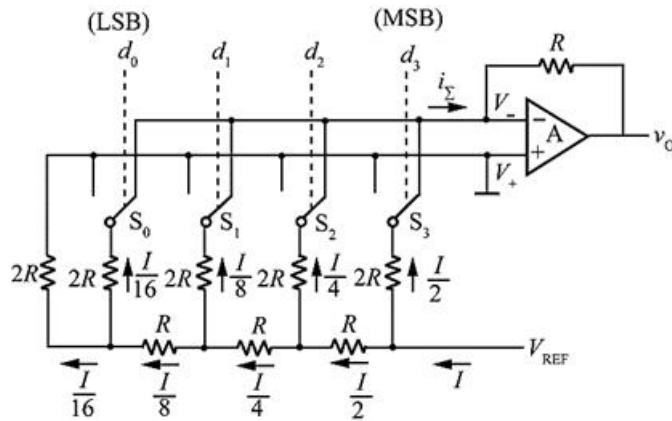


图8-2-2

解：由题意可得：

$$v_o = -(V_{REF}/2^4)(d_32^3 + d_22^2 + d_12^1 + d_02^0)$$

因此，当 $d_3=1$ 时， $v_o=4\text{V}$ ；当 $d_2=1$ 时， $v_o=2\text{V}$ ；当 $d_1=1$ 时， $v_o=1\text{V}$ ；当 $d_0=1$ 时， $v_o=0.5\text{V}$ 。

8.3 在图8-2-3所示的D/A转换电路中，给定 $V_{REF}=5\text{V}$ ，试计算

(1) 输入数字量的 $d_9 \sim d_0$ 每一位为1时在输出端产生的电压值。

(2) 输入为全1、全0和1000000000时对应的输出电压值。

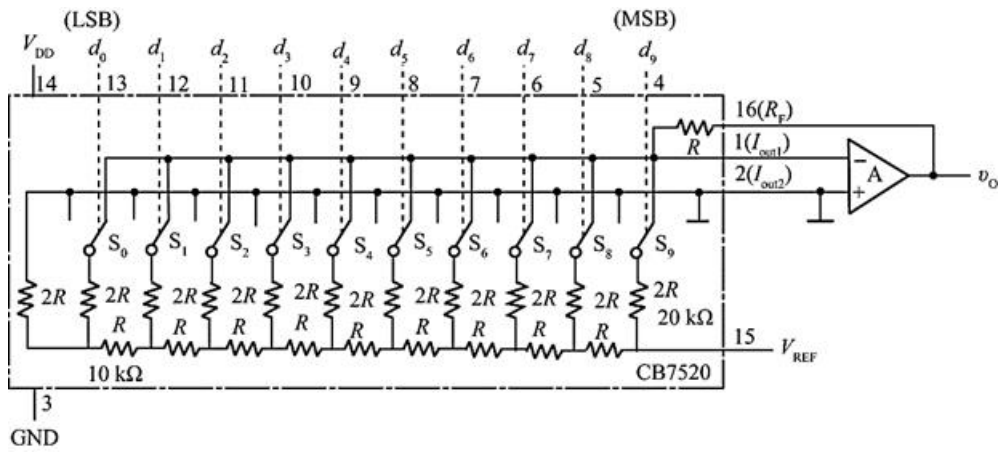


图8-2-3

解：由题意可得：

$$v_O = - (V_{REF}/2^{10}) (d_9 2^9 + d_8 2^8 + \dots + d_1 2^1 + d_0 2^0)$$

因此，题（1）、（2）的结果如表8-2-1所示。

表8-2-1

输入 ( $d_9 d_8 d_7 d_6 d_5 d_4 d_3 d_2 d_1 d_0$ )	输出 ( $v_O$ )
<b>1000000000</b>	- 2.5V
<b>0100000000</b>	- 1.25V
<b>0010000000</b>	- 0.625V
<b>0001000000</b>	- 0.313V
<b>0000100000</b>	- 0.156V
<b>0000010000</b>	- 78.13mV
<b>0000001000</b>	- 39.06mV
<b>0000000100</b>	- 19.53mV
<b>0000000010</b>	- 9.77mV
<b>0000000001</b>	- 4.88mV
<b>0000000000</b>	0V
<b>1111111111</b>	- 4.995V

8.4 在图8-2-3由CB7520所组成的D/A转换器中，已知 $V_{REF} = -10V$ ，试计算当输入数字量从全0变到全1时输出电压的变化范围。如果想把输出电压的变化范围缩小一半，可以采取哪些方法？

解：由题意可得：

$$v_O = - (V_{REF}/2^{10}) (d_9 2^9 + d_8 2^8 + \dots + d_1 2^1 + d_0 2^0)$$

当输入全为0时，有 $v_{Omin} = 0V$ ；当输入全为1时，有 $v_{Omax} = - (V_{REF}/2^{10}) (2^{10} - 1) = 9.99V$ 。

因此，电压变化范围为0~9.99 V。

如果想把输出电压的变化范围缩小一半，可以采取以下方法：

① 令参考电压 $V_{REF}$ 的绝对值减半；

② 令求和放大器的放大倍数减少一半。即在 $I_{out}$ 与放大器输出端 $v_O$ 之间外接一个大小等于 $R/2$ 的反馈电阻。AD7520内设置的反馈电阻 $R$ 为 $10k\Omega$ 。

8.5 图8-2-4所示电路是用CB7520和同步十六进制计数器74LS161组成的波形发生器电路。已知CB7520的 $V_{REF} = -10V$ ，试画出输出电压 $v_O$ 的波形，并标出波形图上各点电压的幅度。CB7520的电路结构见图8-2-3，74LS161的功能表与表6.3.4相同。

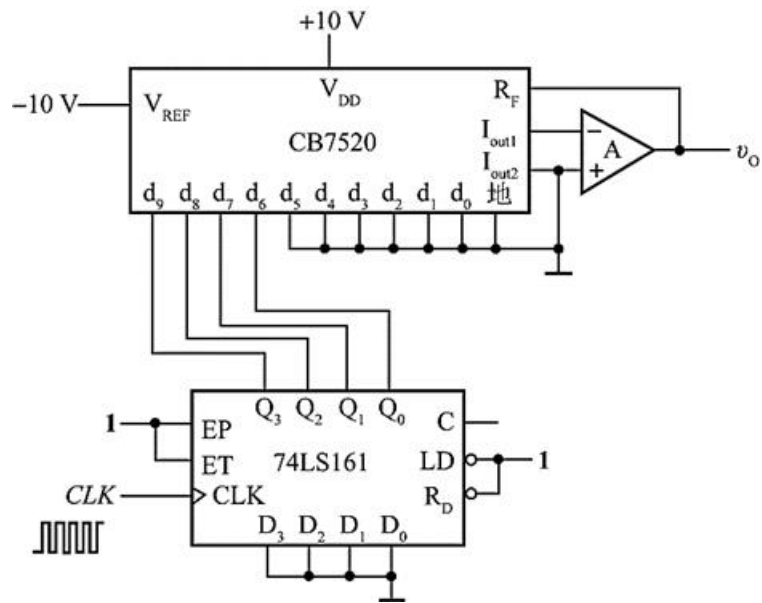


图8-2-4

解：由题意可得：

$$v_O = - (V_{REF}/2^{10}) (d_9 2^9 + d_8 2^8 + \dots + d_1 2^1 + d_0 2^0)$$

其中， $d_5 d_4 d_3 d_2 d_1 d_0$ 均为0，而 $d_9 d_8 d_7 d_6$ 从0000~1111不断循环，可得表8-2-2。

表8-2-2

输入 ( $d_9 d_8 d_7 d_6 d_5 d_4 d_3 d_2 d_1 d_0$ )	输出 ( $v_O$ )
000000000	0
000100000	0.625
001000000	1.25
001100000	1.875
010000000	2.5
010100000	3.125
011000000	3.75
011100000	4.375
100000000	5.0
100100000	5.625
101000000	6.25
101100000	6.875
110000000	7.5
110100000	8.125
111000000	8.75
111100000	9.375

输出电压波形图，如图8-2-5所示。

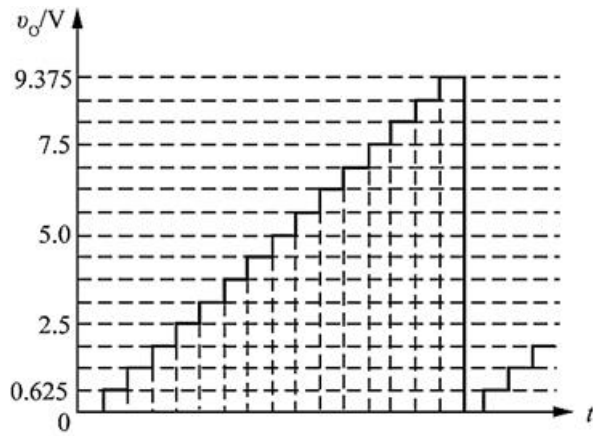


图8-2-5

8.6 图8-2-6所示电路是用CB7520组成的双极性输出D/A转换器。CB7520的电路结构见教材图8.2.5，其倒T形电阻网络中的电阻 $R=10\text{ k}\Omega$ 。为了得到 $\pm 5\text{V}$ 的最大输出模拟电压，在选定 $R_B=20\text{ k}\Omega$ 的条件下， $V_{\text{REF}}$ 、 $V_B$ 应各取何值？

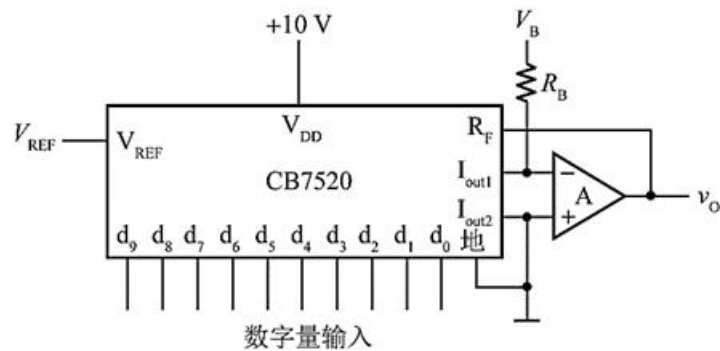


图8-2-6

解：根据题意，双极性DA转换器满足：

$$I_{\text{OUT1}} = V_{\text{REF}} D_n / (2^n R) \quad \text{①}$$

$$R_F = R \quad \text{②}$$

由理想放大器的虚短虚断特性，可得：

$$I_{\text{OUT1}} + V_B / R_B = -v_O / R_F \quad \text{③}$$

且当 $D_n = 1000000000$ 时， $v_O = 0$ ，即：

$$V_{\text{REF}} 2^{n-1} / (2^n R) + V_B / R_B = 0 \quad \text{④}$$

$$R_B = 2R \quad \text{⑤}$$

联立式①②③④⑤得： $v_O = -V_{\text{REF}} (D_n - 2^{n-1}) / 2^n$ ， $V_B = -V_{\text{REF}}$ 。

当 $D_n = 0000000000$ 时， $v_O = 5\text{V}$ ，解得： $V_{\text{REF}} = 10\text{V}$ ， $V_B = -10\text{V}$ 。

8.7 在图8-2-7给出的D/A转换器中，试求：

(1) 1LSB产生的输出电压增量是多少？

(2) 输入为 $d_9 \sim d_0 = 1000000000$ 时的输出电压是多少？

(3) 若输入以二进制补码给出，则最大的正数和绝对值最大的负数各为多少？它们对应的输出电压各为多少？

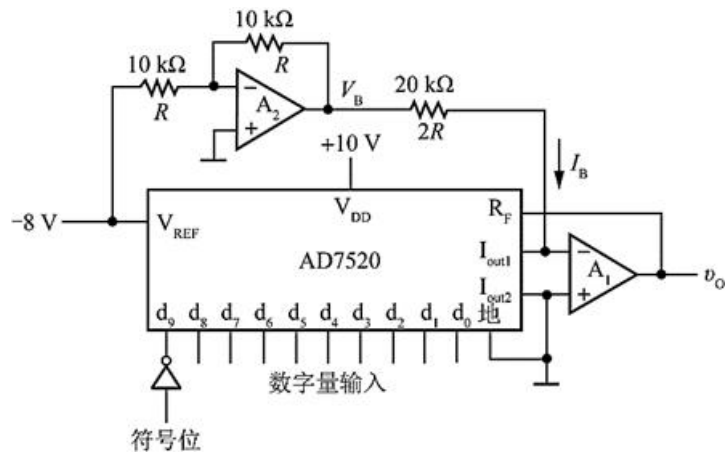


图8-2-7

解：由题意可得：

$$I_{OUT1} = V_{REF} D_n / (2^n R) \quad ①$$

$$R_F = R \quad ②$$

$$V_B = -V_{REF} \quad ③$$

由理想放大器的虚短虚断特性，可得：

$$I_{OUT1} + V_B / (2R) = -v_O / R_F \quad ④$$

联立式①②③④得：

$$v_O = -V_{REF} (D_n - 2^{n-1}) / 2^n = 8 (D_n - 2^9) / 2^{10} \quad ⑤$$

因此，(1) 1LSB产生的输出电压增量为： $\Delta v_O = 8 / 2^{10} V = 7.8 mV$ 。

(2) 将 $D = 1000000000$ 代入式⑤，得： $v_O = 0V$ 。

(3) 最大的正数为：0111111111，将符号位取反后加到D/A转换器的最高位输入，相当于输入 $D = 1111111111$ ，故此时的输出电压为： $v_O = 8 (2^{10} - 1 - 2^9) / 2^{10} = 3.99 V$ ；

绝对值最大的负数为：1000000000，将符号位取反后加到D/A转换器的最高位输入，相当于输入 $D = 0000000000$ ，故此时的输出电压为： $v_O = 8 (0 - 2^9) / 2^{10} = -4 V$ 。

8.8 试分析图8-2-8电路的工作原理，画出输出电压 $v_O$ 的波形图。CB7520的电路图见教材图8.2.5。同步十进制计数器74LS160的功能表见教材表6.3.4。表8-2-3给出了RAM的16个地址单元中所存的数据。高6位地址 $A_9 \sim A_4$ 始终为0，在表中没有列出。RAM的输出数据只用了低4位，作为CB7520的输入。因RAM的高4位数据没有使用，故表中也未列出。

表8-2-3 图11-17中RAM的数据表

A <sub>3</sub> A <sub>2</sub> A <sub>1</sub> A <sub>0</sub>	D <sub>3</sub> D <sub>2</sub> D <sub>1</sub> D <sub>0</sub>
0000	0000
0001	0001
0010	0011
0011	0111
0100	1111
0101	1111
0110	0111
0111	0011
1000	0001
1001	0000
1010	0001
1011	0011
1100	0101
1101	0111
1110	1001
1111	1011

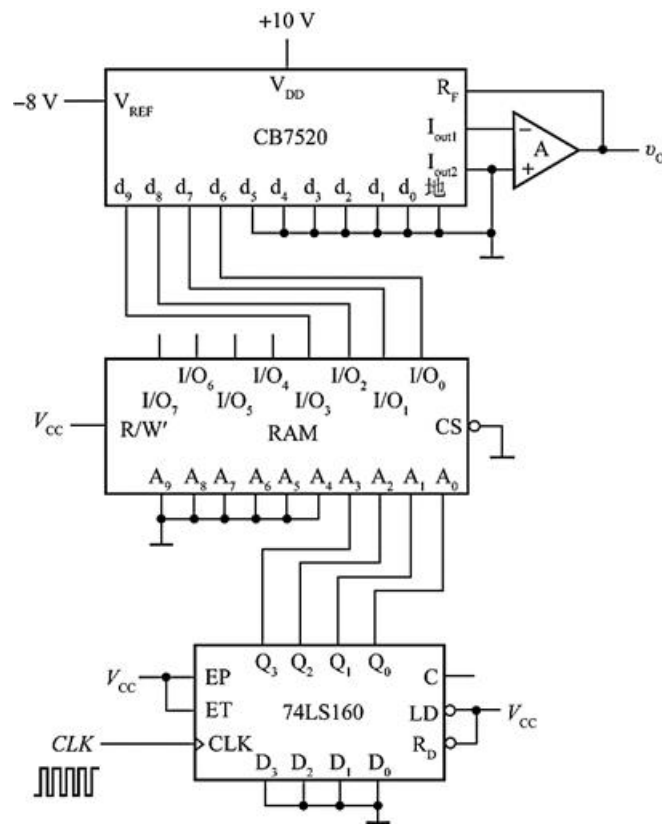


图8-2-8

解：由题意可得：

$$v_O = -V_{REF} D_n / 2^n = 8 (d_9 2^9 + d_8 2^8 + d_7 2^7 + d_6 2^6) / 2^{10}$$

当74LS160从0000到1001循环计数时，根据RAM的数据表，可以写出d<sub>9</sub>d<sub>8</sub>d<sub>7</sub>d<sub>6</sub>的数值以及输出的电压值，如表8-2-4所示。

表8-2-4

$Q_3Q_2Q_1Q_0$	$d_9d_8d_7d_6$	$v_o$ (V)
0000	0000	0.0
0001	0001	0.5
0010	0011	1.5
0011	0111	3.5
0100	1111	7.5
0101	1111	7.5
0110	0111	3.5
0111	0011	1.5
1000	0001	0.5
1001	0000	0.0

可画出输出电压的波形图，如图8-2-9所示。

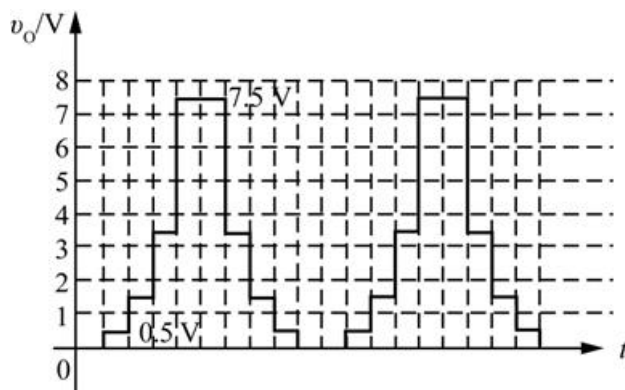


图8-2-9

8.9 如果用图8-2-8的电路产生图8-2-10的输出电压波形，应如何修改RAM中的数据？请列出修改以后的RAM数据表，并计算时钟信号CLK应有的频率。

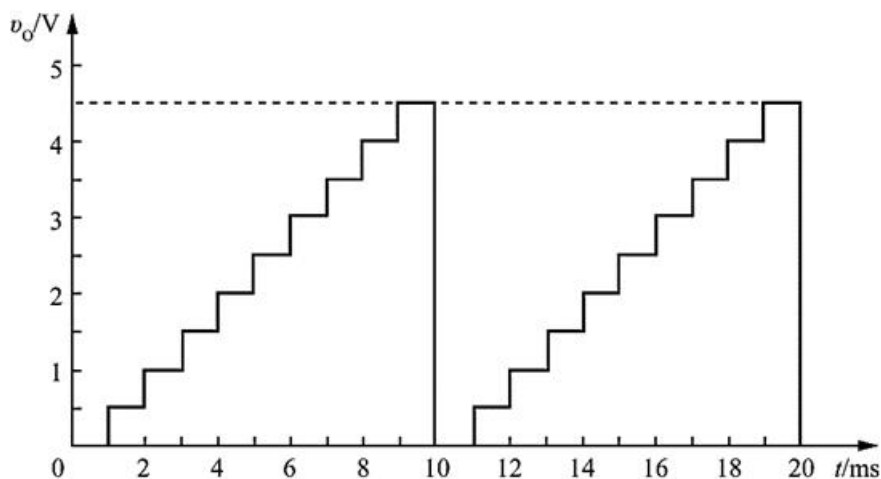


图8-2-10

**解：**当74LS160从0000到1001循环计数时，由输出电压波形可以看出，输出电压共10种数值，电压间隔相同，且1LSB产生的输出模拟电压为0.5 V。

RAM中写入的数据按顺序依次变化。RAM的数据表如表8-2-5所示。

RAM的高6位地址 $A_9 \sim A_4$ 始终为0，在表中没有列出。

RAM的输出数据只用了低4位，作为CB7520的输入，其高4位数据没有使用，故表中也未列出。

由波形图还可以看出，波形每隔1 ms改变一次，故CLK的频率为1 kHz。



表8-2-5

A <sub>3</sub> A <sub>2</sub> A <sub>1</sub> A <sub>0</sub>	D <sub>3</sub> D <sub>2</sub> D <sub>1</sub> D <sub>0</sub>
0000	0000
0001	0001
0010	0010
0011	0011
0100	0100
0101	0101
0110	0110
0111	0111
1000	1000
1001	1001
1010	××××
1011	××××
1100	××××
1101	××××
1110	××××
1111	××××

8.10 设计一个波形发生器电路，要求产生图8-2-11所给定的电压波形。

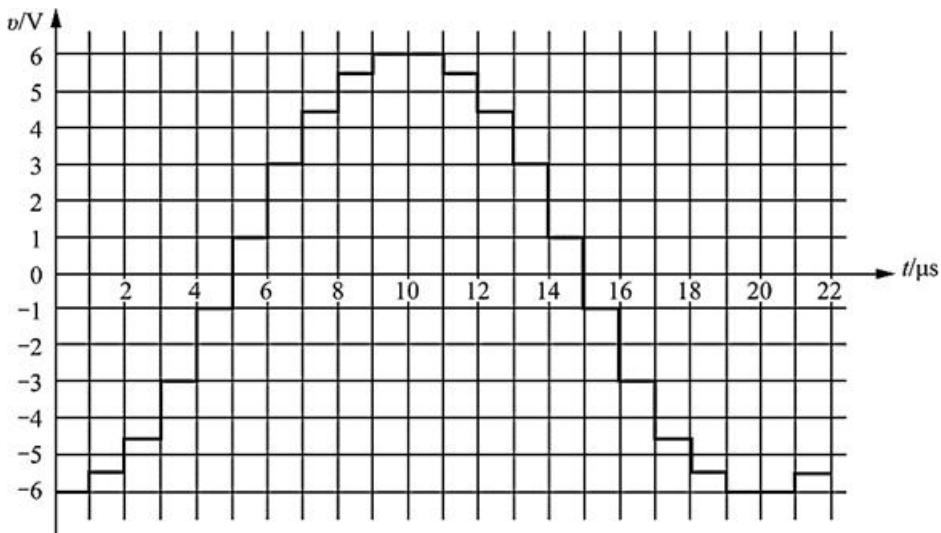


图8-2-11

**解：**从波形图中可以看出，一个完整的波形需要经历20次变化，故需要一个二十进制计数器循环产生EPROM的20个地址。

所设计的电路图如图8-2-12所示。

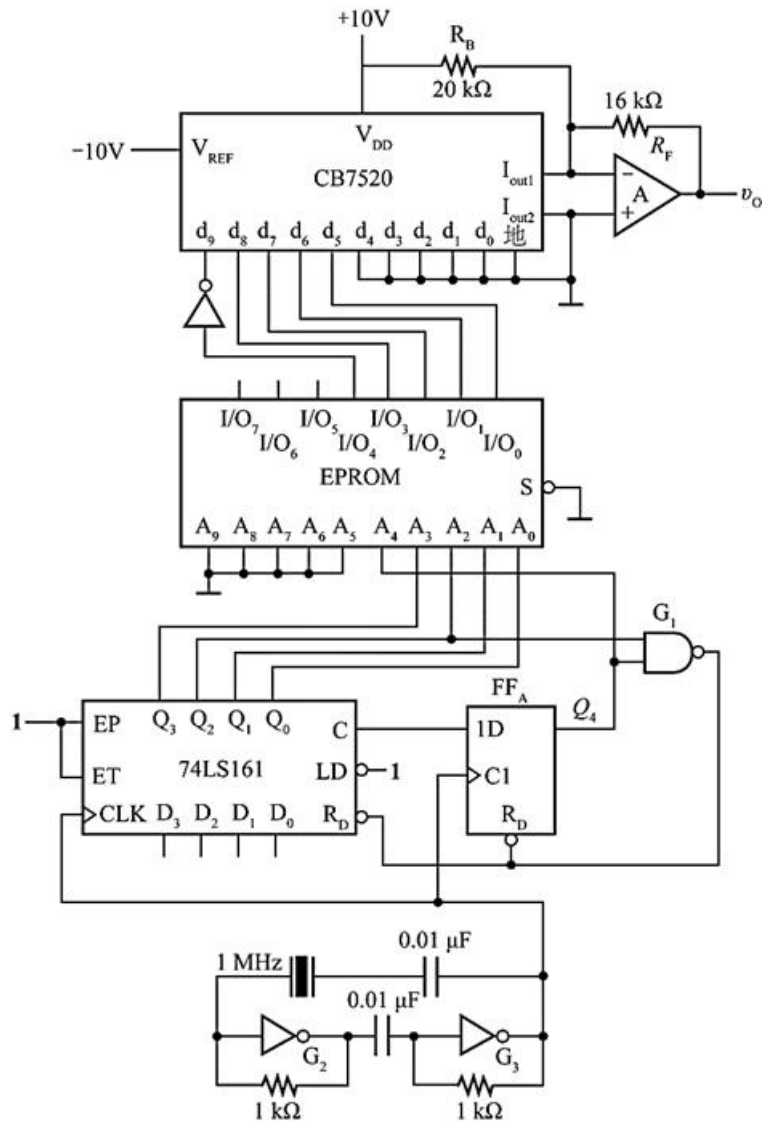


图8-2-12

二十进制计数器的输出接EPROM的低五位作为地址输入，EPROM的五位数据输出接CB7520的高五位作为其数字量输入。

由于双极性DA转换器要求以补码形式输入数字量，因此，需要将EPROM的输出数据的最高位取反后加到DA转换器的最高位输入。

双极性输出DA转换器中，若 $R_B=2R=20\text{k}\Omega$ ， $v_B=-V_{REF}$ ，则其输出电压满足：

$$v_O = -\frac{V_{REF}R_F}{2^n R} (D_n - 2^{n-1}) = -\frac{V_{REF}R_F}{2^{10} R} (D_n - 2^9)$$

从波形图可以看出，电压每次变化的最小值为0.5V。

令 $\text{LSB}=0.5^*V$ ， $V_{REF}=-10V$ ，即 $10R_F \cdot 2^5 / (2^{10}R) = 0.5$ ，可得： $R_f=1.6R=16\text{k}\Omega$ 。

当 $d_9d_8d_7d_6d_5d_4d_3d_2d_1d_0=1000000000$ 时， $v_O=0$ ，从波形图可以看出，电压变化两个LSB后变成1V，因此，1V对应的 $d_9d_8d_7d_6d_5=10010$ ，此时EPROM的数据输出为00010；而-1V对应的 $d_9d_8d_7d_6d_5=01110$ ，此时EPROM的数据输出为11110，故EPROM的数据表如表8-2-6所示，表中只列出的低五位的地址和低五位数据。

表8-2-6

地址	数据	地址	数据
A <sub>4</sub> A <sub>3</sub> A <sub>2</sub> A <sub>1</sub> A <sub>0</sub>	D <sub>4</sub> D <sub>3</sub> D <sub>2</sub> D <sub>1</sub> D <sub>0</sub>	A <sub>4</sub> A <sub>3</sub> A <sub>2</sub> A <sub>1</sub> A <sub>0</sub>	D <sub>4</sub> D <sub>3</sub> D <sub>2</sub> D <sub>1</sub> D <sub>0</sub>
00000	10100	01010	01100
00001	10101	01011	01011
00010	10111	01100	01001
00011	11010	01101	00110
00100	11110	01110	00010
00101	00010	01111	11110
00110	00110	10000	11010
00111	01001	10001	10111
01000	01011	10010	10101
01001	01100	10011	10100

8.11 图8-2-13所示电路是用D/A转换器CB7520和运算放大器构成的增益可编程放大器，它的电压放大倍数  $A_V = v_O/v_I$  由输入的数字量  $D$  ( $d_9 \sim d_0$ ) 来设定。试写出  $A_V$  的计算公式，并说明  $A_V$  的取值范围。

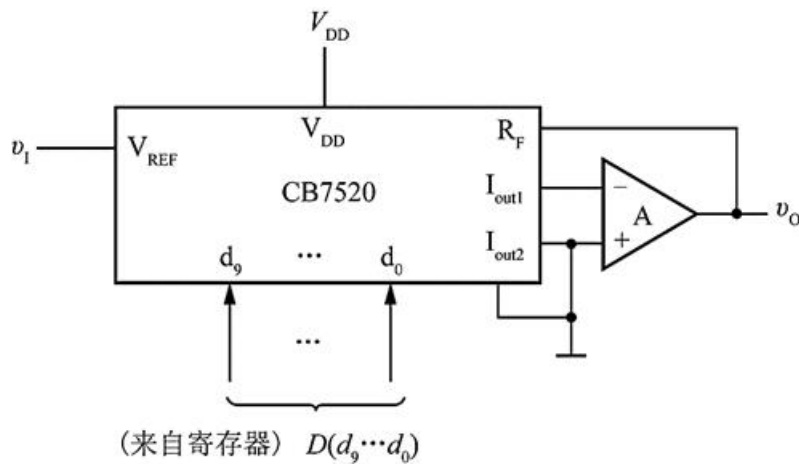


图8-2-13

解：根据题意， $A_V$  的计算公式为：

$$v_O = -V_{REF} D_n / 2^n = -v_I D_n / 2^n \rightarrow A_V = v_O / v_I = -D_n / 2^n$$

$A_V$  的最小值和最大值分别为：

$$A_{Vmin} = 0, A_{Vmax} = - (2^{10} - 1) / 2^{10}$$

因此， $A_V$  的取值范围为：  $0 \sim - (2^{10} - 1) / 2^{10}$ 。

8.12 图8-2-14电路是用D/A转换器CB7520和运算放大器组成的增益可编程放大器，它的电压放大倍数  $A_V = v_O/v_I$  由输入的数字量  $D$  ( $d_9 \sim d_0$ ) 来设定。试写出  $A_V$  的计算公式，并说明  $A_V$  取值的范围是多少？

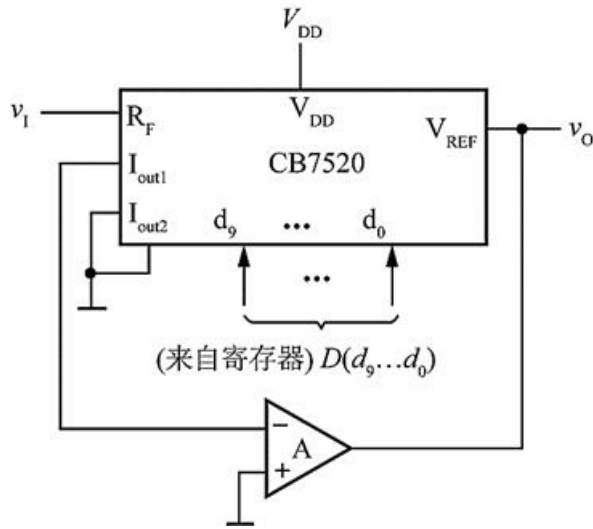


图8-2-14

解：根据题意：

$$I_{OUT1} = V_{REF} D_n / (2^n R) = v_o D_n / (2^n R) \quad ①$$

由理想放大器的虚短虚断特性，可得：

$$I_{OUT1} = -v_i / R_f = -v_i / R \quad ②$$

联立式①②得：  $A_v = v_o / v_i = -2^n / D_n$ 。

$A_v$ 的最小值和最大值分别为：  $A_{vmin} = -\infty$ ，  $A_{vmax} = -2^{10} / (2^{10} - 1)$ 。

因此，  $A_v$ 的取值范围为：  $-\infty \sim -2^{10} / (2^{10} - 1)$ 。

8.13 在图8-2-15所示的D/A转换器中，已知输入为8位二进制数码，接在CB7520的高8位输入端上，  $V_{REF} = 10V$ 。为保证  $V_{REF}$  偏离标准值所引起的误差  $\leq \text{LSB}/2$ （现在的LSB应为  $d_2$ ），允许的最大变化  $\Delta$  是多少？  $V_{REF}$  的相对稳定性  $\Delta V_{REF} / V_{REF}$  应为多少？CB7520的电路见图8.2.5。

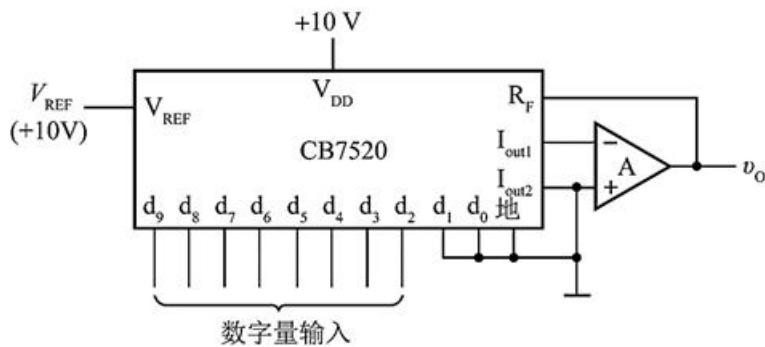


图8-2-15

解：根据题意：

$$v_o = -V_{REF} D_n / 2^n = -V_{REF} (d_9 2^9 + d_8 2^8 + d_7 2^7 + d_6 2^6 + d_5 2^5 + d_4 2^4 + d_3 2^3 + d_2 2^2) / 2^{10}$$

$$|\text{LSB}/2| = (1/2) \cdot V_{REF} \cdot 2^2 / 2^{10} = V_{REF} / 2^9 \quad ①$$

$V_{REF}$  偏离标准所引起的最大误差为：

$$|\Delta v_O| = \Delta V_{REF} D_n / 2^n = \Delta V_{REF} (2^9 + 2^8 + 2^7 + 2^6 + 2^5 + 2^4 + 2^3 + 2^2) / 2^{10} = (2^8 - 1) \Delta V_{REF} / 2^8 \text{ ②}$$

$$|\Delta v_O| < |\text{LSB}/2| \text{ ③}$$

联立①②③得： $|\Delta V_{REF}/V_{REF}| \approx 1/2^9 = 2\%$ 。

8.14 图8-2-16是利用D/A转换器AD7520和运算放大器A<sub>1</sub>以及外接电阻R<sub>a</sub>组成的增益可控电压放大器。试分别计算在R<sub>a</sub>为20kΩ、50kΩ和20kΩ的情况下，输入数字量d<sub>9</sub>~d<sub>0</sub>为全0、全1和1000000000时该电路的电压放大倍数。

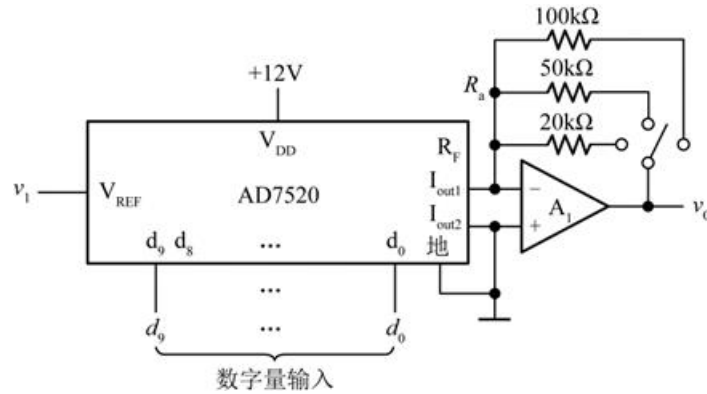


图8-2-16

**解：**在图8-2-16电路的连接条件下，AD7520相当于接在v<sub>I</sub>与I<sub>out1</sub>之间的一个等效电阻R<sub>EQ</sub>，且R<sub>EQ</sub> = 2<sup>n</sup>R/D。

在AD7520中，上式中的R等于10kΩ，D代表AD7520的输入数字量，n代表输入数字量的最大位数，等于10。于是得到运算放大器A<sub>1</sub>的放大倍数为： $A_v = -R_a/R_{EQ} = -R_a D / (2^n R)$ 。

当R<sub>a</sub> = 20kΩ时， $A_v = -2D/2^{10}$ ，输入数字量d<sub>9</sub>~d<sub>0</sub>为全0、全1和1000000000时电路的电压放大倍数分别为0、-2、-1。

当R<sub>a</sub> = 50kΩ时， $A_v = -5D/2^{10}$ ，输入数字量d<sub>9</sub>~d<sub>0</sub>为全0、全1和1000000000时电路的电压放大倍数分别为0、-5、-2.5。

当R<sub>a</sub> = 100kΩ时， $A_v = -10D/2^{10}$ ，输入数字量d<sub>9</sub>~d<sub>0</sub>为全0、全1和1000000000时电路的电压放大倍数分别为0、-10、-5。

8.15 若将图8-2-17并联比较型A/D转换器输出数字量增加至8位，并采用图8-2-18所示的量化电平划分方法，试问最大的量化误差是多少？在保证V<sub>REF</sub>变化时引起的误差≤1/2LSB的条件下的相对稳定度ΔV<sub>REF</sub>/V<sub>REF</sub>应为多少？

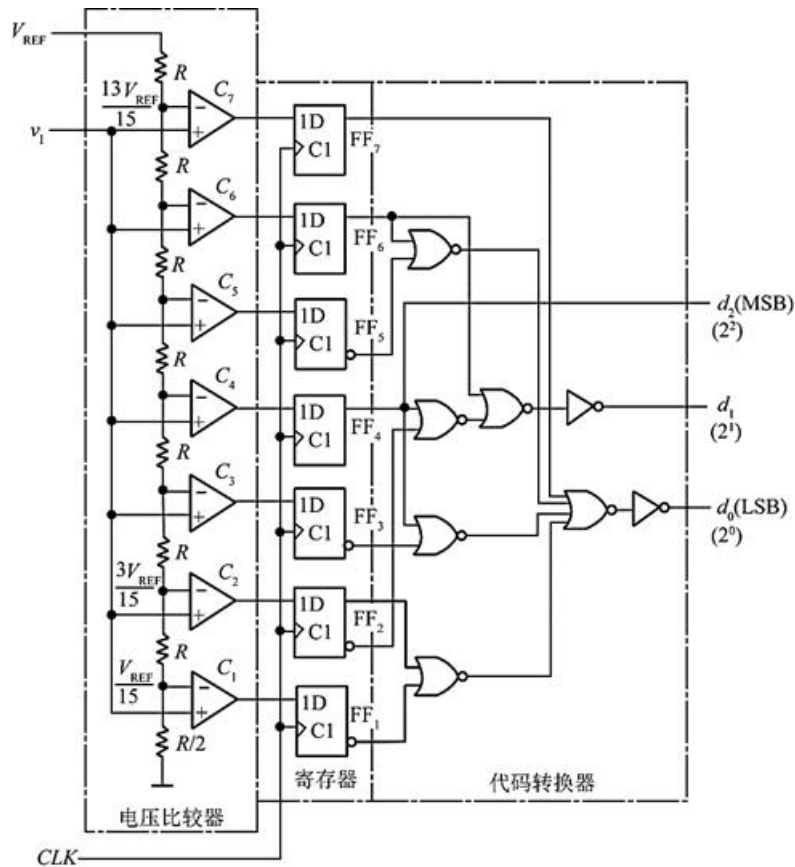


图8-2-17

输入信号	二进制代码	代表的模拟电压
1 V	111	$7\Delta = 14/15(V)$
13/15 V	110	$6\Delta = 12/15(V)$
11/15 V	101	$5\Delta = 10/15(V)$
9/15 V	100	$4\Delta = 8/15(V)$
7/15 V	011	$3\Delta = 6/15(V)$
5/15 V	010	$2\Delta = 4/15(V)$
3/15 V	001	$1\Delta = 2/15(V)$
1/15 V	000	$0\Delta = 0(V)$

图8-2-18

解：（1）量化电平 $\Delta = 2V_{REF}/(2^9 - 1)$ ，最大量化误差为： $\Delta/2 = V_{REF}/(2^9 - 1) = V_{REF}/511$ 。

（2）因为 $\Delta V_{REF}$ 在最高位比较器的基准电压上引起的误差最大为 $509\Delta V_{REF}/511$ ，所以应使得 $509\Delta V_{REF}/511 < \text{LSB}/2$ ，即：

$$509\Delta V_{REF}/511 < V_{REF}/511$$

$$\Delta V_{REF} < V_{REF}/509$$

$$|\Delta V_{REF}/V_{REF}| < 0.2\%$$

8.16 如果将图8-2-19所示逐次渐近型A/D转换器的输出扩展到10位，取时钟信号频率为1 MHz，试计算完成一次转换操作所需要的时间。

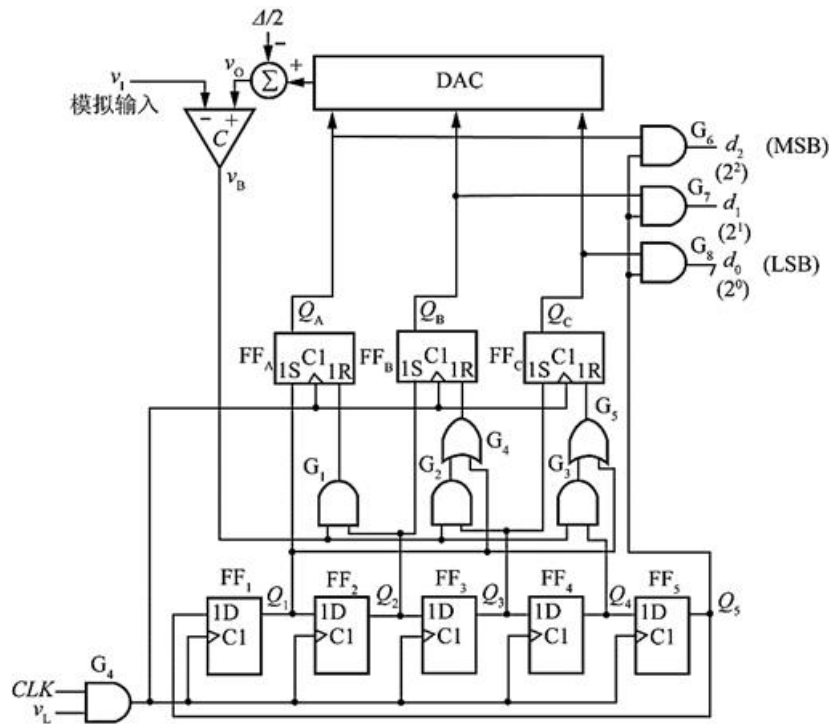


图8-2-19

解：由题意可得，完成一次转换操作所需要的时间为： $(n+2) T_{CLK} = 12/10^6 s = 12\mu s$ 。

8.17 在图8-2-20所示的双积分型A/D转换器中，若计数器为10位二进制，时钟信号频率为1 MHz，试计算转换器的最大转换时间是多少？

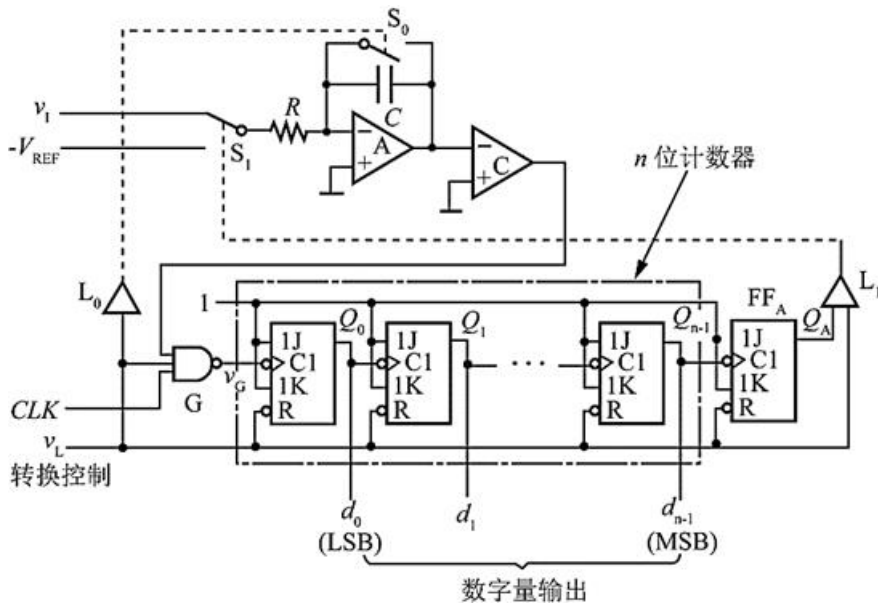


图8-2-20

解：由题意可得，计算转换器的最大转换时间为： $2^{n+1} T_{CLK} = 2^{11}/10^6 s = 2.048ms$ 。

8.18 在图8-2-20所示的双积分型A/D转换器中，若将计数器改为4位十进制计数器（计数器共有5位，低4位为十进制，最高位为二进制，计数器的容量为19999），并要求A/D转换器的转换速率不低于25次/s，试计算计数器的时钟信号频率应当取为多少？

解：完成一次A/D转换需要的时间等于n位计数器两个计数周期的时间。若时钟信号周期为 $T_c$ ，则完成一次转

换所需要的时间等于 $2 \times 10^4 T_c$ 。为了保证转换速率不低于25次/s，就必须保证 $2 \times 10^4 T_c < (1/25) \text{ s}$ 。于是得到时钟信号的周期为： $T_c < 1/2 \times 10^4 \times 25 \text{ s} = 1/5 \times 10^5 \text{ s}$ 。

故时钟信号的频率应当取为： $f_c = 1/T_c > 5 \times 10^5 \text{ Hz} = 500 \text{ kHz}$ 。

8.19 在图8-2-21所示的A/D转换器电路中，若要求单稳态触发器输出脉冲的宽度为 $t_w = 2.5 \mu\text{s}$ ，输入电压为0~5 V时，输出脉冲的频率为0~200 kHz，电路参数应做何修改？

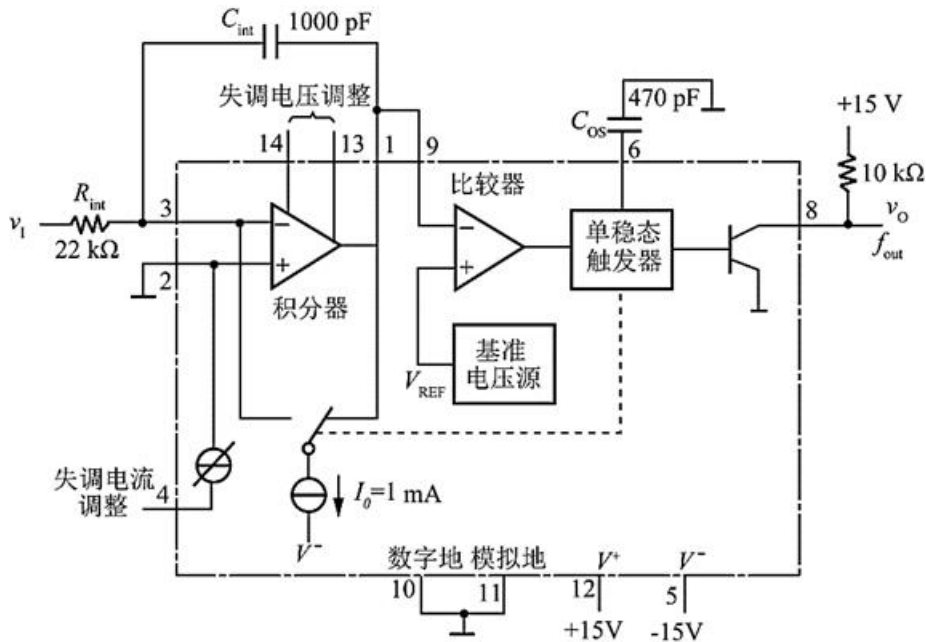


图8-2-21

解：（1）脉冲宽度 $t_w$ 满足：

$$t_w = [C_{OS} (6.8 \times 10^3) + 3 \times 10^{-7}] \text{ s} \rightarrow C_{OS} = (t_w - 3 \times 10^{-7}) / (6.8 \times 10^3) \text{ F} = 324 \text{ pF}$$

（2）输出脉冲频率满足：

$$f_{OUT} = v_I / (I_0 \cdot t_w \cdot R_{int}) \rightarrow R_{int} = v_I / (I_0 \cdot t_w \cdot f_{OUT})$$

且当 $v_I = 5 \text{ V}$ 时， $f_{OUT} = 200 \text{ kHz}$ ， $I_0 = 1 \text{ mA}$ 。

因此， $R_{int} = 5 / (1 \times 2.5 \times 10^{-6} \times 2 \times 10^5) \Omega = 10 \text{ k}\Omega$ 。

故应将图8-2-21电路中的 $C_{OS}$ 改为324pF，同时将 $R_{int}$ 改为10kΩ。

8.20 在图8-2-22所示的V-F变换型A/D转换器电路中，如果要求将输入0~5 V的模拟电压转换为3位十进制数字量输出，输入为5 V时输出应显示500。闸门脉冲 $v_G$ 的宽度为5 ms。试求V-F变换器输出频率与输入模拟电压之间的转换比例系数。



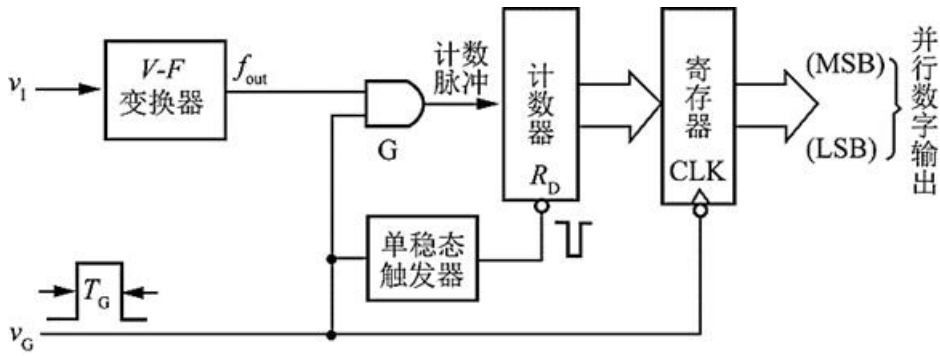


图8-2-22

**解：**根据题意，当 $v_1=5\text{V}$ 时，在闸门脉冲宽度 $T_G=5\text{ms}$ 的时间内计数器应计入500个计数脉冲，即： $f_{\text{OUT}}=500/T_G=100\text{kHz}$ 。因此，V-F变换比例系数为： $K=f_{\text{OUT}}/v_1=20\text{kHz/V}$ 。

### 8.3 名校考研真题详解

#### 一、填空题

**1** 一个8位数模转换器（DAC）的最小输出电压增量为 $0.02\text{V}$ ，当输入代码为11010010时，输出电压 $V_O=()$  V。[电子科技大学2008研]

**【答案】** 4.18V

**【解析】**  $(11010010)_2 = (210)_{10}$ ，输出电压： $0.02 \times (210 - 1) = 4.18\text{V}$ 。

2. 逐次渐近式A/D转换器的转换速度比计数式A/D转换器（ ）（①高；②低），而其电路复杂程度比并联比较式A/D转换器（ ）（①高；②低）。[中山大学2010研]

**【答案】** ①；②

**【解析】** 计数式电路非常简单，但缺点是转换时间较长，即转换速度较慢，而逐次渐近式反之。

**3** 已知12bit D/A转换器的最大输出电压是 $8.19\text{V}$ ，当输入代码为111010010101时，输出的电压为（ ）；ADC（模数转换器）的两个最重要的指标是（ ）和（ ）。[电子科技大学2009研]

**【答案】** 7.46V；转换速度（时间）；转换精度（位数）

**【解析】**  $(111010010101)_2 = (3733)_{10}$ ，输出电压： $8.19 \times 3733 / (2^{12} - 1) = 7.46\text{V}$ 。

#### 二、分析计算题

**1** DAC和计数器组成的电路如图8-3-1（a）所示，DAC的输出特性如图8-3-1（b）所示，计数器的状态转换图如图8-3-1（c）所示，计数器在时钟CP下边沿作用下进行计数。试画出对应于时钟CP作用下的输出波形。[宁波大学2009研]

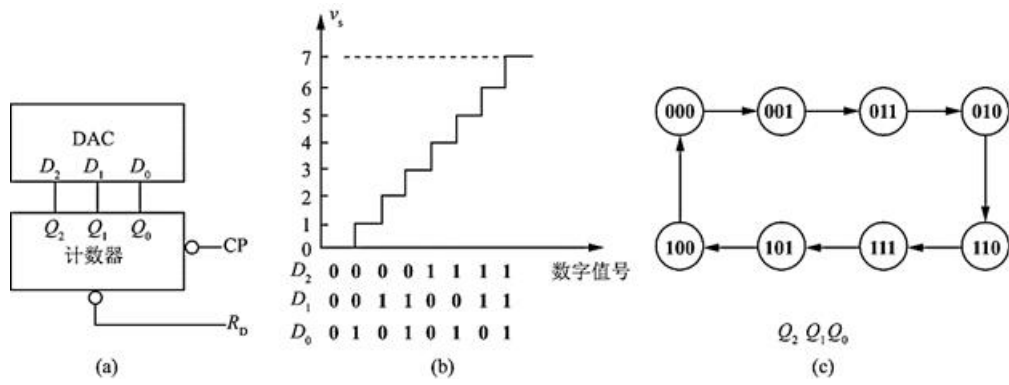


图8-3-1

**解：**计数器下降沿触发。输出 $V_o$ 与实际的 $D_2D_1D_0$  ( $Q_2Q_1Q_0$ ) 的值相同，根据计数器的计数状态图 (c) 可得输出电压。

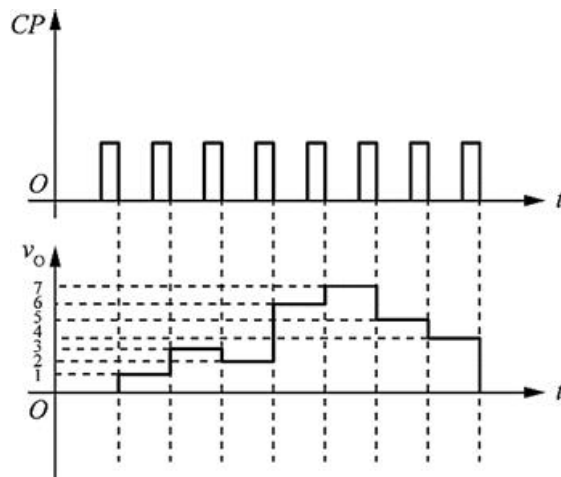


图8-3-2

**2** 在双积分式A/D转换器中，计数器的最大计数容量为 $N_1 = (3000)_{10}$ 时钟脉冲频率为 $f_{cp} = 400\text{kHz}$ ，试问：

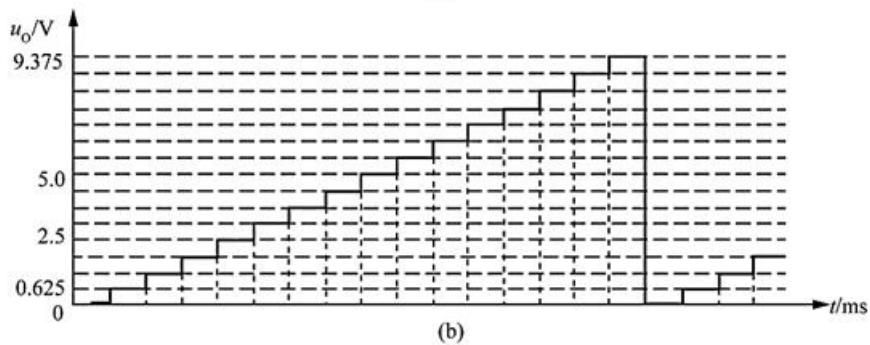
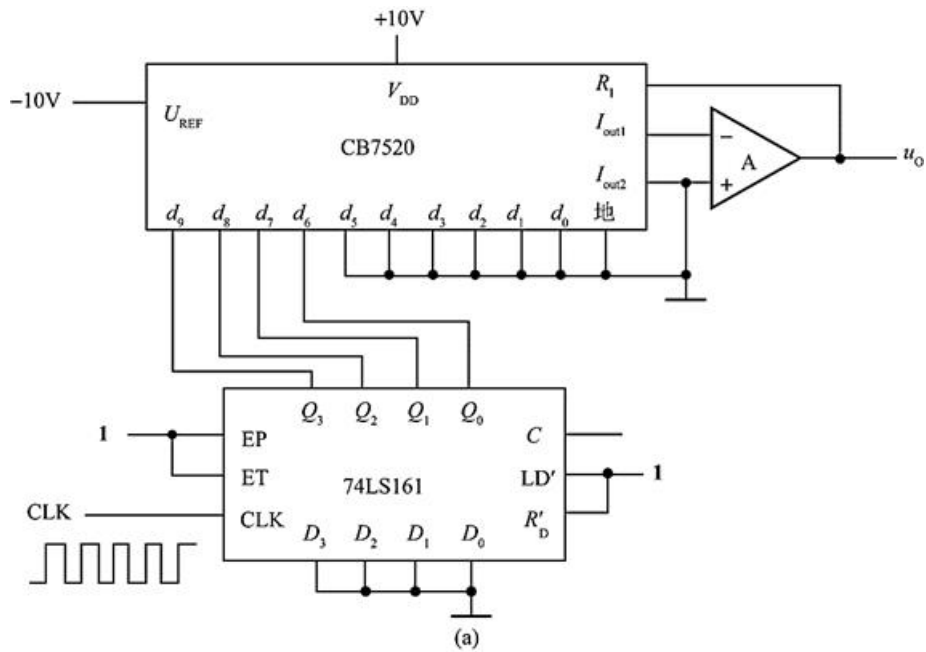


图8-3-3

(1) 完成一次转换最长需要多少时间？

(2) 若参考电压  $U_{REF} = +15V$ ，第二次计数值  $N_2 = (2000)_{10}$ ，此时输入模拟电压  $u_I$  为多少？输出数字量又是多少？ [浙江大学研]

**解：** (1) 根据双积分式A/D转换器的工作原理，完成一次最长的A/D转换所需的时间对应于计数器的最大容量计数时间为： $T_{max} = N_1 \times T_{cp}$ 。由  $f_{cp} = 400kHz$ ，可得  $T_{cp} = 2.5\mu s$ 。因此完成一次转换的最长时间为： $T_{max} = N_1 \times T_{cp} = 3000 \times 2.5\mu s = 7.5ms$ 。

(2) 由双积分式A/D转换器的原理可知，计数器的最大计数容量对应于参考电压，计数器的计数值对应于需要转换的输入模拟电压。所以在计数器的计数值为  $N_2$  时，输入模拟电压为： $u_I/N_2 = U_{REF}/N_1$ ， $u_I = N_2 U_{REF}/N_1 = 15 \times 2000/3000V = 10V$ 。输出的数字量为： $N_2 = (2000)_{10} = (011111010000)_2$ 。