

运算参数的详细解释和分析【TI FAE 分享】

2017年7月14日 11:25

- [运放参数的详细解释和分析-part1, 输入偏置电流和输入失调电流](#)
- [运放参数的详细解释和分析-part2, 如何测量输入偏置电流Ib, 失调电流Ios](#)
- [运放参数的详细解释和分析-part3, 输入失调电压Vos及温漂](#)
- [运放参数的详细解释和分析-part4, 运放噪声快速计算](#)
- [运放参数的详细解释和分析-part5, 电源抑制比DC-PSRR](#)
- [运放参数的详细解释和分析-part6, 电源抑制比AC-PSRR](#)
- [运放参数的详细解释和分析-part7, 共模抑制比CMRR](#)
- [运放参数的详细解释和分析-part8, 共模抑制比CMRR的影响](#)
- [运算参数的详细解释和分析-part 9 放大电路直流误差](#)
- [运算参数的详细解释和分析-part10 放大电路直流误差](#)
- [运算参数的详细解释和分析-part11输入阻抗和输入电容](#)
- [运算参数的详细解释和分析-part12 输入电容Cin的测量](#)
- [运算参数的详细解释和分析-part13, 轨至轨输入 \(rail to rail input \)](#)
- [运放参数的详细解释和分析-part14, 轨至轨输入 TI的领先技术](#)
- [运放参数的详细解释和分析-part15, 开环增益Aol](#)
- [运放参数的详细解释和分析-part16, 增益带宽积 \(GBW \)](#)
- [运放参数的详细解释和分析-part17, 从开环增益曲线谈到运放稳定性](#)
- [运放参数的详细解释和分析-part18, 压摆率\(SR\)](#)
- [运放参数的详细解释和分析-part19, 全功率带宽\(FPBW\)](#)
- [运放参数的详细解释和分析-part20, 建立时间\(Settling Time\)](#)
- [运放参数的详细解释和分析-part21, 总谐波失真\(THD\)](#)
- [运放参数的详细解释和分析-part22, 轨至轨\(rail to rail\)输出](#)
- [运放参数的详细解释和分析-part23, 输出短路电流](#)
- [运放参数的详细解释和分析-part24, 输出阻抗Ro和Rout](#)
- [运放参数的详细解释和分析-part25, 运放的热阻](#)
- [运算参数的详细解释和分析-part13, 轨至轨输入 \(rail to rail input \)](#)
- [运放参数的详细解释和分析-part14, 轨至轨输入 TI的领先技术](#)
- [运放参数的详细解释和分析-part15, 开环增益Aol](#)
- [运放参数的详细解释和分析-part16, 增益带宽积 \(GBW \)](#)

来自 <http://www.devisupport.com/question_answer/analog/amplifiers/f/52/t/20214.aspx?keyMatch=%E8%BF%90%E6%94%BE%E5%8F%82%E6%95%B0%E7%9A%84%E8%AF%A6%E7%BB%86%E8%A7%A3%E9%87%8A%E5%92%8C%E5%88%86%E6%9E%90&tisearch=Search-CN-Everything>

[运放参数的详细解释和分析-part20, 建立时间\(Settling Time\)](#)

[运放参数的详细解释和分析-part21, 总谐波失真\(THD\)](#)

来自 <http://www.devisupport.com/question_answer/analog/amplifiers/f/52/t/20214.aspx?keyMatch=%E8%BF%90%E6%94%BE%E5%8F%82%E6%95%B0%E7%9A%84%E8%AF%A6%E7%BB%86%E8%A7%A3%E9%87%8A%E5%92%8C%E5%88%86%E6%9E%90&tisearch=Search-CN-Everything>

[运放参数的详细解释和分析-part22, 轨至轨\(rail to rail\)输出](#)

[运放参数的详细解释和分析-part23, 输出短路电流](#)

[运放参数的详细解释和分析-part24, 输出阻抗Ro和Rout](#)

[运放参数的详细解释和分析-part25, 运放的热阻](#)

来自 <http://www.devisupport.com/question_answer/analog/amplifiers/f/52/t/20214.aspx?keyMatch=%E8%BF%90%E6%94%BE%E5%8F%82%E6%95%B0%E7%9A%84%E8%AF%A6%E7%BB%86%E8%A7%A3%E9%87%8A%E5%92%8C%E5%88%86%E6%9E%90&tisearch=Search-CN-Everything>

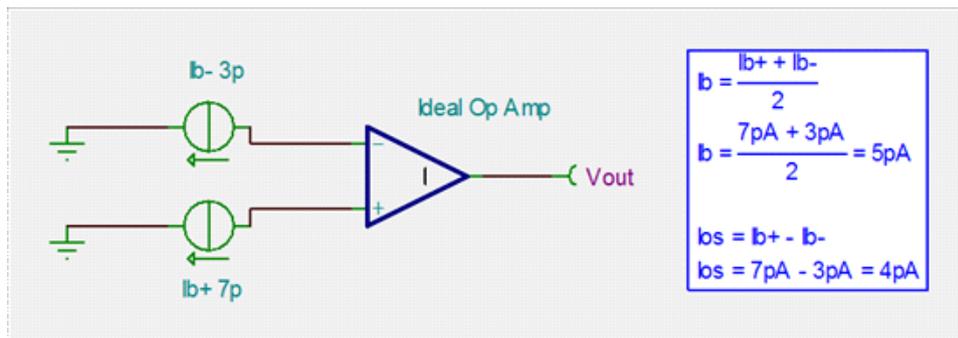
来自 <http://www.devisupport.com/question_answer/analog/amplifiers/f/52/t/20214.aspx?keyMatch=%E8%BF%90%E6%94%BE%E5%8F%82%E6%95%B0%E7%9A%84%E8%AF%A6%E7%BB%86%E8%A7%A3%E9%87%8A%E5%92%8C%E5%88%86%E6%9E%90&tisearch=Search-CN-Everything>

运放参数的详细解释和分析-part1, 输入偏置电流和输入失调电流【TI FAE 分享】

2017年7月14日 11:18

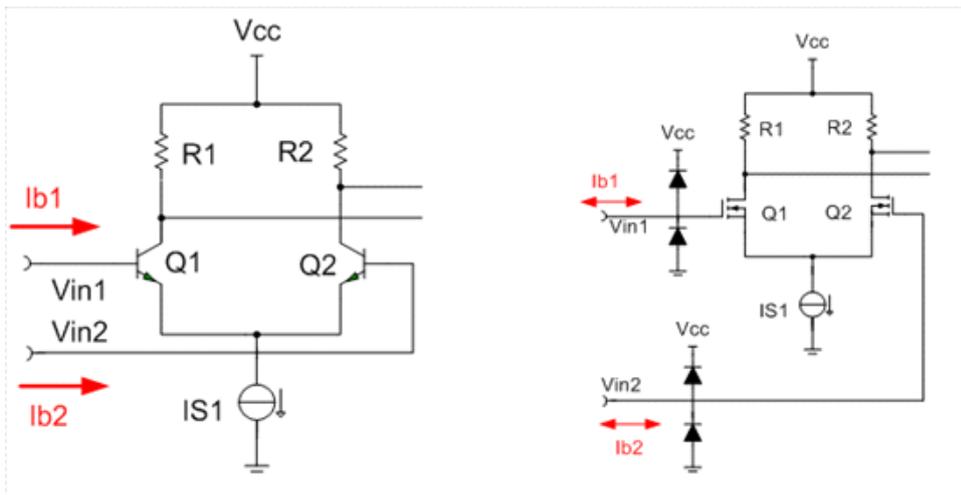
一般运放的datasheet中会列出众多的运放参数,有些易于理解,我们常关注,有些可能会被忽略了。在接下来的一些主题里,将对每一个参数进行详细的说明和分析。力求在原理和对应用的影响上把运放参数阐述清楚。由于本人的水平有限,写的博文中难免有些疏漏,希望大家批评指正。

第一节要说明的是运放的输入偏置电流 I_b 和输入失调电流 I_{os} 。众所周知,理想运放是没有输入偏置电流 I_b 和输入失调电流 I_{os} 的。但每一颗实际运放都会有输入偏置电流 I_b 和输入失调电流 I_{os} 。我们可以用下图中的模型来说明它们的定义。



输入偏置电流 I_b 是由于运放两个输入极都有漏电流(我们暂且称之为漏电流)的存在。我们可以理解为,理想运放的各个输入端都串联进了一个电流源,这两个电流源的电流值一般为不相同。也就是说,实际的运放,会有电流流入或流出运放的输入端的(与理想运放的虚断不太一样)。那么输入偏置电流就定义这两个电流的平均值,这个很好理解。输入失调电流呢,就定义为两个电流的差。

说完定义,下面我们要深究一下这个电流的来源。那我们就看一下运放的输入级了,运放的输入级一般采用差分输入(电压反馈运放)。采用的管子,要么是三极管bipolar,要么是场效应管FET。如下图所示,对于bipolar,要使其工作在线性区,就要给基极提供偏置电压,或者说要有比较大的基极电流,也就是常说的,三极管是电流控制器件。那么其偏置电流就来源于输入级的三极管的基极电流,由于工艺上很难做到两个管子的完全匹配,所以这两个管子 Q_1 和 Q_2 的基极电流总是有这么点差别,也就是输入的失调电流。Bipolar输入的运放这两个值还是很可观的,也就是说是比较大的,进行电路设计时,不得不考虑的。而对于FET输入的运放,由于其是电压控制电流器件,可以说它的栅极电流是很小很小的,一般会在fA级,但不幸的是,它的每个输入引脚都有一对ESD保护二极管。这两个二极管都是有漏电流的,这个漏电流一般会比FET的栅极电流大的多,这也成为了FET输入运放的偏置电流的来源。当然,这两对ESD保护二极管也不可能完全一致,因此也就有了不同的漏电流,漏电流之差也就构成了输入失调电流的主要成份。



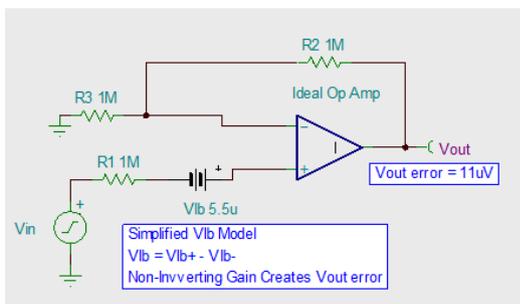
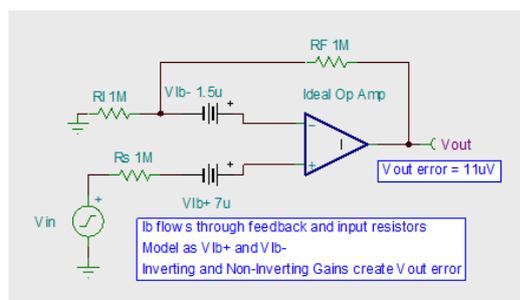
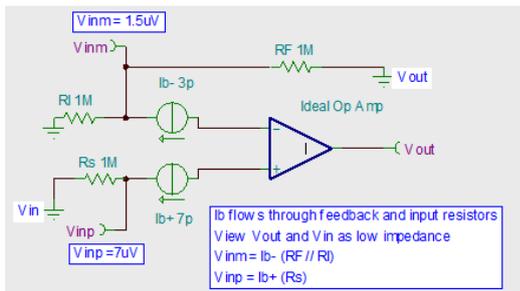
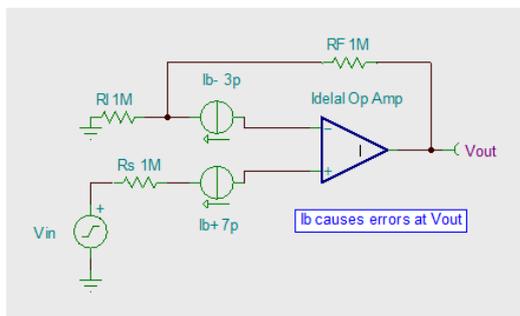
下面列表中上表是bipolar的LM741的输入偏置电流和输入失调电流，这个电流流到外面电阻，即使是K欧级的，也会产生几十uV的失调电压，再经放大，很容易就会使输出的电压误差到mV级。下表则是CMOSFET的OPA369的输入偏置电流和输入失调电流，这两个值要小的多了，比较好的COMS运放输入偏置电流和输入失调电流的典型值可以做到小于1pA的目标。

Parameter	Conditions	LM741C			Units
		Min	Typ	Max	
Input Offset Current	$T_A = 25^\circ\text{C}$		20	200	nA
	$T_{AMIN} \leq T_A \leq T_{AMAX}$			300	nA
Average Input Offset Current Drift					nA/°C
Input Bias Current	$T_A = 25^\circ\text{C}$		80	500	nA
	$T_{AMIN} \leq T_A \leq T_{AMAX}$			0.8	μA

PARAMETER	CONDITIONS	OPA369, OPA2369			UNIT
		MIN	TYP	MAX	
INPUT BIAS CURRENT					
Input Bias Current	I_b		10	50	pA
over Temperature			See Figure 16		pA
Input Offset Current	I_{oc}		10	50	pA

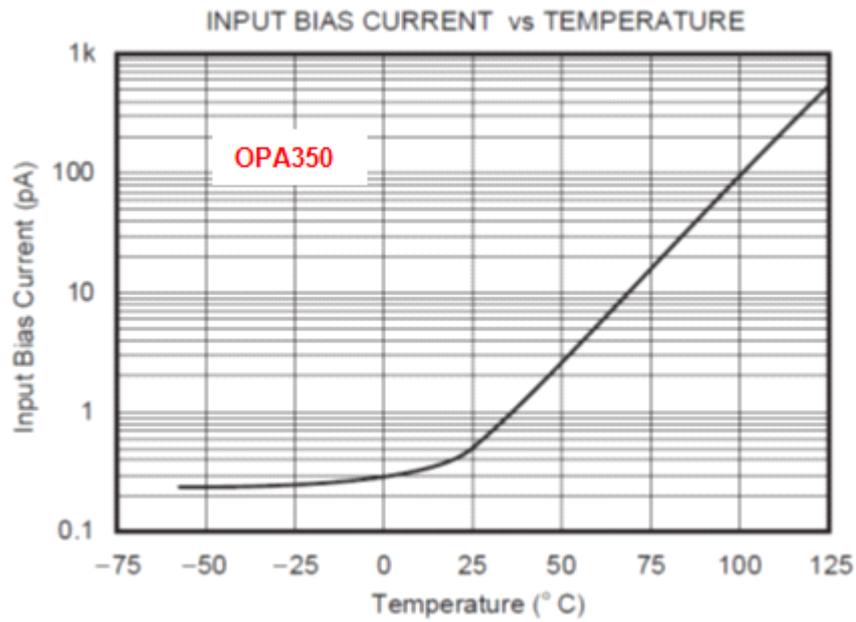
这里还要强调的是，ESD的反向漏电流是与其反相电压有关的。因此当 $V_{in} = (V_{cc} - V_{ss})/2$ 时，加在两个ESD保护二极管的电压相当，他们的反向电流可以认为是近似相等的，此时理想情况是无电流流入或流出的，实际情况是电流达到最小值。因此这时有最小的偏置电流，当运放输入端电压 V_{in} 不等于 $(V_{cc} - V_{ss})/2$ ，势必造成一个二极管的反向电压高，另一个低，此时两个二极管的反向漏电流就不等了，这个差电流就会构成了输入偏置电流的主要成份。这个现场称为领节效应。因此要使FET输入偏置电流最小，就要把共模电压设置在 $(V_{cc} - V_{ss})/2$ 处。

上面分析了定义和来源。下面就要说说这两个参数对电路的影响了，输入偏置电流会流过外面的电阻网络，从而转化成运放的失调电压，再经运放后就到了运放的输出端，造成了运放的输入误差。这也就说明了，在反向放大电路中，为什么要在运放的同相输入端连一个电阻再接地的原因。并且这个电阻要等于反向输入端的电阻和反馈电阻并联后的值。这就是为了使两个输入端偏置电流流过电阻时，形成的电压值相等，从而使它们引入的失调电压为0。这样说，太抽象了，还是看下面一组图容易理解一些。



再有一点，对于微小电流检测的电路，一般为跨阻放大电路，如光电二极管的探测电路，一般有用光信号都比较微弱转化的光电源信号更微弱，常常为nA级甚至pA级。这个电路的本意是想让光电流向反馈电阻流动从而在放大电路输出端产生出电压。如果选用的运放的输入偏置电流过大，刚这个微弱的光电流会有一部分流入到运放的输入端，而达不到预设的I/V线性转化。

还需要注意的一点时，许多运放的输入失调电流会随着温度的变化而变化，如下图所示OPA1350的输入失调电流会在高于25度时快速的升高。在100度时的输入偏置电流是25度时的几百倍。如果设计的系统是在很宽的温度范围内工作，这一因素不得不考虑。



以上啰啰嗦嗦的讲了运放的输入偏置电流和失调电流，希望对大家有用。下一节中将详细剖析其它参数。

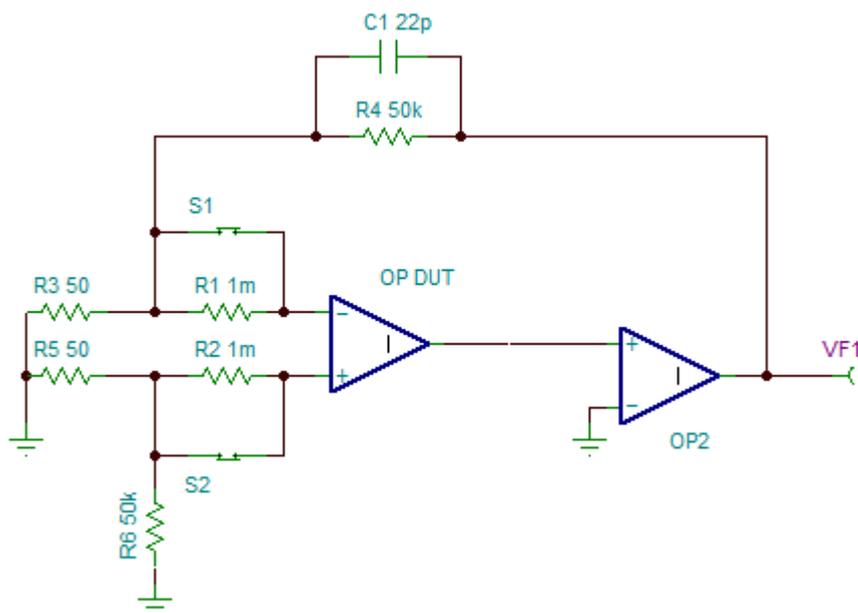
来自 <http://www.devisupport.com/question_answer/analog/amplifiers/f/52/t/18865.aspx?keyMatch=%E8%BF%90%E6%94%BE%E5%8F%82%E6%95%B0%E7%9A%84%E8%AF%A6%E7%BB%86%E8%A7%A3%E9%87%8A%E5%92%8C%E5%88%86%E6%9E%90&tisearch=Search-CN-Everything>

运放参数的详细解释和分析-part2，如何测量输入偏置电流Ib，失调电压Ios（建议置顶）

2017年7月14日 11:24

上一节讲了运放输入偏置电流和输入失调电压。这一节给出输入偏置电流测量方式。总体来说主要有两种测试方法，一种是让输入偏置电流流入一个大的电阻，从而形成一个失调电压，然后放大失调电压并进行测量，这样就可以反算出输入偏置；另一种方法是让输入偏置电流流入一个电容，用电容对这个电流进行积分，这样只要测和电容上的电压变化速率，就可以计算出运放的偏置电流。

先介绍第一种方法，具体电路如下图所示，C1是超前补偿电容以防止电路的振荡，根据实际电路选择。OP2是测试辅助运放，需选低偏置电压和低偏置电流的运放。测试步骤和原理下面一步一步进行推算。



(1) 首先测试运放的失调电压。关闭S1和S2，测试出OP2运放的输出电压记下Vout。则输入失调电压为：

$$V_{os} = V_{out} \left(\frac{R_3}{R_4 + R_3} \right)$$

(2) 打开S2,待测运放的Ib+流入R2，会形成一个附加的失调电压Vos1，测试出OP2运放的输出电压记下Vout1。则运放同向输入失调电压为：

$$I_{b+} = (V_{out1} - V_{out}) \cdot \left(\frac{R_3}{R_4 + R_3} \right) \div R_2$$

(2) 关闭S2，打开S1,待测运放的Ib-流入R1，会形成一个附加的失调电压Vos2，测试出OP2运放的输出电压记下Vout2。则运放反向输入失调电压为：

$$I_{b-} = (V_{out} - V_{out2}) \cdot \left(\frac{R_3}{R_4 + R_3} \right) \div R_1$$

(4) 运放输入偏置电流为

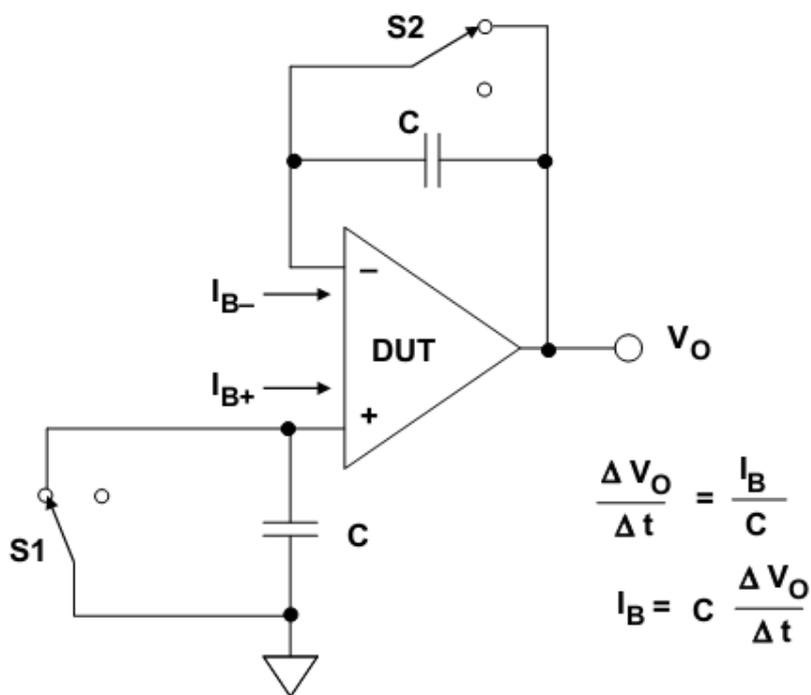
$$I_b = [(I_{b+}) + (I_{b-})] / 2$$

运放输入失调电流为

$$I_{os} = (I_{b+}) - (I_{b-})$$

这种测试方法有几个缺点，一个是使用了很大的电阻R1和R2，一般会是M欧级，这两个电阻引入了很大的电压噪声。受到电阻R1和R2的阻值的限制，难以测得FET输入运放的偏置电流。

第二种方法测试方法，是让运放的输入偏置电流流入电容，具体测试如下图。从图中的公式很容易理解测试的原理，这个测试的关键，是选取漏电流极小的电容。



OPEN S1 TO MEASURE I_{B+}

OPEN S2 TO MEASURE I_{B-}

(1) 打开S1， I_{B+} 流入电容C，用示波器观察 V_o 的变化，结果如下图，按上图的方法就可以计算出 I_{B+} 。

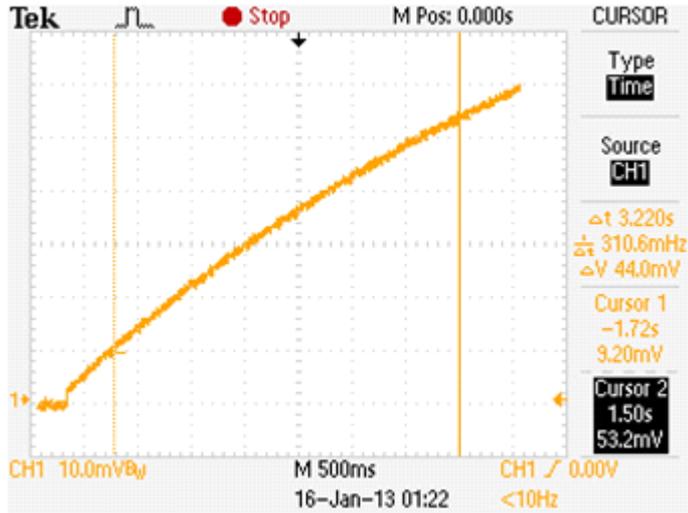


ΔV /mV Δt /s C /nF I_b /nA

No.1 I_{B+} 166 6.68 9.54 0.237072

(2)关闭S1打开S2, I_{B-} 流入电容C, 用示波器观察Vo的变化, 结果如下图, 可以计算出 I_{B-} 。

(3)再根据定义就可以计算出运放的输入偏置电流和失调电流。



ΔV /mV Δt /s C /nF I_b /nA

No.1 I_{B-} 44 3.22 9.54 0.13036

这种测试方法可以测得fA级的失调电流。测试时需要选用低漏电流的电容, 推荐使用极低漏电流的特氟龙电容, 聚丙烯(PP)电容或聚苯乙烯电容。

再分享一个经验, 就是贴片电容在焊接过程中, 由于引脚可能残留焊锡膏等杂质, 会使FET运放的漏电流大大的增加。曾经测试一个偏置电流为小于10pA级的运放, 由于没有对引脚 进行清洗, 结果测得结果出现了很大的误差, 或者叫差错, 达了nA的水平了。

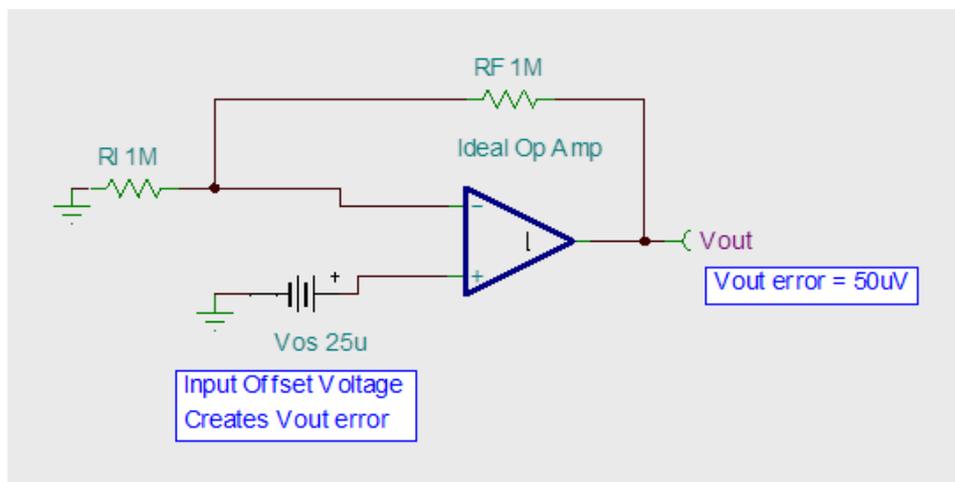
来自 <http://www.devisupport.com/question_answer/analog/amplifiers/f/52/t/18960.aspx?keyMatch=%E8%BF%90%E6%94%BE%E5%8F%82%E6%95%B0%E7%9A%84%E8%AF%A6%E7%BB%86%E8%A7%A3%E9%87%8A%E5%92%8C%E5%88%86%E6%9E%90&tisearch=Search-CN-Everything>

运放参数的详细解释和分析-part3, 输入失调电压Vos及温漂 (建议置顶)

2017年7月14日 11:23

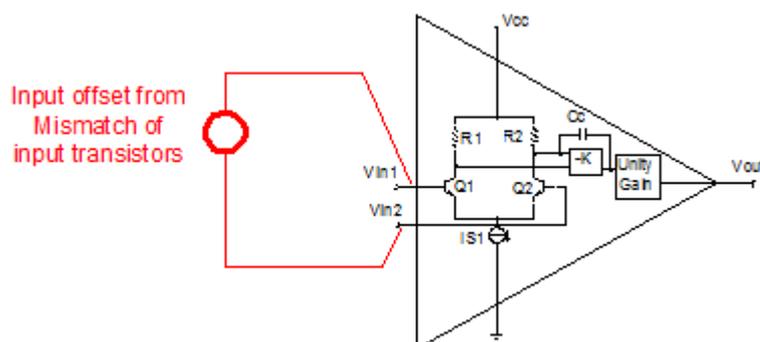
在运放的应用中, 不可避免的会碰到运放的输入失调电压Vos问题, 尤其对直流信号进行放大时, 由于输入失调电压Vos的存在, 放大电路的输出端总会叠加我们不期望的误差。举个简单, 老套, 而经典的例子, 由于输入失调电压的存在, 会让我们的电子秤在没经调校时, 还没放东西, 就会有重量显示。我们总不希望, 买到的重量与实际重有差异吧, 买苹果差点还没什么, 要是买白金戒指时, 差一克可是不少的money哦。下面介绍一下运放的失调电压, 以及它的计算。最后再介绍一些TI的低输入失调电压运放。不足之处, 多多拍砖。

理想情况下, 当运放两个输入端的输入电压相同时, 运放的输出电压应为0V, 但实际情况确是, 即使两输入端的电压相同, 放大电路也会有一个小的电压输出。如下图, 这就是由运放的输入失调电压引起的。



当然严格的定义应为, 为了使运放的输出电压等于0, 必需在运放两个输入端加一个小的电压。这个需要加的小电压即为**输入失调电压Vos**。注意, 是为了使出电压为0, 而加的输入电压, 而不是输入相同时, 输出失调电压除以增益 (微小区别)。

运放的输入失调电压来源于运放差分输入级两个管子的不匹配。如下图。受工艺水平的限制, 这个不匹配是不可避免的。差分输入级的不匹配是个坏孩子, 它还会引起很多其他的问题, 以后介绍。

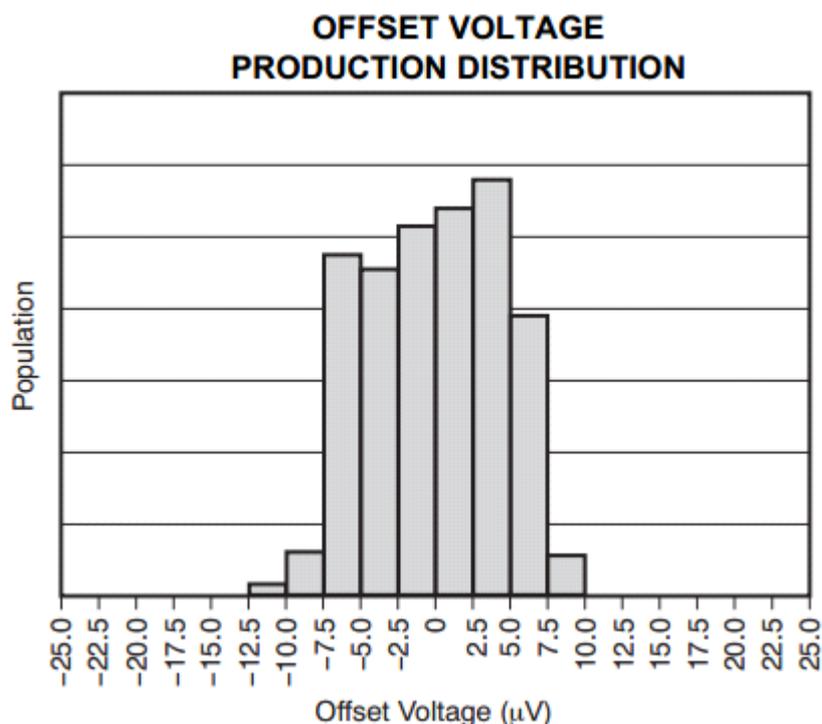


曾经请教过资深的运放设计工程师, 据他讲, 两个管子的匹配度在一定范围内是与管子的面积的平方根成正比, 也就是说匹配度提高为原来的两倍。面积要增加四倍, 当到达一个水

平时，即使再增加面积也不会提高匹配度了。提高面积是要增加IC的成本的哦。所在有一个常被使用的办法，就是在运放生产出来后，进行测试，然后再Trim(可以理解为调校了)。这样就能使运放的精度大在提高。当然，测试和Trim都是需要成本的哦。所以精密运放的价格都比较贵。这段只当闲聊，呵呵。

我们关注输入失调电压，是因为他会给放大电路带来误差。下面就要分析它带来的误差。在计算之前，我们再认识一个让我们不太爽的参数，失调电压的温漂，也就是说，上面提到的输入失调电压会随着温度的变化而变化。而我们的实际电路的应用环境温度总是变化的，这又给我们带来了棘手的问题。下表就是在[OPA376](#) datasheet上截取下来的参数。它温漂最大值为1uV/°C(-40°C to 85°C)。一大批运放的Vos是符合正态分布的，因此datasheet一般还会给出offset分布的直方图。

PARAMETERS	CONDITIONS	OPA376, OPA2376, OPA4376			UNIT
		MIN	TYP	MAX	
OFFSET VOLTAGE					
Input Offset Voltage	V _{os}		5	25	μV
vs Temperature	dV _{os} /dT	-40°C to +85°C	0.26	1	μV/°C



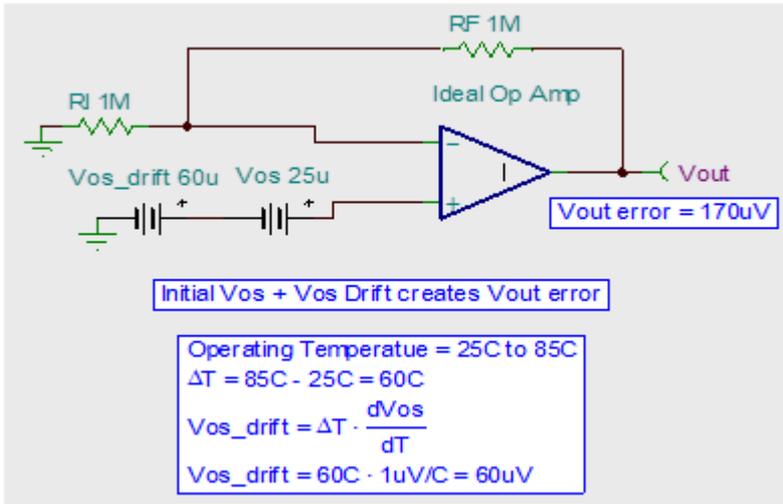
当温度变化时，**输入失调电压温漂**的定义为：

$$\frac{\Delta V_{os}}{\Delta T} = \frac{V_{os}(T_1) - V_{os}(25C)}{T_1 - 25C}$$

刚忘记了另一个重要的参数，就是**运放输入失调电压的长期漂移**，一般会给出类似 uV/1000hours或uV/moth等。有些datasheet会给出这一参数。

下面举例计算一下[OPA376](#)，在85°C时的最大失调电压，主要是两部分，一部分是25度时的输入失调电压，另一部分是温度变化引起的失调电压漂移。

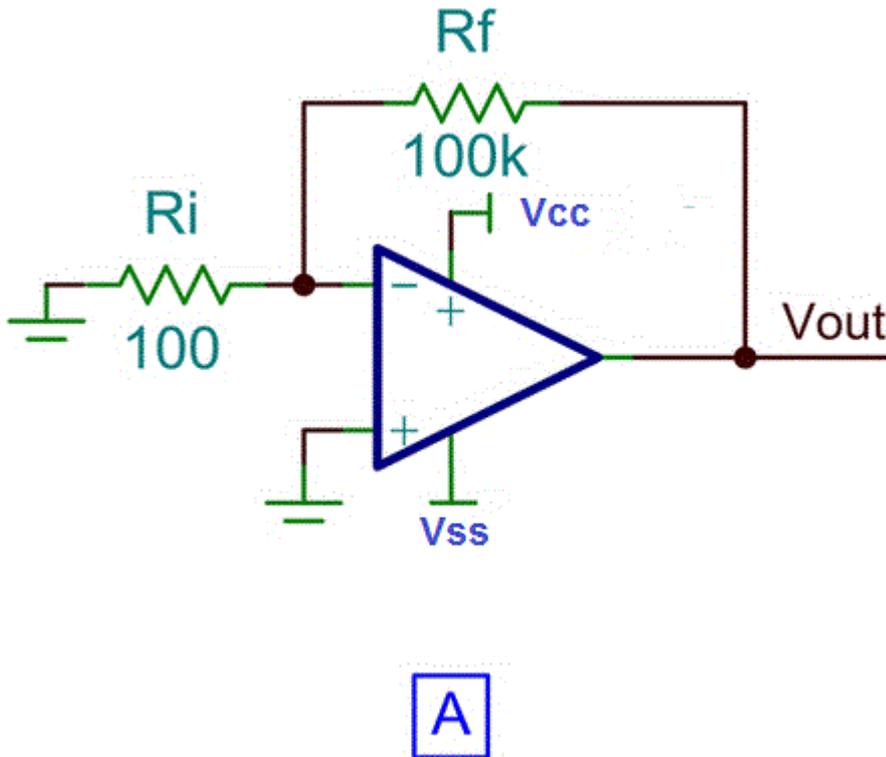
具体步聚如下图。从结果来看似1uV/°C温漂，在乘上温度变化时，就成为了误差的主导。因此，如果设计的电路在宽的温度范围下应用，需在特别关注温漂。



$Vos(85^{\circ}C) = 25\mu V + 60\mu V = 85\mu V$.

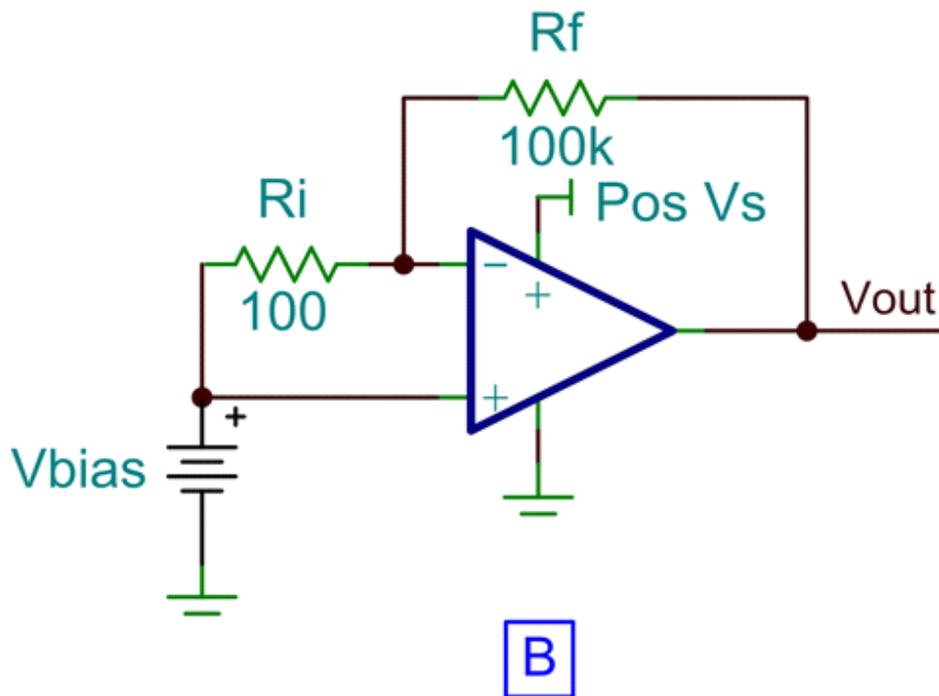
如果放大电路的Gain改为100,则最大输出失调电压就为8.5mV。这是最差的情况。

关于输入失调电压的测试在"运放参数的详细解释和分析-part2, 如何测量输入偏置电流 Ib, 失调电流 Ios"中有介绍, 感兴趣的话, 可以去看看。还有简单的测试方法, 如下图:



$$Vos = Vout/1001$$

需要提醒的是, 使用简易方法测试单电源运放的输入失调电压时, 需要将输入端短路并提供一个低噪声的稳定电压偏置。如下图。



TI的运放水平在全球一直处于领先地位，下面列一些TI的低温漂运放，它们的最大漂移只有0.05uV/°C。输入失调电压Vio最大值只有5uV。

[OPA734](#)

[OPA735](#)

[OPA334](#)

[OPA335](#)

还有一些温漂很小的运放，

[OPA333](#) , [OPA188](#)

感兴趣的可以在下面的列表中找到。

http://www.ti.com.cn/paramsearch/cn/docs/parametricsearch.tsp?family=analog&familyId=3028&uiTemplateId=NODE_STRY_PGE_T

来自 <http://www.devisupport.com/question_answer/analog/amplifiers/f/52/t/19088.aspx?keyMatch=%E8%BF%90%E6%94%BE%E5%8F%82%E6%95%B0%E7%9A%84%E8%AF%A6%E7%BB%86%E8%A7%A3%E9%87%8A%E5%92%8C%E5%88%86%E6%9E%90&tisearch=Search-CN-Everything>

运放参数的详细解释和分析-part4，运放噪声快速计算（建议置顶）

2017年7月14日 11:27

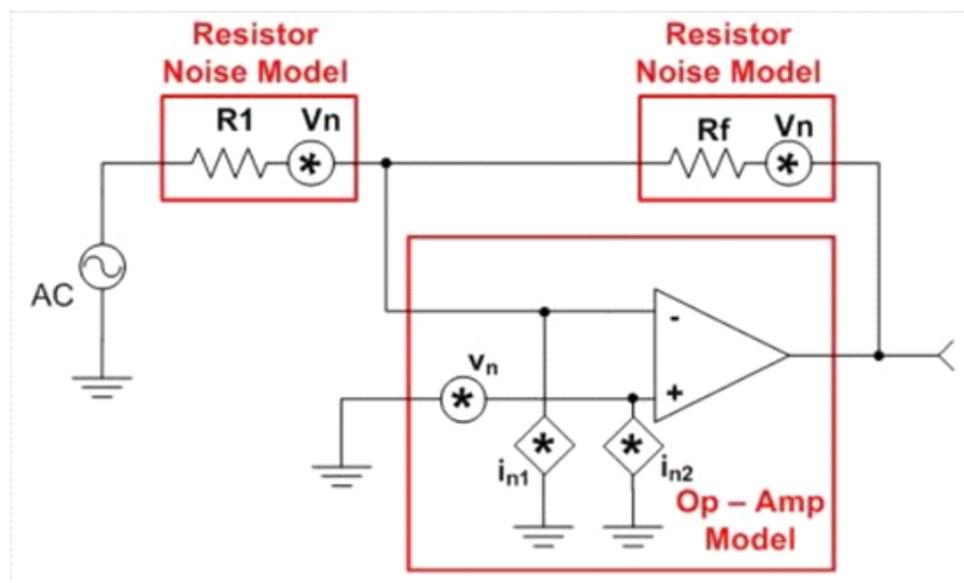
本文不是研究运放的噪声理论，TI的资深应用经理Art Kay已经写过一系列的文章来分析运放的噪声，相信大多数模拟电路工程师都读过。这一系列文章已经发表在

<http://www.analogzone.com>网站上。国内还有工程师把它翻译成中文。名称为“运算放大器电路固有噪声的分析与测量(TI合集).pdf”。感兴趣的话可以下载下来读一下。

今天主要从自上而下的角度分析一下运放电路的噪声组成，计算时几个主意要点和繁索的地方、最主要的是提供给大家一个方便的计算小工具，很好用，让噪声计算变的简单。

运放构成的反向放大电路中，噪声主要来源于三个方面

- (1) 运放的输入噪声电压 e_n (在datasheet中有数据和曲线)
- (2) 运放的输入电流噪声 i_n （在datasheet中同样可以找到数据和曲线）。这需要流过电阻后转化为电压噪声。
- (3) 设置放大倍数的电阻 R_1 和 R_f 的热噪声，也就是可以通过经典公式算出来的。Noise = $\sqrt{4kT_k R \Delta f}$ 。这是不可避免的。很多情况下会成为主要噪声来源。



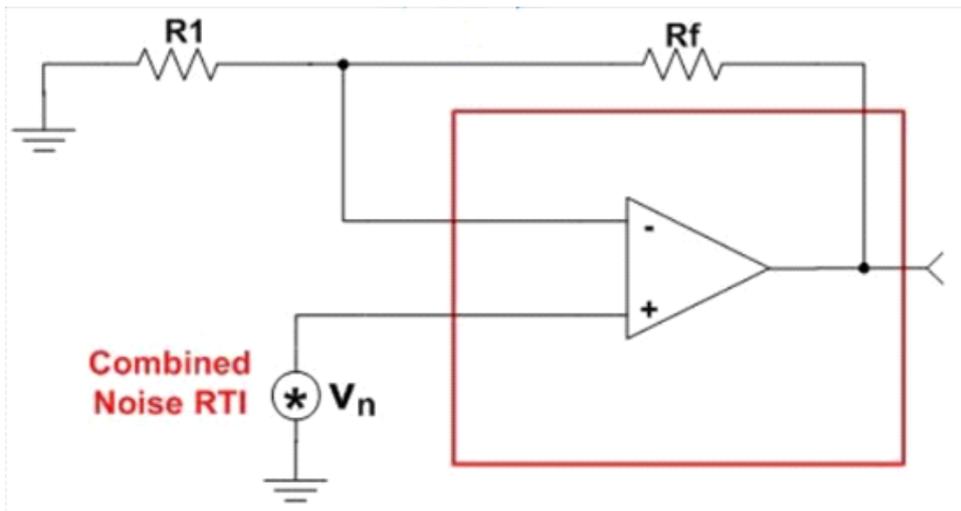
运放噪声的计算就是将这三个值一一求出来，由于这些噪声是不相关的。它们的矢量和即为运放的总输入噪声。再乘上噪声增益就可以得到输出端噪声，公式如下。看似简单实则很麻烦。

$$e_{n_in} = \sqrt{e_{n_i}^2 + e_{n_v}^2 + e_{n_r}^2}$$

$$e_{n_out} = e_{n_in} \cdot \text{Noise_Gain}$$

$$e_{n_out_pp} = e_{n_out}^{6.0} \quad \text{For } +/- 3\sigma$$

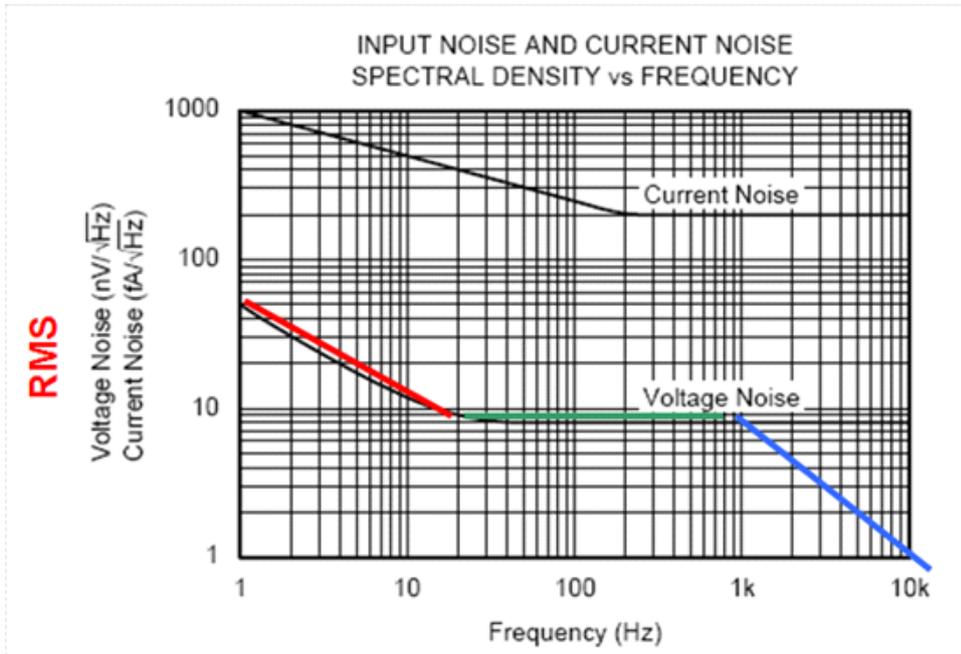
我们将计算得来和输入总噪声加到理想运放的正输入端，就得到了运放的噪声模型。注意，是正输入端哦，因此不管同向放大电路，还是反向放大电路对噪声的增益均为 $G=1+R_f/R_1$ 。我们可以简单理解为噪声是叠加到运放输入端的一个信号。如下图



上面说了一个重要问题，运放的噪声增益。还要一个重要问题，运放的噪声带宽，datasheet中给出的运放噪声参数一般为谱密度值如 $1.1\text{nV}/\sqrt{\text{Hz}}$ 。也就是说，需要对它在噪声带宽中进行积分才可以得到噪声的RMS电压值。噪声带宽不同于信号的-3dB带宽。确切的说是Brickwall滤波器的带宽。简单说，就是把实际的滤波器响应曲线，在保证包含面积不变时转化成理想低通滤波器时的带宽。好在我们可以查表得到，N阶滤波器的-3dB带宽与Brickwall滤波器的带宽换算系数。如下表

Number of Poles in Filter	K_n AC Noise Bandwidth Ratio
1	1.57
2	1.22
3	1.16
4	1.13
5	1.12

看上去好麻烦，不要急，还有更麻烦的事，就是运放的输入电压噪声和输入电流噪声，是与频率有关的，在极低频率时(0.1Hz-10Hz)主要是 $1/f$ 噪声，以后主要是白噪声，如下图，

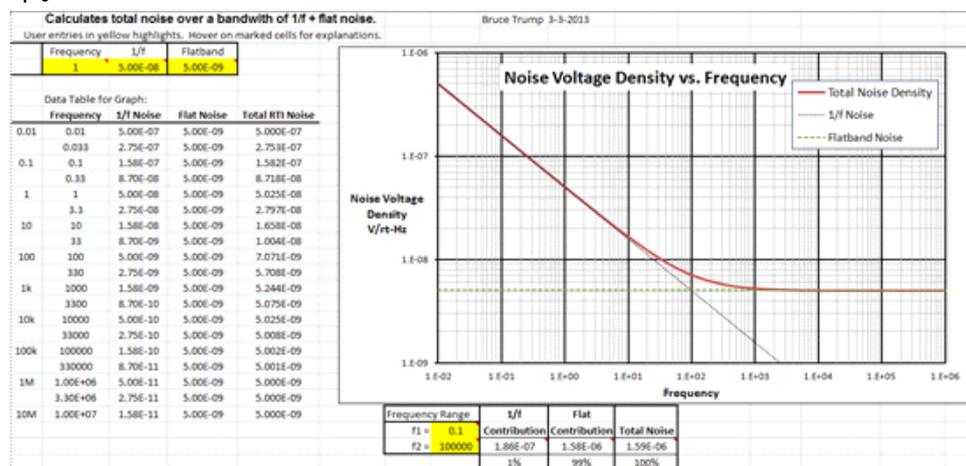


需要对其分段积分。在Art Kay的Op-Amp Noise Calculation and Measurement.ppt(可以google到, TI官网上也有)。有一个计算实例, 感兴趣的可以找个运参照计算一下。

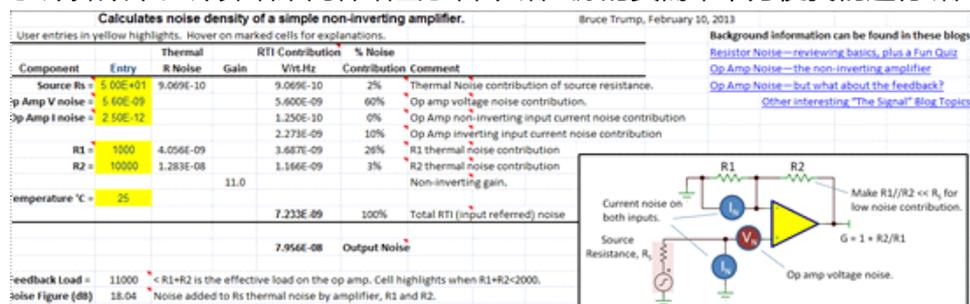
卖了半天关子, 下面隆重推荐由Bruce, Trump刚刚设计完成的一个运放电路噪声计算器。就是一个excel表, 可以在下面的页面中下到。

http://e2e.ti.com/blogs_/b/thesignal/archive/2013/03/03/1-f-noise-the-flickering-candle.aspx

如下图是噪声电压的计算, 只要输入1/f噪声在特定频率的值, 和平坦噪声的值, 就可以计算出不同频率下的噪声密度。输入频带的起止频率, 就可以分析出这下频带内各个噪声的贡需率。



下图是计算同向放大电路的噪声密度的方法(以OPA627为例), 只需输入信号源电阻, 运放电压噪声, 运放电流噪声, 电阻值和温度, 就可以计算出来输出电路的噪声密度, 这大大提高了计算效率。计算结果同样给出了各个噪声源的贡需率, 方便我们进行噪声优化设计。



来自 <http://www.devisupport.com/question_answer/analog/amplifiers/f/52/t/19179.aspx?keyMatch=%E8%BF%90%E6%94%BE%E5%8F%82%E6%95%B0%E7%9A%84%E8%AF%A6%E7%BB%86%E8%A7%A3%E9%87%8A%E5%92%8C%E5%88%86%E6%9E%90&tisearch=Search-CN-Everything>

运放参数的详细解释和分析-part5, 电源抑制比DC-PSRR

2017年7月14日 11:30

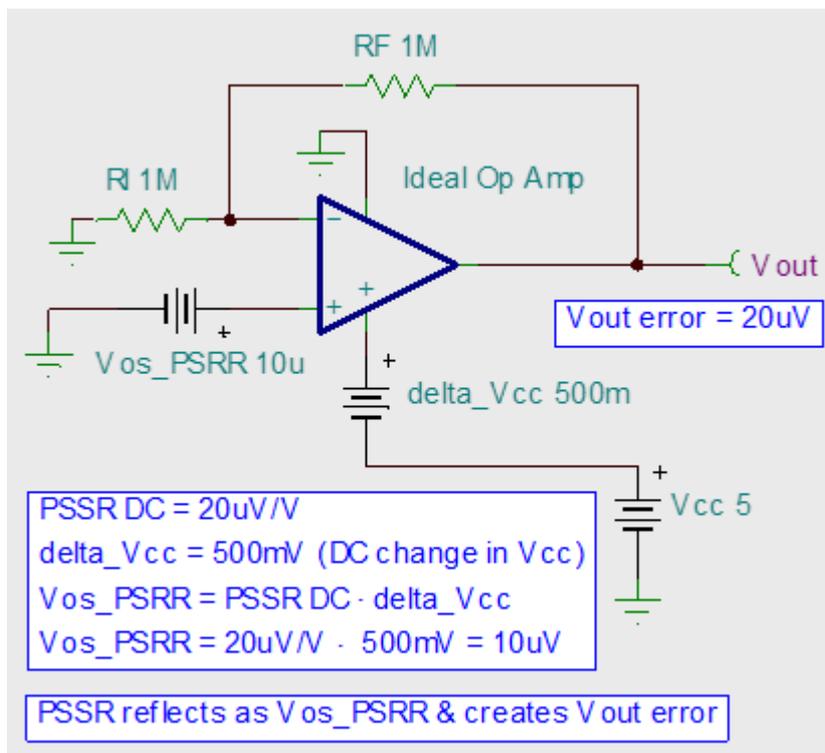
这一小节谈谈运放的电源抑制比。在理想运放中，运放的特性不会随电源电压的变化而变化。当然，分析理想运放时，我们使用的电源，也会被假设成理想电源。但实际情况并非如此，实际的运放，电源电压发生变化时，总会引起运放参数的变化。这就引出运放的一个重要参数，运放的电源抑制比PSRR。维基百科中给出了PSRR的详细定义，就是当运放的电源电压发生变化时，会引起运放的输入失调电压的变化，（又是失调电压），这两个变化的比就是运放的PSRR。如下式

$$PSRR = \frac{\Delta V_{supply}}{\Delta V_{IOS}}$$

通常用dB表示。PSRR = 20log(ΔVcc/ΔVios)。有些数据手册中，也会通过失调电压对电源变化的比来表示。单位一般用uV/V。如下图，是[OPA365](#)的datasheet中的表示，这个也不难理解。我们不用为找不到上式定义的比率dB值，而感动伤心。这两种表示方法，都可以让我们清楚的理解到运放对电源电压变化的抑制能力。

PARAMETERS	CONDITIONS	OPA376, OPA2376, OPA4376			UNIT
		MIN	TYP	MAX	
OFFSET VOLTAGE					
Input Offset Voltage	V_{OS}		5	25	μV
vs Temperature	dV_{OS}/dT		0.26	1	$\mu V/^{\circ}C$
			0.32	2	$\mu V/^{\circ}C$
vs Power Supply	PSRR		5	20	$\mu V/V$
Over Temperature			5		$\mu V/V$

PSRR为有限值的原因，也是来源于运放差分输入管的不完全匹配。下面着重讨论它的影响。如下图是对[OPA376](#)运放的一个计算实例。当电源电压变化500mV时，就会引起输入失调电压10uV的变化，如果放大倍数为2，刚输出端变会产生20uV的变化。一些电路放大的倍数更大，则输出失调电压变更大。这足以使一个输送给16bitsADC的信号产生误差。（16位ADC的一个LSB对应的变化为15ppm of FSR）。



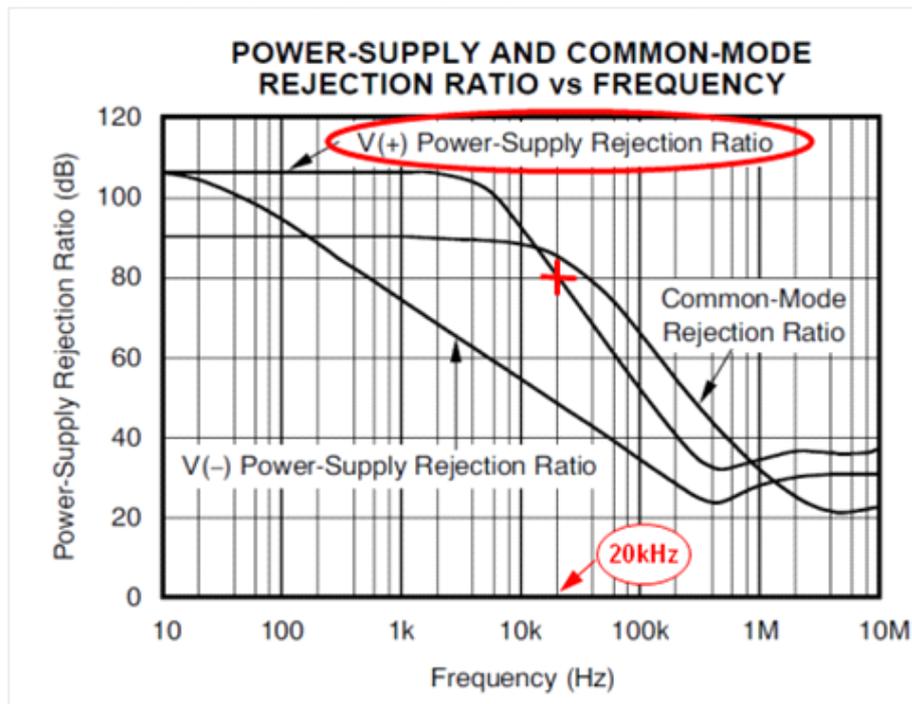
来自 <http://www.devisupport.com/question_answer/analog/amplifiers/f/52/t/19458.aspx?pi239031348=1&keyMatch=%E8%BF%90%E6%94%BE%E5%8F%82%E6%95%B0%E7%9A%84%E8%AF%A6%E7%BB%86%E8%A7%A3%E9%87%8A%E5%92%8C%E5%88%86%E6%9E%90&tisearch=Search-CN-Everything>

运放参数的详细解释和分析-part6，电源抑制比AC-PSRR

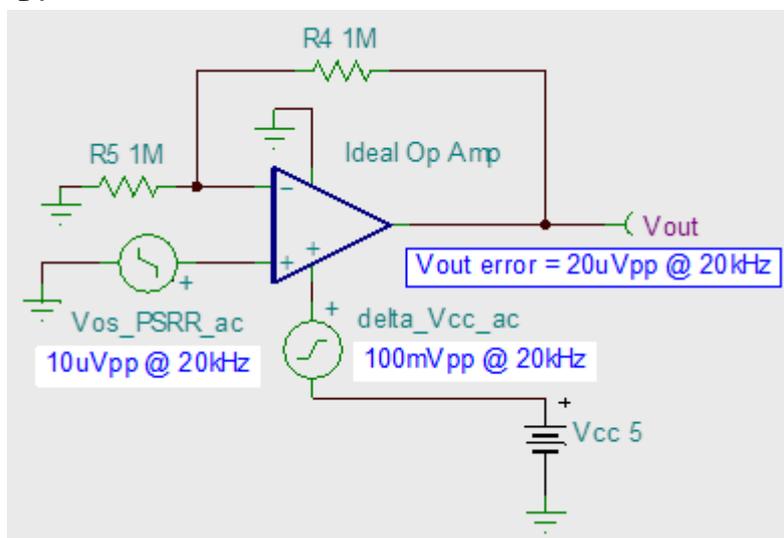
2017年7月14日 11:23

上面一节讨论的是直流DC电源抑制比。实际的应用电路中，运放的电源电压可能是不变的。

下面就来分析另一个关键的参数，运放交流电源抑制比AC-PSRR。这个参数相对在实际的应用电路中显得更有价值，却时常被我们忽略。运放的datasheet参数表格中往往给出的是直流PSRR。而AC-PSRR往往以图表的形式给出，我们常常忽略了图表中的信息。然而，被我们忽略的常常是关键。下图是OPA376的datasheet中的PSRR图表，从图表中我们可以看出两点信息：（1）PSRR是随电源交流频率的上升而下降的，（2）正负电源的AC-PSRR不同。



以上两点会在应用电路中引起令人不快的问题，下图是说明了一个在电源上出现的峰峰值为100mV，频率为20kHz的纹波，会使放大电路的输出端增加一个20uV，20kHz的噪声信号。

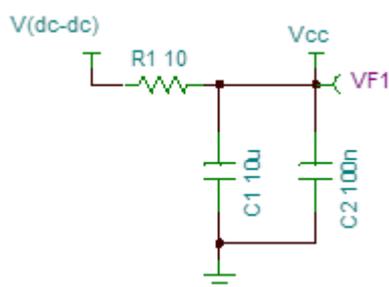


通常，运放的应用电路中使用线性电源对运放供电，对运放的电源进行滤波。但在一些

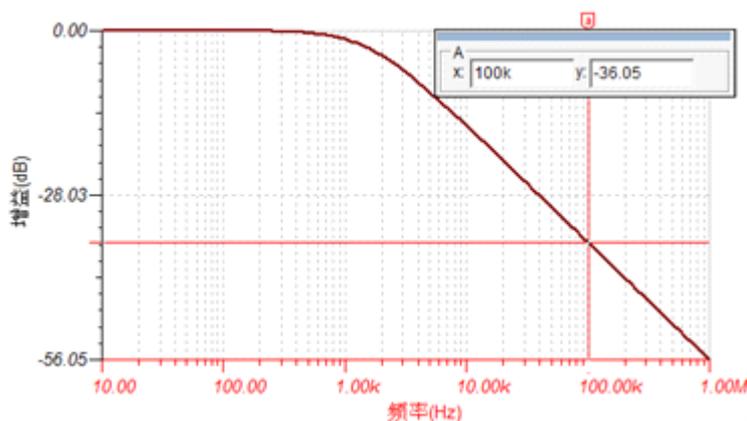
手持式设备为了提高效率，降低功耗，不得不使用开关电源对运放供电，开关电源的频率往往超过100kHz，甚至到MHz的水平。在这个频率点上，运放的PSRR能力下降的非常快。如 [OPA376](#)在100kHz时，PSRR只有50dB了。与高于100dB的DC-PSRR相去甚远。另一个问题在单电源的手批设备中，开关电容的“buck-boost”常被用来将正电源转化为负电源。看到上图中运放对负向电源的AC-PSRR后，会让我们出点冷汗了。

运放的PSRR就要是指电源电压变化引起输入失调电压的变化。因此可以参照测量失调电压的方法测量PSRR。把电源电压变化一个 ΔV_{cc} ，然后测量计算 ΔV_{ios} ，就可以计算出PSRR。

上面提到运放使用开关电源供电时，由于PSRR随频率的上升而下降。使得运放在输出端有很大的纹波噪声。下面提供一个简单的办法，只适合于低功耗的运放。在DC-DC输出的电源与运放的电源之间加一个小电阻（如下图），如果运放的功耗小于5mA。则这个10欧姆电阻产生的压降小于50mV。



下面看一下这个电路的效果如下图，在100kHz时频响为-36dB这相当于给运放增加了36dB的PSRR。这个功耗损失换取这个效果还是很值得的。



另一个有效的方法是，使串心电容给电源滤波，串心电容是一种三端电容，但与普通的三端电容相比，由于它直接安装在金属面板上，因此它的接地电感更小，几乎没有引线电感的影响，另外，它的输入输出端被金属板隔离，消除了高频耦合，这两个特点决定了穿心电容具有接近理想电容的滤波效果。关于串心电容，感兴趣的可以查阅相关资料。我们也会在论坛中分享TI工程师应用三端电容给开关电源滤波的文章。

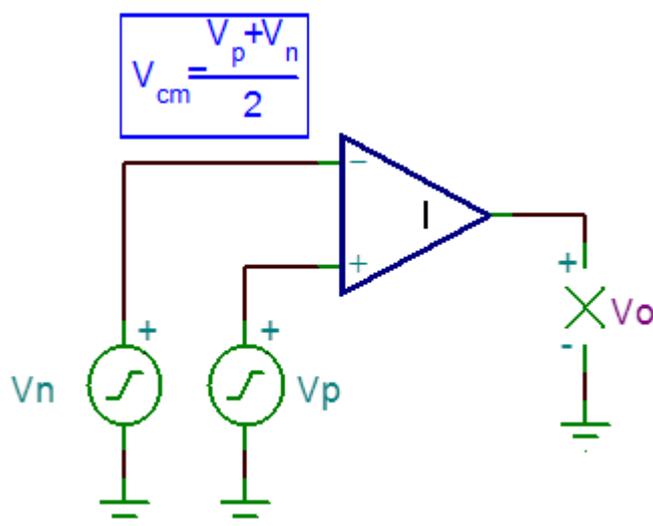
来自 <http://www.devisupport.com/question_answer/analog/amplifiers/f/52/t/19467.aspx?keyMatch=%E8%BF%90%E6%94%BE%E5%8F%82%E6%95%B0%E7%9A%84%E8%AF%A6%E7%BB%86%E8%A7%A3%E9%87%8A%E5%92%8C%E5%88%86%E6%9E%90&tisearch=Search-CN-Everything>

运放参数的详细解释和分析-part7，共模抑制比CMRR

2017年7月14日 11:28

运放的共模抑制比，是常被大家关注的一个运放参数，尤其是在差分放大器和仪表放大器中。但这一小节只讨论运放的共模抑制比，以及CMRR带来给运放的误差。关于差分放大器和仪表放大器，以后另文讨论。

在开始讨论运放的共模抑制比，我们先了解一下运放的共模输入电压，运放的共模输入电压是指运放的两个输入引脚电压的平均值，注意是“平均值”，这一点很重要，如下图所示。对于双极性输入级的运放，运放的共模输入电压，一般达不到电源轨。而有些rail to rail输入运放的共模电压是可以达到电源轨的。



在理想运放中，运放的差模放大倍数为无穷大，共模放大倍数为0。理想总是美好的，现实总是残酷的。因此实际运放确不是这样的，实际运放的差模放大倍数也不会是无穷大，共模放大倍数也不会是零。我们就这样定义运放的共模抑制比（CMRR），差模增益与共模增益的比，如下式

$$CMRR = \frac{A_{dm}}{A_{cm}}$$

还有一个参数非常常见，就是CMR，它其实是CMRR的对数表示，如下式：

$$CMR(dB) = 20 \log_{10}(CMRR)$$

不过这两个参数经常被混用。我们只要了解他们都是在表示，运放对共模信号的抑制能力就可以了。

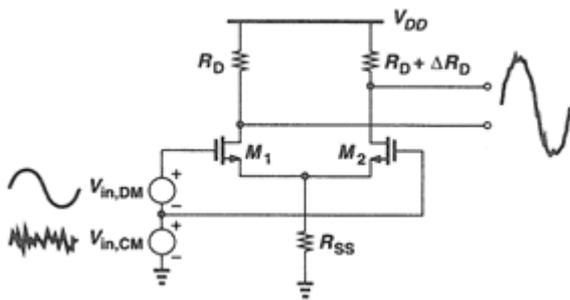
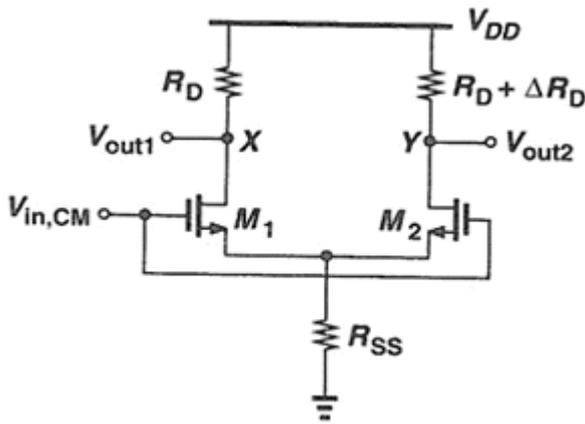
运放之所以会对共模信号能够进行放大，当然这是我们不期望的，但也是不可避免的。主要来源于下面几个原因：

- (1) 运放差入输入级的不匹配。这又可分为以下的原因引起的不匹配：
 - 1) 源极或漏极电阻的不匹配，
 - 2) 信号源电阻
 - 3) 栅极-漏极之间的结电容

- 4) 正向跨导的不匹配
- 5) 栅极漏电流
 - (2) 拖尾电流源的输出阻抗
 - (3) 拖尾电流源的寄生电容会随频率的变化而变化

下面我们就挑几个上面的原因看一下它们的影响：

(1) 电阻的不匹配，如下图所示，由于电阻的不匹配，一个共模电压的变化 ΔV_{in} ，会在X，Y点转化为一个差模电压。

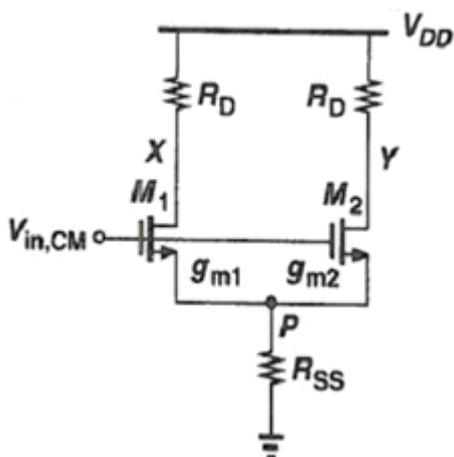


计算如下，这个由失配阻 ΔR_D 引入的差模信号，就会转化为差分级输出信号的噪声。

$$\Delta V_X = -\Delta V_{in,CM} \frac{g_m}{1 + 2g_m R_{SS}} R_D$$

$$\Delta V_Y = -\Delta V_{in,CM} \frac{g_m}{1 + 2g_m R_{SS}} (R_D + \Delta R_D).$$

(2) 输入晶体管的不匹配，管子不匹配，会引起两管子的电流的微小差别，并且两个的跨导是不一样的。

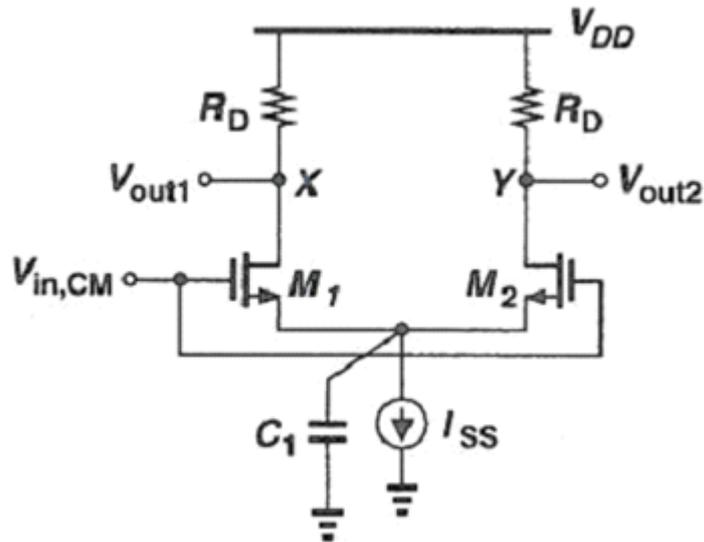


由于输入级管子的不匹配，会将共模信号转化为一个差模的误差，可以用下面的公式表

示，它表示失配跨导引起的CMRR。

$$A_{CM-DM} = -\frac{\Delta g_m R_D}{(g_{m1} + g_{m2})R_{SS} + 1}$$

(3) 再介绍一个原因，就是拖尾恒流源的寄生电容会随频率变化而变化。这会引入这个恒流源电流的变化，差分输入端射极或源极电阻用恒流源代替的目的是保持电流恒定和高阻抗。但它的电流如果随频率发生变化，势必降低差分输入端的共模抑制能力。



来自 <http://www.devsupport.com/question_answer/analog/amplifiers/f/52/t/19680.aspx?keyMatch=%E8%BF%90%E6%94%BE%E5%8F%82%E6%95%B0%E7%9A%84%E8%AF%A6%E7%BB%86%E8%A7%A3%E9%87%8A%E5%92%8C%E5%88%86%E6%9E%90&tisearch=Search-CN-Everything>

运放参数的详细解释和分析-part8, 共模抑制比CMRR的影响

2017年7月14日 11:23

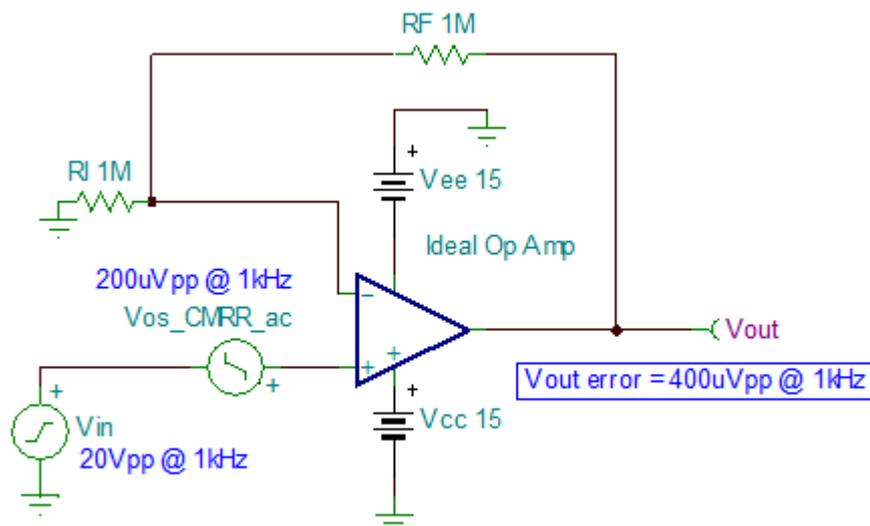
上一小节简单介绍了, 共模抑制比的定义, 以及引起它的原因。下面就介绍一下, 它的影响。本系列贴子的目的是说清楚运放参数的定义, 分析引起这个问题的原因, 介绍明白这个参数对电路的影响, 最后尽力介绍一些经验方法来尽可能的减少和避免这些影响。

简单来说, CMRR是运放的一个直流精度参数, 它的好坏, 会引起运放的放大电路的输出误差的好坏。

下表是OPA177的datasheet中标出的共模抑制比CMRR, 注意表中标定的值是指, 在输入共模电压范围内的直流共模抑制比。它的最小值为130dB, 是非常高的值。

PARAMETER	CONDITION	OPA177F			OPA177G			UNITS
		MIN	TYP	MAX	MIN	TYP	MAX	
INPUT VOLTAGE RANGE Common-Mode Input Range ⁽¹⁾ Common-Mode Rejection	$V_{CM} = \pm 13V$	± 13 130	± 14 140		*	*	*	V dB

由于CMRR是有限值, 当运放输入端有共模电压 V_{cm} 时, 它会引入一个输入失调电压, 我们称之为 V_{os_CMRR} 。如下图所示



当共模电压为5V时, 这个失调电压为1.58uV。计算过程如下, 直流共模抑制比转化为比率为:

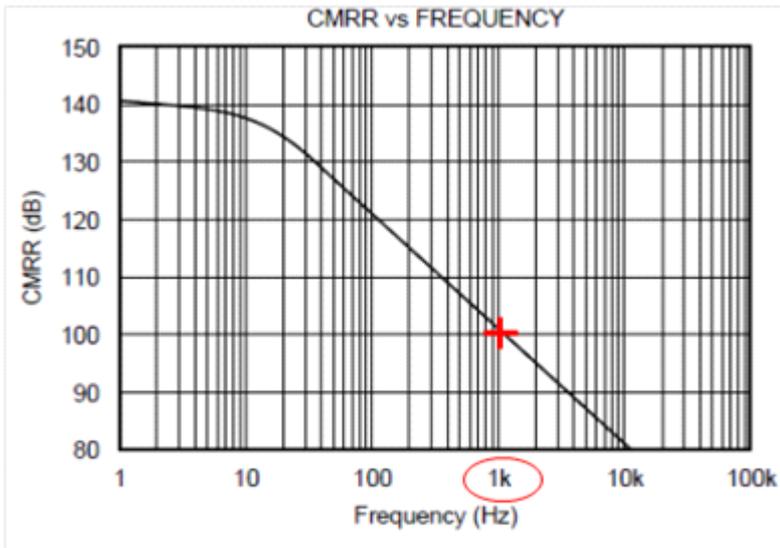
$$10^{(130dB/20)} = 3.16e+6$$

$$CMRR_{DC} = 0.316\mu V/V$$

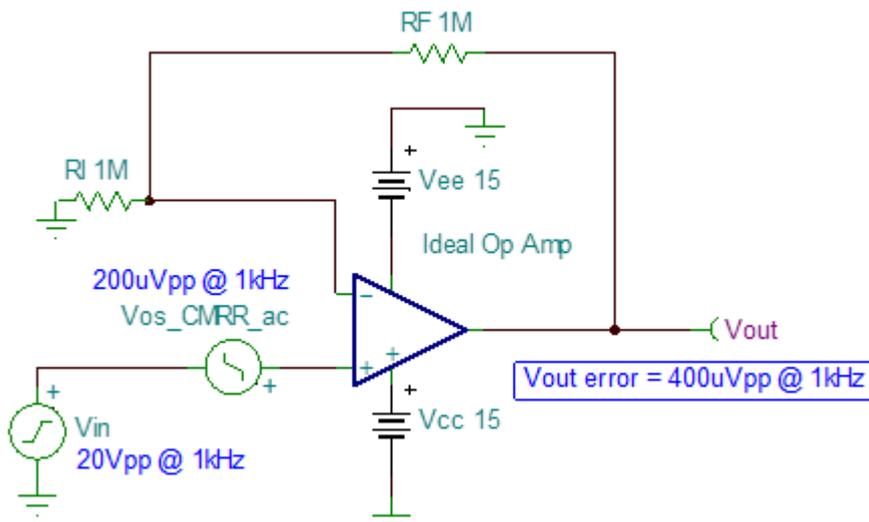
$$V_{os_CMRR} = 0.316\mu V/V \cdot 5V = 1.58\mu V$$

对于上图中的 $G=2$ 的电路, 则输出端误差为3.16uV。对于基准源为2.5V, 双极性输入的24位ADC来说, 为相当于引起了11个LSB的直流误差了, 直接影响到最后四位的精度了。

下面介绍另一个不好的影响, 运放的CMRR是随频率的增加而降低。Datasheet中通常会给出一个曲线图来表示这一变化。如下图, 这一点是一个非常令人不爽的特性。

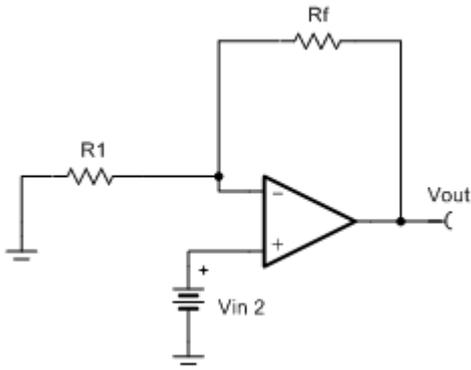


我们可以计算一下这一特性的影响，如下图所示，当共模信号为一个20Vpp@1kHz的正弦信号时，它引入的输入失电压将是 $V_{os_CMRR_AC}=200\mu V@1kHz$ 。对于Gain=2的放大电路，它的输入误差信号将为 $400\mu V@1kHz$ 。

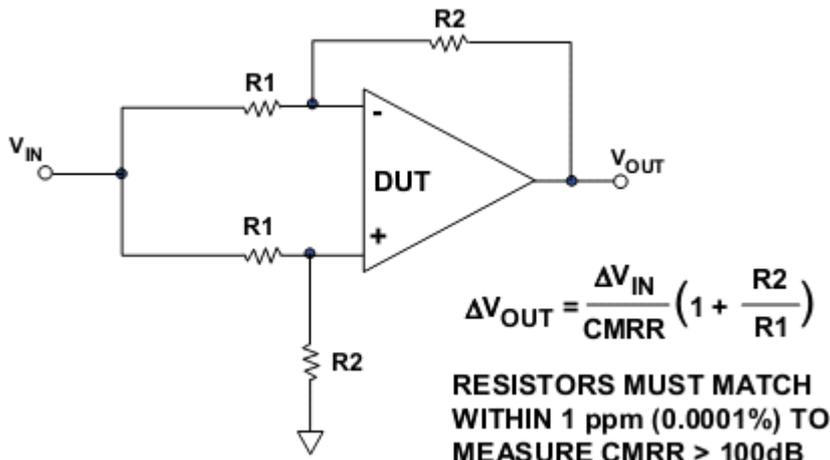


有一点需要引起注意，对于反向比例放大电路，如下图，它的同向端是接入到地的，由于“虚短”。此放运放的共模信号将为0，并且不随信号的变化而改变。因此共模信号引起的误差很小。

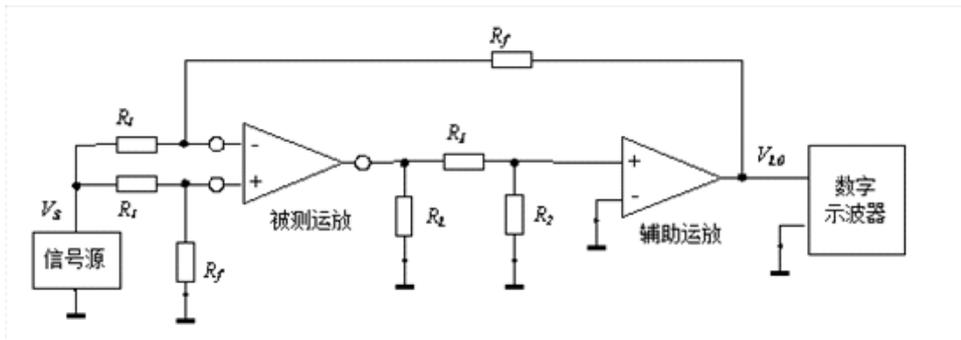
而对于同向比例放大电路，如下图，它的同向端是接是接的信号，由于“虚短”。此放运放的共模电压就是信号的电压。如果信号本身是一个频率很高的信号，幅值也很大。那么由这个信号引入的 $V_{os_CMRR_AC}$ 势必会非常大。此时应选用在信号频率上 CMRR依然很高的运放。经过上面的分析，即使这样， $V_{os_CMRR_AC}$ 的影响可能也会是非常严重的。



最后简单介绍一下运放的CMRR测试，通常人们会想到有下图的方法来测试CMRR，这种方法看似简单，但存在一个很大的问题，就是它需要的电阻匹配度非常高，为发测CMRR > 100dB的运放，需要1ppm以下的电阻。这几乎不实用。



简单易行的方式是下图的方式。它对电阻的匹配度要求要低的多。



设信号源输出电压为 V_S ，测得辅助运放输出电压为 V_{Lo} ，则有

$$K_{CMR} = 20 \lg \left(\frac{V_S}{V_{Lo}} \cdot \frac{R_i + R_f}{R_i} \right) \text{ (dB)}$$

来自 <http://www.devisupport.com/question_answer/analog/amplifiers/f/52/t/19682.aspx?keyMatch=%E8%BF%90%E6%94%BE%E5%8F%82%E6%95%B0%E7%9A%84%E8%AF%A6%E7%BB%86%E8%A7%A3%E9%87%8A%E5%92%8C%E5%88%86%E6%9E%90&tisearch=Search-CN-Everything>

运放参数的详细解释和分析-part 9，放大电路直流误差（DC error）

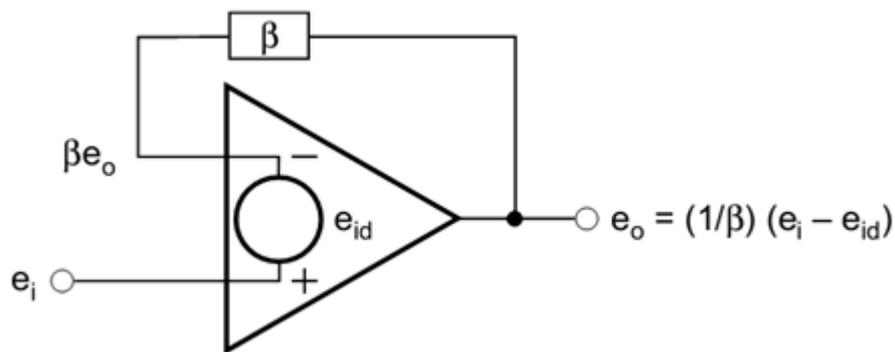
2017年7月14日 11:25

在本系列主题的part1-part8中详细分析了运放的主要直流参数。我们分析它们的原因就是，它们会给我们的电路引入直流误差。本帖的主要目的是把影响运放直流误差的原因都找出来，并且说明了它是怎样影响的。以便工程师在设计精密放大电路时多加注意。

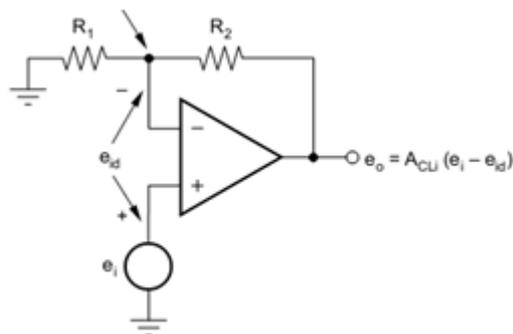
这一贴主要解释一个图和一个公式。这个图和公式来源于TI的一篇应用手册。

<http://www.ti.com/lit/an/sboa054/sboa054.pdf> 感兴趣的话，可以细细读来。

首先让我们看一下，同相放大电路的理论模型，如下图



这个电路在运放的应用电路中，再长见不过了。它的输出为 e_o 。等于闭环增益 $(1/\beta)$ 乘以输入信号，这里的。输入信号我们要多加注意了，它是由电路的输入信号 e_i 减于运放引入的误差 e_{id} 构成的。式中 β 是反馈系数，对于像下图这样的典型同相放大电路，它的值就是 $R_1/(R_1+R_2)$ 。这在模电课本中都有详细叙述，不过多啰嗦。本文更要关注的是 e_{id} 。



对于 e_{id} ，我们的第一反应可能会是输入失调电压offset，再进一步的反应是输入偏置电流流过电阻网引起的误差电压。可事实，远不只这两个因素，它俩还有七大姑八大姨的都来凑热闹。那我们就展示出它的真面目：

$$e_{id} = V_{OS} + I_{B+} R_{S+} - I_{B-} R_{S-} + e_n + \frac{e_o}{A} + \frac{e_{icm}}{CMRR} + \frac{\delta V_S}{PSRR}$$

上式等号右边的项够多吧。真没让我们失望，这么多参数，参于到制造直流误差的行列中。当然这些参数，也就是在part1-part8中提到的参数。

来自 <http://www.devisupport.com/question_answer/analog/amplifiers/f/52/t/20237.aspx?keyMatch=%E8%BF%90%E6%94%BE%E5%8F%82%E6%95%B0%E7%9A%84%E8%AF%A6%E7%BB%86%E8%A7%A3%E9%87%8A%E5%92%8C%E5%88%86%E6%9E%90&tisearch=Search-CN-Everything>

运放参数的详细解释和分析-part10 放大电路直流误差（DC error）的影响因素

2017年7月14日 11:32

让我们再来认真看一下上一小节中提到的公式：

$$e_{id} = V_{OS} + I_{B+} R_{S+} - I_{B-} R_{S-} + e_n + \frac{e_o}{A} + \frac{e_{icm}}{CMRR} + \frac{\delta V_S}{PSRR}$$

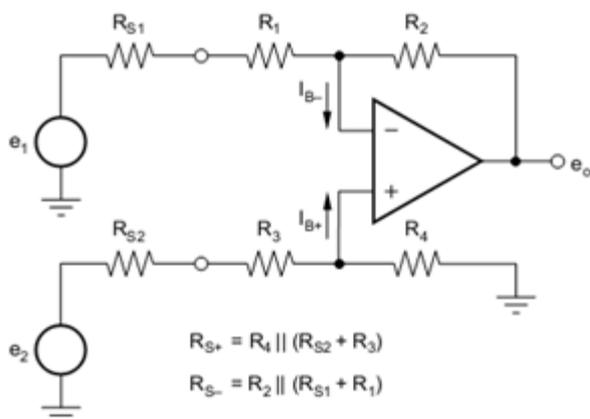
下面我们一项一项的来看看他们吧。

(1) V_{OS} , 输入失调电压, 大家都熟, 不多废话。它更坏的一点是它不是一个老实待着的值, 它会随着温度变化漂移呢。

(2) I_{B+} , 同向端输入偏置电流, 它流过同向端等效阻抗, 形成一个误差电压。

(3) I_{B-} , 反向端输入偏置电流, 它流过反向端等效阻抗, 形成一个误差电压。

有人可能注意了, 输入端阻抗怎么计算呢。下面的图一看就明白了。简而言之吧, 输入电阻 (信号源电阻加输入端电阻) 与反馈电阻的并联。千万别忘了信号源电阻哦, 因为我们时常选用高阻抗的传感器做信号源。



(4) e_n , 等效输入噪声。这个值, 我的理解可不只是datasheet中给定的 e_n 如 $1.1nV/\sqrt{Hz}$ 。它是集成了电压噪声, 电流噪声和电阻噪声三都的贡献的。是所有噪声等效到输入端的值。具体请参照Art Kay的文章和本系列博文的part4。

(5) e_o/A , 这个表达式, 可能很多人从来没有关注过, 有这一项的原因是, 运放的开环增益 A 不为0。这也就是因为输入贴值的不同, 而引起的等效输入误差的不同了, 举个例子吧, 如果输出值是5V。开环增益是100dB, 不低了吧。它的折算到输入端的误差就有50uV啊。不是小数目了。

(6) $e_{icm}/CMRR$, 这个不用多说, 输入端的同模电压除以共模抑制比。又有一点不好的地方, 运放的CMRR可是随共模信号频率的增加而下降的。好多运放的CMRR在共模信号到10KHz以上时, 就比直流下降了几十个dB呢

(7) $\Delta V_S/PSRR$, 电源电压的变引入的误差。同样的, 交流PSRR在随频率的增高, 而下降。

看了这些, 可能还会以为, 这点小误差是毛毛雨了, 至多到mV级, 甚至在uV级, 不要忘了,

它还要乘上一个增益Gain呢。假如输入误差是100uV。增益为100倍，则输出的误差信号，就是10mV。

$\text{Input_error} \times \text{Gain} = \text{Output Error}$

如果还觉得没什么，那再讲一个经验值吧，一个满量程为5V的16位ADC的一个LSB约为75uV。只要75uV的误差就会引起ADC的一位的变化。假如放大电路的输出误差信号是1mV的话，这个信号给ADC，直接引起的误差就是13个LSB以上。

这个Output error，真是鱼龙混杂。有直流成份，这个可通过ADC采样后校正去除掉。有噪声信号，还有交流的成份。最不期望的，它还会随温度漂移呢。

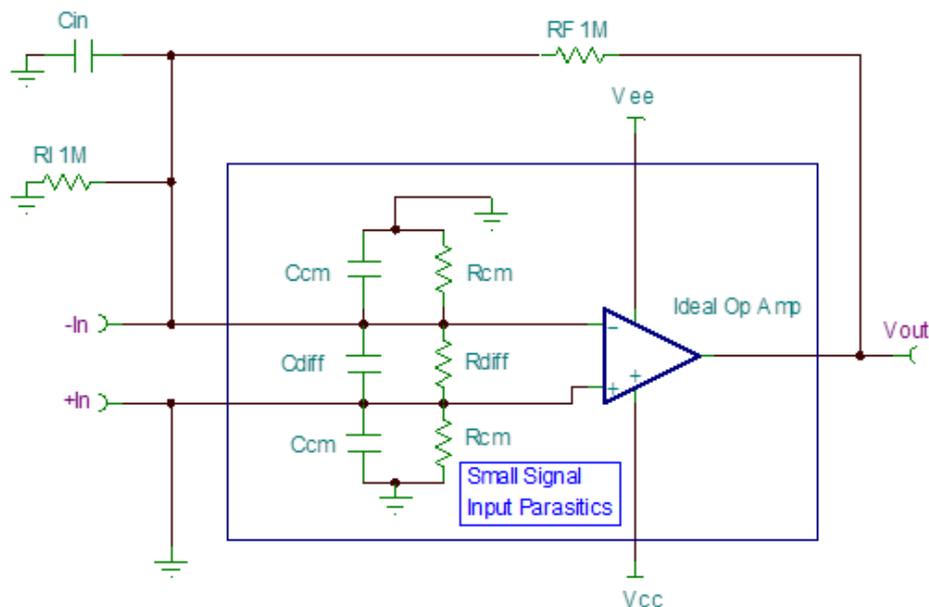
我们在设计电路中，可以通过上面的分析，找出引起直流误差的主要因素，然后努力减小之。

来自 <http://www.devisupport.com/question_answer/analog/amplifiers/f/52/t/20238.aspx>

运放参数的详细解释和分析-part11输入阻抗和输入电容

2017年7月14日 11:32

下图形象的说明了运放的输入端阻抗的特性。主要有两个参数，输入阻抗和输入电容。对于电压反馈型运放，输入阻抗主要由输入级的决定，一般BJT输入级的运放。的共模输入阻抗会大于40MΩ。差模输入阻抗大于200GΩ。对于JFET和CMOS输入级的运放，输入阻抗要大的多。这个阻抗通常表现为电阻性。作为常识被我们所熟知。



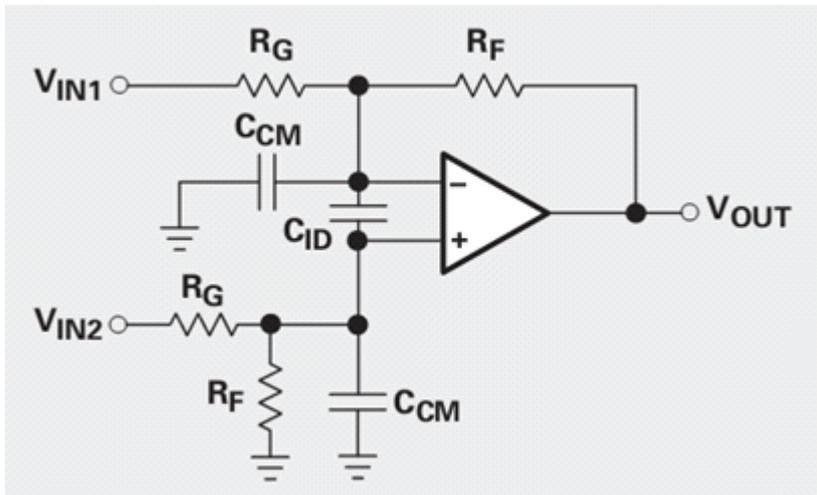
更值得我们多加关注的是运放的输入电容。这个参数通常在datasheet的表格中所列出，但常被忽视。运放的输入电容，通常分为共模输入电容Ccm和差模输入电容Cdiff。如下面是OPA376的datasheet中列出的输入电容。

PARAMETERS	CONDITIONS	OPA376, OPA2376, OPA4376			UNIT
		MIN	TYP	MAX	
INPUT CAPACITANCE					
Differential			6.5		pF
Common-Mode			13		pF

对于有EMI抑制特性的运放，如LMV832，它的输入电容会被设计的正大的些。下面是带EMI抑制功能的LMV832的输入电容值。

Symbol	Parameter	Conditions	Min (2)	Typ (3)	Max (2)	Units
C _{IN}	Common-mode Input Capacitance			15		pF
	Differential-mode Input Capacitance			20		

运放的输入共模电容Ccm 和差模电容 Cdiff会形成运放的输入电容 Cin。在许多应用中，运算放大器的输入电容都不会造成问题。但在某些应用中会引起放大电路的不稳定。尤其是反向输入端的电容，是放大电路不稳定的几大罪魁祸首之一。如下图所示是运放在有输入电容的影响下的模型。



这个反向输入端的电容会在运放的环路增益中引入一个极点。正是这个极点的存在，在某些条件下，可能会引起放大电路的不稳定。

$$A\beta = \frac{aZ_G}{Z_G + R_F} = \frac{aR_G}{R_G + R_F} \times \frac{1}{R_G \parallel R_F C_{IN} + 1}$$

运放输入电容引入的极点如下式。即使这个极点0-dB交截越频率之内，而是非常靠近0-dB交越频率，它也有可能引起问题。在这个极点的频率点上，相位会有45度的相位延迟，它很可能减少放大电路的相位裕度。如放大电路的0-dB交截越频率是2MHz。在2MHz处的相位裕度是89°。如果这个极点的频率点也在2MHz处，它将使相位裕度减少45°。而变为 $\varphi = 89^\circ - 45^\circ = 44^\circ$ 。44度的相位裕度就显得不够了。

$$f = 1/(2\pi R_F \parallel R_G C_{IN})$$

通常放大电路的输入电容不只由运放的输入电容组成，还包括布线引起的杂散电容和引脚电容。应尽量避免运算放大器反相输入端存在外部杂散电容，尤其是在高速应用中。反相输入周围区域应去除接地层，从而最大程度地减小PC板杂散电容，此外，该引脚的所有连接都应尽量短。

在一些应用，常会加入反馈电容来增加放大电路的稳定，加入反馈电容后的电路的环路增益为，可见反馈补偿电容给环路增益中引入了一个零点。

$$A\beta = \frac{aR_G}{R_F + R_G} \times \frac{R_F C_F + 1}{R_F \parallel R_G (C_F + C_G) + 1}$$

关于运放电路稳定性，可以参阅Tim Green的系列文章。

Operational Amplifier Stability.

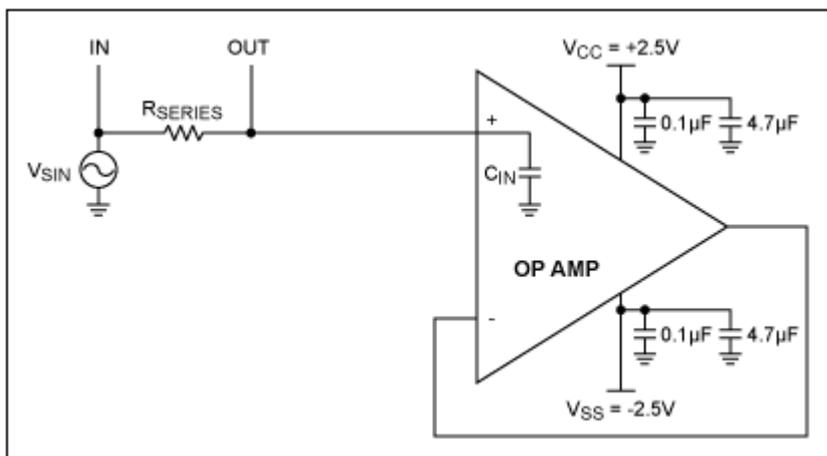
来自 <http://www.devsupport.com/question_answer/analog/amplifiers/f/52/t/20257.aspx?keyMatch=%E8%BF%90%E6%94%BE%E5%8F%82%E6%95%B0%E7%9A%84%E8%AF%A6%E7%BB%86%E8%A7%A3%E9%87%8A%E5%92%8C%E5%88%86%E6%9E%90&tisearch=Search-CN-Everything>

运放参数的详细解释和分析-part12 输入电容Cin的测量

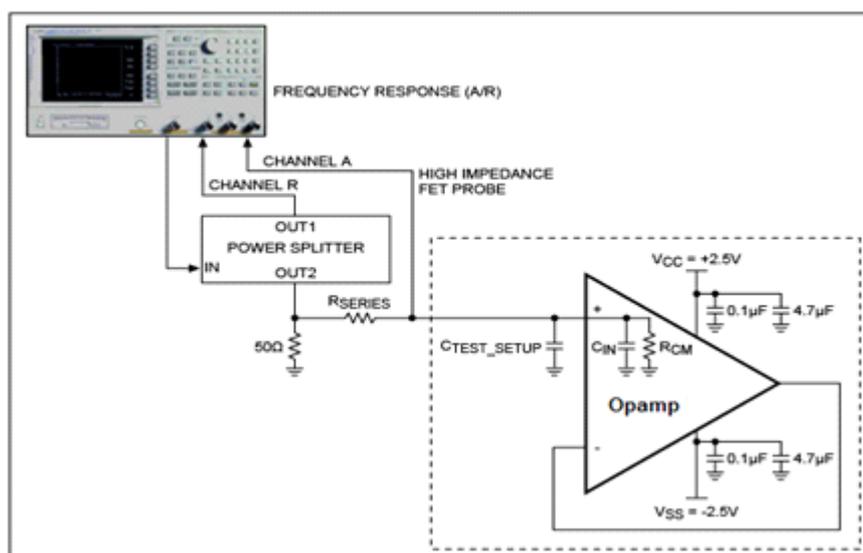
2017年7月14日 11:23

通常情况下我们可以在运放的datasheet中得到运放的输入电容 C_{cm} 和 C_{dif} 。这些值通常是典型值。有某些情况下，可能需要实测一下运放的输入电容，下面提供一种实用的测试方法。

下图是测试的原理图，基本测试原理是把运放接成跟随器，然后在同向输入端串联一个电阻（阻值一般在100K-1M之间），这个电阻与运放的输入电容会形成一个RC电路，我们测试出这个电路的-3dB频点，已知串联电阻。就可以计算出运放的输入电容。这里需要注意的是，电阻也是有等效并联电容的。如一个典型的1/4W电阻的等效并联电容约为0.3pF。我们可以通过串联电阻的方法来减小电阻的等效并联电容。



下面的图片是实际测试的Setup。使用到的仪器有网络分析仪，高阻抗FET探头。和功耗分离器。为什么不用示波器呢？这是有原因的。



由于运放的输入电容通常是小于10pF的。示波器的探笔的电容通常是在10pF左右。如果用示波器探笔去测量运放的输入电容根本就无法测准。因此需要选用电容小于1pF的，高阻抗FET探头如Tektronix® P6245。

下面简要介绍一下测试方法：

- (1) 首先要测试未安装运放时PCB的杂散电容，网络分析仪的测试结果读出-3dB频点 f_1 。并

计算出杂散电容：

$$C_{TEST_SETUP} = \frac{1}{2 \times \pi \times R_{TH1} \times f_1(-3dB)}$$

(2) 在电路中安装上运放，然后用网络分析仪测试出-3dB频点 f_2 。并计算出运放输入电容与杂散电容的和：

$$C_{IN} + C_{TEST_SETUP} = \frac{1}{2 \times \pi \times R_{TH2} \times f_2(-3dB)}$$

(3) 如果我们选取的串联电阻远小于运放的共模电阻，则可以看作 $R_{th1} = R_{th2}$ 。则此时上式可以写为：

$$C_{IN} + C_{TEST_SETUP} = \frac{1}{2 \times \pi \times R_{TH1} \times f_2(-3dB)}$$

这样，求差，就可以计算出运放的输入电容了。

来自 <http://www.devisupport.com/question_answer/analog/amplifiers/f/52/t/20258.aspx?keyMatch=%E8%BF%90%E6%94%BE%E5%8F%82%E6%95%B0%E7%9A%84%E8%AF%A6%E7%BB%86%E8%A7%A3%E9%87%8A%E5%92%8C%E5%88%86%E6%9E%90&tisearch=Search-CN-Everything>

运放参数的详细解释和分析-part13, 轨至轨输入 (rail to rail input)

2017年7月14日 11:35

随着单电源运放的广泛的运用, 运放的轨至轨输入 (rail to rail input) 成为一个时髦的词。现在大部分低电压单电源供电的运放都是轨至轨输入的。TI在轨至轨输入的运放产品方面具有十分领先的优势。本文介绍运放的rail to rail输入的实现以及TI在实现运放的rail to rail 输入方面的领先技术。

先说两句废话, 解释一下轨至轨, 这里的轨指的是电源轨, 运放的两个电源供电电压如 +/-15V。这两个电源电压就像两条平行的距离为30V的“轨道”一样限制了运放的输入输出信号。运放的轨至轨输入是指运放的输入端信号电压能够达到电源的两个轨, 并保持不失真, 如上例输入信号电压可达到 +/-15V。运放的输入电压范围可在运放的datasheet中找到。就是共模电压范围 V_{CM} (Common-Mode Voltage Range)。如下表即为OPA365的输入电压范围, 可见它是典型的轨至轨输入运放。

INPUT VOLTAGE RANGE		V_{CM}	$(V^-) - 0.1$	120	$(V^+) + 0.1$	V
Common-Mode Voltage Range	V_{CM}	$(V^-) - 0.1V \leq V_{CM} \leq (V^+) + 0.1V$	100	120	$(V^+) + 0.1$	dB
Common-Mode Rejection Ratio	CMRR					

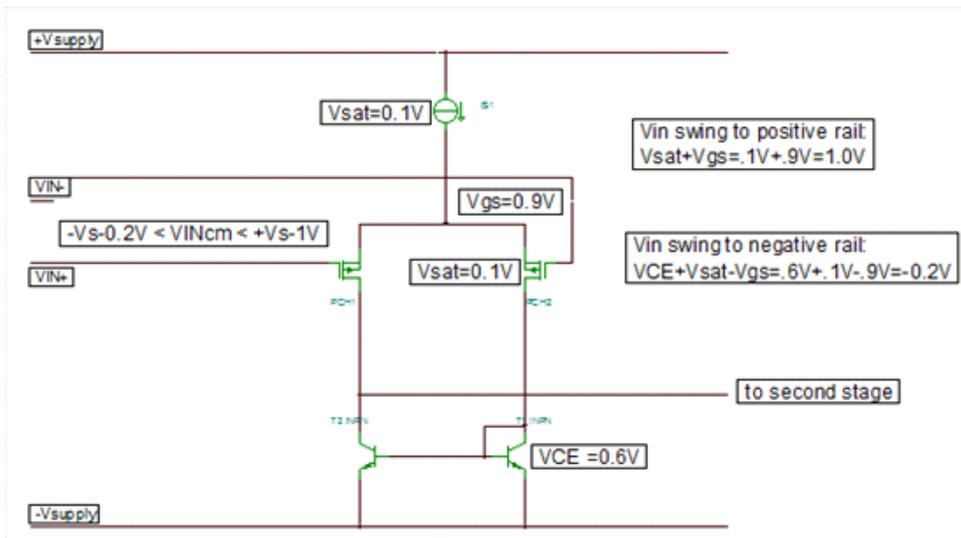
一般的BJT和JFET是非轨至轨输入的运放。如下表所示为OPA827共模输入电压范围为 $(V^-)+3V$ 至 $(V^+)-3V$, 典型的非轨至轨运放。

PARAMETER	CONDITIONS	STANDARD GRADE OPA827AI		
		MIN	TYP	MAX
INPUT VOLTAGE RANGE				
Common-Mode Voltage Range	V_{CM}	$(V^-)+3$		$(V^+)-3$
Common-Mode Rejection Ratio	$(V^-)+3V \leq V_{CM} \leq (V^+)-3V, V_S < 10V$	104	114	
	$(V^-)+3V \leq V_{CM} \leq (V^+)-3V, V_S \geq 10V$	114	126	
Over Temperature	$(V^-)+3V \leq V_{CM} \leq (V^+)-3V, V_S < 10V$	100		
	$(V^-)+3V \leq V_{CM} \leq (V^+)-3V, V_S \geq 10V$	110		

单电源 (我们暂且称之为“单电源”) 运放的输入级通常有三种结构, 第一种是采用PMOS做差分输入级。这样的运放输入级电压可以低于负电源轨0.2甚至0.3V, 但达不到正电源轨, 如OPA336。下表是datasheet中标出的OPA336输入电压范围。

PARAMETER	CONDITION	OPA336N, U OPA2336E, P, U		
		MIN	TYP ⁽¹⁾	MAX
INPUT VOLTAGE RANGE				
Common-Mode Voltage Range	V_{CM}	-0.2		$(V^+) - 1$
Common-Mode Rejection Ratio	CMRR	80	90	
	Over Temperature	76		

它的输入级原理框图如下图, 典型的PMOS差分输入级。



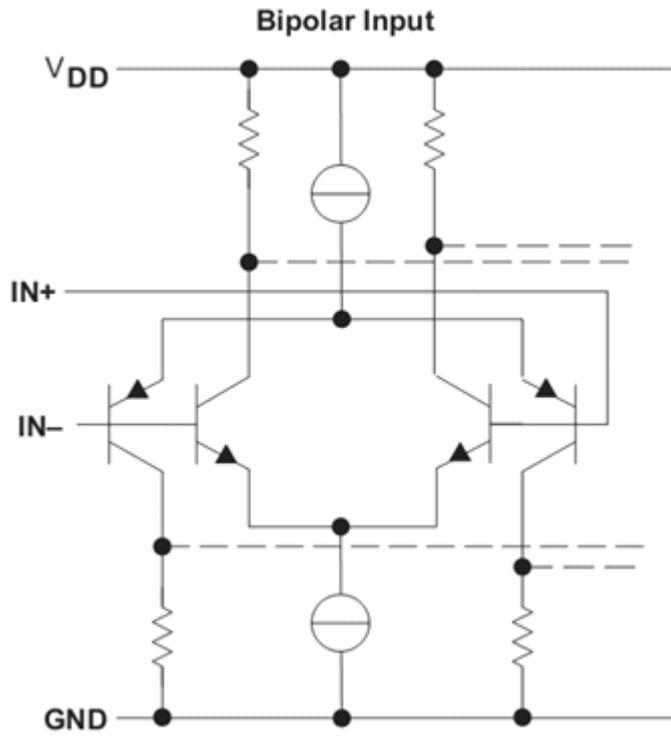
既然PMOS差分输入级输入电压不能达到正电源轨，那NMOS呢，对头，NMOS差分输入级的输入电压可以达到正电源轨，但是达不到负电源轨，一般会在负电源轨的1.2V之上。

此时有人想到了，把PMOS和NMOS差分输入级并联起来。在接近电源负电压轨时使PMOS差分输入级工作，在接近电源正电源轨时使NMOS差分输入级工作。这样不就可以实现运放的轨至轨输入了嘛。太巧妙了。的确早先的轨至轨输入运放就是这样设计的。并且现在也在大量使用这种技术。如下图是OPA703的输入级，就是典型的PMOS与NMOS相并联的运放输入级。当输入共模电压在 $(V_{ss-}) - 0.3V < V_{cm} < (V_{ss+}) - 2V$ 时PMOS处于工作状态，NMOS处于关闭状态。当输入共模电压在 $(V_{ss-}) - 2V < V_{cm} < (V_{ss+}) + 0.3V$ 时NMOS处于工作状态，PMOS处于关闭状态。

下表是OPA703的datasheet中给出的共模电压输入范围 $(V^-) - 0.3V$ 至 $(V^+) + 0.3V$ 。

PARAMETER	CONDITION	OPA703NA, UA, PA OPA2703EA, UA, PA OPA4703EA, UA			UNITS
		MIN	TYP	MAX	
INPUT VOLTAGE RANGE					V
Common-Mode Voltage Range	V_{CM}	$(V^-) - 0.3$		$(V^+) + 0.3$	V
Common-Mode Rejection Ratio over Temperature	CMRR	70	90		dB
	$V_S = \pm 5V, (V^-) - 0.3V < V_{CM} < (V^+) + 0.3V$	68			dB
	$V_S = \pm 5V, (V^-) - 0.3V < V_{CM} < (V^+) - 2V$	80	96		dB
	$V_S = \pm 5V, (V^-) < V_{CM} < (V^+) - 2V$	74			dB

Bipolar输入级运入同样也有这样的结构，如下图是典型PNP与NPN型三极管并联形成的差分输入级。



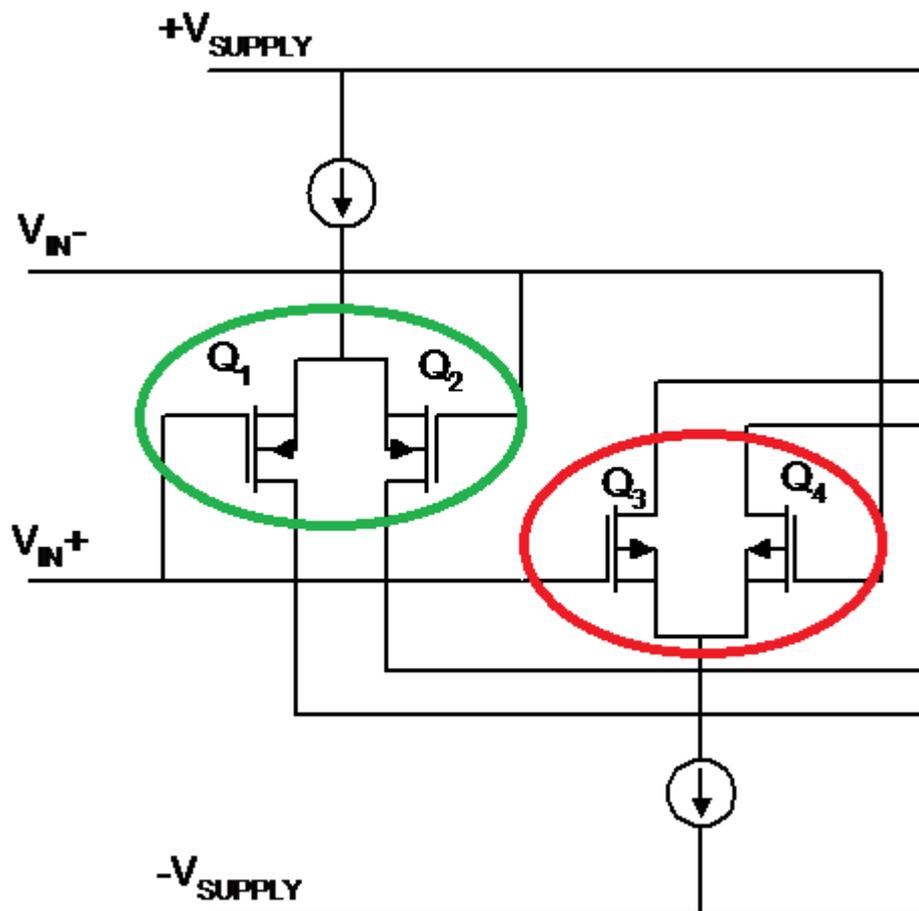
来自 <http://www.devisupport.com/question_answer/analog/amplifiers/f/52/t/20405.aspx>

运放参数的详细解释和分析-part14, 轨至轨输入_TI的领先技术

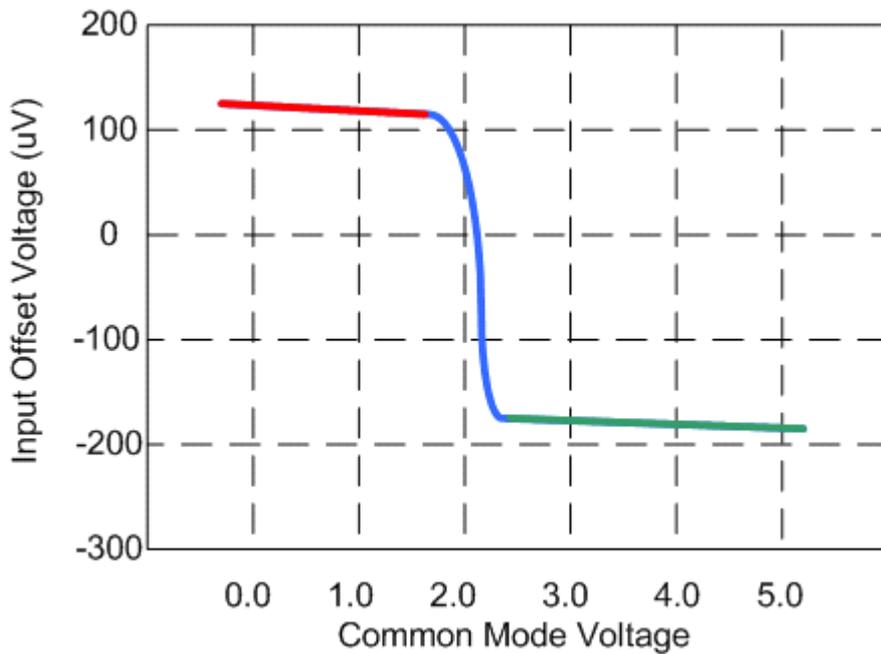
2017年7月14日 11:25

Part13中讲到了常用的轨至轨运放是采用NMOS与PMOS差分输入级相并联的方法。这一方法巧妙的解决了输入信号达不到两个电源轨的问题。在当今轨至轨输入的运放中得到广泛的应用。

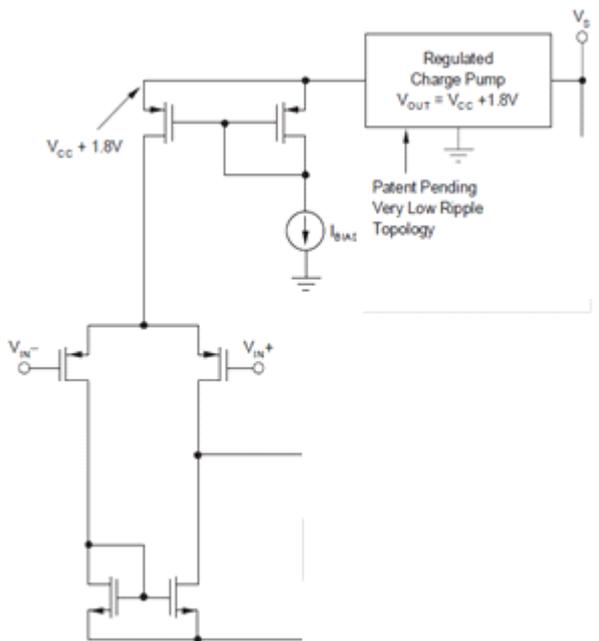
但是这种并联差分输入级的运放有一个先天的问题就是输入失调电压交越问题。如下图所示, 为并联差分输入结构的运放的输入前级。



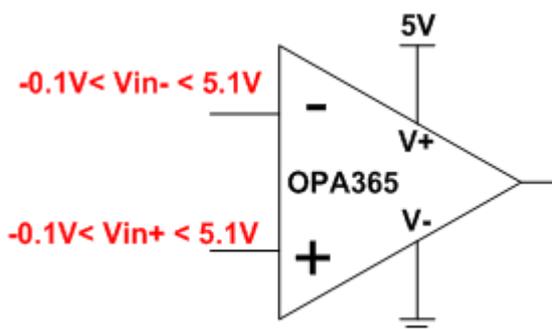
下图是这种运放的输入失调电压可以看出。随着共模电压的升高PMOS在2V (用于举例的值) 左右将关闭, 而NMOS即将打开, 就在这个节骨眼上。运放的输入失调电压发生了跳变。这个可以理解, 两组不同结构的输入级的输入失调电压是不同的, 在交接棒时, 这个失调电压也完成了交接棒。对于直流信号这个问题会引起误差突变, 对于正弦交流信号, 这个问题会引起信号的失真。在交越点引入一个小小的台阶。



为了解决这个问题，TI公司设计了两种领先的差分输入级。第一种结构如下图。PMOS差分输入级能达到负电源轨，而达不到正电源轨，总是差这么1V左右够不着。我们把输入级的电源在内部提高1.8V。水涨船高，这样的输入级就能达到运放的正电源轨。由于只有一组差分输入级，并不会存在输入失调电压交越的问题。

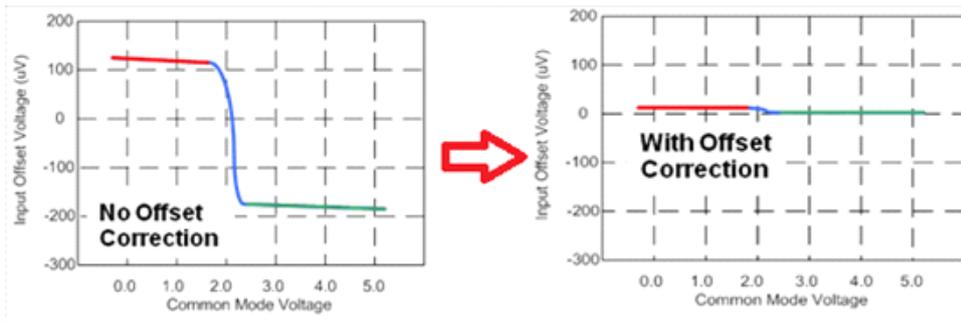


这一技术在TI的单电源运放OPA1365上得到应用。如下图。



到这并没有结束，另一种技术在TI的单电源轨至轨运放中得到应用。这就是自调零技

术。下图使用了自调零技术 (MOSFET Zero Drift) 前后。输入失调电压跳变就非常小了。



这一技术在TI的OPA333运放中得到应用，下表是OPA333的Vcm输入电压范围。

PARAMETER	TEST CONDITIONS	OPA333, OPA2333			UNIT
		MIN	TYP	MAX	
INPUT VOLTAGE RANGE					
Common-Mode Voltage Range	V_{CM}	$(V^-) - 0.1$		$(V^+) + 0.1$	V
Common-Mode Rejection Ratio	CMRR	106	130		dB

来自 <http://www.devisupport.com/question_answer/analog/amplifiers/f/52/t/20407.aspx?keyMatch=%E8%BF%90%E6%94%BE%E5%8F%82%E6%95%B0%E7%9A%84%E8%AF%A6%E7%BB%86%E8%A7%A3%E9%87%8A%E5%92%8C%E5%88%86%E6%9E%90&tisearch=Search-CN-Everything>

运放参数的详细解释和分析-part15，开环增益Aol

2017年7月14日 11:24

理想运放的开环增益Aol是无穷大的。这是我们在模电课本上学到的运放的一条基本知识。但现实总是残酷的，残酷到所有的运放的开环增益都不是无穷大，它是一个有限值。这个有限制会引起它的一个问题。本文要讨论的另一个问题是增益带宽积，其实更想多说的一点是增益带宽的那条曲线。

在不具负反馈情况下(开环路状况下)，运算放大器的放大倍数称为开环增益，简称AOL。这句话简单的定义了运放的开环增益。实际的运放的开环增益，有高有低，并且会随温度变化，这是我不想看到的。

先说说开环增益带来的不良影响。开环增益为有限值的坏处不只是说明运放都不是理想的。它会带来一个常被人们忽略的问题——误差。

下图是OPA1369的datasheet中给出的关于开环增益的参数，首先映入眼帘（小学作文常用词）的是开环增最典型值为134dB，最小值为114dB。这说明一点，同一型号的一大批运放，它们各自的开环增益是有一定分布的。

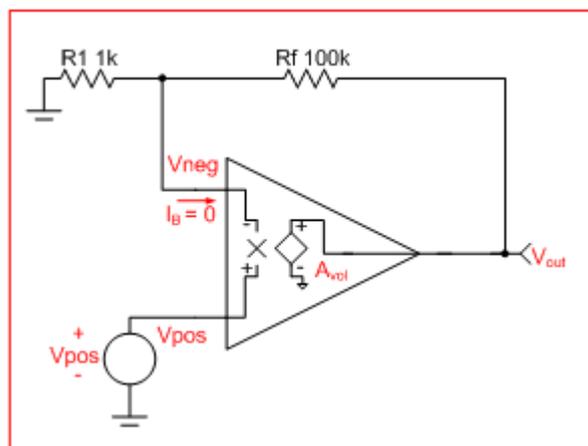
Let's examine what happens to closed loop gains for variations of Aol

PARAMETER	CONDITIONS	OPA369, OPA2369			UNIT
		MIN	TYP	MAX	
OPEN-LOOP GAIN					
Open-Loop Voltage Gain	$100\text{mV} \leq V_O \leq (V^+) - 100\text{mV}$, $R_L = 100\text{k}\Omega$	114	134		dB
Over Temperature	$100\text{mV} \leq V_O \leq (V^+) - 100\text{mV}$, $R_L = 100\text{k}\Omega$	100			dB
	$500\text{mV} \leq V_O \leq (V^+) - 500\text{mV}$, $R_L = 10\text{k}\Omega$	114	134		dB
Over Temperature	$500\text{mV} \leq V_O \leq (V^+) - 500\text{mV}$, $R_L = 10\text{k}\Omega$	90			dB

Note that Aol can be strongly effected by temperature

第二项映入眼帘的是运放的开环增益会随温度变化而变化。当然是变坏了。在整个运放的使用范围里最小值可能达到90dB.

下面我们计算一个Aol对放大电路的影响。如下图是常见的同相比例放大电路。



如果考虑进Aol,则它的电压增益为

$$\frac{V_{\text{out}}}{V_{\text{pos}}} = \frac{1}{\frac{R_1}{R_1 + R_f} + \frac{1}{A_{\text{vol}}}}$$

当假设 A_{vol} 为无穷大时，则上述放大电路的增益化简为

$$\lim_{A_{\text{vol}} \rightarrow \infty} \left(\frac{1}{\frac{R_1}{R_1 + R_f} + \frac{1}{A_{\text{vol}}}} \right) = \frac{1}{\frac{R_1}{R_1 + R_f} + 0} = \frac{R_f}{R_1} + 1$$

上面是模电课本中讲到的内容。但如果我们较真儿一下，计算一下 A_{vol} 的影响，当 A_{vol} 为典型值134dB时，上面电路的增益为：

$$\text{Gain} := \frac{A_{\text{vol}}}{\frac{A_{\text{vol}} \cdot R_1}{R_1 + R_f} + 1} = 100.997965$$

误差为：

$$\text{Error} := \frac{\text{Gain} - \text{Ideal_Gain}}{\text{Ideal_Gain}} \cdot 100 = -0.002 \%$$

这个结果还不错差，相当于20ppm的误差。

如果在宽温度范围内应用，最坏情况呢，当 A_{vol} 在over temperature时为最小值90dB时，增益误差为下面的计算结果。

$$\text{Gain} := \frac{A_{\text{vol}}}{\frac{A_{\text{vol}} \cdot R_1}{R_1 + R_f} + 1} = 100.678443$$

$$\text{Error} := \frac{\text{Gain} - \text{Ideal_Gain}}{\text{Ideal_Gain}} \cdot 100 = -0.3184 \%$$

Oah, 麦噶敦。千分之三的误差，对于16位ADC，这相当于200 codes。真是不小的值啊。

因此对于 A_{ol} 我们可以得出这样的结论，

- (1) 不能轻视它，它确实影响了运放的直流误差，在以前的part中提到过。
- (2) 它是随温度变化的，并且在最坏情况下，它带的误差可真不小。
- (3) 低开环增益的运放不适合高精度的放大。

如bruce 的博客中写到 A_{ol} 和offset是表姐妹。把有限开环增益看作是随输出电压变化而变化的失调电压，可为估计误差提供一种直观的方法。如果DC开环增益为100dB，则其相当于 $1/10^{(100\text{dB}/20)} = 10\mu\text{V}/\text{V}$ 。因此，输出摆动1伏，输入电压必须改变10 μV 。可把它看作是随DC输出电压变化的失调电压。输出摆动9伏，其变化为90 μV 。或许，这种变化对于你的电路来说不足为道，也可能会有影响。

来自 <http://www.devisupport.com/question_answer/analog/amplifiers/f/52/t/20604.aspx?keyMatch=%E8%BF%90%E6%94%BE%E5%8F%82%E6%95%B0%E7%9A%84%E8%AF%A6%E7%BB%86%E8%A7%A3%E9%87%8A%E5%92%8C%E5%88%86%E6%9E%90&tisearch=Search-CN-Everything>

运放参数的详细解释和分析-part16，增益带宽积 (GBW)

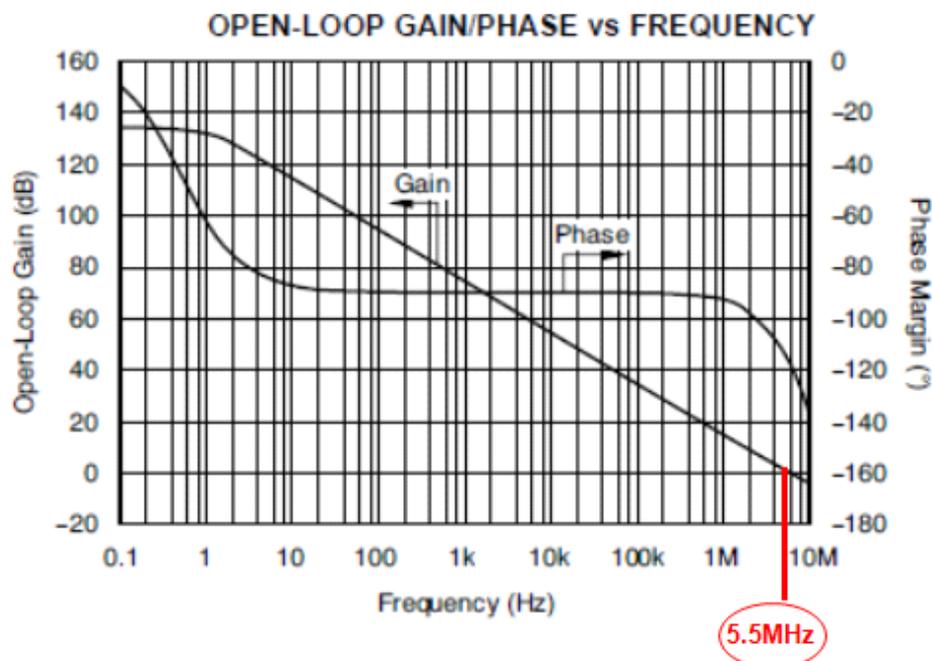
2017年7月14日 11:36

对于运放的增益带宽积，大家再熟悉不过了，这也是我在大学初学运放时，记忆深刻的唯数不多的几个参数之一。

还是想写篇贴子对这个参数深刨根一下，（赵大叔小品“往祖坟上刨”）。对于单极点响应，开环增益以6 dB/倍频程下降。这就是说，如果我们将频率增加一倍，增益会下降两倍。相反，如果使频率减半，则开环增益会增加一倍，结果产生所谓的增益带宽积。下表就是运放OPA376的datasheet中给出的增益带宽积典型值5.5MHz。

FREQUENCY RESPONSE		C _L = 100pF, V _D = 5.5V			
Gain-Bandwidth Product	GBW	5.5			MHz

比这个表格中的参数更有用的是运放的开环增益曲线，如下图是OPA376的datasheet中给出的开环增益曲线。



在一些资料中也常看到运放的单位增益带宽，它是指运放增益为1时的-3dB带宽（上图把它标出来了），它与运放的增益带宽积从数值上是相等的，虽然名称不同。下面我们往深处刨一下图中的曲线，先观察增益曲线，它在1Hz左右有一个拐点，从这个拐点之后，运放的开环增益开始以-6dB/2倍频程（或-20dB/十倍频程）下降。正是由于这个拐点的存在，才使得运放有了增益带宽。这与理想运放中的开环增益是无穷大是不一样的。

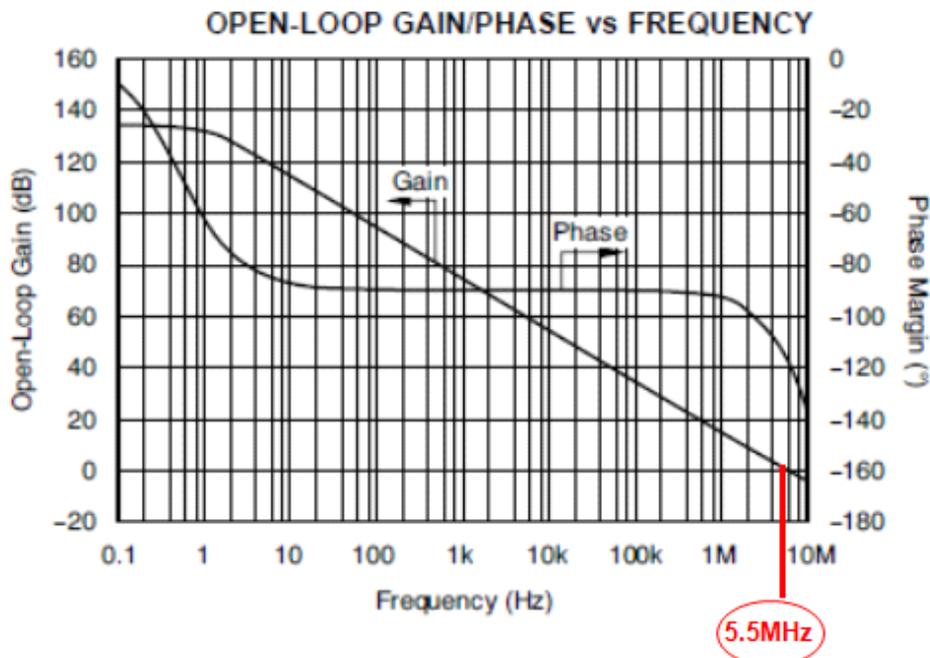
增益带宽积的值可是有隐含条件的，就是这个值是在小信号下的带宽，这个常说的小信号是多小呢，印象中是100mVpp吧。但我们的运放常用来放大大信号，输出都在几伏左右。工程师常见的问题就是计算出来的带宽够啊，怎么在实际电路中就不够了呢，原因就在这。因此大信号带宽还要关注一个参数压摆率SR。将在以后的贴子中介绍。

小结，增益带宽积是表示小信号的增益带宽。大信号另当别论。

来自 <http://www.devsupport.com/question_answer/analog/amplifiers/f/52/t/20671.aspx>

运放参数的详细解释和分析-part17，从开环增益曲线谈到运放稳定性

2017年7月14日 11:27



接part16还是先从开环增益曲线谈起，开环增益曲线为什么在低频时为什么会有一个拐点呢？这个拐点就是运放的主极点。运放内部的电路中也会有多个极点或零点。这个点就是运放内部（三级也好，两级也罢）电路的主极点。如果是三级结构的运放，这个极点一般是由第二级的密勒电容来设定的，下图就是单极点运放的原理图。

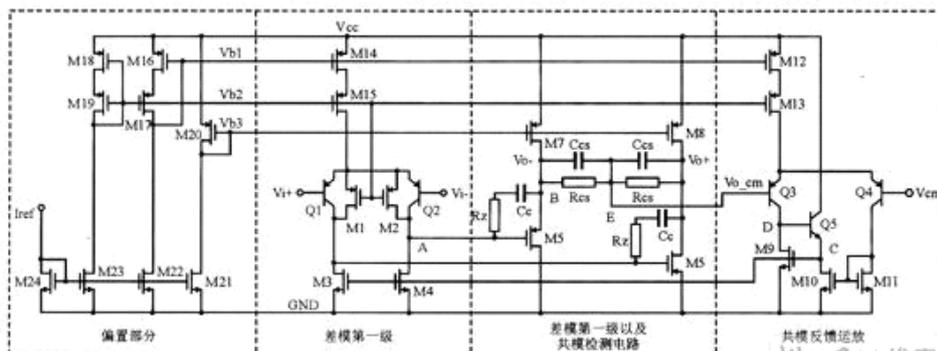


图3 实际两级全差分运放电路

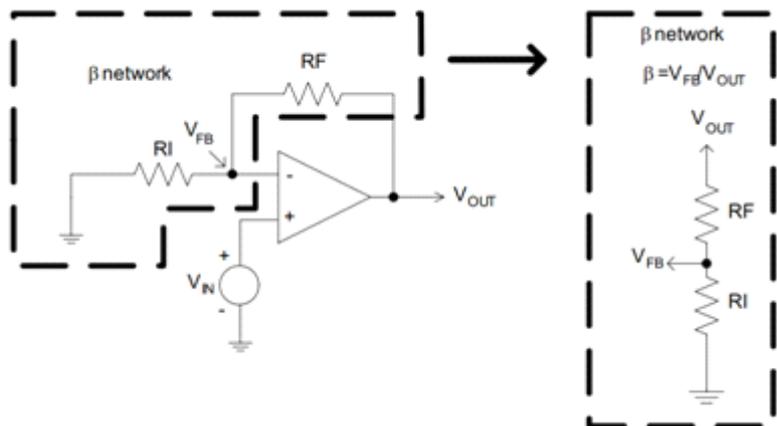
图中Cc就是设定主极点的电容。下图是一个两级他全差分运放的内部电路原理图，在图中找找Cc。它就在M5管子上，并且根据密勒效应放大。

为什么要引用Cc来设置运放的主极点呢，而不把运放设计成开环增益是恒定值如130dB，那不更接近于理想运放嘛。最主要原因就是，引入这个主极点补偿，可以保证运放的稳定。并且为了稳定，设计工程师会尽量把主极点压低。最早的鼻祖级运放如uA709就是没有内部补偿的，所以需要外部补偿，否则极易产生震荡。

当然这个极点会引入90度的相移，我们再看一上图中的相位曲线，在10MHz附近又有一个45度的相移呢。这只能用一个条件来解释，就是在这附近还有一个极点，只不过这个极

点已经在单位增益带之外了，因此不会引起振荡。但它也会引入一个问题，使运放的相位裕度变低。再看图，我们发现在5.5MHz时，相移好像不只是90度，好像是110度左右。这就使得运放的相位裕度变为70度左右了。

再深刨几句，分析运放的稳定性时总会分析运放的环路增益 $A\beta$ ，总会听到这样的话当 $A\beta = -1$ 时运放总产生震荡。也就是环路中相移达到180度。其中A就是开环增益，而 β 是放大电路的反馈系数，下图简单的说明了运放的反馈网络和 β 。



从根本讲，就是环路中有两个极点。不幸的是运放中A中已经有了一个极点，引入了90度(甚至以上的)相移了。再引入一个90度的相移，就不是困难的了。当然这不是我们想看到的。

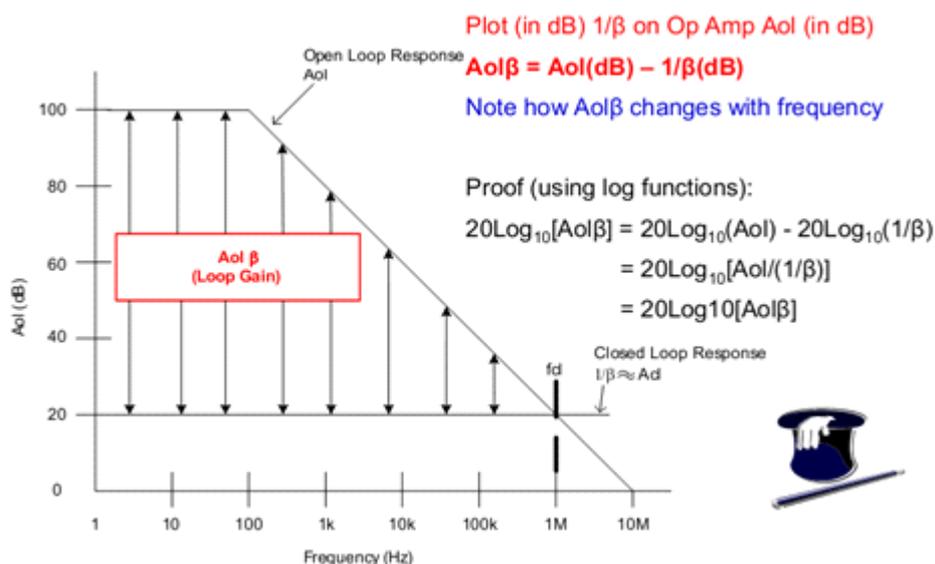
环路增益 $A\beta$ 可以写成，A除以在反馈系数的倒数， $1/\beta$ 其实也就是电路的闭环增益：

$$\frac{A}{1/\beta}$$

上式还是不好分析，再把上式写成对数形式，这对我们就太有用了。

$$20\log A - 20\log\left(\frac{1}{\beta}\right)$$

这个式子在波特图上表示是什么呢，见下图



噢，眼熟！！对，这张图来源于TI的资深工程师Tim Green写的关于运放稳定性的系列文章中的。图中画双箭头线的区域就是放大电路的环路增益。上面讲到环路增益中有两个极点

就会产生振荡。这在上面的波特图中的表现是什么呢，就是运放的开环增益A与反馈系数的倒数 $1/\beta$ 在波特图中相交时的合并速度大于等于40dB/十倍频程（上图中，只有运放的主极点，因此合并速度为20dB/十倍频程）。

是什么原因引起了环路增益中产生了两个极点了，从 $A\beta$ 中可以看出A已有一个极点了。无非是A再加一个极点，或者 β 再引入一个极点，就足以让电路不稳定了。这里作为抛砖引玉。

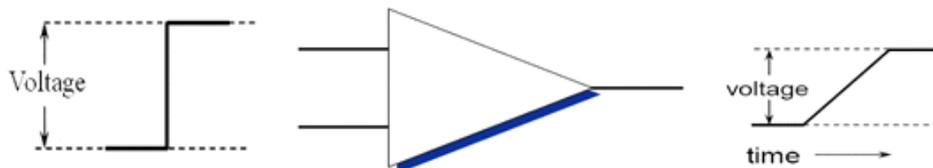
来自 <http://www.devisupport.com/question_answer/analog/amplifiers/f/52/t/20672.aspx?keyMatch=%E8%BF%90%E6%94%BE%E5%8F%82%E6%95%B0%E7%9A%84%E8%AF%A6%E7%BB%86%E8%A7%A3%E9%87%8A%E5%92%8C%E5%88%86%E6%9E%90&tisearch=Search-CN-Everything>

运放参数的详细解释和分析-part18，压摆率(SR)

2017年7月14日 11:24

我始终觉得运放的压摆率（SR）是与运放的增益带宽积GBW同等重要的一个参数。但它却常常被人们所忽略。说它重要的原因是运放的增益带宽积GBW是在小信号条件下测试的。而运放处理的信号往往是幅值非常大的信号，这更需要关注运放的压摆率。

压摆率可以理解为，当输入运放一个阶跃信号时，运放输出信号的最大变化速度，如下图所示



它的数学表达式为：

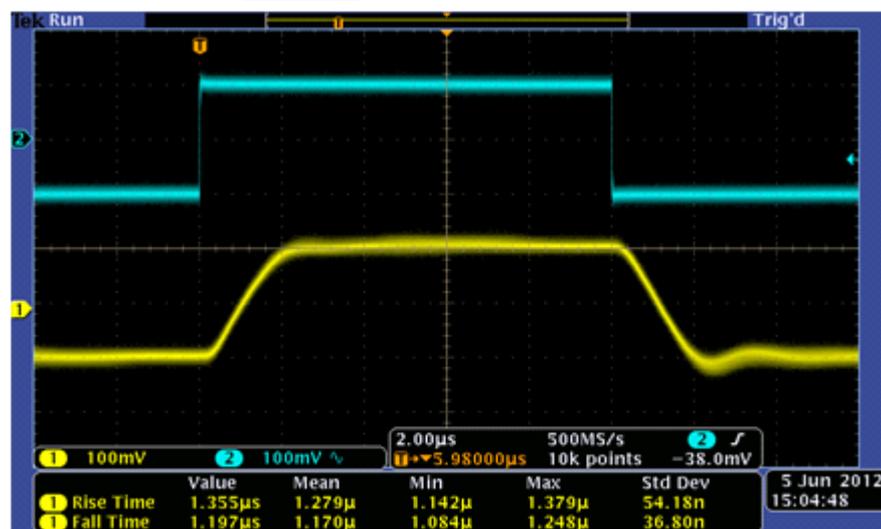
$$\text{SlewRate} = \frac{dV}{dt} \Big|_{\text{max}}$$

Maximum Change in Voltage
Change in Time

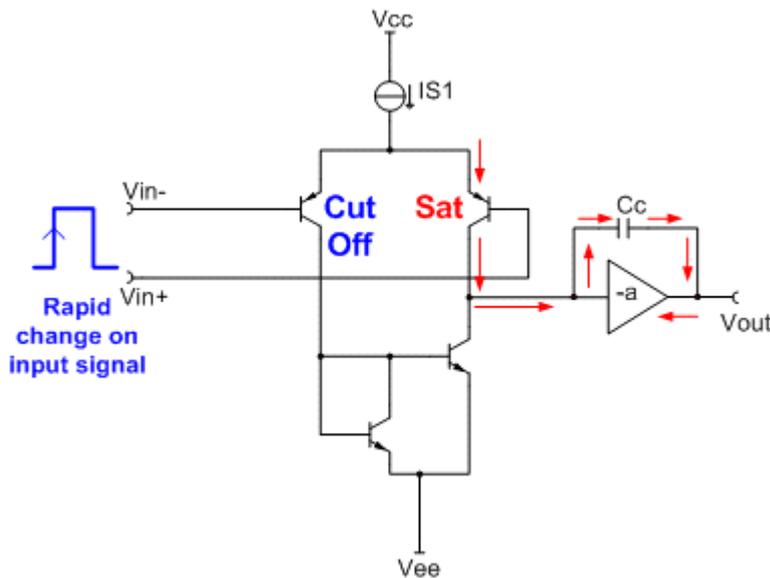
因此在运放的数据手册中查到的压摆率的单位是V/us.下表就是运放datasheet中标出的运放的压摆率。

FREQUENCY RESPONSE		C _L = 100pF, V _S = 5.5V	
Gain-Bandwidth Product	GBW		5.5 MHz
Slew Rate	SR	G = +1	2 V/μs

我在实验室里测过OPA333对阶跃信号响应的波形如下图所示。希望能让大家看的更直观：



讨论完定义和现象，我们来看一下压摆率SR的来源。先看一下运放的内部结构：

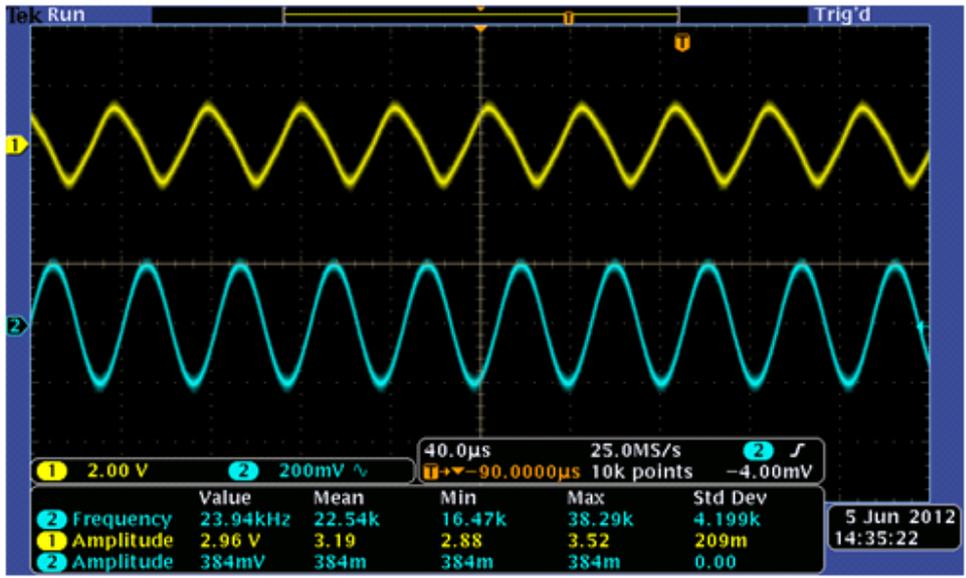


这个图有点眼熟，是的，运放的SR主要限制在内部第二级的 C_c 电容上。这个电容同时也决定着运放的带宽。那运放的压摆率，主要是由于对第二级的密勒电容充电过程的快慢所决定的。再深究一下，这个电容的大小会影响到运放的压摆率，同时充电电流的大小也会影响到充电的快慢。这也就解释了，为什么一般超低功耗的运放压摆率都不会太高。好比水流流速小，池子又大。只能花更长的时间充满池子。

下表是一些常用到TI运放的压摆率和静态电流：

Slew Rate		
Op-amp	TYP SR	TYP I_q
OPA369	0.005V/uS	0.8uA
OPA333	0.16V/uS	17uA
OPA277	0.8V/uS	790uA
OPA129	2.5V/uS	1.2mA
OPA350	22V/uS	5.2mA
OPA211	27V/uS	3.6mA
OPA827	28V/uS	4.8mA
OPA835	110V/uS	250uA
OPA847	850V/uS	18.1mA

上面简单说了一个影响压摆率SR的因素。下面该说SR对放大电路的影响了。它的直接影响，就是使输出信号的上升时间或下降时间过慢，从而引起失真。下图是测试的OPA333增益 $G=10$ 时波形。由于OPA333的增益带宽积为350kHz，理论上增益为10的时候的带宽为35kHz。但下图是24kHz时测试的结果。显然输出波形已经失真，原因就是压摆率不够了。带宽也变成了27kHz左右。



来自 <http://www.devisupport.com/question_answer/analog/amplifiers/f/52/t/21086.aspx?keyMatch=%E8%BF%90%E6%94%BE%E5%8F%82%E6%95%B0%E7%9A%84%E8%AF%A6%E7%BB%86%E8%A7%A3%E9%87%8A%E5%92%8C%E5%88%86%E6%9E%90&tisearch=Search-CN-Everything>

运放参数的详细解释和分析-part19, 全功率带宽 (FPBW)

2017年7月14日 11:35

因此这里要引入一个重参数, 重要程度堪比增益带宽积。那就是运放的全功率带宽。虽然只是一个数学推导。

对于一个输出为正弦波的信号, 输出电压可表示为:

$$V_{out} = V_p * \sin(2\pi f t)$$

这个输出电压对时间求导可得:

- $dV/dt = 2\pi f V_p \cos 2\pi f t$
- $(dV/dt)_{max} = 2\pi f V_p$

上式的max是指在求导后的余弦信号在t=0时得到最大值。这个很好理解, 也就是说原正弦信号在t=0时压摆率最大。

可以看出dV/dt表示的压摆率, 跟信号的频率有关, 还与信号的输出幅值有关。上式中, 如果Vp是运放的输出满幅值。则上式可表示为

- $Slew Rate = (dV/dt)_{max} = 2\pi \cdot FPBW \cdot V_p$
- $FPBW = Slew Rate / 2\pi V_p$

此时FPBW就是运放的满功率带宽了。记住它吧, 它简直太重要了。例如如果想在100Khz以内得到正弦波的10Vo-p振幅, 按照公式需要转换速率的是6.3v/us以上的OP。可以看出, 满功率带宽由压摆率和输出信号的幅值决定的。也就是压摆率一定的情况下, 输出信号的幅值越大, 全功率带宽越小。这也解释了上面OPA333的测试结果。

这里还要说一个得要的公式, 就是运放的上升时间与带宽的关系。如下式, 面熟, 这个公式在很多地方都见过。也太重要了, 记住它吧。

$$t_r = \frac{0.35}{f_t}$$

今天我们深一点分析这个公式的由来。其实它是由一阶系统的响应计算而来的。对于一阶RC的频率响应为

$$A = \frac{1}{1 + j \frac{1}{f_t}}$$

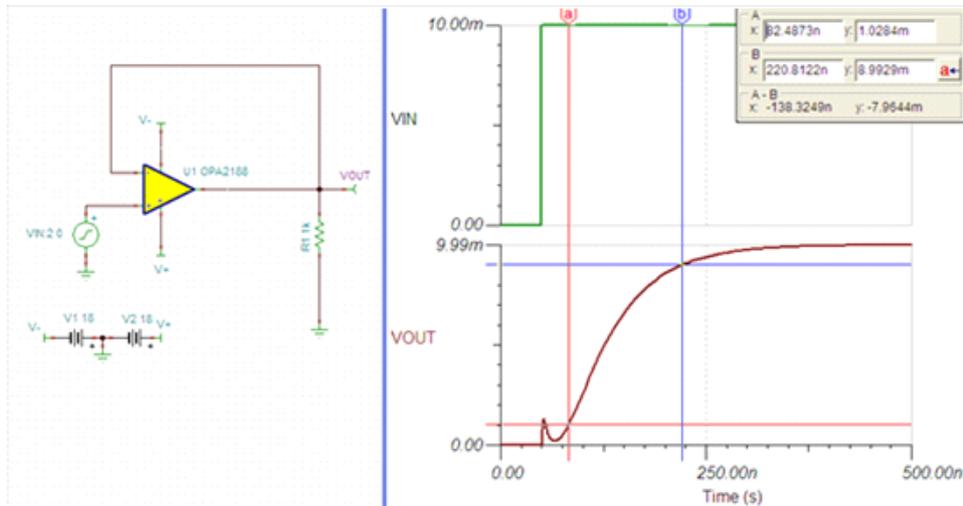
一阶系统的阶跃响应为下式。

$$v_O = V_m (1 - \exp(-t/\tau)) \quad \tau = \frac{1}{2\pi f_t}$$

Vo=0.1Vm时 t=0.1RC。(-ln0.9 =0.1)当Vo=0.9Vm时, t=2.3RC (-ln0.1=2.3)。则RC阶跃响应的时间为Tr=2.2RC。

而对于一个一阶RC的带宽又可以表示为: BW=1/(2*pi*RC)。上升时间里也有RC, 这两个RC是同一个喽。这句是废话。那Tr=2.2/(2*pi* BW)=0.35/BW。

下面我们对这个结论用TINA进行一下仿真。运放为OPA2188，增益带宽积为2MHz。运放设置为增益为1的同向放大电路。输入信号为10mV的阶跃信号。输出信号的上升时间为220.8ns-82.5nS=138.3nS。



下面看一下计算结果：计算结果为175nS。约20%的误差。但也有很好的参考价值了。

$$t_r := \frac{0.35}{2\text{MHz}} = 175 \times 10^{-9} \text{ s}$$

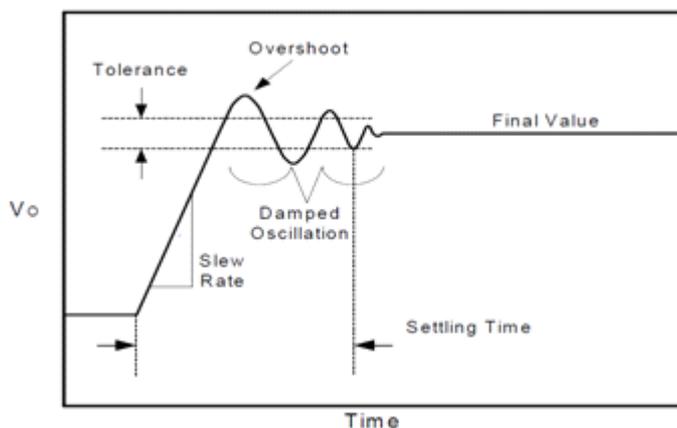
simulated = 138ns

来自 <http://www.devisupport.com/question_answer/analog/amplifiers/f/52/t/21087.aspx>

运放参数的详细解释和分析-part20, 建立时间(Settling Time)

2017年7月14日 11:35

相信关注运放建立时间的人不是特别多,但是运放的建立时间,对于其后的ADC至关重要。如一个16bits的ADC,它的一个LSB对应的电压范围是其满量程的15ppm, (百万分之十五)。如果驱动ADC的运放还没有达到最终的值就被ADC采样了。这必然会引起ADC的采样误差。放大器的建立时间是当运输入为阶跃信号时,运放的输出响应进入并保持在规定误差带所需的时间。这个误差常见的值为0.1%, 0.05%,0.01%。一个杯具的时,误差大小与建立时间不是线性关系。如误差0.01%的建立时间可能是误差0.1%的建立时间的30倍以上。神奇吧。下图是运放的建立时间的示例说明图,建立时间,就是从阶跃信号开始到信号误差达到目标值的这段时间。如图上可以看出,运放运阶跃信号的响应会是一个含有过冲和振铃的二阶响应。这个响应看上去很熟悉,像控制系统的二阶响应。所以以下的分析与控制系统有相似性。



运放的建立时间,主要有两段组成,第一段是运放的输出电压从起始值到达目标值附近,这一过程是一个非线性过程。这一段的时长是由给运放的补偿电容充电的电流所决定的。关于这个补偿电压,在运放的压摆率中提到过。因此也可以理解为第一段时间与运放的压摆率有关,(压摆率的决定因素也是运放补偿电容充电的快慢)。第二段时间是指输出已经接近最终目标值了,进入这一阶段后,运放处在准线性区。这一阶段的特性,主要受运放的零-极点对(doublets)影响。在高速运放中,运放的slew rate非常高,因此第一段时间非常短,因此建立时间主要由第二段时间所决定。

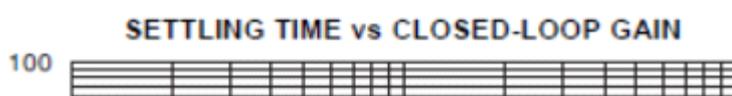
关于第二段时间,感兴趣的可以参阅B.Yeshwant Kamath的经典论文

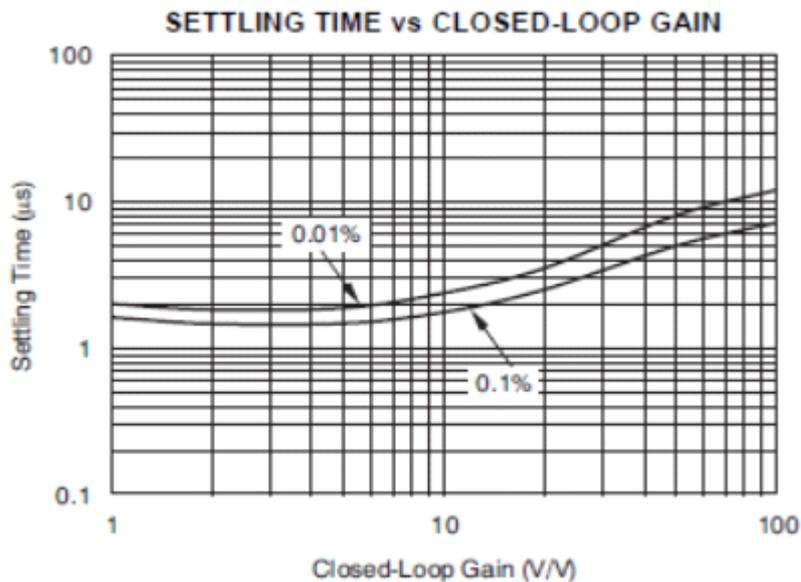
Relationship Between Frequency Response and Settling Time of Operational Amplifiers

关于建立时间的测量方法,可能需要比较精密的电路,和参数良好的仪器。网上也有经典的文章介绍。感兴趣的可以找一下。

[Measuring op amp settling time by using sample-and-hold technique](#)

从运放的指标上讲,运放的建立时间会受到大信号参数-压摆率(SR)的影响和小信号参数-闭环增益的影响。下图是一款运放的建立时间与闭环增益的关系。





通过图表可以看出，随着闭环增益增加，建立时间也随着增加。这是由于高增益时，运放的闭环带宽会降低，因此调整输出误差的环路增益(AoIB)也会减小。最终造成放大电路建立时间的增加。

最后再罗嗦一句，对于数据采样保持电路来说，建立时间是非常重要的。尤其对于ADC的输入需要通过multiplexer在不同信号间切换的。一定要注意让信号建立起来后，再进行采样。否则会引起不可预知的误差。

来自 <http://www.devisupport.com/question_answer/analog/amplifiers/f/52/t/21538.aspx>

运放参数的详细解释和分析-part21, 总谐波失真(THD)

2017年7月14日 11:35

这一个part, 准备写关于运放的总谐波失真。其实不只是总谐波失真, 还有谐波失真, 总谐波失真和噪声 (THD+N), 都是评价运放在谐波失真方面的重要参数。

运放的总谐波失真 (THD) 是当运放的输入信号为纯的正弦波时 (这里说纯的正弦波是指无谐波的正弦波), 运放的输入信号中的各次谐波 (2次, 3次, 至n次) 的均方根值, 与输出号基波的RMS值之比。定义如下式:

$$\text{THD} = \frac{\sqrt{V_2^2 + V_3^2 + V_4^2 + \dots + V_n^2}}{V_s}$$

其实际测试时, 一般只测试前五次谐波 (2次到6次)。这是因为谐波的幅值随着谐波阶次的增高而快速降低。六次以上的谐波已经占总谐的比率非常小, 相对来说只是毛毛雨啦。因此只测前五次谐波已经充分反应全部的谐波成份了。(当然在有些厂商的ADC中它们会测量到2-9次谐波, 这样的结果会更精确)

运放的总谐波失真加噪声很好理解, 就是上式分母中再加上噪声RMS值, 定义如下式。式中的Vnoise是指可测量带宽内的噪声的RMS值。

$$\text{THD} + \text{N} = \frac{\sqrt{V_2^2 + V_3^2 + V_4^2 + \dots + V_n^2 + V_{\text{noise}}^2}}{V_s}$$

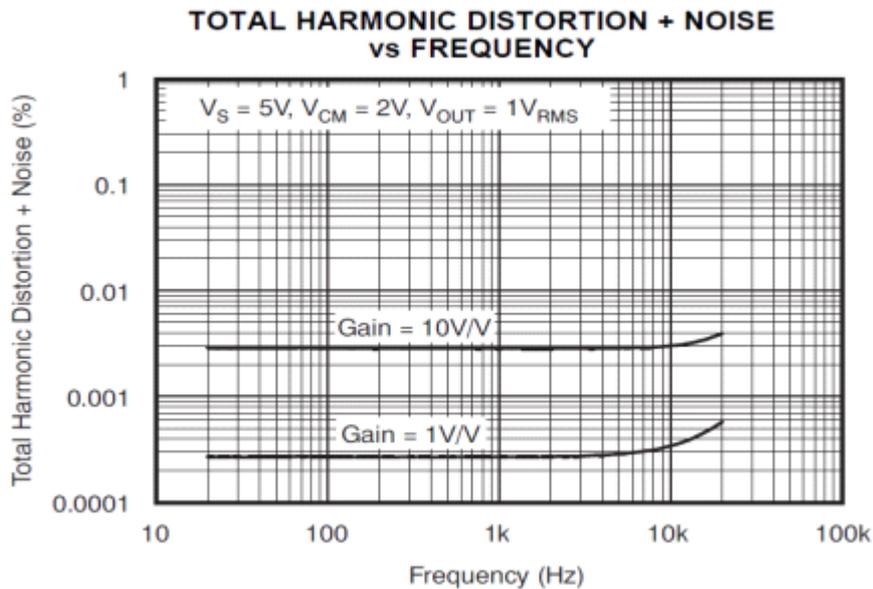
好多厂家的数据手册中, 标示的THD其实代表着THD+N, 这是因为大部分测试系统并没有区分与信号相关的谐波和其它噪声信号。下表是datasheet中标出的THD+N值:

THD + Noise	THD+N	V _o = 1V _{rms} , G = +1, f = 1kHz, R _L = 10kΩ	0.00027	%
-------------	-------	--	---------	---

这里进行一个小小的说明, 一般在音频系统中, THD (或THD+N) 一般用百分比表示, 如上图中的值, 在通信系统中THD+N一般用dB表示。

THD的测量方法, 一般是将输入信号的基波频率, 用窄带陷波器滤除出去, 然后测试其余的信号成分 (包括谐波和噪声)。常用的测量音频THD的仪器为Audio Precision。

下面再说一个运放的datasheet中常出现的图表, 运放的THD+N是与放大电路的闭环增益相关的。增益越高TND+N越低。这是因为在闭环增益提高时, 放大电路的环路增益会随之降低。使得运放对非线性误差的纠正能力一降。这就引出了运入出现谐波失真的根本原因, 是由于内部器件或多或少的存在非线性效应。



Datasheet中的表格中标出的总谐波失真和噪声的值是在增益为1的放大电路中测试的。因此它是一个非常好的值，当我们设计的电路放大倍数增大时，看到TND+N恶化现在不用觉得奇怪了。

另外一点时，现在许多的运放都是轨至轨（rail to rail）输入输出的，一般都标称能信号离运放的电源轨只有10mV左右甚至更低。但这会有一个问题，当信号的在接近电源轨时，受非线性效应的响应，信号的TND+N还是会恶化的。因此如果想保持良好的TND+N。尽量不在使运入的输出信号太接近于电源轨。

来自 <http://www.devisupport.com/question_answer/analog/amplifiers/f/52/t/21591.aspx>

运放参数的详细解释和分析-part22, 轨至轨(rail to rail) 输出

2017年7月14日 11:19

最近比较忙，把这个主题中断了，现在利用周末的时间，把这个主题继续下去。希望本月能把运放基本参数这一主题结贴。并开始新的主题。

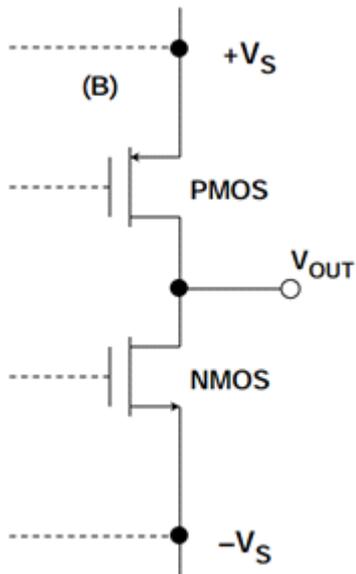
今天用一个贴子写两个关于运放输出特性的小主题，一个是Rail-Rail 输出，另一个是输入短路电流。

先说轨至轨输出(rail to rail output)。现在在低电压运放的中，很多都是轨至轨输出。运放的轨至轨输出是由MOS作输出级设计实现的。早期的运算放大器输出级是带有NPN电流源或下拉电阻的NPN射极跟随器。这种使用BJT的互补共射极输出级无法完全摆动到电源轨，只能摆动到电源轨的晶体管饱和电压CESAT范围内。对于较小的负载电流(小于100 μA)，饱和电压可能低至5至10 mV；但是，对于较高负载电流，饱和电压可能增加至数百毫伏。轨至轨输出的本意是指，运放的输出电压可以达到电源轨。但实际是它是十分接近电源轨。只说这么一个定义是没有多大意义的。下面要说一下这里关于轨至轨输出的一些需要注意的问题。

先看下图，是[OPA376](#)的datasheet上的数据。看到在不同负载下的输出离电源轨的电压值是不同的。

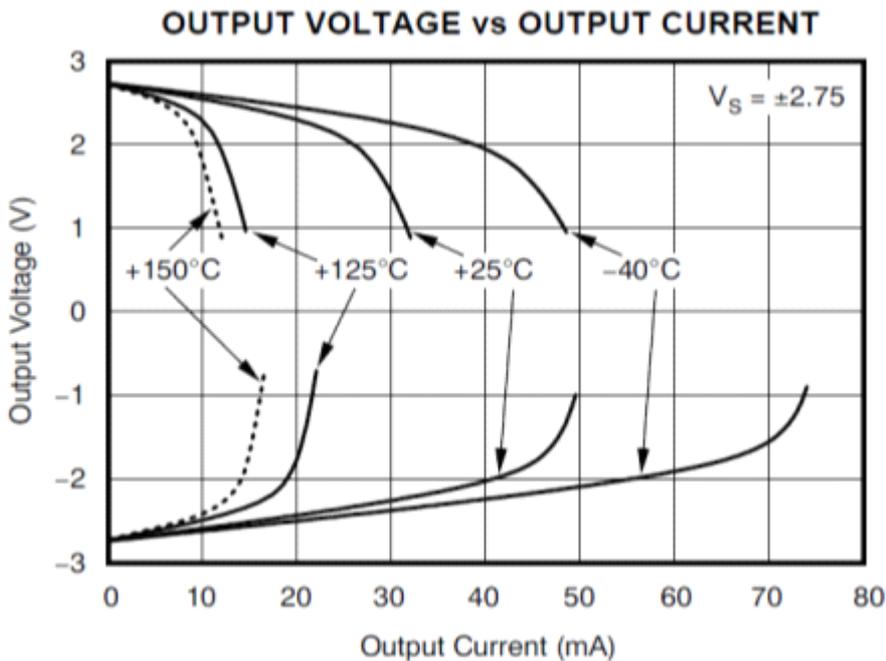
PARAMETERS	CONDITIONS	OPA376, OPA2376, OPA4376			UNIT
		MIN	TYP	MAX	
OUTPUT					
Voltage Output Swing from Rail	$R_L = 10\text{k}\Omega^{(1)}$		10	20	mV
	$R_L = 10\text{k}\Omega^{(2)}$		20	30	mV
Over Temperature	$R_L = 10\text{k}\Omega$			40	mV
Voltage Output Swing from Rail	$R_L = 2\text{k}\Omega^{(1)}$		40	50	mV
	$R_L = 2\text{k}\Omega^{(2)}$		50	60	mV
Over Temperature	$R_L = 2\text{k}\Omega$			80	mV

这是由于采用CMOS FET构建的输出级（如下图）可以提供近乎真正轨到轨的性能，但只是在空载条件下。如果运算放大器输出必须流出或吸入相当大的电流，则输出电压摆幅会降低，降幅为FET 内部导通电阻上的 $I \times R$ 压降。一般而言，精密放大器的导通电阻在100 Ω 左右，但高电流驱动CMOS 放大器的导通电阻可能小于10 Ω 。这就是引起输入不能完全达到电源轨的根本原因。



另一方面，运放的输出信号到轨的电压值，随温度而变化。这同样可以在OPA376的datasheet中的表格中看到，并且在全温范围内，一般会出现高温的情况，输出信号到轨的电压值会变大。这是由于MOS导通电阻，具有正温度系数，温度越高，导通电阻越大。这也就是造成了全温范围内压差 $V_{SAT} = V_S - V_{OUT}$ 会变大。

下面引出一张图表，这张图表在运放的datasheet中非常常见，但也经常被忽略，它反应了一个重要结论：随着温度的上升，和输出电流的上升，运放输出信号与电源轨的压差 $V_{SAT} = V_S - V_{OUT}$ 也随之增大。原因正如上面所解释的。当然还有一个问题，当输出电压越接近电源轨时，信号的失真会变的差一点。因此没有真正能达到电源轨输出的运放。根据上面的原因，离电源轨远一点，更容易达到高的信号质量。



来自 http://www.devisupport.com/question_answer/analog/amplifiers/f/52/t/23138.aspx?keyMatch=%E8%BF%90%E6%94%BE%E5%8F%82%E6%95%B0%E7%9A%84%E8%AF%A6%E7%BB%86%E8%A7%A3%E9%87%8A%E5%92%8C%E5%88%86%E6%9E%90&tisearch=Search-CN-Everything

运放参数的详细解释和分析-part23, 输出短路电流

2017年7月14日 11:36

运放的输出短路电流是用来表明运放输出级输入或灌入电流的能力，这一指标表明了运放的驱动能力。一般的运放最大输出短路电流在几十个mA的水平，看上去不算很小。但在一些情况下也会引起问题，因此本贴花点时间来写一下这个问题。

下图是OPA376的输出短路电流，看得出源电流和灌电流是不同的，一个是30mA，另一个是50mA。

PARAMETERS	CONDITIONS	OPA376, OPA2376, OPA4376			UNIT
		MIN	TYP	MAX	
Short-Circuit Current	I_{sc}		+30/-50		mA

运放的输出短路电流在反映一个重要的性能，就是驱动负载的能力，尤其是当输出信号幅值比较大时，负载电阻较小时，如一个输入20Vpp的正弦波信号，加在一个100ohm上时，则加在负载上的电流有效值为 $7.07V/100ohm=70.7mA$ 。

另一种的确定电流驱动能力的方法，是使用输出电流和输出电压图。图1显示了TI公司的LMH6642的输出电流和输出电压图。对于大多数器件，通常会对源电流(图2a)和阱电流(图2b)这两种情况分别给出一张图。

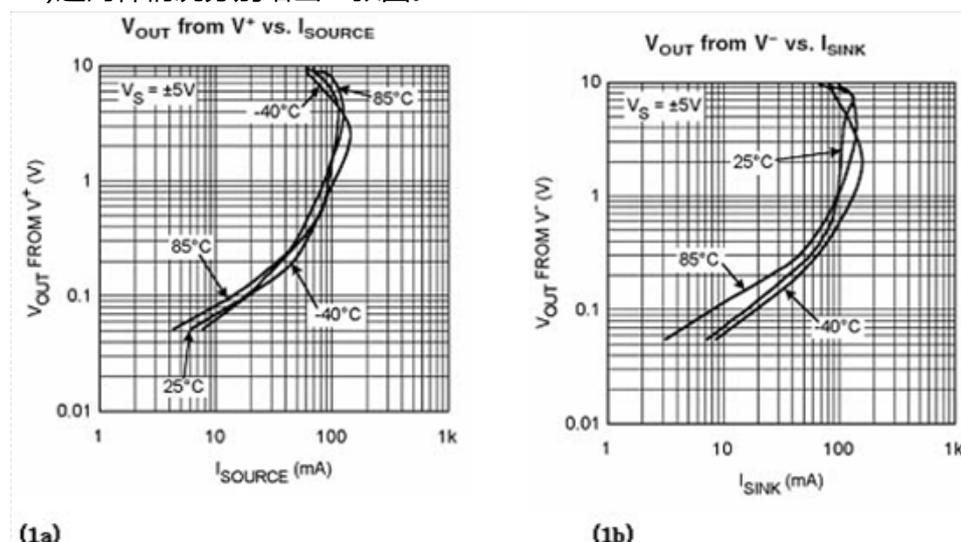


图2：LMH6642的输出特征

运用这种图，就能够估算出对于给定的输出摆幅运放所能提供的电流。这些图由芯片厂商，用来显示放大器的输出电流能力与输出电压之间的关系。

请注意，在图2中，描述了"来自V+的Vout"与输出源电流的关系，以及"来自V-的Vout"与输出阱电流的关系。用这种方法来表示数据的原因之一是，和输出电压相对于地的表示方法相比，它更容易地应用于单电源或双电源操作。另一个原因是由于电压余量比总的电源电压对于输出电流的影响要大得多，因此对于任意的电源电压，即使在数据手册上找不到精确对应的条件，这种数据手册方法也能使设计者通过一组最接近的曲线来进行粗略的计算。

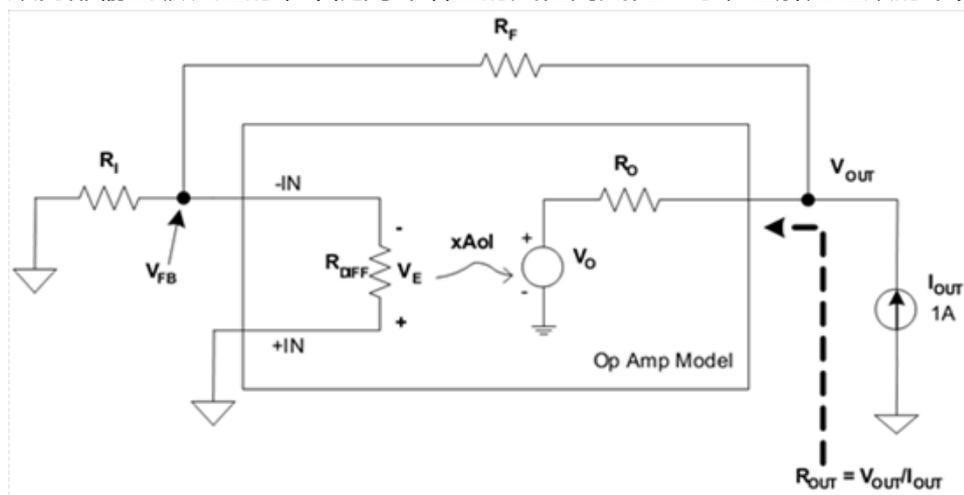
图中能够用来预测一个给定负载上的电压摆幅。如果坐标轴是线性的，设计者只需要在图中的特征曲线上加上一条负载曲线，通过这两条曲线的交点就能确定电压摆幅。

来自 <http://www.devisupport.com/question_answer/analog/amplifiers/f/52/t/23139.aspx>

运放参数的详细解释和分析-part24, 输出阻抗Ro和Rout

2017年7月14日 11:24

本文的标题有此让人迷惑，运放的输出阻抗怎么会有两个呢，它们有啥区别呢。下面先来说一下它们的定义，从定义中可以看出它们的区别。Ro定义为运放的开环输出阻抗。Rout定义为运放的闭环输出阻抗。定义看上去很明确但理解起来还是不够直观。看下面的图，Ro是由运放内部输出级决定的，不随闭环增益的变化而变化。可以理解为运放的本征参数。



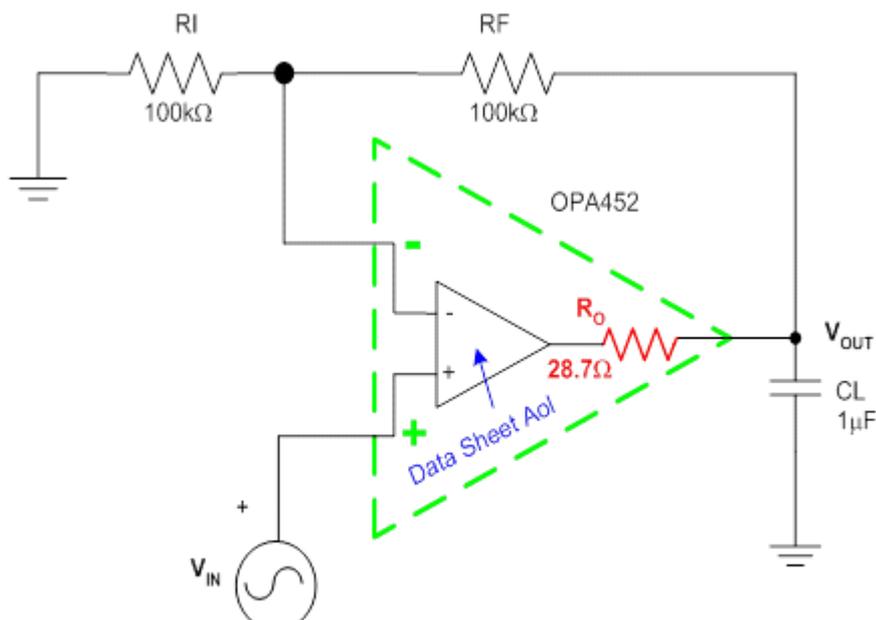
而Rout则不同，它是运放构成环闭放大电路后，从输出端看进去的阻抗，需要在输出端进行测量才能得到。当然它会随着闭环增益变化而变化。

讲完定义，下面讲一下它们俩的关系，公式很简单：

$$R_{OUT} = R_O / (1 + A_{ol}\beta)$$

具体推导过程，在Tim Green的经典应用文档集“运算放大器的稳定性”第三篇，有详细的推导过程，这里不见重复了。(此处省略两百字，呵呵)。

下面着重分析一下，Ro对放大电路的影响，通过分析，我们可以看到Ro的危害，并在进行放大电路设计时，关注到所选用的运放的Ro值。





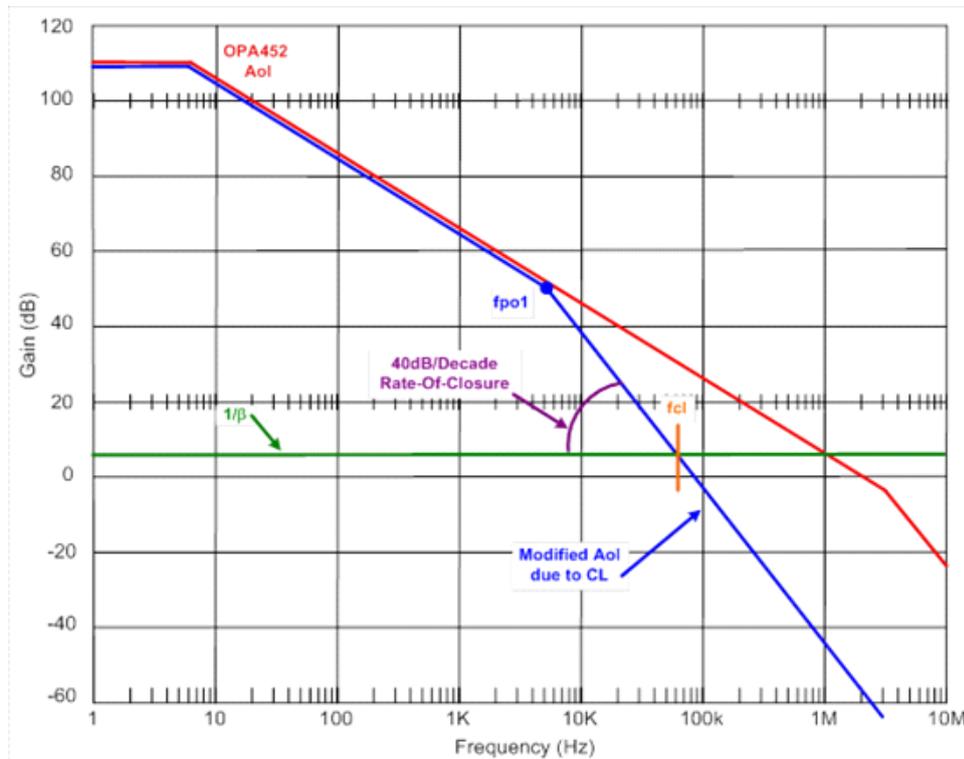
由于 R_o 的存在，并且不像理解运放中的为零，运放在驱动容性负载时，就会出问题了。主要问题是 R_o 和负载电容相互作用给放大电路的环路增益引入一个极点，下面就是上面电路中 R_o 和负载电容引入的极点的计算结果。这个极点的拐点频率为5.545KHz。好低哦。

$$f_{po1} = 1/(2 \cdot \pi \cdot R_o \cdot C_L)$$

$$f_{po1} = 1/(2 \cdot \pi \cdot 28.7\Omega \cdot 1\mu F)$$

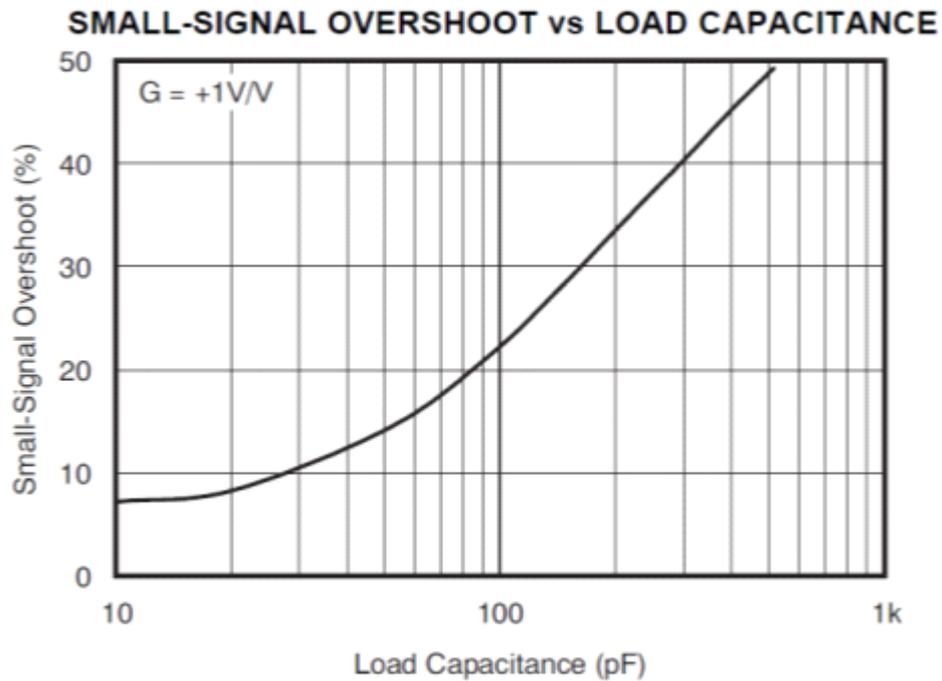
$$f_{po1} = 5.545\text{kHz}$$

引入这个极点又会发生什么呢？它会使放大电路不稳定，看下面的图，它将环路增益画成了波特图进行分析，关于这一分析方法在Tim Green的经典应用文档集“运算放大器的稳定性”中有详细介绍。



可见引入的这一新的极点 F_{po1} 使得运放的开环增益在 F_{po1} 以后以40dB/dec的速度滚降。它反馈系数倒数的直线时在相交点 f_{cl} 时闭合速度为40dB/dec。这足以使放大电路不稳定了。（注：放大电路稳定性的判据为开环增益 A_{ol} 曲线与反馈系数的倒数曲线在相交点 f_{cl} 处的闭合速度为20dB/dec则放大电路稳定）

即使放大电路没有发生震荡，它也会使得放大电路对方波响应时有一个过冲。如下图，是在不同负载电路下小信号过冲的曲线。从曲线中可以看出，500pF的负载电路可以使放大电路过冲达50%。这个曲线很重要哦，在很多运放的datasheet中会给出。



关于运放datasheet中未给出 R_o 的值时，请参照Tim Green的应用文档集“运算放大器的稳定性”第三篇。文章有详细换算过程，节省时间，就不附上了。

来自 <http://www.devisupport.com/question_answer/analog/amplifiers/f/52/t/23358.aspx?keyMatch=%E8%BF%90%E6%94%BE%E5%8F%82%E6%95%B0%E7%9A%84%E8%AF%A6%E7%BB%86%E8%A7%A3%E9%87%8A%E5%92%8C%E5%88%86%E6%9E%90&tisearch=Search-CN-Everything>

运放参数的详细解释和分析-part25, 运放的热阻

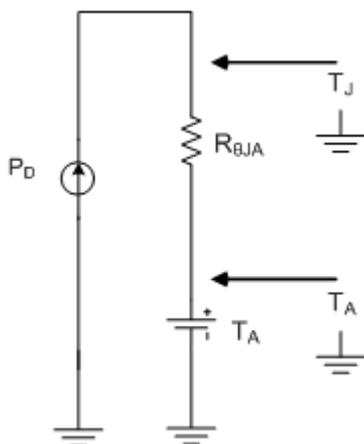
2017年7月14日 11:27

又忙了一段时间，今天终于抽出点时间把运放参数的详细解释系列博客写完了。最后一小节还是写点，非常重要而极易被人忽略的问题——运放的热阻。

在运放的datasheet中经常见到如下表所示的参数：来自[THS3091](#)的datasheet.

PACKAGE	θ_{JC} (°C/W)	θ_{JA} (°C/W) ⁽¹⁾	POWER RATING ⁽²⁾	
			$T_A = 25^\circ\text{C}$	$T_A = 85^\circ\text{C}$
D-8	38.3	97.5	1.02 W	410 mW
DDA-8 ⁽³⁾	9.2	45.8	2.18 W	873 mW

经常看到两个参数，但又常被人忽略。下面先解释什么叫热阻。半导体封装的热阻是指器件在消耗了 1 [W]功率时以产生的元件和封装表面或者周围的温度差。这听起来有点难理解，看下面的图，和公式。



$$T_J = P_D (R_{\theta JA}) + T_A$$

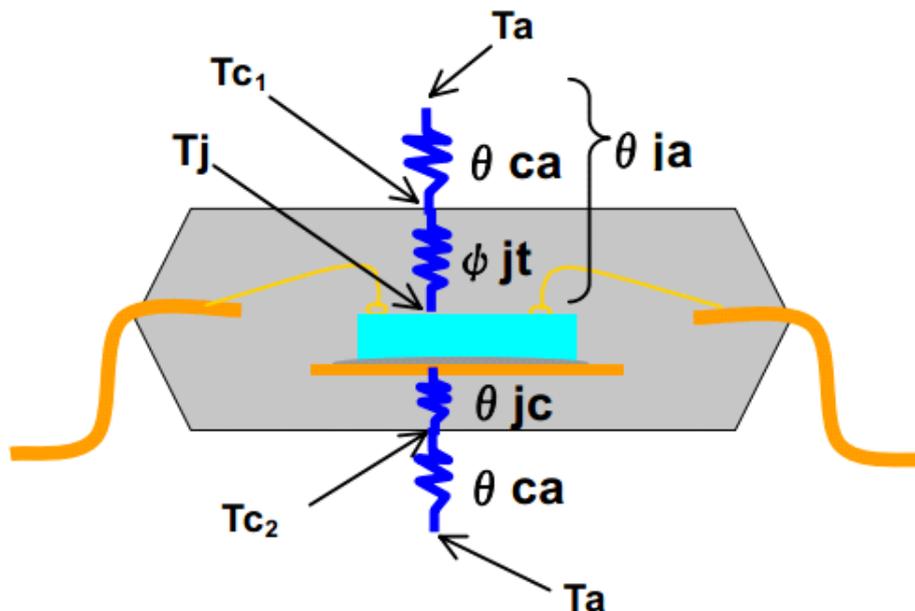
公式看上去有些难理解，一点一点解释。 T_A 是指芯片的环境温度。 T_J 是指芯片的结温，也是指芯片内部Die的温度。这两者之间的温度差只与芯片的功耗和热阻有关，那通过上面的公式，可以计算出热阻的定义公式：

$$\theta_{ja} = \frac{T_j - T_a}{P_d}$$

上面的定义可以知道热阻的单位，是 温度/功耗。这也就是上面第一个表格中看到的
热阻单位。

上面说完了热阻的定义，下面就说说常见到的两个热阻参数。第一个是 θ_{JC} , 这个是表示，芯片内部结温junction和芯片封装外壳case之间的热阻，这个值一般相对比较小。别一个是 θ_{JA} ，这个是表示芯片结温junction与芯片ambient的环境之间的热阻,这个热阻一般要比 θ_{JC} 大一些。这是由于芯片的外壳向周围环境散热要难一些。因此我们在实验室的室温环境下，去摸高功耗的芯片外壳还是很热。

关于运放的热阻听了上面的一大堆理论后，看下面的图，画的非常清晰， θ_{CA} 也有清晰的示意。



上面讲了很多理论，最后说一点热设计的注意事项。当芯片的工作电流非常大时，芯片的封装热阻比较大时，就要注意散热设计了。如THS3091用+/-15V供电工作在高频时，输出信号幅度又大时，电流可以达到50mA之上。此时芯片的功耗为1.5W以上。采用无散热pad的芯片时，温升会非常高。芯片的datasheet上的热阻是在JEDEC标准定义的板上测试的。一般实际的电路板散热可能没有那么好，芯片datasheet上一般给出最高结温为150°C。但长时间工作的芯片，结温不能超过125°C。下面是THS 3091的datasheet中给出的最大结温参数。

T_j	Maximum junction temperature,	150°C
$T_j^{(2)}$	Maximum junction temperature, continuous operation, long-term reliability	125°C

关于芯片散热设计请参考下的应用手册

[http://www.pa.msu.edu/hep/d0/ftp/run2b/l1cal/hardware/component information/ti_slma002_power_pad.pdf](http://www.pa.msu.edu/hep/d0/ftp/run2b/l1cal/hardware/component_information/ti_slma002_power_pad.pdf)

本系列博文至此完。

写在最后：

断断续续近四个月的时间，终于把运放的基本参数的详细解释和分析系列主题贴完成了。由于时间仓促，内容难免有些粗糙和不完善，其中还不乏错误，有细心的读者认真的指出了几个错误，在此非常感谢网友的支持。这个系列博文其实也是反应了我自己学习运放的过程。因此在四个月前，决定把它们写成文档。有兴趣的网友，欢迎跟贴进一步完善关于运放参数的解释。

接下来可能会开两个主题，一个是关于电流反馈式运放的原理。另一个是关于运放的测试。

来自 <http://www.devisupport.com/question_answer/analog/amplifiers/f/52/t/24095.aspx?keyMatch=%E8%BF%90%E6%94%BE%E5%8F%82%E6%95%B0%E7%9A%84%E8%AF%A6%E7%BB%86%E8%A7%A3%E9%87%8A%E5%92%8C%E5%88%86%E6%9E%90&tisearch=Search-CN-Everything>