



高速电路设计指南

- ADI智库出品 -

ADI 智库

一站式电子技术宝库



简介

通常来说，高速电路是指电路处理的信号频率足够高使得传输线对该频率表现的阻抗足以对信号产生影响，工作在这种频率上的电路。

《高速电路设计指南》以 ADI 官方网站的技术文章和模拟对话为基础资料来源整理成册。从设计实践角度出发，介绍在高速电路设计中需要掌握的各项技术及技能。

ADI 智库
一站式电子技术宝库

ADI 智库是 ADI 公司面向中国工程师打造的一站式资源分享平台，除了汇聚 ADI 官网的海量技术资料、视频外，还有大量首发的、免费的培训课程、视频直播等。九大领域、十项技术，加入 ADI 智库，您可以尽情的浏览收藏、下载相关资源。此外，您还可一键报名线上线下会议活动，更有参会提醒等贴心服务。

目录

终结高速转换器带宽术语	3
高速转换器：内涵、原因和原理概述	8
高速差分 ADC 驱动器设计指南	16
高速放大器测试需要足够多的数学知识以使巴伦运转！	44
高速 DAC 宽带输出网络知识与设计	52
高速 ADC 的电源设计	57
低频和高频电路接地	66
了解 JESD204B 规范的各层——从高速 ADC 的角度出发	74
高速模数转换器精度透视	83
第一部分	83
第二部分	89
高速 ADC PCB 布局布线规则	103
第一部分	103
第二部分	103
第三部分	104
第四部分	105
高速 ADC PCB 布局布线技巧	106

终结高速转换器带宽术语

有很多令人困惑的规格都与转换器带宽有关。为了在新的设计中选用适当的转换器，我应当使用什么带宽术语呢？

开始一个新设计时，需要决定的首要参数就是带宽。带宽为设计指明方向，引导设计人员开辟通往成功之路。本质上有三类前端可供选择：基带型、带通或超奈奎斯特型（有时也称为窄带或子采样型——基本上不会用到第 1 奈奎斯特区）以及宽带型，如图 1 所示。前端的选用取决于具体应用。

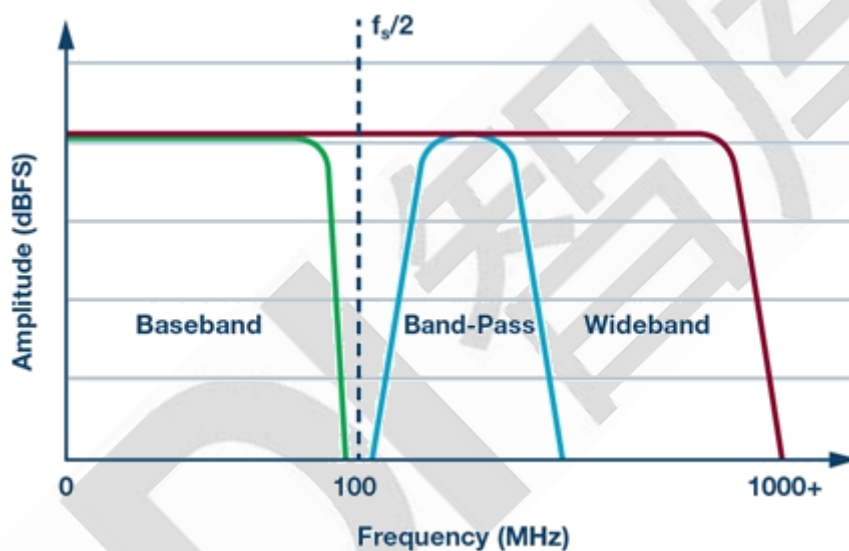


图 1. 基带、带通与宽带， $F_{\text{SAMPLE}}=200\text{MSPS}$ 。

基带设计要求的带宽是从直流（或低 kHz/MHz 区）到转换器的奈奎斯特频率。用相对带宽表示的话，这意味着大约 100MHz 或以下，假定采样速率为 200MSPS。这类设计可以采用放大器或变压器/巴伦。

带通设计意味着在高中频时只会使用转换器带宽的一小部分（即小于奈奎斯特频率）。例如，还是假定采样速率为 200MSPS，可能只需要 20-60MHz 带宽，以 170MHz 为中心。不过，随着新一代 GPS 转换器类型产品的发布，市场呈现出向更高频发展的趋势。

因此，上述示例中的数值可能会多填充一个 0。本质上讲，设计人员只需利用转换器带宽的一小部分就能完成工作。这种设计通常使用变压器或巴伦。不过，如果较高频率下的动态性能足够并且需要增益，也可以使用放大器。

宽带设计通常指需要全部带宽的设计。转换器能够提供多少带宽，用户就会使用多少带宽——供大于求！在三种设计中，这种设计的带宽最宽，因而是最具挑战性的前端设计。如果设计要求整个通带的平坦度为 0.1dB，则更具挑战性。这类应用的带宽范围为直流或低 kHz/MHz 区至+GHz 区。此类设计常常采用宽带巴伦耦合到转换器。

关于带宽的说明

术语“带宽”在工程领域中遭到滥用，根据应用的不同，带宽的含义在不同设计人员看来可能完全不同。在本文中，转换器的全功率带宽与转换器的可用带宽或采样带宽是不同的。全功率带宽是转换器用于精确捕获信号以及内置前端正确建立所需要的带宽。在多数情况下，转换器的采样带宽目标是在大约两个奈奎斯特区拨入。转换器通常也是以这种方式在其交流频率规格范围内进行表征。

设计人员在转换器指定区域外选择中频并不是个明智的选择，因为系统的交流性能结果会存在较大差异，尽管转换器数据手册中说明了额定分辨率和性能，或显示的全功率带宽远大于转换器本身的采样带宽（可能是其两倍）。设计应围绕采样带宽展开。所有设计都应当避免使用额定全功率带宽的某一或全部最高频率部分，否则动态性能 (SNR/SFDR) 会下降。为了确定高速模数转换器的采样带宽，请查阅数据手册，或者咨询应用支持人员，因为有时候采样带宽并未明确给出。通常，数据手册会规定甚至列出转换器采样带宽内经过生产测试、能够保证额定性能的频率。然而，需要对行业中的这些带宽术语做出更好的说明和定义。

了解转换器带宽和精度

所有的 ADC 都存在建立时间不精确的问题。记住，转换器的内部前端必须具有足够的带宽 (BW)，才能精确地对信号进行采样。否则，累积误差将大于上文所述的结果。一般而言，一个 ADC 的内部前端必须在半个采样时钟周期内建立 ($0.5/f_s$ ，其中 f_s = 采样频率)，这样才能提供对内模拟信号捕捉的精确表达。因此，对于一个 12 位 ADC (采样速率为 2.5GSPS，满量程输入范围 (V_{FS}) 为 1.3Vp-p) 来说，全功率带宽 (FPBW) 可通过下列瞬态公式推导：

$$1 \text{ LSB} = V_{FS} \times e^{(-t/\tau)}$$

求解 t:

$$t = -\tau \times \ln\left(\frac{1 \text{ LSB}}{V_{FS}}\right)$$

代入 $\tau=1/(2 \times \pi \times \text{FPBW})$ ，一个时间常数，求解 FPBW:

$$\text{FPBW} = -\left(\frac{1}{2 \times \pi t}\right) \times \ln\left(\frac{1 \text{ LSB}}{V_{FS}}\right)$$

令 $t=0.5/f_s$ 。这是样本建立所需的时间，其中采样周期为 $1/f_s$:

$$\text{FPBW} = -\left(\frac{f_s}{\pi} \times \ln\left(\frac{1 \text{ LSB}}{V_{FS}}\right)\right) = -\left(\frac{2.5 \text{ G}}{\pi}\right) \times \ln\left(\frac{317 \mu\text{V p-p}}{1.3}\right) = 6.62 \text{ GHz}$$

这样会使 ADC 内部前端 FPBW 所需的带宽最小。转换器内部前端需要这一大小的带宽，以建立至 1LSB 以内并正确采样模拟信号。这将需要通过数个时间常数来满足这类 ADC

的 1LSB 精度要求，其中 1 个时间常数等于 24ps 或：

$$\tau = \frac{1}{(2 \times \pi \times \text{FPBW})}$$

要了解 ADC 满量程范围内达到 LSB 大小要求所需的时间常数数量，就需要找出满量程误差%或 V_{FSE} 。或 $1\text{LSB} = V_{FS} / (2N)$ ，其中 N=位数；或

$$\text{LSB} = \frac{1.3 \times V_{p-p}}{(2^{12})} = 317 \mu\text{V p-p, and } V_{FSE} = \left(\frac{\text{LSB}}{V_{FS}}\right) \times 100 = 0.0244$$

表 1 列出了不同分辨率的转换器与各自的位数、LSB 大小和 V_{FSE} 的关系细分表。

转换器分辨率	位数	LSB 大小	V_{FSE}
6	64	0.01875	1.5625
8	256	0.0046875	0.390625
10	1024	0.001171875	0.09765625
12	4096	0.000292969	0.024414063
14	16384	0.0000732422	0.006103516
16	65536	0.0000183105	0.001525879

表 1. 转换器分辨率明细表

通过描绘欧拉数或 e^{τ} ，可以绘出一条曲线，以便每次通过时间常数都能方便地看出相对误差。从图 2 可见，12 位 ADC 样本建立至大约 1LSB 以内需时 8.4 个时间常数。

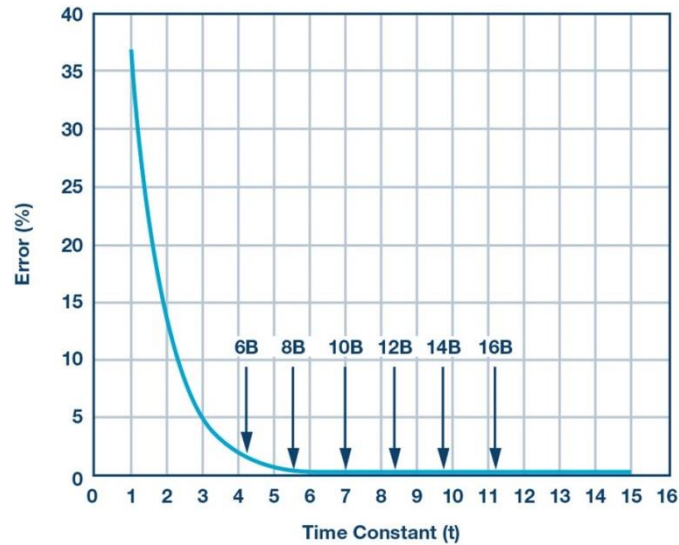


图 2. 转换器采样精度与时间常数数量：ADC 精确建立至 $\frac{1}{2}$ LSB 以内所需要的时间常数数量。

设计人员可通过这种分析来估算转换器能处理的最大模拟输入频率或采样带宽，并依旧建立至 1LSB 误差以内。超出这个范围，则 ADC 无法精确表示信号。因此：

$$F_{\max} = \frac{1}{(\tau \times \text{number of time constants})} \text{ or } \frac{1}{(24 \text{ ps} \times 8.4)} = 4.96 \text{ GHz}$$

记住，这里表示的是最佳情形，并假定采用单极点 ADC 前端。并非所有现实中的转换器都以这种方式工作，但这是一个很好的开端。

例如，上文描述的模型最高可适用至 12 位。但针对 14 或 16 位以及更高位则需要采用二阶模型，因为细微的影响可使建立时间扩展至预测的一阶模型以外。

高速转换器：内涵、原因和原理概述

作为“现实世界”模拟域与 1 和 0 构成的数字世界之间的关口，数据转换器是现代信号处理中的关键要素之一。过去 30 年，数据转换领域涌现出了大量创新技术，这些技术不但助推了从医疗成像到蜂窝通信、再到消费音视频，各个领域的性能提升和架构进步，同时还为实现全新应用发挥了重要作用。

宽带通信和高性能成像应用的持续扩张凸显出高速数据转换的特殊重要性：转换器要能处理带宽范围在 10MHz 至 1GHz 以上的信号。人们通过多种各样的转换器架构来实现这些较高的速率，各有其优势。高速下在模拟域和数字域之间来回切换也对信号完整性提出了一些特殊的挑战——不仅模拟信号如此，时钟和数据信号亦是如此。了解这些问题不仅对于组件选择十分重要，而且甚至会影响整体系统架构的选择。

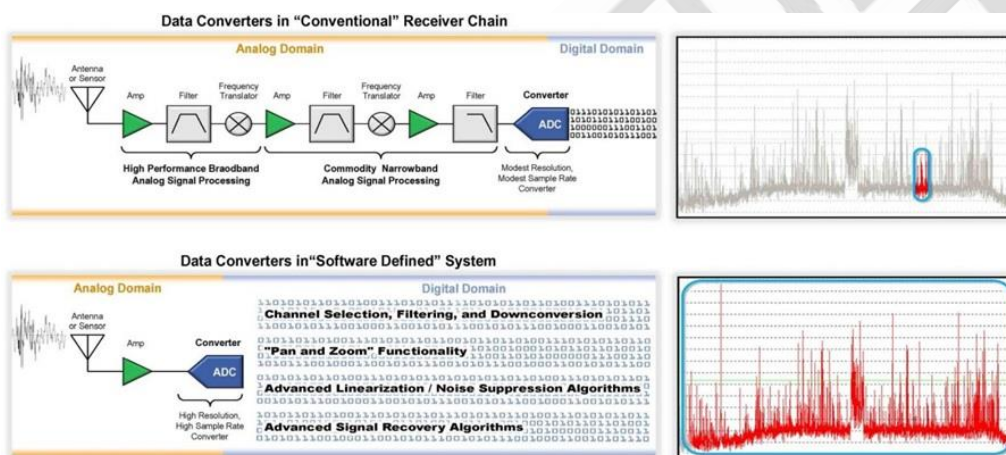


图 1.

更快、更快、更快

在许多技术领域，我们习惯于把技术进步与更高的速率关联起来：从以太网到无线局域网再到蜂窝移动网络，数据通信的实质就是不断提高数据传输速率。通过时钟速率的进步，微处理器、数字信号处理器和 FPGA 发展十分迅速。这些器件主要得益于尺寸不断缩小的蚀刻工艺，结果造就出开关速率更快、体积更小（而且功耗更低）的晶体管。这些进步创造出一个处理能力和数据带宽呈指数级增长的环境。这些强大的数字引擎带来了同样呈指数级增长的信号和数据处理需求：从静态图像到视频，到带宽频谱，无论是有线还是无线，均是如此。运行时钟速率为 100MHz 的处理器或许能有效地处理带宽为 1MHz

至 10MHz 的信号：运行时钟速率达数 GHz 的处理器能够处理带宽达数百 MHz 的信号。

自然地，更强的处理能力、更高的处理速率会导致更快的数据转换：宽带信号扩大其带宽（往往达到物理或监管机构设定的频谱极限），成像系统寻求提高每秒像素处理能力，以便更加快速地处理更高分辨率的图像。系统架构推陈出新，以利用极高的这种处理性能，其中还出现了并行处理的趋势，这可能意味着对多通道数据转换器的需求。

架构上的另一重要变化是走向多载波/多通道，甚至软件定义系统的趋势。传统的模拟密集型系统在模拟域中完成许多信号调理工作（滤波、放大、频率转换）；在经过充分准备后，对信号进行数字化处理。一个例子是 FM 广播：给定电台的通道宽度通常为 200kHz，FM 频段范围为 88MHz 至 108MHz。传统接收器把目标电台的频率转换成 10.7MHz 的中频，过滤掉所有其他通道，并把信号放大到最佳解调幅度。多载波架构将整个 20MHz FM 频段数字化，并利用数字处理技术来选择和恢复目标电台。虽然多载波方案需要采用复杂得多的电路，但它具有极大的系统优势：系统可以同时恢复多个电台，包括边频电台。如果设计得当，多载波系统甚至可以通过软件重新配置，以支持新的标准（例如，分配在无线电边频带的新型高清电台）。这种方式的目标是采用可以接纳所有频带的宽带数字化仪和可以恢复任何信号的强大处理器：这即是所谓的软件定义无线电。其他领域中有等效的架构——软件定义仪表、软件定义摄像头等。我们可以把这些当作虚拟化的信号处理等效物。使得诸如此类灵活架构成为可能的是强大的数字处理技术以及高速、高性能数据转换技术。

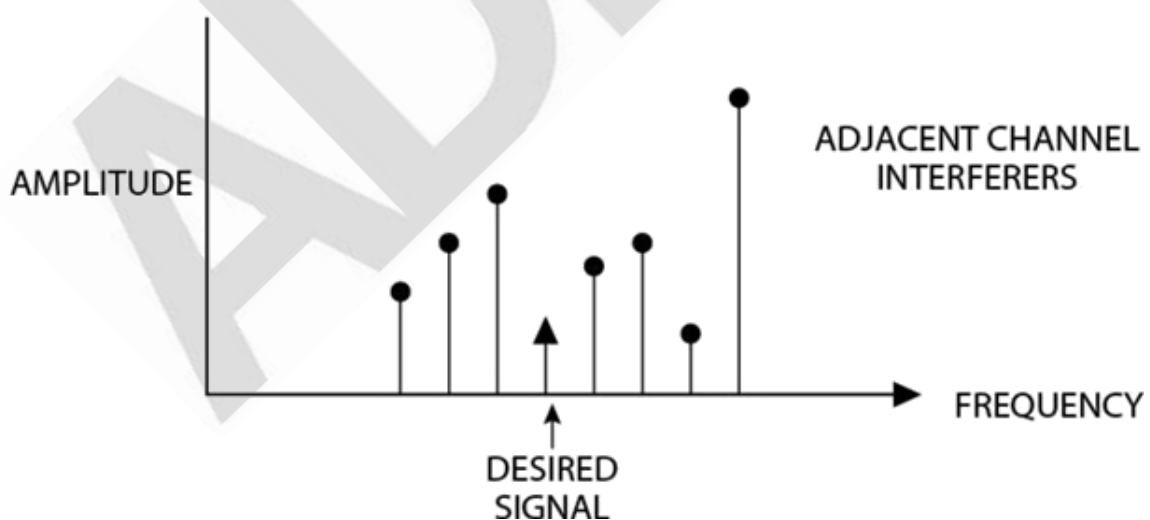


图 2. 多载波示例

带宽和动态范围

无论是模拟还是数字信号处理，其基本维度都是带宽和动态范围——这两个因素决定着系统实际可以处理的信息量。在通信领域，克劳德·香农的理论就使用这两个维度来描述一个通信通道可以携带的信息量的基本理论限值，但其原理却适用于多个领域。对于成像系统，带宽决定着给定时间可以处理的像素量，动态范围决定着最暗的可觉察光源与像素饱和点之间的强度或色彩范围。

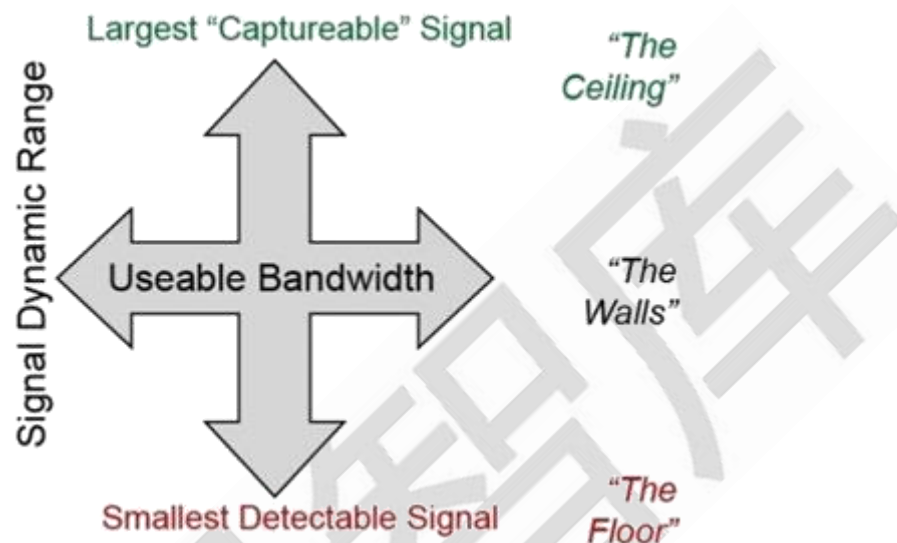


图 3. 信号处理的基本维度

数据转换器的可用带宽有一个由奈奎斯特采样理论设定的基本理论限值——为了表示或处理带宽为 F 的信号，我们需要使用运行采样速率至少为 $2F$ 的数据转换器（请注意，本法则适用于任何采样数据系统——模拟或数字都适用）。对于实际系统，一定量的过采样可极大地简化系统设计，因此，更典型的数值是信号带宽的 2.5 至 3 倍。如前所述，不断增加的处理能力可提高系统处理更高带宽的能力，而蜂窝电话、电缆系统、有线和无线局域网、图像处理以及仪器仪表等系统都在朝着带宽更高的系统发展。这种不断提高带宽需求要求数据转换器具备更高的采样速率。

如果说带宽这个维度直观易懂，那么动态范围这个维度则可能稍显晦涩。在信号处理中，动态范围表示系统可以处理且不发生饱和或削波的最大信号与系统可以有效捕获的最小信号之间的分布范围。我们可以考虑两类动态范围：可配置动态范围可以通过在低分辨率模数转换器 (ADC) 之前放置一个可编程增益放大器 (PGA) 来实现（假设对于 12 位的可配置动态范围，在一个 8 位转换器前放置一个 4 位 PGA）：当增益设为低值时，这

种配置可以捕获大信号而不会超过转换器的范围。当信号超小时，可将 PGA 设为高增益，以将信号放大到转换器的噪底以上。信号可能是一个信号强或信号弱的电台，也可能是成像系统中的一个明亮或暗淡的像素。对于一次只尝试恢复一个信号的传统信号处理架构来说，这种可配置动态范围可能是非常有效的。

瞬时动态范围更加强大大：在这种配置中，系统拥有充足的动态范围，能够同时捕获大信号而不产生削波现象，同时还能恢复小信号——现在，我们可能需要一个 14 位的转换器。该原理适用于多种应用——恢复强电台或弱电台信号，恢复手机信号，或者恢复图像的超亮和超暗部分。在系统倾向使用更加复杂的信号处理算法的同时，对动态范围的需求也是水涨船高的走向。在这种情况下，系统可以处理更多信号——如果全部信号都具有相同的强度，并且需要处理两倍的信号，则需要增加 3dB 的动态范围（在所有其他条件相等的情况下）。可能更重要的是，如前所述，如果系统需要同时处理强信号和弱信号，则动态范围的增量要求可能要大得多。

动态范围的不同衡量指标

在数字信号处理中，动态范围的关键参数是信号表示中的位数，或称字长：一个 32 位处理器的动态范围多于一个 16 位的处理器。过大的信号将发生削波——这是一种高度非线性的运算，会破坏多数信号的完整性。过小的信号——幅度小于 1LSB——将变得不可检测并丢失掉。这个有限分辨率通常称为量化误差，或量化噪声，在确立可检测性下限时可能是一个重要因素。

量化噪声也是混合信号系统中的一个因素，但有多因素决定着数据转换器的可用动态范围，而且每个因素都有自己的动态范围：

- 信噪比 (SNR)——转换器的满量程与频带总噪声之比。该噪声可能来自量化噪声（如上所述）、热噪声（所有现实系统中都存在）或其他误差项（如抖动）。
- 静态非线性度——微分非线性度 (DNL) 和积分非线性度 (INL)——衡量从数据转换器输入端到输出端的直流传递函数的非理想程度的指标（DNL 通常确定成像系统的动态范围）。
- 总谐波失真——静态和动态非线性度会产生谐波，可能有效地屏蔽其他信号。THD 通常会限制音频系统的有效动态范围。

- 无杂散动态范围 (SFDR) ——考虑相对于输入信号的最高频谱杂散，无论是二阶还是三阶谐波时钟馈通，甚至是 60Hz 的“嗡嗡”噪声。由于频谱音或杂散可能屏蔽小信号，因此，SFDR 是用来表示许多通信系统中可用动态范围的一个良好指标。

还有其他技术规格——事实上，每种应用可能都有自己的有效动态范围描述方式。开始时，数据转换器的分辨率是其动态范围的一个良好替代指标，但在真正决定时选择正确的技术规格是非常重要的。关键原则是，越多越好。虽然许多系统可以立即意识到需要更高的信号处理带宽，但对动态范围的需求却可能不是如此直观，即便要求更加苛刻。值得注意的是，尽管带宽和动态范围是信号处理的两个主要维度，但还有必要考虑第三个维度，即效率：这有助于我们回答这样一个问题：“为了实现额外性能，我需要付出多少成本？”我们可以从购置价格来看成本，但对数据转换器和其他电子信号处理应用来说，一种更加纯粹的、衡量成本的技术手段是功耗。性能越高的系统——更大的带宽或动态范围——往往要消耗更多的电能。随着技术的进步，我们都试图在提高带宽和动态范围的同时减少功耗。

主要应用

如前所述，每种应用在基本信号维度方面都有着不同的要求，而在给定的应用中，则可能有多种不同的性能。例如，一个 100 万像素的摄像头与一个 1000 万像素的摄像头。图 4 展示了一些不同应用通常要求的带宽和动态范围。该图的上半部分一般称为高速——采样速率为 25MHz 及以上的转换器，可以有效处理 10MHz 或以上的带宽。

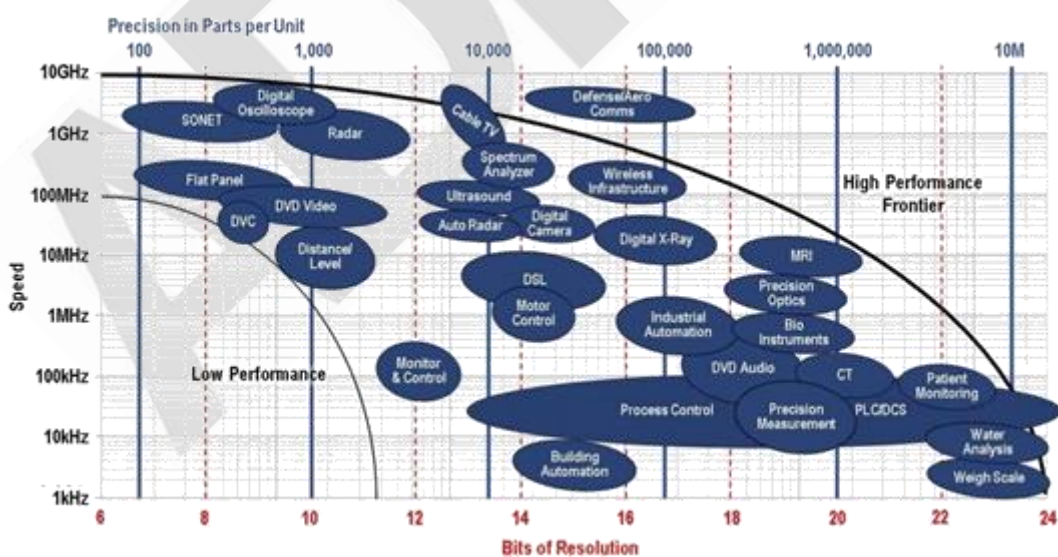


图 4. 一些典型应用及其对带宽（速率）和动态范围（分辨率位数）的要求

需要注意的是，该应用图并非静止不变的。现有应用可能利用新的、性能更高的技术来提升其功能——例如，高清摄像机或者分辨率更高的 3D 超声设备等。此外，每年还会涌现出全新的应用——很大一部分新应用将处于性能边界的外边缘处：得益于高速与高分辨率的新组合。结果使转换器性能边缘不断扩大，就像池塘里的涟漪一样。

同时还应记住，多数应用都需要关注功耗问题：对于便携式/电池供电式应用，功耗可能是主要技术限制条件，但是，即使是线路供电系统，我们也开始发现，信号处理元件（模拟也好，数字也好）的功耗最终会限制系统在给定物理区域的性能。

技术发展趋势和创新——如何实现……

鉴于这些应用在不断推高对高速数据转换器性能的要求，业界以持续技术进步的方式对此做出了回应。技术对高级高速数据转换器的推动来自以下几个因素：

- 工艺技术：摩尔定律与数据转换器——半导体工业在持续推动数字处理性能方面的成就有目共睹，其主要驱动因素是晶圆处理工艺在走向更细间距微影蚀刻工艺方面取得的巨大进步。深亚微米 CMOS 晶体管的开关速率远远超过其前辈，使控制器、数字处理器和 FPGA 的运行时钟速率迈上了数 GHz 的台阶。像数据转换器一样的混合信号电路也可以利用蚀刻工艺领域取得的这些进步，借“摩尔定律”之风达到更高的速率——但对混合信号电路来说，这是有代价的：更先进的蚀刻工艺的工作电源电压有不断降低的趋势。这意味着，模拟电路的信号摆幅在缩小，增加了将模拟信号维持在热噪底以上的困难：以缩水的动态范围为代价获得更高的速率。
- 高级架构（这不是原始时代的数据转换器）——在半导体工艺大步发展的同时，过去 20 年中，高速数据转换器架构领域也出现了数波创新浪潮，为以惊人的功效实现更高的带宽、更大的动态范围做出了巨大贡献。传统上，有多种架构方式用于高速模数转换器，包括全并行架构 (ash)、折叠架构 (folding)、交织架构 (interleaved) 和流水线架构 (pipeline)，这些架构方式至今仍然非常流行。后来，传统上用于低速应用的架构也加入高速应用阵营，包括逐次逼近寄存器 (SAR) 和-，这些架构专门针对高速应用进行了原创性的改动。每种架构都有自己的优势和劣势：某些应用一般根据这些折衷来确定最佳架构。对于高速 DAC 来说，首选架构一般是开关电流模式结构，不过，这类结构有许多变体；开关电容结构的速率稳步提高，在一些嵌入式高速应用中仍然十分流行。

- 数字辅助方法——多年以来，在工艺和架构以外，高速数据转换器电路技术也取得了辉煌的创新成就。校准方法已有数十年的历史，在补偿集成电路元件失配以及提高电路动态范围方面发挥着至关重要的作用。校准已经超越静态误差校正的范畴，越来越多地用于补偿动态非线性度，包括建立误差和谐波失真。

总之，这些领域的创新极大地促进了高速数据转换的发展。

实现

实现宽带混合信号系统不仅仅要选择正确的数据转换器——这些系统可能对信号链的其他部分有着严苛的要求。同样，挑战是在较宽的带宽范围内实现优秀的动态范围——使更多的信号进出数字域，充分利用数字域的处理能力。

- 宽带和信号调理——在传统单载波系统中，信号调理就是尽快消除无用信号，然后放大目标信号。这往往涉及选择性滤波以及针对目标信号微调的窄带系统。这些经过微调的电路在实现增益方面可能非常有效，而且在某些情况下，可以利用频率规划技术来确保将谐波或其他杂散排除在带外。宽带系统不能使用这些窄带技术，而且在这些系统中实现宽带放大可能面临巨大的挑战。
- 数据接口——传统的 CMOS 接口不支持大大超过 100MHz 的数据速率——而且低电压差分摆幅 (LVDS) 数据接口运行速率达 800MHz 至 1GHz。对于较大数据速率，我们可以使用多个总线接口，或者使用 SERDES 接口。现代的数据转换器采用的是最高速率达 12.5GSPS 的 SERDES 接口（规格见 JESD204B 标准）——可以用多条数据通道来支持转换器接口中分辨率和速率的不同组合。这些接口本身可能十分复杂。
- 时钟接口——就系统中使用的时钟的质量来说，高速信号的处理也可能十分困难。时域中的抖动/误差会转换成信号中的噪声或误差，如图 5 所示。在处理速率大于 100MHz 的信号时，时钟抖动或相位噪声可能成为转换器可用动态范围的一个限制因素。数字级时钟可能无法胜任这类系统，可能需要使用高性能时钟。

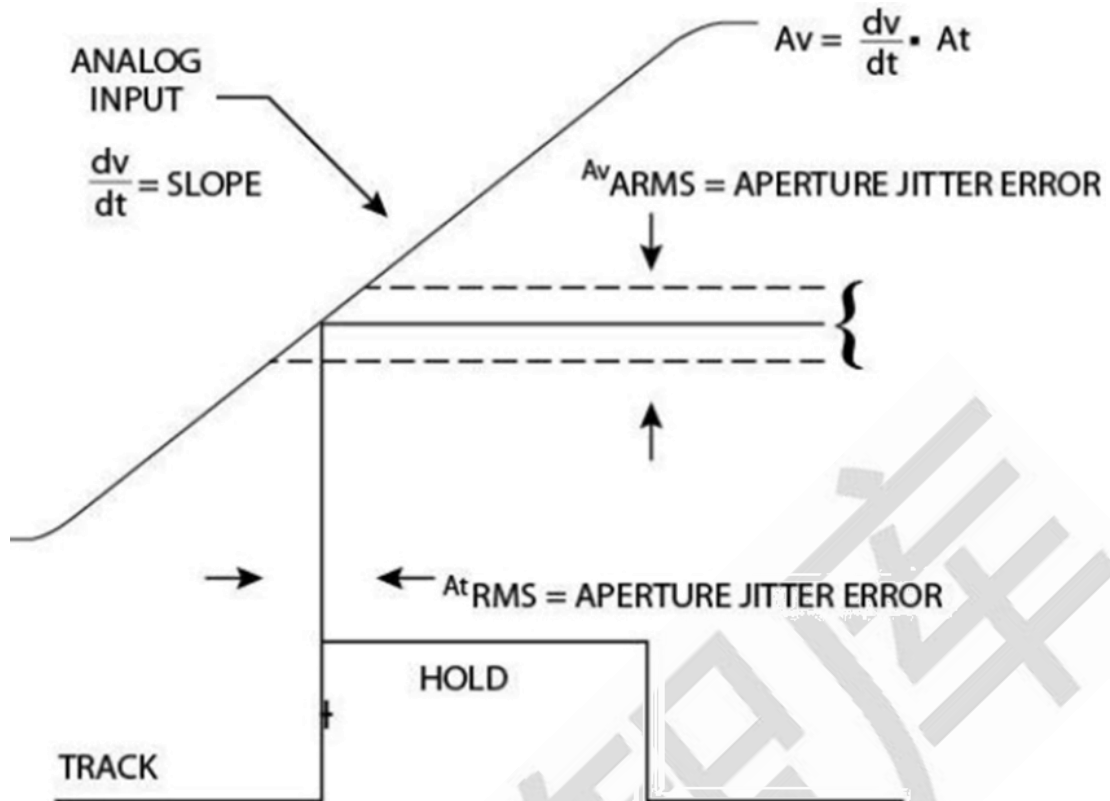


图 5. 时钟误差变成信号误差的方式

结论

走向更宽带宽信号和软件定义系统的步伐不断加快，业界不断推陈出新，涌现出构建更好、更快数据转换器的创新方法，将带宽、动态范围和功效三个维度推上了新的台阶。

高速差分 ADC 驱动器设计指南

大多数现代高性能 ADC 使用差分输入抑制共模噪声和干扰。由于采用了平衡的信号处理方式，这种方法能将动态范围提高 2 倍，进而改善系统总体性能。虽然差分输入型 ADC 也能接受单端输入信号，但只有在输入差分信号时才能获得最佳 ADC 性能。ADC 驱动器专门设计用于提供这种差分信号的电路—可以完成许多重要的功能，包括幅度调整、单端到差分转换、缓冲、共模偏置调整和滤波等。自从推出 AD8138 以后，差分 ADC 驱动器已经成为数据采集系统中不可或缺的信号调理元件。

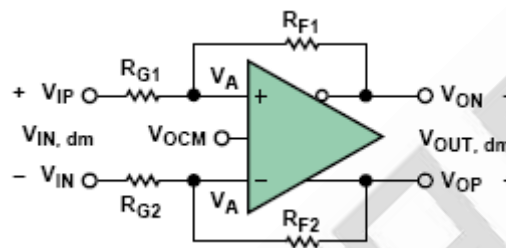


图 1. 差分放大器

图 1 是一种基本的完全差分电压反馈型 ADC 驱动器。这个图与传统运放的反馈电路有两点区别：差分 ADC 驱动器有一个额外的输出端 (V_{on}) 和一个额外的输入端 (V_{ocm})。当驱动器与差分输入型 ADC 连接时，这些输入输出端可以提供很大的灵活性。

与单端输出相反，差分 ADC 驱动器产生平衡的差分输出信号—相对于 V_{ocm} —在 V_{op} 与 V_{on} 之间。这里的 P 指的是正，N 指的是负。 V_{ocm} 输入信号控制输出共模电压。只要输入与输出信号处于规定范围内，输出共模电压必定等于 V_{ocm} 输入端的电压。负反馈和高开环增益致使放大器输入端的电压 V_{A+} 和 V_{A-} 实质上相等。

为了便于后面的讨论，需要明确一些定义。如果输入信号是平衡信号，那么 V_{IP} 和 V_{IN} 相对于某个公共参考电压的幅度应该是相等的，相位则相反。当输入信号是单端信号时，一个输入端是固定电压，另一个输入端的电压相对这个输入端变化。无论是哪种情况，输入信号都被定义为 $V_{IP} - V_{IN}$ 。

差模输入电压 $V_{IN, dm}$ 和共模输入电压 $V_{IN, cm}$ 的定义见公式 1 和公式 2。

$$V_{IN, dm} = V_{IP} - V_{IN}, \quad V_{IN, cm} = \frac{V_{IP} + V_{IN}}{2} \quad (1, 2)$$

虽然这个共模电压的定义应用于平衡输入时很直观，但对单端输入同样有效。

输出也有差模和共模两种，其定义见公式 3 和公式 4。

$$V_{OUT, dm} = V_{OP} - V_{ON}, \quad V_{OUT, cm} = \frac{V_{OP} + V_{ON}}{2} \quad (3, 4)$$

需要注意实际的输出共模电压 $V_{OUT, cm}$ 和 V_{ocm} 输入端之间的差异，这个差异决定了输出共模电平。

对差分 ADC 驱动器的分析比对传统运放的分析要复杂得多。为了简化代数表达式，暂且定义两个反馈系数 β_1 和 β_2 ，见公式 5 和公式 6。

$$\beta_1 = \frac{R_{G1}}{R_{F1} + R_{G1}}, \quad \beta_2 = \frac{R_{G2}}{R_{F2} + R_{G2}} \quad (5, 6)$$

在大多数 ADC 驱动应用中 $\beta_1 = \beta_2$ ，但含有 V_{IP} 、 V_{IN} 、 V_{ocm} 、1 和 2 项的 $V_{OUT, dm}$ 通用闭环公式对于了解 β 失配对性能的影响非常有用。 $V_{OUT, dm}$ 的计算见公式 7，其中包括了与频率相关的放大器有限开环电压增益 $A(s)$ 。

$$V_{OUT, dm} = \left[\frac{2}{\beta_1 + \beta_2} \right] \left[\frac{V_{OCM}(\beta_1 - \beta_2) + V_{IP}(1 - \beta_1) - V_{IN}(1 - \beta_2)}{1 + \frac{2}{A(s)(\beta_1 + \beta_2)}} \right] \quad (7)$$

当 $\beta_1 \neq \beta_2$ ，差分输出电压取决于 V_{ocm} —这不是理想的结果，因为它产生了偏移，并且在差分输出中有过大的噪声。电压反馈架构的增益带宽积是常数。有趣的是，增益带宽积中的增益是两个反馈系数平均值的倒数。

当 $\beta_1 = \beta_2 = \beta$ ，公式 7 可以被简化为公式 8。

$$\frac{V_{OUT, dm}}{V_{IN, dm}} = \left[\frac{R_F}{R_G} \right] \left[\frac{1}{1 + \frac{1}{A(s)(\beta)}} \right] \quad (8)$$

这个表达式大家可能更加熟悉。当 $A(s) \rightarrow \infty$ 理想的闭环增益可以简化为 R_F/R_G 增益带宽乘积公式看起来也很熟悉，其中的“噪声增益”与传统运放一样，等于 $1/\beta$ 。

反馈系数匹配的差分 ADC 驱动器的理想闭环增益见公式 9。

$$A_V = \frac{V_{OUT, dm}}{V_{IN, dm}} = \frac{R_F}{R_G} \quad (9)$$

输出平衡是差分 ADC 驱动器的一个重要性能指标，它分两个方面：幅度平衡和相位平衡。幅度平衡用于衡量两个输出在幅度方面的接近程度，对于理想放大器来说它们是完全一致的。输出相位平衡用于衡量两个输出的相位差与 180° 的接近程度。输出幅度或相位的任何失衡都会在输出信号中产生有害的共模分量。输出平衡误差（公式 10）是差分输入信号产生的输出共模电压与相同输入信号产生的输出差模电压的对数比值，单位是 dB。

$$Output\ Balance\ Error = 20 \log_{10} \left[\frac{\Delta V_{OUT, cm}}{\Delta V_{OUT, dm}} \right] \quad (10)$$

内部共模反馈环路迫使 $V_{OUT, cm}$ 等于输入端 V_{ocm} 的电压，从而达到完美的输出平衡。

将输入端接到 ADC 驱动器

处理高速信号的系统经常会用到 ADC 驱动器。分隔距离超过信号波长一小段的器件之间必须用具有受控阻抗的电气传输线连接，以避免破坏信号完整性。当传输线的两端用其特征阻抗端接时可以取得最佳性能。驱动器一般放在靠近 ADC 的地方，因此在它们之间不要求使用受控阻抗连接。但到 ADC 驱动器输入端的引入信号连接通常很长，必须采用正确电阻端接的受控阻抗连接。

不管是差分还是单端，ADC 驱动器的输入阻抗必须大于或等于理想的终端电阻值，以便添加的终端电阻 R_T 能与放大器输入端并联达到要求的电阻值。本文讨论的例子中的所有 ADC 驱动器都设计成具有平衡的反馈比，如图 2 所示。

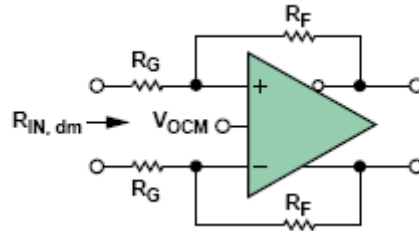


图 2. 差分放大器的输入阻抗

因为两个放大器输入端之间的电压被负反馈驱动到零，因此两个输入端处于连接状态，差分输入阻抗 R_{IN} 就简单地等于 $2 \times R_G$ 。为了匹配传输线阻抗 R_L ，需要将由公式 11 计算得到的电阻 R_T 跨接在差分输入端。图 3 给出了典型的电阻值，其中 $R_F = R_G = 200\Omega$ ，理想的 $R_{L, dm} = 100\Omega$ ，和 $R_T = 133\Omega$ 。

$$R_T = \frac{1}{\frac{1}{R_L} - \frac{1}{R_{IN}}} \quad (11)$$

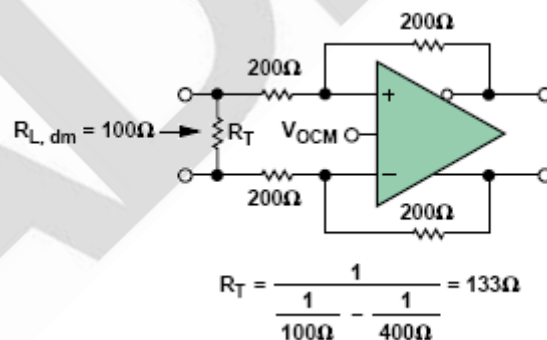


图 3. 匹配 100Ω 传输线。

单端输入的端接更加麻烦。图 4 描述了采用单端输入和差分输出的 ADC 驱动器工作原理。

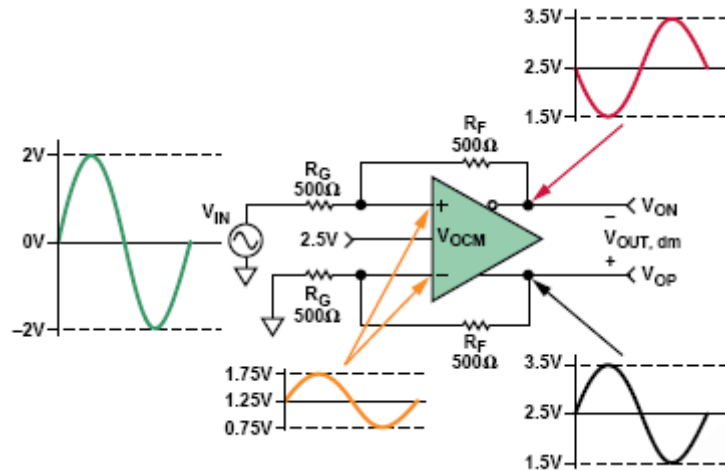


图 4. 采用单端输入的 ADC 驱动器例子。

虽然输入是单端的，但 $V_{IN, dm}$ 等于 V_{IN} 。因为电阻 R_F 和 R_G 是相等和平衡的，因此增益是 1，而且差分输出 $V_{op} - V_{on}$ ，等于输入，即 $4V_{p-p}$ 。 $V_{OUT, cm} = V_{ocm} = 2.5V$ ，而且从下方的反馈电路可以看出，输入电压 V_{A+} 和 V_{A-} 等于 $V_{op}/2$ 。

根据公式 3 和公式 4, $V_{op} = V_{ocm} + V_{IN}/2$, 即 $2.5V \pm 1V$ 的同相摆幅; $V_{on} = V_{ocm} - V_{IN}/2$, 即 $2.5V \pm 1V$ 的反相摆幅。这样， V_{A+} 和 V_{A-} 的摆幅等于 $1.25V \pm 0.5V$ 。必须由 V_{IN} 提供的电流交流分量等于 $(2V - 0.5V)/500\Omega = 3mA$ ，因此到地的电阻必须匹配，从 V_{IN} ，看过去为 667Ω 。

当每个环路的反馈系数都匹配时，公式 12 就是计算这个单端输入电阻的通式，其中 $R_{IN, se}$ 是单端输入电阻。

$$R_{IN, se} = \left(\frac{R_G}{1 - \frac{R_F}{2 \times (R_G + R_F)}} \right) \quad (12)$$

这是计算终结电阻的出发点。然而值得注意的是，放大器增益公式基于零阻抗输入源的假设。由于存在单端输入造成的不平衡而必须加以匹配的重要源阻抗只会增加上面 R_G 的阻值。为了保持平衡，必须增加下面 R_G 的阻值来实现匹配，但这会影响增益值。

虽然可以为解决端接单端信号问题而采用一个封闭形式的解决方案，但一般使用迭代的方法。在下面的例子中这种需求将变得很明显。

在图 5 中，为了保持低的噪声，要求单端到差分增益为 1，输入终结电阻为 50Ω，反馈和增益电阻值在 200Ω 左右。

根据公式 12 可以算出单端输入电阻为 267Ω。公式 13 表明，并联电阻 R_T 应等于 61.5Ω，才能将 267Ω 输入电阻减小至 50Ω。

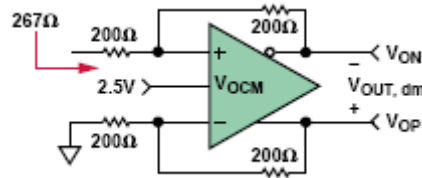


图 5. 单端输入阻抗

$$R_T = \frac{1}{\frac{1}{50\Omega} - \frac{1}{267\Omega}} = 61.5\Omega \quad (13)$$

图 6 是带源电阻和终端电阻的电路。带 50Ω 源电阻的源开路电压为 2Vp-p。当源用 50Ω 端接时，输入电压减小到 1Vp-p，这个电压也是单位增益驱动器的差分输出电压。

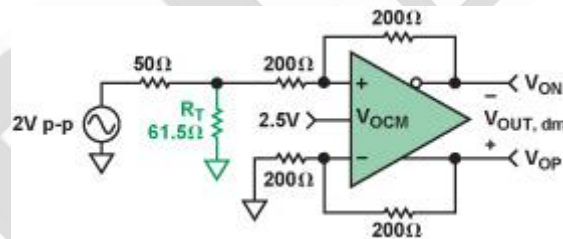


图 6. 带源电阻和终端电阻的单端电路

这个电路初看起来非常完整，但不匹配的 61.5Ω 电阻与 50Ω 的并联并增加到了上面的 R_G 电阻，这就改变了增益和单端输入电阻，并且造成反馈系数失配。在低增益情况下，输入电阻的变化很小，暂时可以忽略，但反馈系数仍然必须匹配。解决这个问题的最简单方法是增加下面 R_G 的阻值。图 7 是一种 Thévenin 等效电路，其中上方的并联组合作为源电阻。

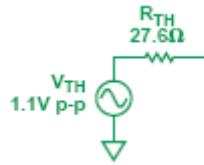


图 7. 输入源的 Thévenin 等效电路

有了这种替代方案后，就可以将 27.6Ω 的电阻 R_{TS} 增加到下面的环路中实现环路反馈系数的匹配，如图 8 所示。

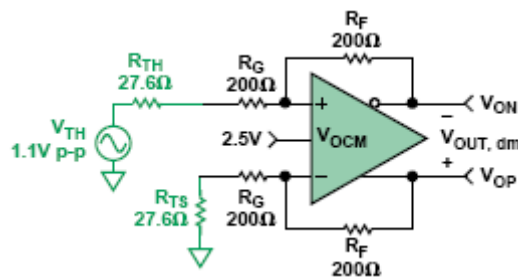


图 8. 平衡的单端端接电路

注意，1.1Vp-p 的 Thévenin 电压要大于 1Vp-p 的正确端接电压，而每个增益电阻增加了 27.6Ω，降低了闭环增益。对于大电阻 (>1kΩ) 和低增益 (1 或 2) 来说这些相反的效应基本抵消，但对于小电阻或较高增益来说并不能完全抵消。

图 8 所示电路现在分析起来就很容易了，其中的差分输出电压可以用公式 14 计算。

$$V_{OUT, dm} = 1.1 \text{ V p-p} \left(\frac{200 \Omega}{227.6 \Omega} \right) = 0.97 \text{ V p-p} \quad (14)$$

差分输出电压并不完全等于理想的 1Vp-p，但可以通过修改反馈电阻实现最终独立的增益调整，如公式 15 所示。

$$R_F = 227.6 \Omega \left(\frac{\text{Desired } V_{OUT, dm}}{1.1 \text{ V p-p}} \right) =$$

$$227.6 \Omega \left(\frac{1.0 \text{ V p-p}}{1.1 \text{ V p-p}} \right) = 206.9 \Omega \quad (15)$$

图 9 是用标准 1%精度电阻实现的完整电路。

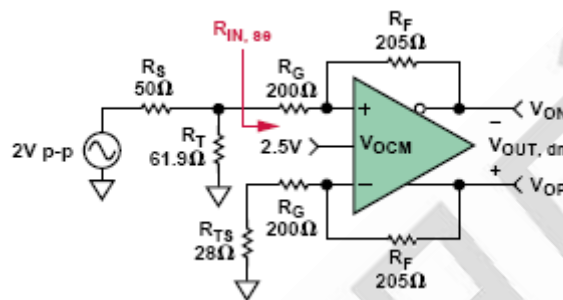


图 9. 完整的单端端接电路。

观察：参考图 9，驱动器的单端输入电阻 $R_{IN, se}$ 由于 R_F 和 R_G 的改变而变化。驱动器上端环路的增益电阻是 200Ω ，下端环路的电阻是 $200\Omega + 28\Omega = 228\Omega$ 。在不同增益电阻值的情况下计算 $R_{IN, se}$ 首先要求计算两个 β 值，见公式 16 和公式 17。

$$\beta_1 = \frac{R_G}{R_F + R_G} = \frac{200\Omega}{405\Omega} = 0.494 \quad (16)$$

$$\beta_2 = \frac{R_G + R_{TS}}{R_F + R_G + R_{TS}} = \frac{228\Omega}{433\Omega} = 0.527 \quad (17)$$

输入电阻 $R_{IN, se}$ 的计算见公式 18。

$$R_{IN, se} = \frac{R_G (\beta_1 + \beta_2)}{\beta_1 (\beta_2 + 1)} = 271\Omega \quad (18)$$

这个值与原来计算的 267Ω 稍有不同，但对 R_T 的计算没有显著的影响，因为 $R_{IN,se}$ 与 R_T 是并联的关系。

如果需要更精确的总体增益，可以使用更高精度或串联的可调电阻。

上述的单次迭代方法非常适合闭环增益为 1 或 2 的场合。增益越高， R_{TS} 的值越接近 R_G 值，用公式 18 计算的 $R_{IN,se}$ 值与用公式 12 计算的 $R_{IN,se}$ 值之间的差异就越大。在这些情况下要求采用多次迭代。

多次迭代并不难实现：最近 ADI 公司发布的可下载的分差分放大器计算工具，ADIsimDiffAmp™和 ADIDiffAmpCalculator™足以担当此任，它们能在几秒内完成上述计算。

输入共模电压范围

输入共模电压范围 (ICMVR) 规定了正常工作状态下可以施加于差分放大器输入端的电压范围。在这些输入端上呈现的电压可以被称为 ICMV、 V_{acm} 或 $V_{A\pm}$ 。这个 ICMVR 指标经常被误解。最常遇到的难题是确定差分放大器输入端的实际电压，特别是相对于输入电压而言。知道变量 $V_{IN,cm}$ 、 β 和 V_{ocm} 的值后，当 β 不相等时使用通式 19、当 β 相等时使用简化公式 20 就可以计算出放大器的输入电压 ($V_{A\pm}$)。

$$V_{acm} \text{ or } V_{A\pm} = \frac{2\beta_1\beta_2V_{ocm} + V_{ip}\beta_2(1-\beta_1) + V_{in}\beta_1(1-\beta_2)}{\beta_1 + \beta_2} \quad (19)$$

$$V_{acm} \text{ or } V_{A\pm} = V_{IN,cm} + \beta(V_{ocm} - V_{icm}) \quad (20)$$

记住 V_A 始终是按比例缩小的输入信号，这一点非常有用（见图 4）。不同的放大器类型有不同的输入共模电压范围。ADI 公司的高速差分 ADC 驱动器有两种输入级配置，即中心型和偏移型。中心型 ADC 驱动器的输入电压离每个电压轨有约 1V 的距离（因此叫中心型）。而偏移型输入级增加了两个晶体管，允许输入端电压摆幅更接近 $-V_S$ 轨。图 10 是一个典型差分放大器 (Q2 和 Q3) 的简化输入原理图。

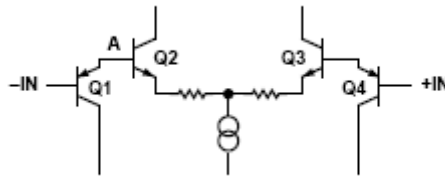


图 10. 具有偏移型 ICMVR 的简化差分放大器。

偏移型输入架构允许差分放大器处理双极性输入信号，即使放大器是采用单电源供电，因此这种架构非常适合输入是地或地电平以下的单电源应用。在输入端增加的 PNP 晶体管 (Q1 和 Q4) 可以将差分对的输入电压向上偏移一个晶体管的 V_{be} 电压。例如，当 -IN 端电压为 -0.3V 时，A 点电压将为 0.7V，允许差分对正常工作。没有 PNP（中心型输入级）时，A 点的 -0.3V 电压将使 NPN 差分对处于反向偏置状态，因而无法正常工作。

表 1 提供了 ADI 公司 ADC 驱动器的多数指标一览表。对这张表粗略一看就能发现哪些驱动器具有偏移型 ICMVR，哪些没有。

ADC驱动器				ICMVR				V _{OCM}				ADC Noise Budget at 10 Gain of Oversampling Analog Front End	
				供电电压				供电电压				输出摆幅 (V)	I _{SUPPLY} (mA)
产品型号	带宽 (MHz)	压摆率 (V/μs)	噪声 (nV)	±5 V	±5 V	±3.3 V	±3 V	±5 V	±5 V	±3.3 V	±3 V		
AD8132	360	1000	8	-4.7 to +3	0.3 to 3	0.3 to 1.3	0.3 to 1	±3.6 to 3.7	1 to 3.7	—	0.3 to 1	±1	12
AD8137	76	450	8.25	-4 to +4	1 to 4	1 to 2.3	1 to 2	±4 to 4	1 to 4	1 to 2.3	1 to 2	RR	3.2
AD8138	320	1150	5	-4.7 to +3.4	0.3 to 3.2	—	—	±3.8 to 3.8	1 to 3.8	—	—	±1.4	20
AD8139	410	800	2.25	-4 to +4	1 to 4	—	—	±3.5 to 3.5	1.5 to 3.5	—	—	RR	24.5
ADA4927-1/ ADA4927-2	2300	5000	1.4	-3.5 to +3.5	1.3 to 3.7	—	—	±3.5 to 3.5	1.5 to 3.5	—	—	±1.2	20
ADA4932-1/ ADA4932-2	1000	2800	3.6	-4.8 to +3.2	0.2 to 3.2	—	—	±3.8 to 3.2	1.2 to 3.2	—	—	±1	9
ADA4937-1/ ADA4937-2	1900	6000	2.2	—	0.3 to 3	0.3 to 1.2	—	—	1.2 to 3.8	1.2 to 2.1	—	±0.8	39.5
ADA4938-1/ ADA4938-2	1000	4700	2.6	-4.7 to +3.4	0.3 to 3.4	—	—	±3.7 to 3.7	1.3 to 3.7	—	—	±1.2	37
ADA4939-1/ ADA4939-2	1400	6800	2.6	—	1.1 to 3.9	0.9 to 2.4	—	—	1.3 to 3.5	1.3 to 1.9	—	±0.8	36.5

表 1. 高速 ADC 驱动器的指标。

输入和输出耦合：交流或直流

需要交流耦合还是直流耦合对差分 ADC 驱动器的选择有很大的影响。输入和输出耦合之间的考虑因素也不同。

交流耦合型输入级电路见图 11。

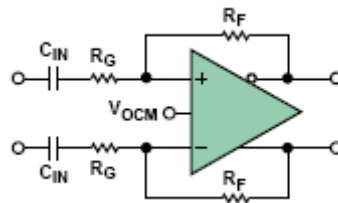


图 11. 交流耦合型 ADC 驱动器。

对于采用交流耦合输入的差分至差分应用来说，放大器输入端呈现的直流共模电压等于直流输出共模电压，因为直流反馈电流被输入电容隔离了。另外，直流反馈系数也是匹配的，完全等于单位 1。 V_{ocm} 和由此得到的直流输入共模电压—经常被设置在电源电压的一半左右。具有中心型输入共模范围的 ADC 驱动器非常适合这类应用，它们的输入共模电压接近规定范围的中心。

交流耦合单端至差分应用与对应的差分输入应用非常相似，但在放大器输入端具有共模纹波—按比例缩小的输入信号“复制品”。具有中心型输入共模范围的 ADC 驱动器将平均输入共模电压设定在规定范围的中间，因而能为大多数应用中的纹波提供足够的富余度。

当输入耦合方式可选时，值得人们注意的是，采用交流耦合输入的 ADC 驱动器比采用直流耦合输入的相似驱动器耗散更少的功率，因为两个反馈环路中都不存在直流共模电流。

当 ADC 要求输入共模电压与驱动器输出端电压完全不同时，交流耦合 ADC 驱动器的输出就非常有用。当 V_{ocm} 值被设在电源电压一半附近时，驱动器将有最大的输出摆幅，但当驱动要求非常低输入共模电压的低电压 ADC 时会出现问题。走出这个困境的简单方法（图 12）是驱动器输出和 ADC 输入之间采用交流耦合连接，从驱动器输出中去除 ADC 的直流共模电压，并允许适合 ADC 的共模电平应用于交流耦合侧。例如，驱动器可以工作在单 5V 电源和 $V_{ocm} = 2.5V$ ，条件下，而 ADC 可以工作在单 1.8V 电源，此时在标记

为 ADCCMV 的点必需施加 0.9V 的输入共模电压。

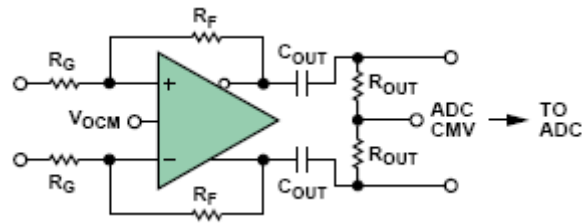


图 12. 采用交流耦合输出的直流耦合输入电路

具有偏移型输入共模范围的驱动器一般最适合工作在单电源直流耦合系统中，这是因为输出共模电压通过反馈环路实现了分压，而且它的可变分量可以非常接近地，即负电压轨。当采用单端输入时，输入共模电压由于输入相关的纹波而更接近负电压轨。

采用双电源、单端或差分输入以及交流或直流耦合的系统通常可以采用任一种输入级电路，因为冗余度增加了。

表 2 总结了在输入耦合和电源的各种组合方式下最常用的 ADC 驱动器输入级电路类型。然而，这些选择未必总是最好的，应该对每个系统进行具体分析。

输入耦合方式	输入信号	电源	输入类型
任意	任意	双电源	中心型
交流耦合	单端	单电源	中心型
直流耦合	单端	单电源	偏移型
交流耦合	差分	单电源	中心型
直流耦合	差分	单电源	中心型

表 2. 耦合和输入级电路选项

输出摆幅

为了最大化 ADC 的动态范围，应该将它驱动到满输入范围。但需要注意：将 ADC 驱动得太厉害可能有损输入电路，而驱动不够的话又会降低分辨率。将 ADC 驱动到满输入范围并不意味着放大器输出幅度必须达到最大。差分输出的一个主要好处是每个输出幅度只需达到传统单端输出的一半。驱动器输出可以远离电源轨，从而减少失真。不过对

单端驱动器来说没有这个好处。当驱动器输出电压接近电压轨时，放大器将损失线性度，并引入失真。

对于对每一毫伏的输出电压都有要求的应用来说，表 1 显示相当多的 ADC 驱动器能够提供轨到轨输出，其典型富余量从几毫伏到几百毫伏不等，具体取决于负载。

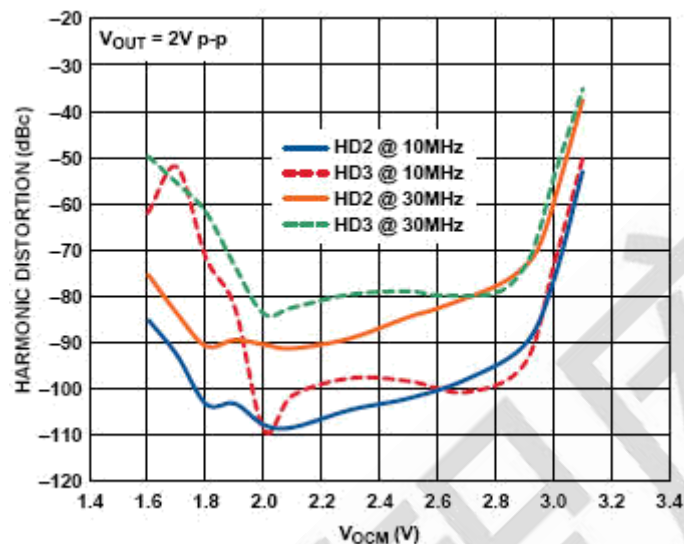


图 13. 采用 5V 电源的 ADA4932 在各种频率下的谐波失真与 V_{ocm} 的关系。

图 13 是 ADA4932 在各种频率下的谐波失真与 V_{ocm} 的关系图，是典型输出摆幅在每个轨 1.2V 内（富余量确定的。输出摆幅是信号的 V_{ocm} 与 V_{PEAK} 之和 (1V)。值得注意的是，失真在 2.8V 以上 ($3.8V_{PEAK}$ 或 5V 往下 1.2V) 开始迅速增加。在低端，失真在 2.2V ($-1V_{PEAK}$) 时仍很低。同样的现象还将出现在带宽和压摆率的讨论中。

噪声

ADC 的非理想特性包括量化噪声、电子或随机噪声和谐波失真。在大多数应用中重要的一点是，噪声通常是宽带系统中最重要性能指标。

所有 ADC 内部都存在量化噪声，并且取决于位数 n ， n 越大量化噪声就越小。因为即使“理想”转换器也有量化噪声，因此量化噪声可以用作比较随机噪声和谐波失真的基准。ADC 驱动器的输出噪声应该接近或低于 ADC 的随机噪声和失真。下面先讨论 ADC 噪声和失真的特征，然后介绍如何衡量 ADC 驱动器噪声与 ADC 性能之间的关系。

量化噪声产生的原因是 ADC 将具有无限分辨率的模拟信号量化成有限数量的离散值。 n

位 ADC 有 2^n 个二进制值。两个相邻值之间的差代表了可以分辨的最小差值，这个差值被称为量化等级的最低有效位 (LSB)，或 q 。因此一个量化等级等于转换器量程的 $1/2^n$ 。如果一个不断变化的电压经过一个完美的 n 位 ADC 转换，然后转换回模拟信号，再从 ADC 输入中减去这个信号，那么差值看起来就像噪声。它有一个公式 21 计算所得有效值 (rms):

$$RMS \text{ Quantization Noise} = \frac{q}{\sqrt{12}} = \frac{1}{2^n \sqrt{12}} \quad (21)$$

从这里可以得出 n 位 ADC 在其奈奎斯特带宽上的信号与量化噪声比的对数 (dB) 公式 22，这也是 n 位转换器所能取得的最佳信噪比 (SNR)。

ADC 中的随机噪声包含了热噪声、散粒噪声和闪烁噪声，一般要大于量化噪声。由于 ADC 的非线性产生的谐波失真会在输出信号中产生与输入信号谐波有关的有害信号。总的谐波失真和噪声 (THD+N) 是一个重要的 ADC 性能参数，它衡量了电子噪声和谐波失真与接近 ADC 满量程输入范围的模拟输入信号之间的关系。电子噪声积分的带宽包括了所要考虑的最后一个谐波频率。THD 中的 "T" (total, 总和) 包括了前五个谐波失真分量，是连同噪声一起的和的平方根，见公式 23。

$$Signal\text{-to-Quantization-Noise Ratio (dB)} = 6.02n + 1.76 \text{ dB} \quad (22)$$

$$THD + Noise = \frac{\sqrt{[v_2(\text{rms})]^2 + [v_3(\text{rms})]^2 + [v_4(\text{rms})]^2 + [v_5(\text{rms})]^2 + [v_6(\text{rms})]^2 + v_n^2}}{[v_1(\text{rms})]^2} \quad (23)$$

公式 23 中的 v_1 是输入信号， v_2 到 v_6 是前五个谐波失真分量， v_n 是 ADC 的电子噪声。

THD+噪声) 的倒数被称为信号与噪声失真比，简称 SINAD，通常用 dB 表示，见公式 24。

$$SINAD \text{ (dB)} = 20 \log_{10} \left[\frac{1}{THD + N} \right] \quad (24)$$

如果 SINAD 被信号与量化噪声比代替 (公式 22)，我们就能定义转换器具有的有效位数 (ENOB)，前提是这个转换器的信号与量化噪声比与 SINAD 相同 (公式 25)。

$$SINAD(dB) = 6.02 (ENOB) + 1.76 \text{ dB} \quad (25)$$

ENOB 也能用 SINAD 项表达，见公式 26。

$$ENOB = \frac{SINAD(dB) - 1.76 \text{ dB}}{6.02} \quad (26)$$

ENOB 可以用来比较 ADC 驱动器的噪声性能和 ADC 的噪声性能，进而判断是否适合驱动这个 ADC。图 14 是一个差分 ADC 噪声模型。

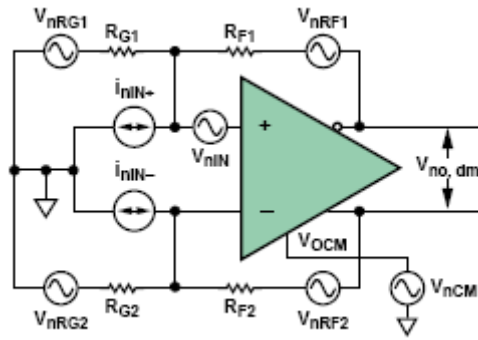


图 14. 差分 ADC 驱动器的噪声模型

公式 27 表明了通常情况下当 $\beta_1 = \beta_2 \equiv \beta$ 时，八个噪声源中每个源对总输出噪声密度的贡献。

$$\begin{aligned}
 v_{no, dm} \text{ due to } v_{nIN} &= \frac{2v_{nIN}}{\beta_1 + \beta_2} = \frac{v_{nIN}}{\beta} \text{ for } \beta_1 = \beta_2 = \beta \\
 v_{no, dm} \text{ due to } v_{nCM} &= \frac{2v_{nCM}(\beta_1 - \beta_2)}{\beta_1 + \beta_2} = 0 \text{ for } \beta_1 = \beta_2 = \beta \\
 v_{no, dm} \text{ due to } i_{nIN+} &= \frac{2i_{nIN+}(1 - \beta_1)R_{G1}}{\beta_1 + \beta_2} = (i_{nIN+})(R_{F1}) \text{ for } \beta_1 = \beta_2 = \beta \\
 v_{no, dm} \text{ due to } i_{nIN-} &= \frac{2i_{nIN-}(1 - \beta_2)R_{G2}}{\beta_1 + \beta_2} = (i_{nIN-})(R_{F2}) \text{ for } \beta_1 = \beta_2 = \beta \\
 v_{no, dm} \text{ due to } v_{nRG1} &= \frac{(2\sqrt{4kTR_{G1}})(1 - \beta_1)}{\beta_1 + \beta_2} = \sqrt{4kTR_{G1}} \left(\frac{R_{F1}}{R_{G1}} \right) \text{ for } \beta_1 = \beta_2 = \beta \\
 v_{no, dm} \text{ due to } v_{nRG2} &= \frac{(2\sqrt{4kTR_{G2}})(1 - \beta_2)}{\beta_1 + \beta_2} = \sqrt{4kTR_{G2}} \left(\frac{R_{F2}}{R_{G2}} \right) \text{ for } \beta_1 = \beta_2 = \beta \\
 v_{no, dm} \text{ due to } v_{nRF1} &= \frac{2\beta_1\sqrt{4kTR_{F1}}}{\beta_1 + \beta_2} = \sqrt{4kTR_{F1}} \text{ for } \beta_1 = \beta_2 = \beta \\
 v_{no, dm} \text{ due to } v_{nRF2} &= \frac{2\beta_2\sqrt{4kTR_{F2}}}{\beta_1 + \beta_2} = \sqrt{4kTR_{F2}} \text{ for } \beta_1 = \beta_2 = \beta
 \end{aligned} \tag{27}$$

总输出噪声电压密度 $v_{no, dm}$ 是通过计算这些分量的和平方根得到的。将这些公式输入电子表格是计算总输出噪声电压密度的最好方式。ADI 公司网站上还新推出了 ADI 差分放大器计算器，用它能快速计算噪声、增益和差分 ADC 驱动器的其它参数值。

现在可以将 ADC 驱动器的噪声性能与 ADC 的 ENOB 作一比较。描述这一过程的例子是为采用 5V 电源工作的 AD9445 ADC 选择和评估一款增益为 2、2V 满量程输入的差分驱动器。它能处理用一个单极点滤波器限制、占用 50MHz (-3dB) 带宽的直接耦合宽带信号。从数据手册中记载的各种条件下的 ENOB 参数列表中可以发现：对应 50MHz 的奈奎斯特带宽，ENOB=12 位。

ADA4939 是一款能够被直接耦合的高性能宽带差分 ADC 驱动器。在噪声性能方面它是驱动 AD9445 的合适产品吗？ADA4939 数据手册针对近似为 2 的差分增益推荐的 $R_F=402\Omega$ 、 $R_G=200\Omega$ ，数据手册给出的这种情况下的总输出电压噪声密度为 9.7nV/Hz。

首先计算给定恒定输入噪声功率谱密度下的系统噪声带宽 B_N ，它是输出与决定系统带宽的实际滤波器相同噪声功率的等效矩形低通滤波器的带宽。对于一个单极滤波， B_N 等于 $\pi/2$ 乘以 3dB 带宽，如公式 28 所示。

$$B_N = \left(\frac{\pi}{2}\right) 50 \text{ MHz} = 78.5 \text{ MHz} \quad (28)$$

然后在系统带宽的平方根内对噪声密度进行积分，得到输出噪声有效值（公式 29）。

$$v_{no, dm} (\text{rms}) = (9.7 \text{ nV}/\sqrt{\text{Hz}}) (\sqrt{78.5 \text{ MHz}}) = 86 \mu\text{V rms} \quad (29)$$

假定噪声幅度呈高斯分布，那么峰峰值噪声的计算可以使用常见的 $\pm 3\sigma$ 门限（在 99.7% 的时间内噪声电压摆幅位于这些门限之间），见公式 30：

$$v_{no, dm} (\text{p-p}) \approx 6 (86 \mu\text{V rms}) = 516 \mu\text{V}_{\text{p-p}} \quad (30)$$

现在可以在 12 位 ENOB、2V 满量程输入范围基础上对驱动器的峰峰输出噪声和 AD9445LSB 的 1LSB 电压进行比较，其中 LSB 的计算见公式 31。

$$\text{One LSB} = \frac{2 \text{ V}}{2^{12}} = 488 \mu\text{V} \quad (31)$$

相对于 12 位 ENOB，驱动器的峰峰输出噪声与 ADC 的 LSB 具有可比性。因此从噪声角度看，ADA4939 驱动器非常适合这种应用。最终还必须通过搭建和测试驱动器/ADC 组合作出决定。

电源电压

考虑电源电压和电流是缩小 ADC 驱动器选择范围的快速途径。表 1 提供了不同电源电压下 ADC 驱动器性能的快速查找表。电源电压会影响带宽、信号摆幅和 ICMVR。衡量这些指标并进行反复权衡对差分放大器的选择而言至关重要。

电源抑制 (PSR) 是另外一个重要的参数。作为放大器输入电源引脚的作用经常被人忽视。电源线上或耦合进电源线的任何噪声对输出信号都有潜在的破坏作用。

考虑 ADA4937-1 的电源线上存在 60MHz、50mVp-p 的噪声这样一个例子。它的 PSR 在

50MHz 时是-70dB，这意味着电源线上的噪声在放大器输出端将被减少到约 16μV。在 1V 满量程输入的 16 位系统中，1LSB 是 15.3μV，因此电源线上的这个噪声将“淹没” LSB。这种情况可以通过增加串联表贴铁氧体磁珠 L1/L2 和并联旁路电容 C1/C2（图 15）加以改进。

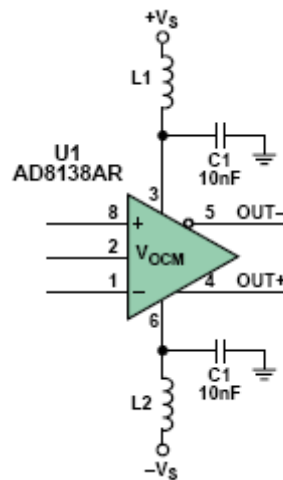


图 15. 电源旁路电路

在 50MHz 时，磁珠的阻抗是 60Ω，10nF (0.01μF) 电容的阻抗是 0.32Ω，由这两种元件组成的衰减器可以提供 45.5dB 的衰减（公式 32）。

$$Divider\ Attenuation = 20 \log \left(\frac{0.32}{0.32 + 60} \right) = -45.5\text{ dB} \quad (32)$$

上述分压式衰减加上-70dB 的 PSR 总共可提供 115dB 的抑制效果，因而可将噪声减小到远低于 1LSB 的 90nVp-p 左右。

谐波失真

频域中的低谐波失真在窄带和宽带系统中都很重要。驱动器中的非线性会在放大器输出端产生单频谐波失真和多频互调失真。

在噪声分析例子中使用的方法可以同样应用于失真分析，即对 ADA4939 的谐波失真与 2V 满量程输出时 AD944512 位 ENOB 的 1LSB 进行比较。一个 ENOBLSB 在噪声分析中代表 488μV。

ADA4939 参数表中的失真数据是在增益为 2 时给出的值，通过这张表可以直观地比较各个频率点的二次和三次谐波失真。表 3 就是增益为 2、差分输出摆幅为 2Vp-p 时的谐波失真数据。

参数	谐波失真
HD2 @ 10 MHz	-102 dBc
HD2 @ 70 MHz	-83 dBc
HD2 @ 70 MHz	-83 dBc
HD2 @ 100 MHz	-77 dBc
HD2 @ 10 MHz	-101 dBc
HD2 @ 70 MHz	-97 dBc
HD2 @ 100 MHz	-97 dBc

表 3. ADA4939 的二次和三次谐波失真

这些数据表明，谐波失真随频率增加而增加，并且在感兴趣带宽 (50MHz) 内二次谐波失真要比三次谐波失真糟糕。在比感兴趣频率更高的频率点的谐波失真值较高，因此它们的幅度可能被系统频带限制功能所降低。如果系统有一个 50MHz 的砖墙式滤波器，那么就只需要考虑超过 25MHz 的频率点，因为更高频率的所有谐波将被滤波器滤除。尽管如此，我们还是要评估频率最高为 50MHz 的系统，因为目前的所有滤波器对谐波的抑制可能都不够，失真分量可能混叠回信号带宽内。图 16 给出了 ADA4939 在各种电源电压和 2Vp-p 输出时的谐波失真与频率的关系。

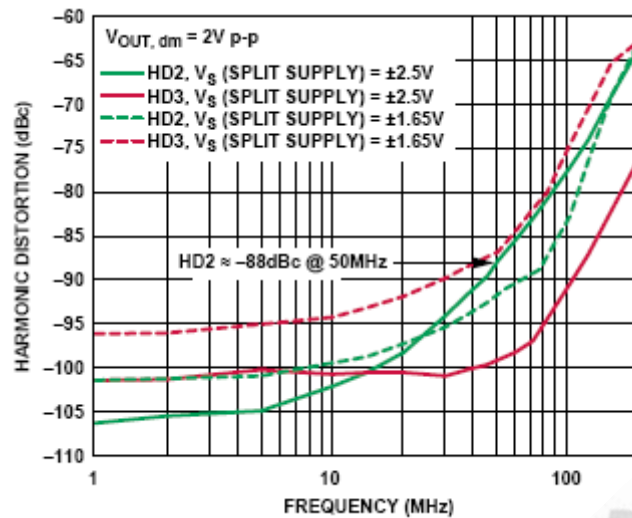


图 16. 谐波失真与频率的关系

50MHz 时的二次谐波失真相对于 2V_{p-p} 输入信号来说大约是-88dBc。为了比较谐波失真水平和 1ENOBLSB，这个谐波失真值必须被转换成电压值，如公式 33 所示。

$$HD2 = (2 \text{ V p-p}) \left(10^{\frac{-88}{20}} \right) \approx 80 \mu\text{V p-p} \quad (33)$$

这个失真值只有 80μV_{p-p}，或 1ENOBLSB 的 16%。因此，从失真的角度看，可以认为 ADA4939 是 AD9445ADC 驱动器的很好选择。

由于 ADC 驱动器是负反馈放大器，输出失真取决于放大器电路中的环路增益值。负反馈放大器固有的开环失真将被减少 1/(1+LG) 倍，其中 LG 代表可用环路增益。

放大器的输入（误差电压）被乘以一个大的前向电压增益 A(s)，然后通过反馈系数 β 传送到输入端，再通过调整输出使误差最小。这样，这类放大器的环路增益为 A(s)×β。随着环路增益（A(s)，β 或两者）的降低，谐波失真将增加。电压反馈放大器，如积分器，被设计在直流和低频率处具有大的 A(s)，然后随着 1/f 在规定高频点趋向于 1 而发生滚降。随着 A(s) 的滚降，环路增益下降，失真增加。因此谐波失真参数是 A(s) 的倒数。

电流反馈放大器将误差电流用作反馈信号。误差电流被乘以一个大的前向互阻 T(s) 而转换成输出电压，然后通过反馈系数 1/R_F 将输出电压转换成反馈电流，以便使输入误差电

流最小。因此理想的电流反馈放大器的环路增益是 $T(s) \times (1/R_F) = T(s)/R_F$ 。同 $A(s)$ 一样， $T(s)$ 也有一个大的直流值，并随着频率的增加而滚降，从而降低环路增益，增加谐波失真。

环路增益还直接取决于反馈系数 $1/R_F$ 。理想电流反馈放大器的环路增益并不取决于闭环电压增益，因此谐波性能不会随着闭环增益的增加而下降。在实际的电流反馈放大器中，环路增益确实某种程度上取决于闭环增益，但不会达到电压反馈放大器中那样的程度。因此对于高闭环增益和低失真的应用来说，电流反馈放大器，比如 ADA4927，是比电压反馈放大器更好的选择。从图 17 可以看出随着闭环增益的增加失真性能保持得有多好。

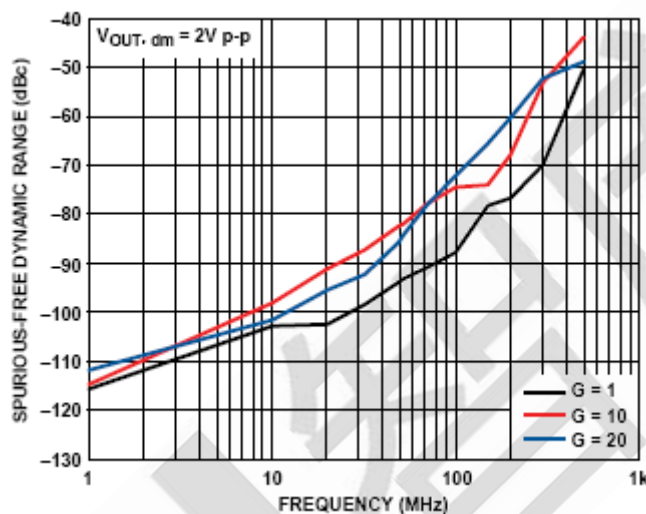


图 17. 失真与频率和增益的关系

带宽和压摆率

带宽和压摆率在 ADC 驱动器应用中特别重要。一般情况下，器件的带宽是指小信号带宽，而压摆率衡量的是大信号摆幅时放大器输出端的最大变化率。

EUBW（有效可用带宽），一个类似于 ENOB（有效位数）的首字母缩略词，用于描述带宽。许多 ADC 驱动器和运放自称有很宽的带宽指标，但并不是所有带宽都是可用的。例如，-3dB 带宽是测量带宽的一种传统方法，但它并不意味着所有带宽都是可用的。-3dB 带宽的幅度和相位误差的使用比实际“截止”频率要早十年。那么什么是放大器的 EUBW？如何确定它的大小？确定可用带宽的一个极好方法是查询数据手册上的失真图。

图 18 表明，为了使二次和三次谐波保持大于 -80dBc，这个 ADC 驱动器不应用于超过 60MHz 的频率。由于每个应用都不尽相同，系统要求将成为具有足够带宽和足够失真性

能的合适驱动器的选择准则。

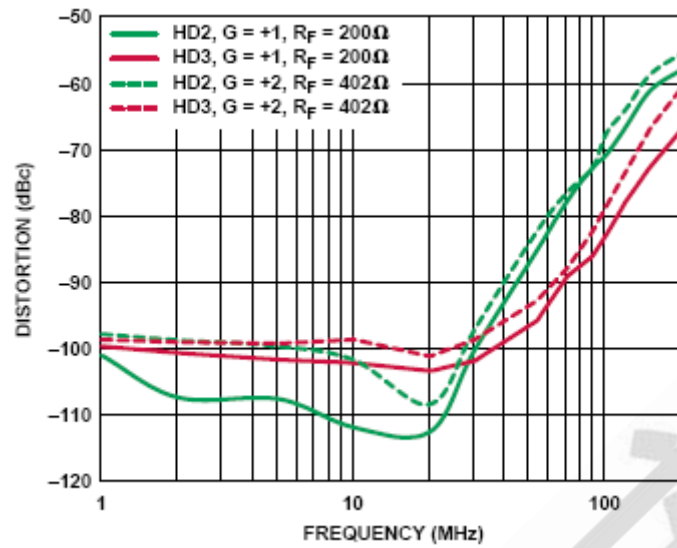


图 18. ADA4937 电流反馈型 ADC 驱动器的失真曲线

压摆率，一种大信号参数，指的是放大器输出在没有过高失真的情况下能够跟踪输入的最大变化率。以压摆率考虑正弦波输出：

$$v_o = V_p \sin 2\pi ft \quad (34)$$

公式 34 在过零点的导数（变化率）即最大变化率，它等于：

$$\frac{dv}{dt}_{\max} = 2\pi f V_p \quad (35)$$

其中 dv/dt_{\max} 是压摆率， V_p 是峰值电压， f 等于满功率带宽 (FPBW)。推算 FPBW：

$$FPBW = \frac{\text{Slew Rate}}{2\pi V_p} \quad (36)$$

因此，在选择 ADC 驱动器时，重点要考虑增益、带宽和压摆率 (FPBW)，以确定放大器是否能够满足应用要求。

稳定性

关于差分 ADC 驱动器的稳定性考虑与运放是一样的，关键参数是相位余量。虽然特定放大器配置的相位余量可以从数据手册中获取，但在实际系统中由于 PCB 版图中的寄生效应这个相位余量会有显著降低。

负电压反馈放大器的稳定性取决于其环路增益的大小和符号， $A(s) \times \beta$ 。差分 ADC 驱动器要比典型的运放电路稍微复杂一点，因为它有两个反馈系数。在公式 7 和公式 8 的分母中可以见到环路增益。公式 37 提供了在反馈系数不匹配 ($\beta_1 \neq \beta_2$) 情况下的环路增益。

$$\text{Loop Gain} = \frac{A(s)(\beta_1 + \beta_2)}{2} \quad (37)$$

当反馈系数不匹配时，有效反馈系数是两个反馈系数的简单平均值。当它们匹配并被定义为 β 时，环路增益可以简化为 $A(s) \times \beta$ 。

要想使反馈放大器稳定，其环路增益不允许等于 -1（相当于相位偏移 -180° 、幅度为 1）。对于电压反馈放大器来说，其开环增益频率图上环路增益值等于 1（即 0dB）的点正是 $A(s)$ 值等于反馈系数倒数的地方。对于基本的放大器应用，反馈是纯阻性的，在反馈环路中不会引入相位偏移。在反馈系数匹配的情况下，与频率无关的反馈系数倒数 $1 + R_f/R_g$ 通常被称为噪声增益。如果将以 dB 为单位的恒定噪声增益与开环增益 $A(s)$ 绘制在同一张图上，那么两条曲线的交叉点就是环路增益为 1 或 0dB 的地方。在这个频率点的 $A(s)$ 相位与 -180° 之间的差值被定义为相位余量。为了稳定工作，这个相位余量应大于或等于 45° 。图 19 给出了 $R_f/R_g = 1$ （噪声增益=2）时 ADA4932 的单位环路增益点和相位余量。

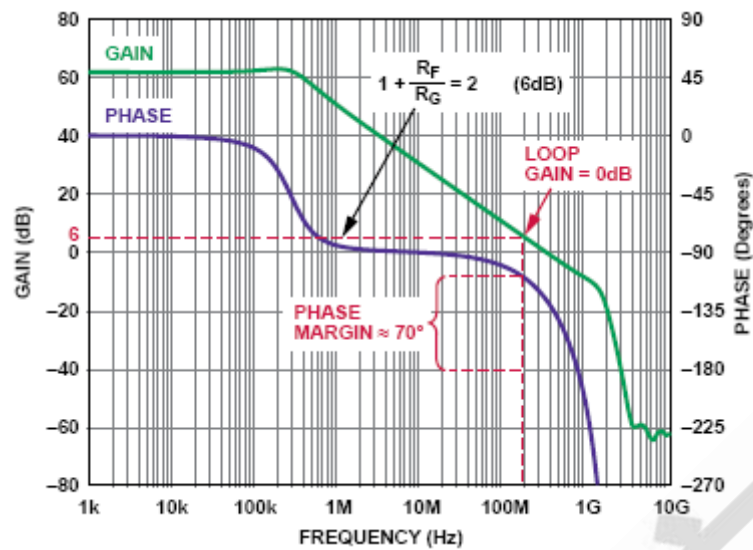


图 19. ADA4932 开环增益幅度和相位与频率的关系

进一步观察图 19 可以发现，ADA4932 在噪声增益为 1（每个环路中 100% 反馈）时有约 50° 的相位余量。虽然让 ADC 驱动器工作在零增益有点不切实际，但这一结果表明，ADA4932 可以稳定工作在小数差分增益（如 $R_F/R_G=0.25$ ，噪声增益=1.25）。并不是所有差分 ADC 驱动器都能这样。最小稳定增益可以在所有 ADC 驱动器的数据手册中找到。电流反馈 ADC 驱动器的相位增益同样可以从开环响应中判断。电流反馈放大器不再使用前向增益 $A(s)$ ，而是使用前向互阻 $T(s)$ ，并将误差电流用作反馈信号。带匹配反馈电阻的电流反馈驱动器的环路增益等于 $T(s)/R_F$ ，因此电流反馈放大器环路增益幅度在 $T(s)=R_F$ 时等于 1（即 0dB）。这个点在开环互阻和相位图上很容易找到，定位方法与电压反馈放大器相同。注意，绘制电阻与 $1k\Omega$ 的比值能使阻值表示在对数图上。图 20 给出了 $R_F=300$ 时 ADA4927 电流反馈差分 ADC 驱动器的单位环路增益点和相位余量。

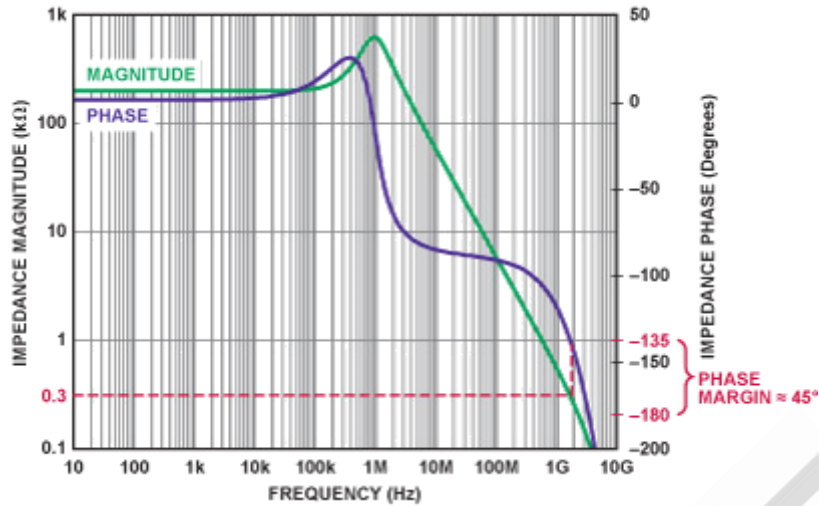


图 20. ADA4927 开环增益幅度和相位与频率的关系

300Ω 反馈电阻水平线与互阻幅度曲线的交叉点是环路增益为 0dB 的地方。在这个频率点，T (s)的相位接近-135°，因此有 45°的相位余量。相位余量和稳定性随 R_F 的增加而增加，随 R_F 的减小而减小。电流反馈放大器应始终使用具有足够相位余量的纯电阻反馈。

PCB 版图

在稳定的 ADC 驱动器设计好后，还必须在 PCB 上实现。由于电路板存在寄生成分，总是会损失一些相位余量，因此电路板的寄生效应必须保持最小，其中特别要关注的是负载电容、反馈环路电感和求和节点电容。每种寄生电抗都会给反馈环路增加迟滞性相位偏移，从而减小相位余量。由于 PCB 版图设计不良可能导致 20°以上的相位余量损失。

在使用电压反馈放大器时最好使用尽可能小的 R_F ，以便最小化由 R_F 和求和节点电容组成的极点引起的相位偏移。如果要求使用大的 R_F ，寄生电容可以用跨接每个反馈电阻的小电容 C_F 进行补偿，对 C_F 的要求是 $R_F C_F$ 等于 R_G 乘以求和节点电容。

PCB 版图是设计中最后的必要步骤之一。遗憾的是，它也是设计中最容易被忽视的步骤之一，即使性能高度依赖于版图设计的高速电路也是如此。马虎或拙劣的版图设计可能降低一个高性能设计的性能，甚至使它不能工作。虽然本文无法涵盖正确高速 PCB 设计的所有方面，但还是要介绍一些关键点。

寄生成分将损害高速电路的性能。寄生电容是由元器件的焊盘、走线、地平面或电源平面引起的。没有地平面的长走线将形成寄生电感，进而导致瞬态响应中的振铃和其它不稳定现象。寄生电容在放大器的求和节点处特别危险，因为它会在反馈响应中引入一个极点，造成尖峰和不稳定。一种解决方案是确保 ADC 驱动器安装和反馈元件焊盘下方区域的所有电路板层都是干净的地和电源平面。

要使有害寄生电抗最小，首先要使所有走线尽可能短。RF-4 印制板的外层 50Ω 走线产生的寄生参数大约为 $2.8\text{pF}/\text{英寸}$ 和 $7\text{nH}/\text{英寸}$ 。内层 50Ω 走线的寄生电抗将在此基础上增加约 30%。还要确保在长走线下方有地平面，以使走线电感最小。保持短小的走线有助于减小寄生电容和寄生电感—并保持设计的完整性。

电源旁路是版图设计中另一个重要的考虑因素。确保电源旁路电容和 V_{ocm} 旁路电容尽可能靠近放大器引脚放置。另外，在电源上使用多个旁路电容有助于确保为宽带噪声提供低阻抗路径。图 21 给出了一个带旁路和输出低通滤波器的典型差分放大器原理图。低通滤波器用于限制进入 ADC 的带宽和噪声。理想情况下，电源旁路电容回路靠近负载回路，这有助于减小地平面中的环流，从而改善 ADC 驱动器性能（图 22a 和图 22b）。

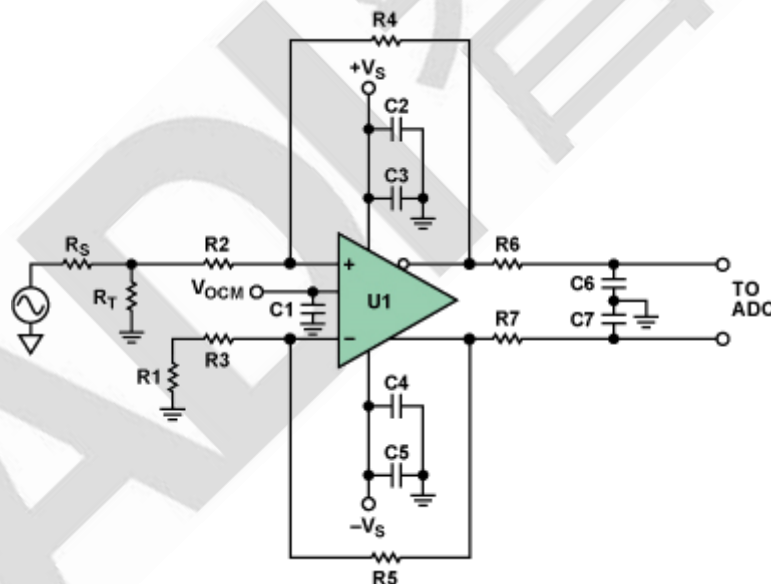


图 21. 带电源旁路电路和输出低通滤波器的 ADC 驱动器

使用地平面和一般的接地技巧是一个具体而复杂的课题，不在本文讨论的范围之内。不过有几个要点需要指出，见图 22a 和图 22b。首先，只在一个点将模拟和数字地连接在一起，记住只是单点接地。这样做可以使地平面中模拟和数字电流的交互作用最小，而

这种交互最终将导致系统中产生“噪声”。另外，要将模拟电源终接到模拟电源平面，数字电源终接到数字电源平面。对于混合信号 IC，要将模拟回路终接到模拟地平面，将数字地回路终接到数字地平面。



图 22. 混合信号的接地方式

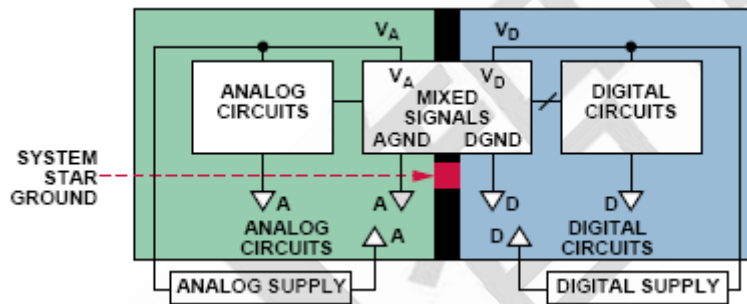


图 23. 混合信号的接地方式

我们希望当您用 ADC 驱动器进行设计时这里提供的材料有助于您更加全面地考虑众多必要因素。理解差分放大器—并在项目开始时就留意 ADC 驱动器设计的细节—将使设计过程中发生的问题最少，并使您远离 ADC 驱动器故障。

高速放大器测试需要足够多的数学知识 以使巴伦运转！

在大多数实验室环境中，信号发生器、频谱分析仪等设备是单端仪器，用于测量高速差分放大器驱动器和转换器的失真。因此，测量放大器驱动器的偶数阶失真（例如二次谐波失真 HD2，甚至阶偶数阶交调失真或 IMD2）需要额外的器件，如巴伦和衰减器等，作为整体测试设置的一部分，以将单端测试仪器连接到放大器驱动器的差分输入和输出。本文通过不匹配信号的数学知识揭示了相位不平衡的重要性，并说明了相位不平衡如何导致偶数阶产物的增加（即变得更糟糕！）。本文还将展示了几种不同高性能巴伦和衰减器的权衡如何影响被测放大器的性能指标（即 HD2 和 IMD2）。

数学背景=耶！

测试具有差分输入的高速器件（如模数转换器、放大器、混频器、巴伦等）时，幅度和相位不平衡是需要理解的重要特性。

当模拟信号链设计使用 500MHz 及以上的频率时，必须非常小心，因为所有器件（无论有源还是无源）在频率范围内都有某种固有不平衡。500MHz 并不是一个奇妙的频率点，只是基于经验，这是大多数器件开始偏离相位平衡的地方。根据器件不同，此频率可能比这低得多或高得多。

我们来仔细看看下面的简单数学模型：

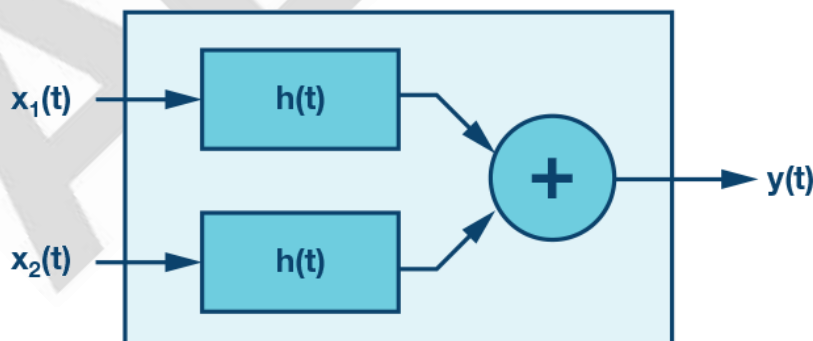


图 1. 具有两个信号输入的数学模型。

考虑 ADC、放大器、巴伦等或任何将信号从单端转换为差分（或反之）的器件的输入 $x(t)$ 。信号对 $x_1(t)$ 和 $x_2(t)$ 是正弦信号，因此差分输入信号具有如下形式：

$$\begin{aligned} x_1(t) &= k_1 \sin(\omega t) \\ x_2(t) &= k_2 \sin(\omega t - 180^\circ + p) = -k_2 \sin(\omega t + p) \end{aligned} \quad (1)$$

如果不是这样，就因为这些器件的不平衡量，ADC 的偶数阶失真测试结果在工作频率范围内可能会发生显著变化。

ADC 或任何有源器件可以简单地建模为对称三阶传递函数：

$$h(x(t)) = a_0 + a_1 x(t) + a_2 x^2(t) + a_3 x^3(t) \quad (2)$$

那么：

$$\begin{aligned} y(t) &= h(x_1(t)) - h(x_2(t)) \\ y(t) &= a_1[x_1(t) - x_2(t)] + a_2[x_1^2(t) - x_2^2(t)] + \\ &\quad a_3[x_1^3(t) - x_2^3(t)] \end{aligned} \quad (3)$$

理想情况下没有不平衡，上述简单系统的传递函数可以建模如下：

$x_1(t)$ 和 $x_2(t)$ 完全平衡时，这些信号具有相同幅度 ($k_1 = k_2 = k$)，并且恰好 180° 错相 ($\varphi = 0^\circ$)。

$$x_1(t) = (k) \sin(\omega t) \quad (4)$$

$$x_2(t) = (-k) \sin(\omega t)$$

$$y(t) = (2a_1 k) \sin(\omega t) + (2a_3 k^3) \sin^3(\omega t) \quad (5)$$

对幂运用三角恒等式并收集频率等信息，我们得到：

$$y(t) = 2 \left(a_1 k + \frac{3a_3 k^3}{4} \right) \sin(\omega t) - \left(\frac{a_3 k^3}{2} \right) \sin(3\omega t) \quad (6)$$

这是差分电路的常见结果：理想信号的偶次谐波抵消，而奇次谐波没有抵消。

现在假设两个输入信号的幅度不平衡，但没有相位不平衡。这种情况下， $k_1 \neq k_2$ ， $\varphi = 0$ 。

$$\begin{aligned} x_1(t) &= (k_1) \sin(\omega t) \\ x_2(t) &= (-k_2) \sin(\omega t) \end{aligned} \quad (7)$$

把公式 7 代入公式 3，并再次运用幂的三角恒等式。

$$y(t) = \frac{a_2}{2} \times (k_1^2 - k_2^2) + (a_1(k_1 + k_2) + \left(\frac{3a_3}{4}\right) \times (k_1^3 + k_2^3)) \sin(\omega t) - \left(\frac{a_2}{2}\right) \times (k_1^2 - k_2^2) \cos(2\omega t) - \left(\frac{a_3}{4}\right) \times (k_1^3 + k_2^3) \sin(3\omega t) \quad (8)$$

我们看到公式 8 中，二次谐波与幅度 k_1 和 k_2 的平方之差成正比，简单来说即：

$$\text{second harmonic} \propto k_1^2 - k_2^2 \quad (9)$$

现在，假设两个输入信号之间相位不平衡，没有幅度不平衡。那么， $k_1 = k_2$ ， $\varphi \neq 0$ 。

$$\begin{aligned} x_1(t) &= (k_1) \sin(\omega t) \\ x_2(t) &= (-k_1) \sin(\omega t + p) \end{aligned} \quad (10)$$

把公式 10 代入公式 3 并简化——试试看，您能行的！

$$y(t) = \left(a_1 k_1 + \frac{3a_3 k_1^3}{4} \right) \times (\sin \omega t + \sin \omega t \times \cos p + \cos \omega t \times \sin p) - \left(\frac{a_2 k_1^2}{2} \right) \times (\cos 2\omega t - \cos 2\omega t \times \cos 2p + \sin 2\omega t \times \sin 2p) - \left(\frac{a_3 k_1^3}{4} \right) \times (\sin 3\omega t + \sin 3\omega t \times \cos 3p + \cos 3\omega t \times \sin 3p) \quad (11)$$

从公式 11 可知，二次谐波幅值与幅度 k 的平方成正比。

$$\text{second harmonic} \propto k_1^2 \quad (12)$$

如果回过头比较公式 9 和公式 12，并且假设三角恒等式运用正确，那么可以得出如下结论：二次谐波受相位不平衡影响比受幅度不平衡影响更严重。原因如下：对于相位不平衡，二次谐波与 k_1 的平方成正比；再看公式 12，对于幅度不平衡，二次谐波与 k_1 和 k_2 的平方差成正比，或看公式 9。由于 k_1 和 k_2 大致相等，因此这种差异通常很小，特别是如果将其与平方数进行比较！

测试高速放大器

既然我们清除了障碍，接下来看一个使用案例，如图 2 所示。这是一幅框图，显示了差分放大器实验中常用的 HD2 失真测试设置。

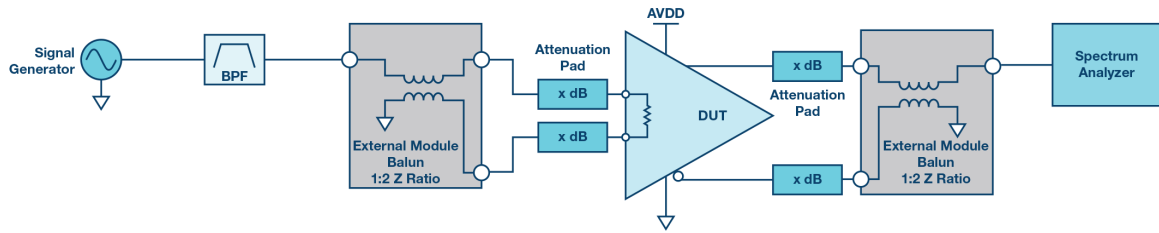


图 2. 高速放大器 HD2 测试设置

乍一看相当简单，但魔鬼隐藏在细节中。图 3 显示了一组 HD2 测试结果，其系使用本框图中的所有器件、差分放大器、巴伦、衰减器等得到的。这些测试证明：仅仅用不同方式翻转巴伦方向所导致的细微相位不匹配，便能在 HD2 扫频中产生不同结果。此设置中有两个巴伦，因此通过颠倒设置一侧或两侧的连接可以创建四种可能的场景。结果如图 3 所示。

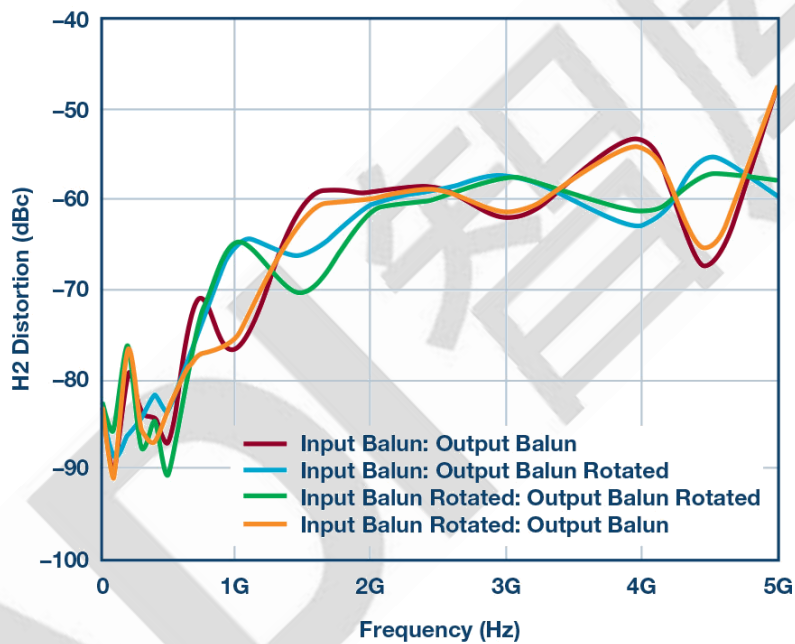


图 3. 使用供应商 1A 巴伦和不同巴伦方向测试 HD2 性能。

图 3 揭示的 HD2 失真曲线方差量证明，需要进一步考察巴伦的性能，特别是相位和幅度不平衡。以下两幅图显示了不同制造商的几款巴伦的相位和幅度不平衡。使用网络分析仪来测量不平衡。

图 4 和图 5 中的红色曲线对应于图 3 中用于采集 HD2 失真数据的实际巴伦。供应商 1A 的这款巴伦具有最高带宽和良好的通带平坦度，但在同样的 10GHz 频率测试带上，相位不平衡比其他巴伦要差。

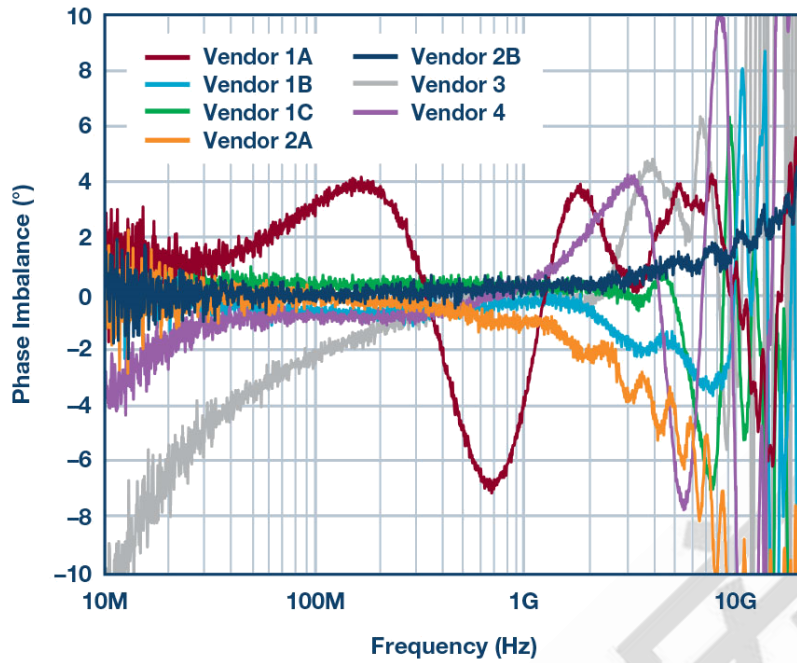


图 4. 各种巴伦的相位不平衡

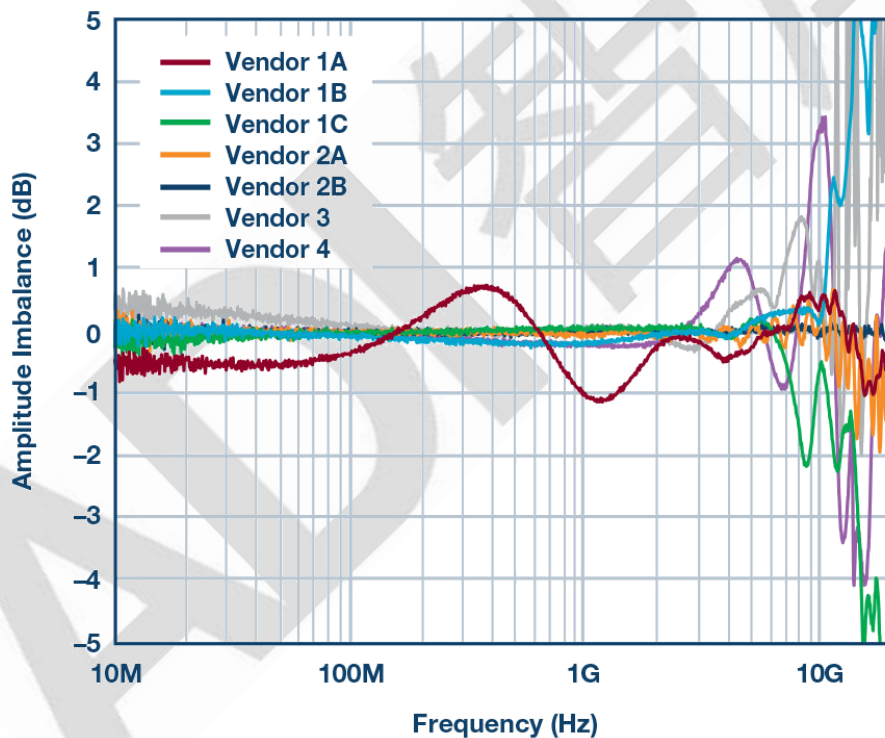


图 5. 各种巴伦的幅度不平衡

接下来的两幅图代表使用最佳巴伦对 HD2 失真重新测试的结果，这些巴伦分别来自供应商 1B 和供应商 2B，具有最低相位不平衡，如图 6 和图 7 所示。注意，如果有更好的不平衡性能，则 HD2 失真方差会相应降低，如图 7 所示。

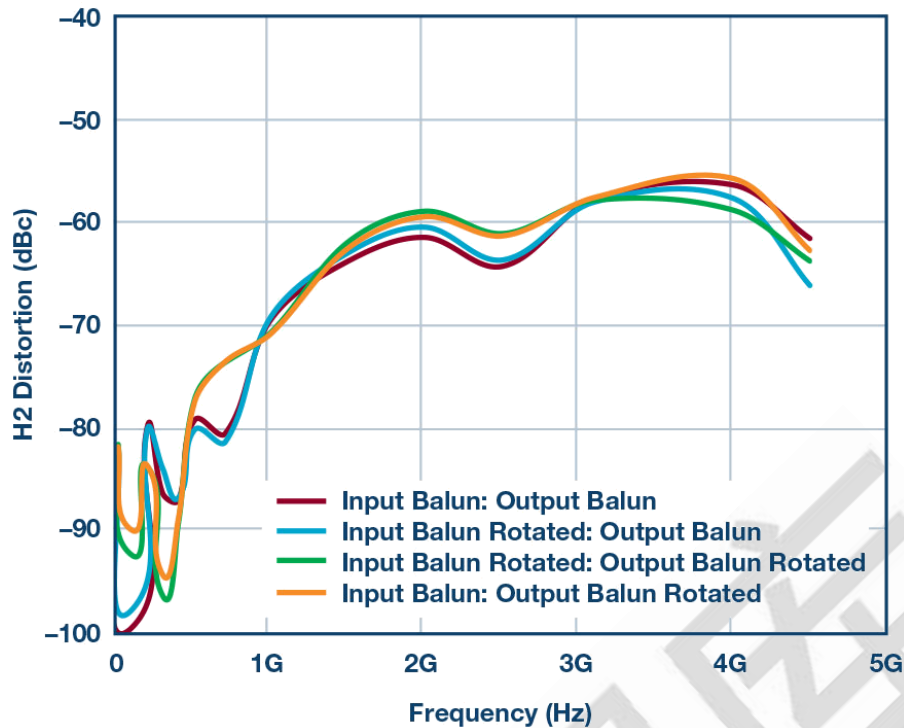


图 6. 使用供应商 1B 巴伦和不同巴伦方向重新测试 HD2 性能。

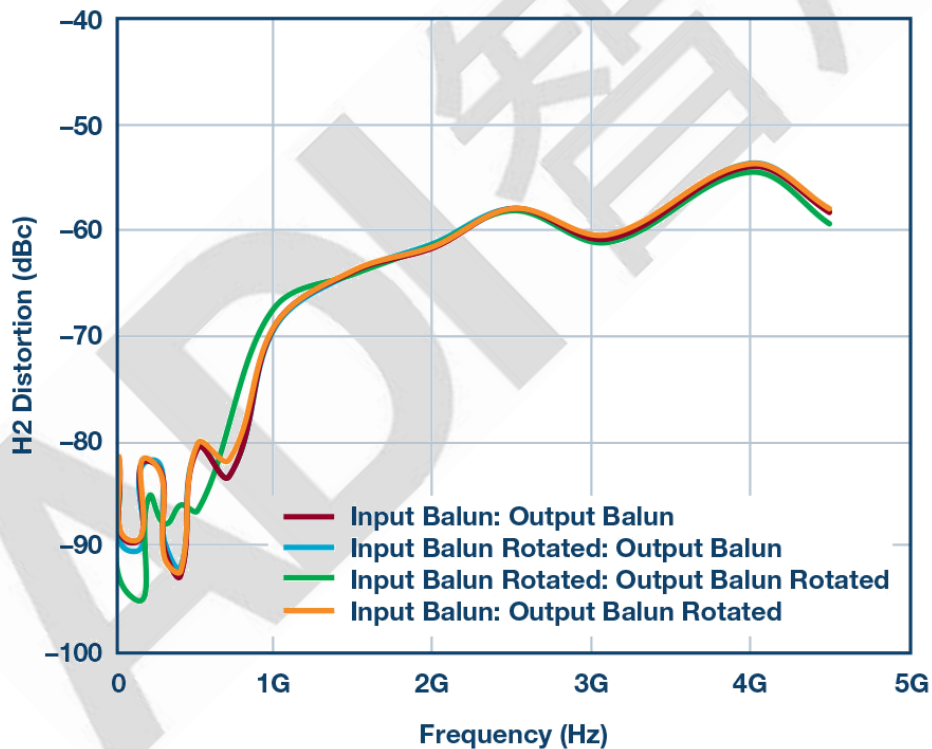


图 7. 使用供应商 2B 巴伦和不同巴伦方向重新测试 HD2 性能。

为了进一步说明相位不平衡如何直接影响偶数阶失真性能，图 8 显示了与前一 HD2 图相同条件下的 HD3 失真。请注意，所有四条曲线大致相同，符合预期。因此，如前面的数学推导示例所证明的，HD3 失真对信号链中的不平衡不太敏感。

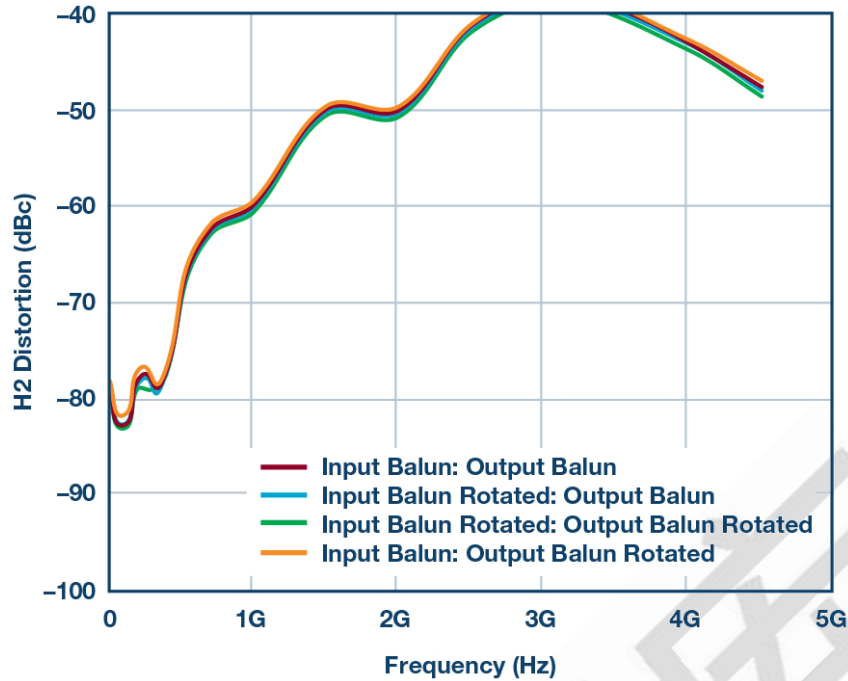


图 8. 使用供应商 2B 巴伦和不同巴伦方向测试 HD3 性能。

到目前为止，应假定输入和输出连接的衰减器焊盘（如图 2 所示）是静止的，且在巴伦方向测量期间无变化。下图代表图 7 所示的相同曲线，仅测试供应商 2B 的巴伦性能，输入和输出之间交换衰减器。这就产生另一组（四条）曲线，如图 9 中的虚线所示。结果是我们回到了开始的地方，因为这在测试测量中表现出更多的变化。这进一步强调了差分信号对任一侧的少量不匹配在高频率下影响很大。务必详细记录测试条件。

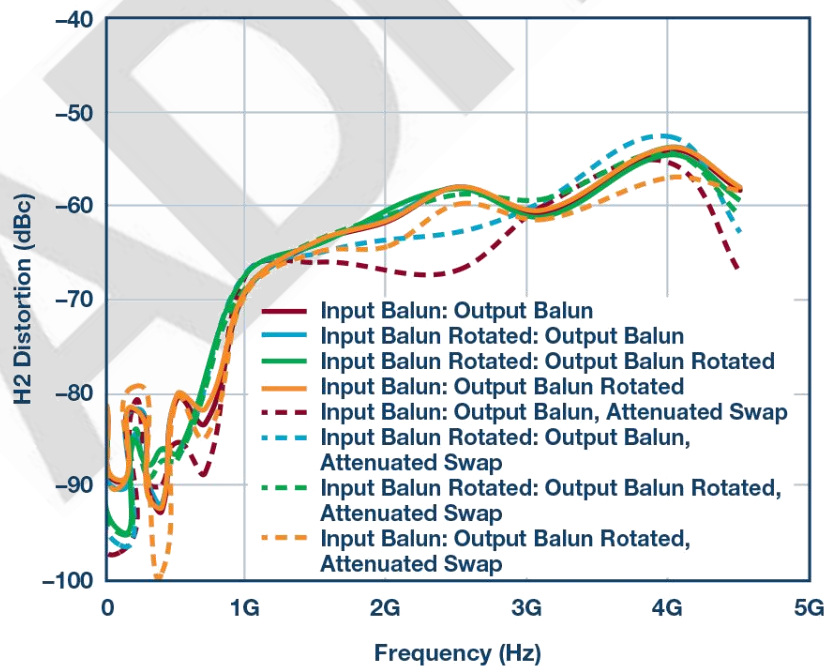


图 9. 仅使用供应商 2B 巴伦以及不同巴伦方向和衰减焊盘交换测试 HD2 性能。

全部抵消

总之，在 GHz 区域开发全差分信号链时，所有东西都很重要，包括衰减器焊盘、巴伦、电缆、印刷电路板上的走线等。我们已经在数学上和实验室中使用高速差分放大器作为测试平台证明了这一点。因此，在开始责备器件或供应商之前，请在 PCB 布局和实验室测试期间特别小心。

最后，您可能会问自己，多大相位不平衡是可以容忍的？例如，一个巴伦在 x GHz 时相位不平衡为 x 度，它对具体器件或系统有何影响？线性度性能是否会有一定程度的损失或 dB 衰减？

这是一个很难回答的问题。在理想世界里，如果信号链中的每件东西都完美匹配，那么就不会有偶数阶失真需要担心。其次，如果有一个经验法则或公式来告诉我们每 x° 的相位不平衡会带来 x dB 的线性度损失（HD2 性能降低），岂不美哉。但是，这不可能。为什么？因为每个器件，无论有源、无源还是差分式，都会有某种固有的相位不匹配。根本没有办法在内部使 IC 设计实现完美的平衡，或者切割出长度绝对一致的电缆。因此，不论这些不匹配有多小，随着系统使用的频率越来越高，它们都会变得更加突出。

高速 DAC 宽带输出网络知识与设计

今天，对于新 IC 元器件和技术的需求依然以令人吃惊的速度增长。商业和国防工业是需求增长的主要刺激因素。目前涉及半导体行业的大部分新规格都围绕着降低尺寸 (size)、重量 (weight) 和功耗 (power) 而展开——即 SWaP。在半导体行业，我们通过不断改进的技术以及更巧妙的设计来满足这些要求。然而，性能也是关键需求，尤其是 GSPS 领域的数模转换器 (DAC) 技术。为了跟上这一步伐，人们常常忽略了关键的模拟输出匹配网络。

为了提供更高的清晰度，通常认为高频是超过 1GHz 的频率，高速是超过 1GSPS 的速度。更重要的是，最终用户可能会在 DAC 之后集成一个放大器，因此可用信号便不那么依赖于信号电平，而更多地依赖噪声和保真度。本文将讨论匹配元器件及其互连，并在选择变压器或巴伦，以及涉及到应用连接配置技巧时重点关注关键规格。最后，本文将提供一些思路和优化技巧，说明在 GHz 区域工作的 DAC 如何实现宽带平滑阻抗变换。

背景信息

DAC 用途广泛，最常见的用途包括：商业和军事通信中的高频复杂波形生成、无线基础设施、自动测试设备 (ATE) 以及雷达和军用干扰电子产品。系统架构师找到合适的 DAC 后，必须考虑输出匹配网络，以保持信号结构。元件选型和拓扑较之从前更为重要，因为 GSPSDAC 应用要求工作在超奈奎斯特频率下，此时所需的频谱信息位于第二、第三或第四奈奎斯特区。

预备知识

首先让我们来考察 DAC 的作用，及其在信号链中的位置。DAC 的作用很像信号发生器。它能在中心频率 (F_c) 范围内为复杂波形提供单音。以前， F_c 最大值位于第一奈奎斯特区中，或者为采样频率的一半。较新的 DAC 设计具有内部时钟倍频器，可以有效地倍增第一奈奎斯特区；可将其称为“混频模式”操作。使用混频模式的 DAC 自然输出频率响应具有 $\sin X/e^{-X^2}$ 曲线的形状，如图 1 所示。系统架构师可参考产品数据手册，了解元器件性能。很多时候，诸如功率水平和无杂散动态范围 (SFDR) 等性能参数会给出多种频率下的数值。明智的系统设计人员可将同一个 DAC 应用于上文所述的超奈奎

斯特区中。值得注意的是，在较高频率下（或较高区域中）预期输出电平将会低得多，因此很多信号链会在 DAC 之后集成一个额外的增益模块或驱动放大器，以补偿该损耗。

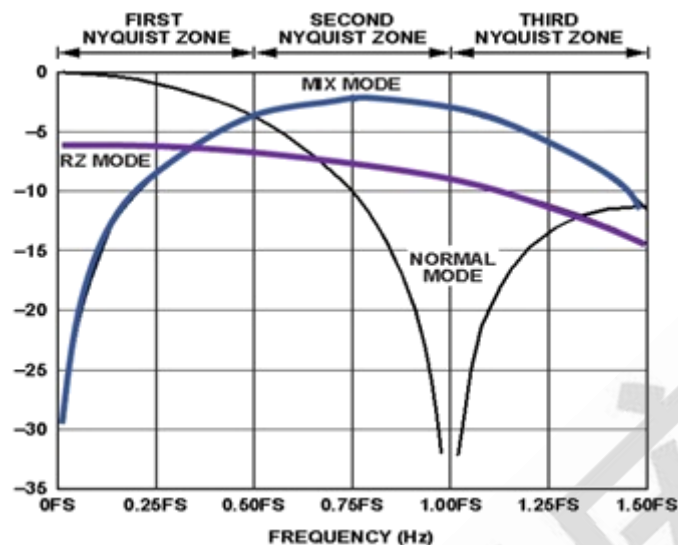


图 1. DAC Sin/x 输出频率响应与混频模式的关系

元器件方面的考虑，如选择输出巴伦

只有最终用户设计和测得的最佳性能 GSPSDAC 才是好器件。为了最大程度发挥高品质 DAC 的性能，应当只选用最好的元器件。必须在一开始就作出重要的电路决定。数据手册上的 DAC 性能是否提供了足够的输出功率？是否需要源器件？信号链是否需要从 DAC 差分输出传送到单端环境？是否需要用到变压器或巴伦？巴伦的合适阻抗比是多少？本文将重点讨论巴伦或变压器的使用。

选择巴伦时，应仔细考虑相位和幅度不平衡。阻抗比（电压增益）、带宽、插入损耗和回损同样也是重要的性能考虑因素。采用巴伦进行设计并不总是简单明了。例如，巴伦的特性随频率而改变，这会给预期蒙上阴影。有些巴伦对接地、布局布线和中心抽头耦合敏感。系统设计人员不应完全根据巴伦数据手册上的性能作为器件选择的唯一基础。经验在这里能够发挥巨大作用：存在 PCB 寄生效应时，巴伦以新的形式构成外部匹配网络；转换器的内部阻抗（负载）同样成为等式的一部分。

选择巴伦时需注意的重要特性有很多，本文不作深入讨论。

目前市场上，Anaren、HYPERLABS、MarkiMicrowave、Mini-Circuits 和 Picosecond 作为最佳解决方案，可提供最宽的带宽。这些专利设计采用特殊拓扑，允许只采用单一器件实现千兆区域带宽扩展，从而提供更高的平衡度。

使用单个巴伦或多个巴伦拓扑时，最后需要注意的一点是，布局对于相位不平衡同样具有重要作用。为在高频下保持最佳性能，布局应尽可能对称。否则，走线轻微失配可能使采用巴伦的前端设计变得毫无用处，甚至使动态范围受限。

输出匹配

依赖频率的元器件将会始终限制带宽，如并联电容和串联电感。也就是说，考虑优化而非匹配，可能更为有效。今天，巴伦的超宽带宽几乎不可能“配合”多倍频程频谱范围。对以上参数的优化则要求对系统的最终用途有深入的了解。例如，电路是否需要提供最大功率传输，而较少考虑 SFDR？或者是否需要最高线性度设计，同时突出 SNR 和 SFDR 而较少考虑 DAC 的输出驱动强度？这意味着在应用中，应当权衡每个参数的重要性。本例中，如图 2 所示为 AD9129 GSPSDAC 输出网络。该网络中的每个电阻和巴伦都可改变，然而随着每个电阻值的变化，性能参数也会如表 1 所示发生改变。

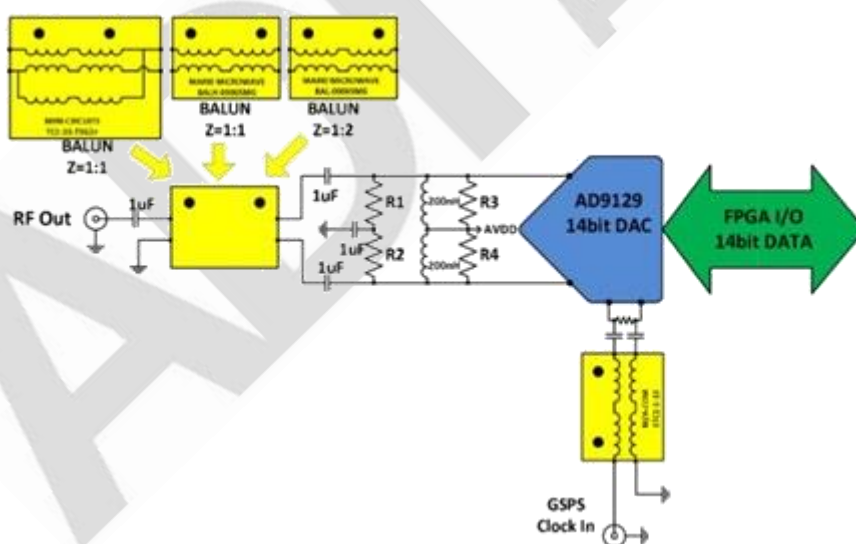


图 2. AD9129DAC 输出前端功能框图

DAC优化	巴伦	R1/R2 (Ω)	R3/R4 (Ω)
情形1	TC1-33-75G2 + (1:1 阻抗比)	DNI	50
情形2	BAL-0006SMG (1:2 阻抗比)	100	50
情形3	BALH-000+SMG (1:1阻抗比)	100	50

表 1. 几种情形的数据定义

读者需注意，最佳元器件值之间的差异非常小。巴伦元件具有最大的变化值。下文图 3 中的数据 displays DAC 宽带噪声输出模式的优化；DAC 只是在全部可用频谱带宽中产生信号音。最初的情形显示第一奈奎斯特区的可用功率下降，而第二、第三和第四奈奎斯特区中极有可能出现混叠信号音。情形 2 显示第一和第二奈奎斯特区中的输出电平增加，以及较高奈奎斯特区中的可用功率下降。最后，情形 3 为最佳情况，看上去在第一和第二奈奎斯特区具有良好的输出功率，同时相比情形 1，区域 3 和 4 中的可用功率保持在最低水平。

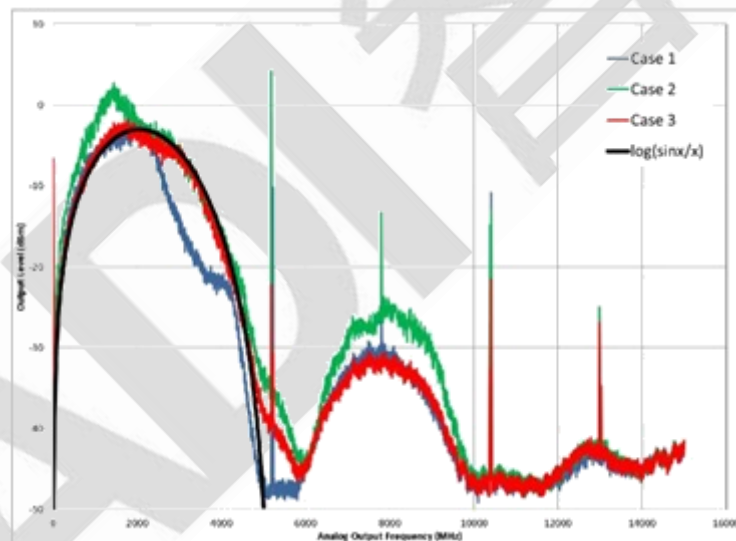


图 3. 宽带噪声模式中的 DAC 性能

图 4 和 5 显示 DAC 为单音模式时的记录数据。图 5 显示多个奈奎斯特区中不同频率的输出功率水平。图 4 显示各种情形与 DAC 输出频率下的 SFDR。读者应当对参数规划的权衡取舍有一个更全面的了解，因为随着设计过程的展开，必须理解这些参数并对其优化。显然，情形 1 可以通过替换为带宽更宽的巴伦解决方案加以改进，即情形 2。在第二奈奎斯特区获得更高的功率水平和更佳的 SFDR。此外，情形 3 中采用 1:2 宽带巴伦，

则改进后的功率水平便得到了保持，同时进一步改进了系统的 SFDR。其它重要发现有：在 1900MHz 附近存在 SFDR 的“最有效点”。该性能独立于输出元器件，这是因为 DAC 存在内部阻抗。

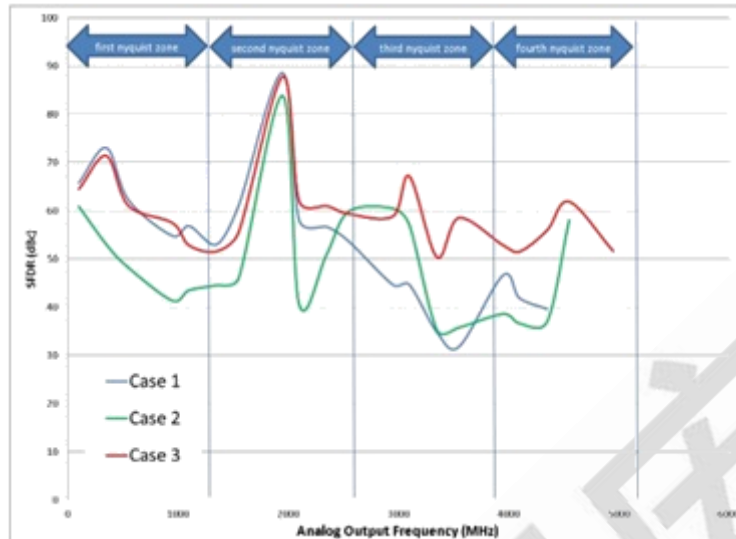


图 4. SFDR 性能对比

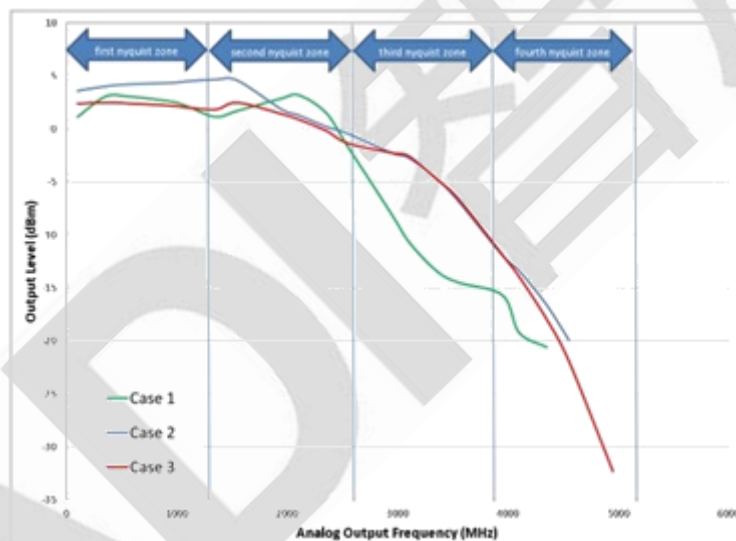


图 5. 输出功率水平对比

结论

GSPSDAC 的最新发展可让设计人员在发射信号链上略过多个混频级，直接处理所需的 RF 频段。使用 GSPSDAC 时，必须仔细考虑输出网络。设计高速、高分辨率转换器布局时，不容易照顾到所有的具体特性。从 DAC 输出差分环境转换至单端 RF 输出时，必须特别注意巴伦的选择。另外，设计 GSPSDAC 输出网络时，必须注意网络的布局与拓扑；走线宽度和长度是非常重要的参数，需加以优化。记住，为了配合特定应用，需要满足很多参数。

高速 ADC 的电源设计

如今，在设计人员面临众多电源选择的情况下，为高速 ADC 设计清洁电源时可能会面临巨大挑战。在利用高效开关电源而非传统 LDO 的场合，这尤其重要。此外，多数 ADC 并未给出高频电源抑制规格，这是选择正确电源的一个关键因素。

本技术文章将描述用于测量转换器 AC 电源抑制性能的技术，由此为转换器电源噪声灵敏度确立一个基准。我们将对一个实际电源进行的简单噪声分析，展示如何把这些数值应用于设计当中，以验证电源是否能满足所选转换器的要求。总之，本文将描述一些简单的指导方针，以便带给用户一些指导，帮助其为高速转换器设计电源。

当今许多应用都要求高速采样模数转换器 (ADC) 具有 12 位或以上的分辨率，以使用户能够进行更精确的系统测量。然而，更高分辨率也意味着系统对噪声更加敏感。系统分辨率每提高一位，例如从 12 位提高到 13 位，系统对噪声的敏感度就会提高一倍。因此，对于 ADC 设计，设计人员必须考虑一个常常被遗忘的噪声源——系统电源。ADC 属于敏感型器件，每个输入（即模拟、时钟和电源输入）均应平等对待，以便如数据手册所述，实现最佳性能。噪声来源众多，形式多样，噪声辐射会影响性能。

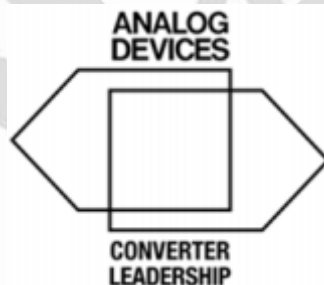


图 1.

当今电子业界的时髦概念是新设计在降低成本的同时还要“绿色环保”。具体到便携式应用，它要求降低功耗、简化热管理、最大化电源效率并延长电池使用时间。然而，大多数 ADC 的数据手册建议使用线性电源，因为其噪声低于开关电源。这在某些情况下可能确实如此，但新的技术发展证明，开关电源可以也用于通信和医疗应用。

本文介绍对于了解高速 ADC 电源设计至关重要的各种测试测量方法。为了确定转换器对供电轨噪声影响的敏感度，以及确定供电轨必须处于何种噪声水平才能使 ADC 实现预期性能，有两种测试十分有用：一般称为电源抑制比 (PSRR) 和电源调制比 (PSMR)。

模拟电源引脚详解

一般不认为电源引脚是输入，但实际上它确实是输入。它对噪声和失真的敏感度可以像时钟和模拟输入引脚一样敏感。即使进入电源引脚的信号实际上是直流，而且一般不会出现重复性波动，但直流偏置上仍然存在有定量的噪声和失真。导致这种噪声的原因可能是内部因素，也可能是外部因素，结果会影响转换器的性能。

想想经典的应用案例，其中，转换器采样时钟信号中有噪声或抖动。采样时钟上的抖动可能表现为近载波噪声，并且/或者还可能表现为宽带噪声。这两种噪声都取决于所使用的振荡器和系统时钟电路。即使把理想的模拟输入信号提供给理想的 ADC，时钟杂质也会在输出频谱上有所表现，如图 2 所示。

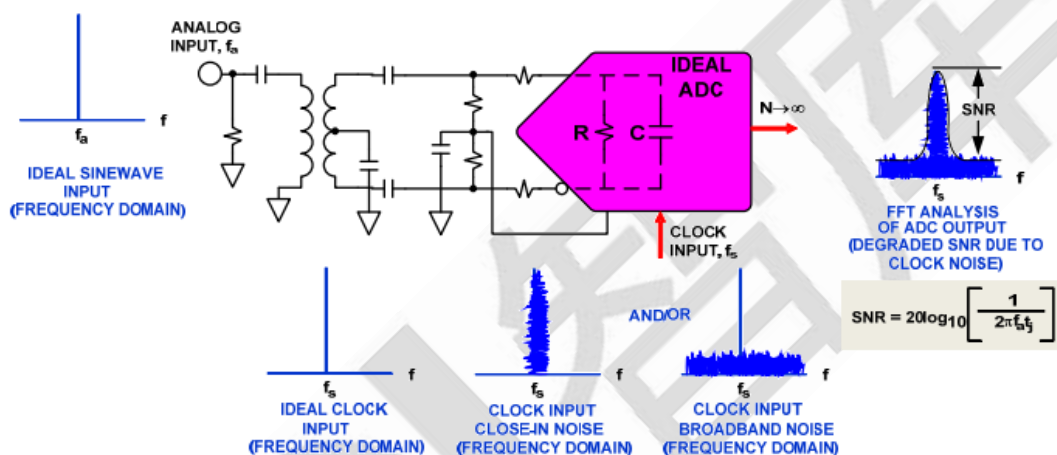


图 2. 采样时钟噪声对理想数字化正弦波的影响

由该图可以推论出是电源引脚。用一个模拟电源引脚 (AVDD) 代替图 2 中的采样时钟输入引脚。相同的原理在此同样适用，即任何噪声 (近载波噪声或宽带噪声) 将以这种卷积方式出现在输出频谱上。然而，有一点不同；可以将电源引脚视为带一个 40dB 至 60dB 的衰减器 (具体取决于工艺和电路拓扑结构) 的宽带输入引脚。在通用型 MOS 电路结构中，任何源极引脚或漏极引脚在本质上都是与信号路径相隔离的 (呈阻性)，从而带来大量衰减，栅极引脚或信号路径则不是这样。假定该设计采用正确的电路结构类型来使隔离效果达到最大化。在电源噪声非常明显的情况下，有些类型 (如共源极) 可能并不是十分合适，因为电源是通过阻性元件偏置的，而该阻性元件后来又连接到输出级，如图 3 和图 4 所示。AVDD 引脚上的任何调制、噪声等可能更容易表现出来，从而对局部和/邻近电路造成影响。这正是需要了解并探索转换器 PSRR 数据的原因所在。

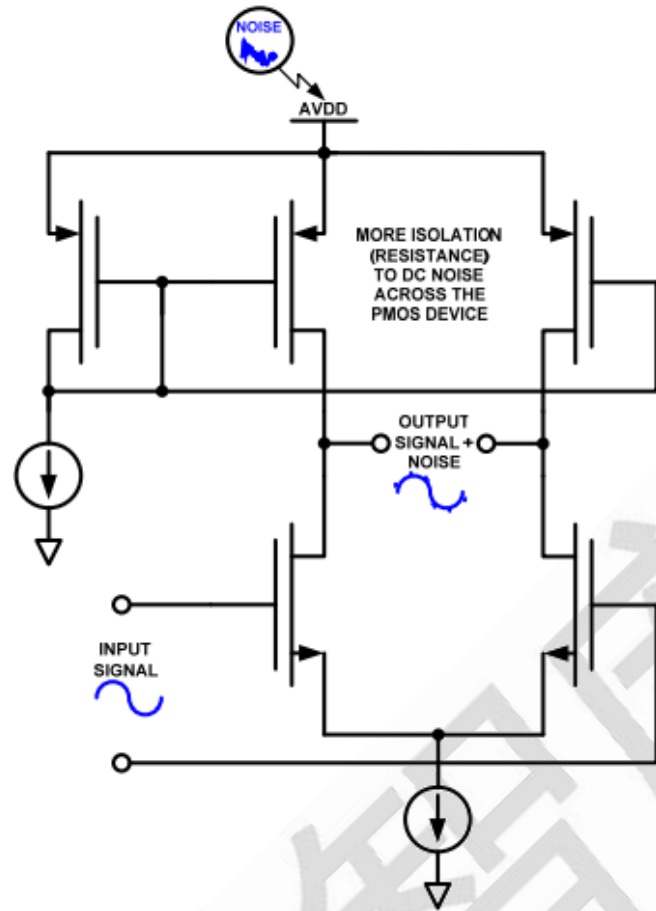


图 3. 不同的电路拓扑结构——实现方案 A

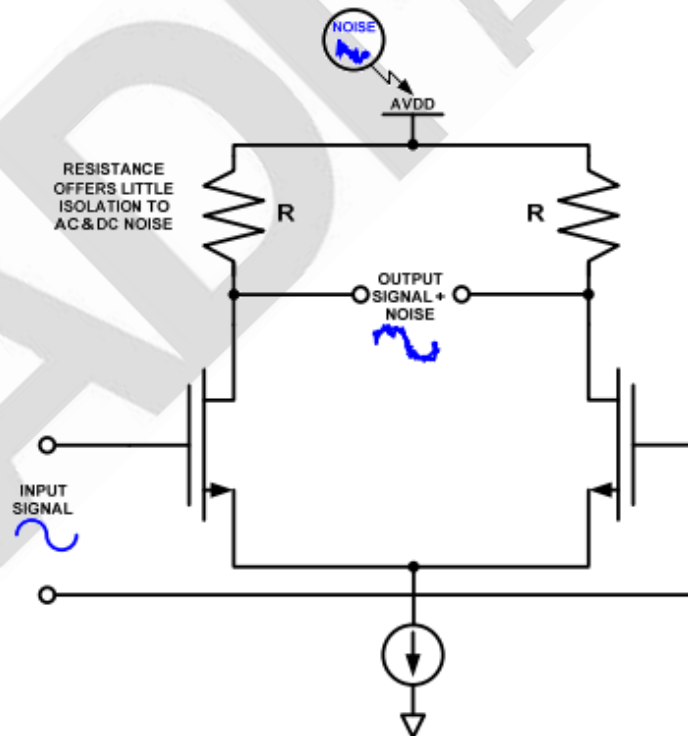


图 4. 不同的电路拓扑结构——实现方案 B

正如不同实现方式所示，存在寄生 R、C 和失配造成的不同频率特性。记住，工艺也在不断变小，随着工艺的变小，可用带宽就会增加，可用速率也会提升。考虑到这一点，这意味着更低的电源和更小的阈值。为此，为什么不把电源节点当作高带宽输入呢，就像采样时钟或模拟输入引脚一样呢？

何谓电源抑制

当供电轨上有噪声时，决定 ADC 性能的因素主要有三个，它们是 PSRR-dc、PSRR-ac 和 PSMR。PSRR-dc 指电源电压的变化与由此产生的 ADC 增益或失调误差的变化之比值，它可以用最低有效位 (LSB) 的分数、百分比或对数 dB ($PSR=20\times\log_{10}(PSRR)$) 来表示，通常规定采用直流条件。

但是，这种方法只能揭示 ADC 的一个额定参数随电源电压可能会如何变化，因此无法证明转换器的稳定性。更好的方法是在直流电源之上施加一个交流信号，然后测试电源抑制性能 (PSRR-ac)，从而主动通过转换器电路耦合信号 (噪声源)。这种方法本质上是对转换器进行衰减，将其自身表现为杂散 (噪声)，它会在某一给定幅度升高至转换器噪底以上。其意义是表明在注入噪声和幅度给定的条件下转换器何时会崩溃。同时，这也能让设计人员了解到多大的电源噪声会影响信号或加入到信号中。PSMR 则以不同的方式影响转换器，它表明当与施加的模拟输入信号进行调制时，转换器对电源噪声影响的敏感度。这种影响表现为施加于转换器的 IF 频率附近的调制，如果电源设计不严谨，它可能会严重破坏载波边带。

总之，电源噪声应当像转换器的任何其他输入一样进行测试和处理。用户必须了解系统电源噪声，否则电源噪声会提高转换器噪底，限制整个系统的动态范围。

电源测试

图 6 所示为在系统板上测量 ADCPSRR 的设置。分别测量每个电源，以便更好地了解当一个交流信号施加于待测电源之上时，ADC 的动态特性。开始时使用一个高容值电容，例如 100 μ F 非极化电解质电容。电感使用 1mH，充当直流电源的交流阻塞器，一般将它称为“偏置-T”，可以购买采用连接器式封装的产品。

使用示波器测量交流信号的幅度，将一个示波器探针放在电源进入待测 ADC 的电源引脚上。为简化起见，将施加于电源上的交流信号量定义为一个与转换器输入满量程相关的值。例如，如果 ADC 的满量程为 2Vp-p，则使用 200mVp-p 或 -20dB。接下来让转换器的输入端接地 (不施加模拟信号)，查找噪底/FFT 频谱中处于测试频率的误差杂散，

如图 5 所示。若要计算 PSRR，只需从 FFT 频谱上所示的误差杂散值中减去-20dB 即可。例如，如果误差杂散出现在噪底的-80dB 处，则 PSRR 为-80dB--20dB，即-60dB (PSRR=误差杂散 (dB)-示波器测量结果 (dB))。-60dB 的值似乎并不大，但如果换算成电压，它相当于 1mV/V (或 $10^{-60/20}$)，这个数字对于任何转换器数据手册中的 PSRR 规格而言都并不鲜见。

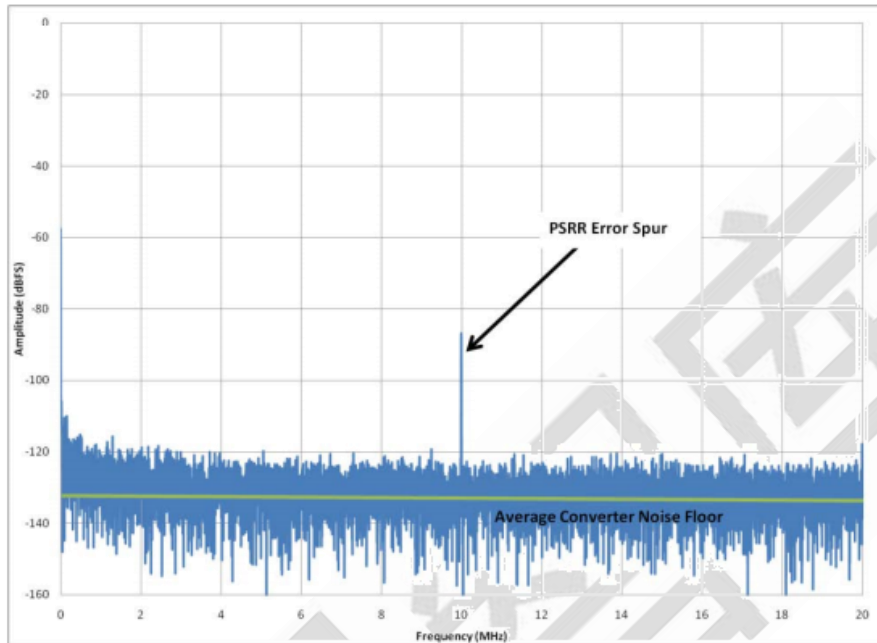


图 5. PSRR-FFT 频谱示例

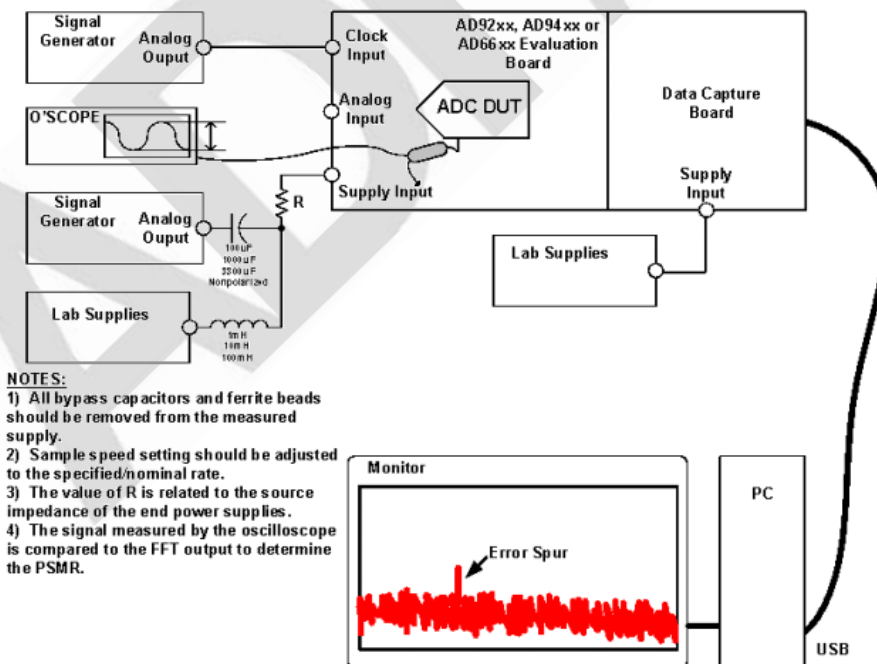


图 6. 典型的 PSRR 测试设置

下一步是改变交流信号的频率和幅度，以便确定 ADC 在系统板中的 PSRR 特性。数据手册中的大部分数值是典型值，可能只针对最差工作条件或最差性能的电​​源。例如，相对于其他电源，5V 模拟电源可能是最差的。应确保所有电源的特性都有说明，如果说明得不全面，请咨询厂家。这样，设计人员将能为每个电源设置适当的设计约束条件。

请记住，使用 LC 配置测试 PSRR/PSMR 时有一个缺点。当扫描目标频段时，为使 ADC 电源引脚达到所需的输入电平，波形发生器输出端所需的信号电平可能非常高。这是因为 LC 配置会在某一频率（该频率取决于所选的值）形成陷波滤波器。这会大大增加陷波滤波器处的接地电流，该电流可能会进入模拟输入端。要解决这一问题，只需在测试频率造成测量困难时换入新的 LC 值。这里还应注意，LC 网络在直流条件下也会发生损耗。记住要在 ADC 的电源引脚上测量直流电源，以便补偿该损耗。例如，5V 电源经过 LC 网络后，系统板上可能只有 4.8V。要补偿该损耗，只需升高电源电压即可。

PSMR 的测量方式基本上与 PSRR 相同。不过在测量 PSMR 时，需将一个模拟输入频率施加于测试设置，如图 7 所示。

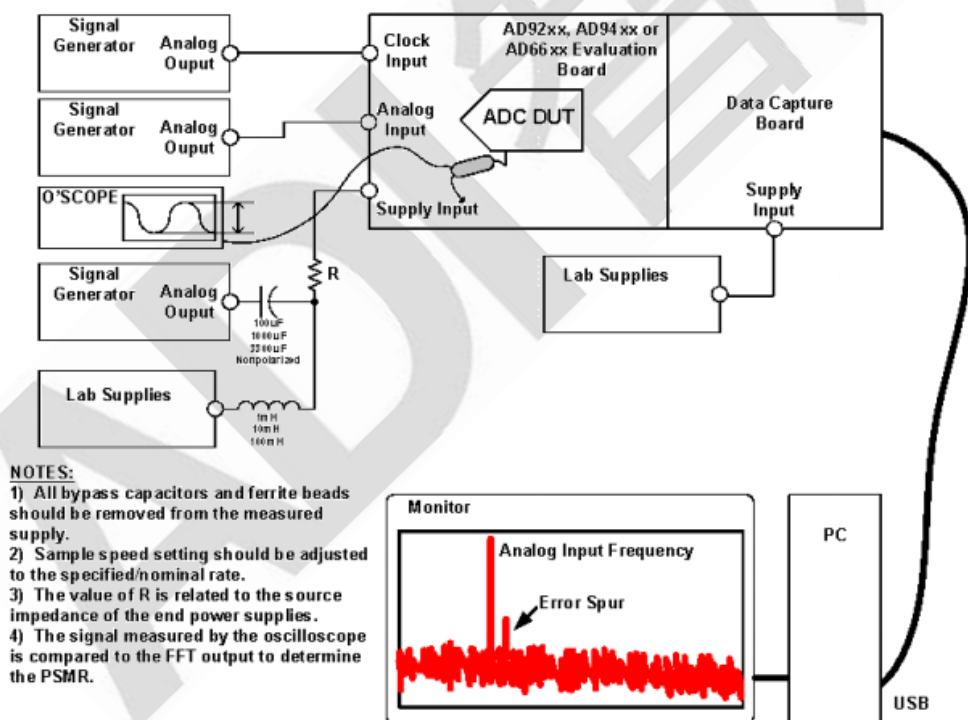


图 7. 典型的 PSMR 测试设置

另一个区别是仅在低频施加调制或误差信号，目的是查看此信号与施加于转换器的模拟输入频率的混频效应。对于这种测试，通常使用 1kHz 至 100kHz 频率。只要能在基频周

围看到误差信号即混频结果，则说明误差信号的幅度可以保持相对恒定。但也不妨改变所施加的调制误差信号幅度，以便进行检查，确保此值恒定。为了获得最终结果，最高（最差）调制杂散相对于基频的幅度之差将决定 PSMR 规格。图 8 所示为实测 PSMRFFT 频谱的示例。

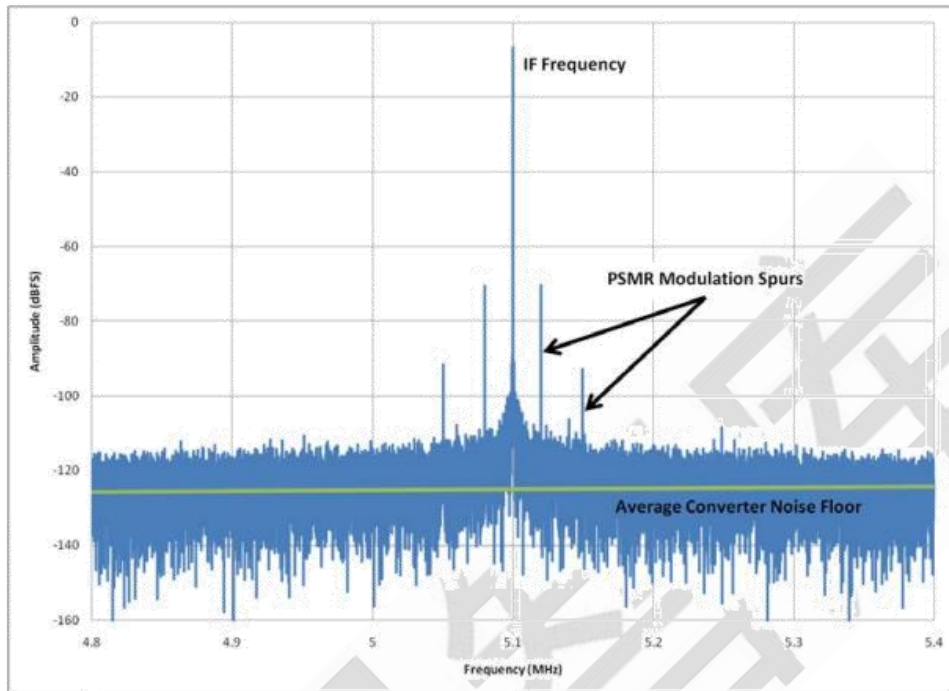


图 8. PSMR—部分 FFT 频谱示例

电源噪声分析

对于转换器和最终的系统而言，必须确保任意给定输入上的噪声不会影响性能。前面已经介绍了 PSRR 和 PSMR 及其重要意义，下面将通过一个示例说明如何应用所测得的数值。该示例将有助于设计人员明白，为了了解电源噪声并满足系统设计需求，应当注意哪些方面以及如何正确设计。

首先，选择转换器，然后选择调节器、LDO、开关调节器等。并非所有调节器都适用。应当查看调节器数据手册中的噪声和纹波指标，以及开关频率（如果使用开关调节器）。典型调节器在 100kHz 带宽内可能具有 10 μ Vrms 噪声。假设该噪声为白噪声，则它在目标频段内相当于 31.6nVrms/ $\sqrt{\text{Hz}}$ 的噪声密度。

接着检查转换器的电源抑制指标，了解转换器的性能何时会因为电源噪声而下降。在第一奈奎斯特区 $f_s/2$ ，大多数高速转换器的 PSRR 典型值为 60dB (1mV/V)。如果数据手

册未给出该值，请按照前述方法进行测量，或者询问厂家。

使用一个 2Vp-p 满量程输入范围、78dB SNR 和 125MSPS 采样速率的 16 位 ADC，其噪底为 11.26nVrms。任何来源的噪声都必须低于此值，以防其影响转换器。在第一奈奎斯特区，转换器噪声将是 89.02 μ Vrms ($11.26\text{nVrms}/\sqrt{\text{Hz}} \times \sqrt{125\text{MHz}/2}$)。虽然调节器的噪声 (31.6nV/ $\sqrt{\text{Hz}}$) 是转换器的两倍以上，但转换器有 60dB 的 PSRR，它会将开关调节器的噪声抑制到 31.6pV/ $\sqrt{\text{Hz}}$ ($31.6\text{nV}/\sqrt{\text{Hz}} \times 1\text{mV}/\text{V}$)。这一噪声比转换器的噪底小得多，因此调节器的噪声不会降低转换器的性能。

电源滤波、接地和布局同样重要。在 ADC 电源引脚上增加 0.1 μ F 电容可使噪声低于前述计算值。请记住，某些电源引脚吸取的电流较多，或者比其他电源引脚更敏感。因此应当慎用去耦电容，但要注意某些电源引脚可能需要额外的去耦电容。在电源输出端增加一个简单的 LC 滤波器也有助于降低噪声。不过，当使用开关调节器时，级联滤波器能将噪声抑制到更低水平。需要记住的是，每增加一级增益就会每 10 倍频程增加大约 20dB。

最后需要注意的一点是，这种分析仅针对单个转换器而言。如果系统涉及到多个转换器或通道，噪声分析将有所不同。例如，超声系统采用许多 ADC 通道，这些通道以数字方式求和来提高动态范围。基本而言，通道数量每增加一倍，转换器/系统的噪底就会降低 3dB。对于上例，如果使用两个转换器，转换器的噪底将变为一半 (-3dB)；如果使用四个转换器，噪底将变为 -6dB。之所以如此，是因为每个转换器可以当作不相关的噪声源来对待。不相关噪声源彼此之间是独立的，因此可以进行 RSS (平方和的平方根) 计算。最终，随着通道数量增加，系统的噪底降低，系统将变得更敏感，对电源的设计约束条件也更严格。

结论

要想消除应用中的所有电源噪声是不可能的。任何系统都不可能完全不受电源噪声的影响。因此，作为 ADC 的用户，设计人员必须在电源设计和布局布线阶段就做好积极应对。下面是一些有用的提示，可帮助设计人员最大程度地提高 PCB 对电源变化的抗扰度：

- 对到达系统板的所有电源轨和总线电压去耦。
- 记住：每增加一级增益就会每 10 倍频程增加大约 20dB。

- 如果电源引线较长并为特定 IC、器件和/或区域供电，则应再次去耦。
- 对高频和低频都要去耦。
- 去耦电容接地前的电源入口点常常使用串联铁氧体磁珠。对进入系统板的每个电源电压都要这样做，无论它是来自 LDO 还是来自开关调节器。
- 对于加入的电容，应使用紧密叠置的电源和接地层（间距 ≤ 4 密尔），从而使 PCB 设计本身具备高频去耦能力。
- 同任何良好的电路板布局一样，电源应远离敏感的模拟电路，如 ADC 的前端级和时钟电路等。
- 良好的电路分割至关重要，可以将一些元件放在 PCB 的背面以增强隔离。
- 注意接地返回路径，特别是数字侧，确保数字瞬变不会返回到电路板的模拟部分。某些情况下，分离接地层也可能有用。
- 将模拟和数字参考元件保持在各自的层面上。这一常规做法可增强对噪声和耦合交互作用的隔离。
- 遵循 IC 制造商的建议；如果应用笔记或数据手册没有直接说明，则应研究评估板。这些都是非常好的起步工具。

这篇技术文章旨在清楚说明高速转换器的电源敏感问题，以及它为何对用户的系统动态范围如此重要。为使系统板上的 ADC 实现数据手册所述的性能规格，设计人员应当了解所需的布局布线技术和硬件。

低频和高频电路接地

了解接地路径和信号路径，实现行之有效的设计电流沿着阻抗最小，而不仅是电阻最小的路径流动

在大多数电子系统中，降噪是一个重要设计问题。与功耗限制、环境温度变化、尺寸限制以及速度和精度要求一样，必须处理好无所不在的噪声因素，才能使最终设计获得成功。这里，我们不考虑用于降低“外部噪声”（与信号一起到达系统）的技术，因为其存在一般不受设计工程师直接控制；外部噪声必须通过滤波、模拟信号处理和数字算法等手段在系统的运行设计中予以处理。

相比之下，防止“内部噪声”（电路或系统内部产生或耦合的噪声）扰乱信号则是设计工程师的直接责任。如果不在早期设计过程中予以充分考虑，噪声源可能会对最终性能产生不利影响，阻碍系统高分辨率优势的实现；其后果至少是需要重新设计和返工，耗费大量资金。本文中，我们将讨论系统“接地”的原理图、拓扑结构和最终布局在降低内部噪声耦合方面的重要作用。

为了充分考虑噪声问题，我们需要从多个方面入手：器件的实际内部引脚连接与概念连接；推荐的对地参考信号原理图；以及布局对噪声产生和拾取的影响。根据噪声现象的带宽不同，这些主题可以在两种有重叠的频域下加以考虑：低频时的地噪声源、问题和解决方案与高频时不同。不过幸运的是，良好的接地做法一般适用于所用频带。

基本运算放大器互连

关于运算放大器的许多文章一般都将理想运算放大器描述为三端器件：拥有一对差分输入和一路输出（图 1）。但是，输出电压必须相对于某一参考点来测量，放大器的输出电流必须通过一条闭合回路返回放大器。理想差分运算放大器的无限大共模抑制断绝了输入参考电位与输出参考电位的联系，而且高输入阻抗使得无法将输入端用作输出电流返回点，因此必须有第四端，有些人称之为“地”。

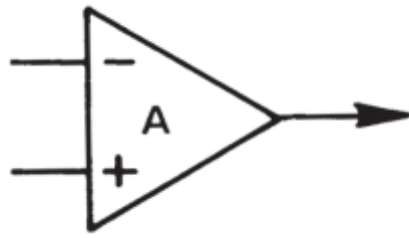


图 1. 常规“三端”运算放大器

当然，多数 IC 运算放大器并没有“地”连接；一般认为第四端是双电源（也可能为其它放大器和系统元件供电）的公共连接。它不仅在低频时起到这种作用，而且只要电源连接实际上为放大器提供低（理想值为 0）阻抗，则在放大器带宽内的所有频率时，它都会起到这一作用。当此要求未得到满足时，电源端的阻抗就会影响信号路径，众多问题将随之而来，包括噪声、瞬态响应差和振荡等。

运算放大器必须输入完全差分信号，将此信号转换为单端输出，并以第四端作为参考。图 2 显示了几种颇受欢迎的基本运算放大器系列的实际信号流。放大器输出与负电源轨之间的大部分电压差会出现在积分器（用来控制开环频率响应）的补偿电容上。如果负电源电压突然改变，积分器放大器的输出将立即跟随其正输入。在典型闭环配置中，输入误差信号将尝试恢复输出，但恢复程度受限于积分器带宽。

这类放大器可能拥有出色的低频电源抑制性能，但高频负电源抑制却存在限制。由于导致输出恢复的是放大器的增益，因此，对于超过闭环带宽的信号，负电源抑制比接近零。结果是，高速高电平电路可以通过负电源线的公共阻抗与低电平电路交互。

建议的解决方案常常是“去耦”，在应用中既会存在一些错误的做法，也存在一些比较好的做法。可以用数厘米的导线将电源附近的去耦电容与运算放大器隔开，使它看起来像一个高 Q 电感。然后将电容的另一端连到称为“地”的地方。

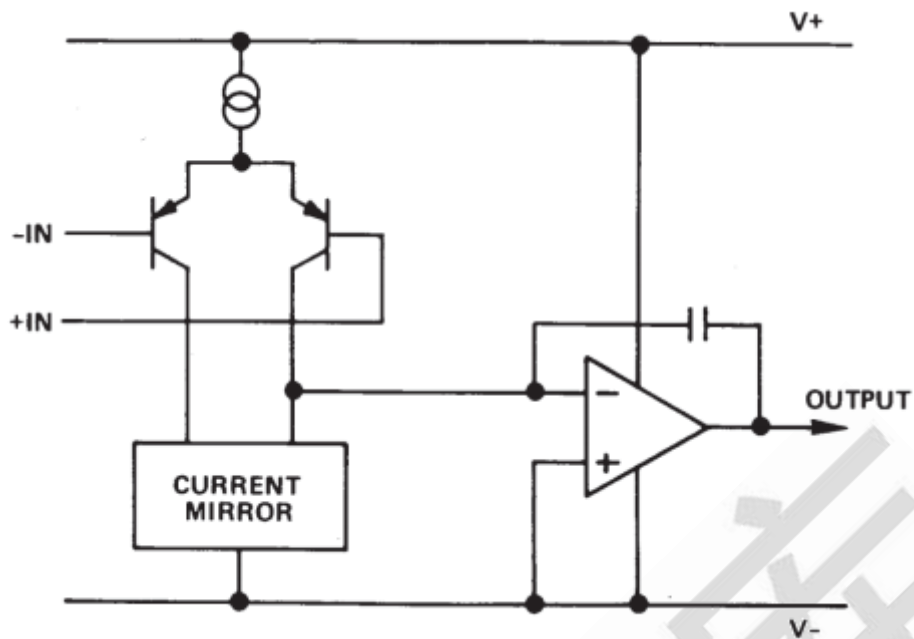


图 2. 简化的“真实”运算放大器

图 3 展示了如何连接去耦电容以降低负电源轨与接地总线之间的干扰。负载电流中的高频成分被限制在一个不含接地路径的路径中。在图 4 所示的更复杂例子中，放大器驱动的是流向虚地（第二放大器的输入端）的负载，实际负载电流不返回接地。相反，实际负载必须由第二放大器通过其正电源供电。将第一放大器的负电源去耦至第二放大器的正电源，将会闭合高速信号电流环路，而不影响接地路径或信号路径。

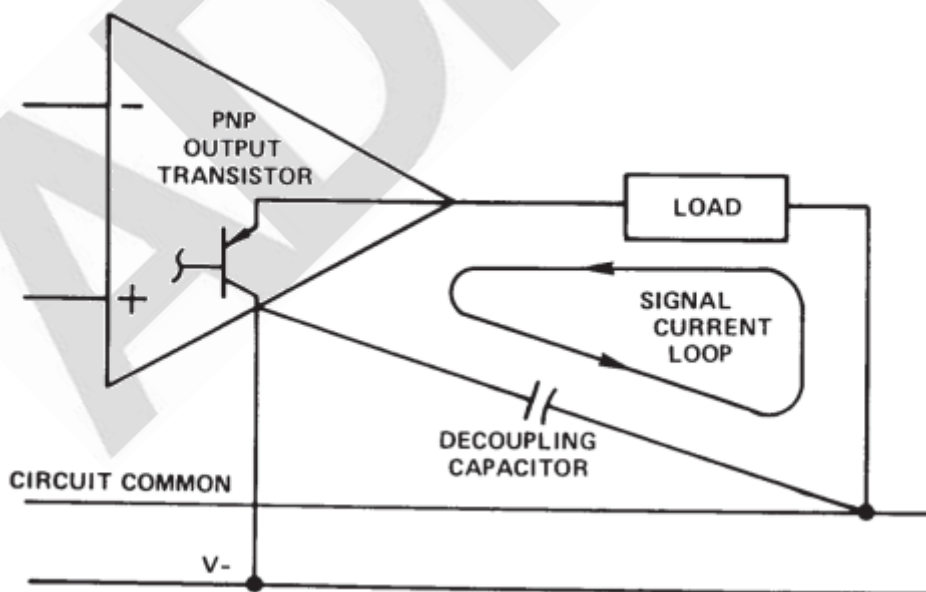


图 3. 针对接地负载对负电源去耦

让接地电流与低电平信号共用路径可能会导致问题。如图 5 所示，设计不当的接地可能会降低放大器驱动负载电阻的性能。负载电流由电源提供，并受放大器控制。如果 A 点和 B 点为电源“接地”连接，则在 A 点连接电源会使负载电流与输入信号共用一段线缆。例如，15 厘米 22 号线会给负载电流带来约 8mΩ 电阻。当负载为 2kΩ 时，10V 的输出摆幅会在标记为 ΔV 的点之间产生约 40μV 的信号。该信号与同相输入串联，可能导致严重误差。对于增益为 8 百万的放大器，此 1/250,000 正反馈所导致的增益误差系数将比放大器开环增益本身的误差系数大 32 倍。此外，当闭环增益很大时（通常大于 250V/mV），正反馈可能引起电路门锁或振荡。不过，将电源与 B 点相连可以免去公共反馈阻抗。

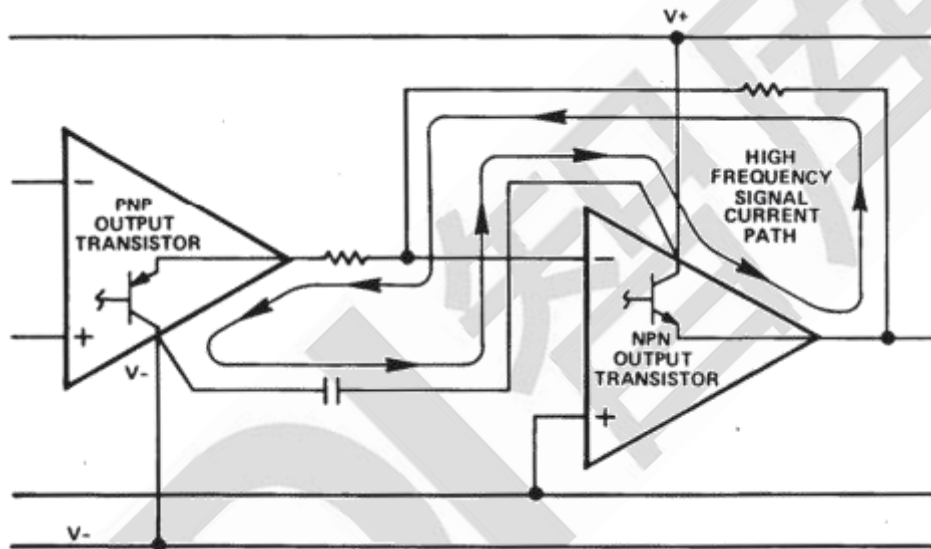


图 4. 针对“虚地”负载对负电源去耦

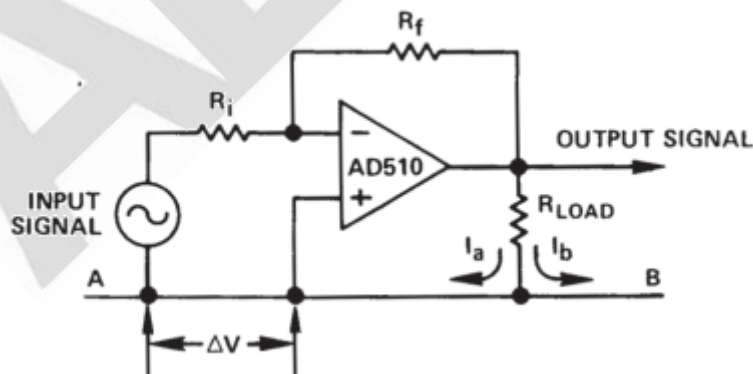


图 5. 正确选择电源连接有助于减轻问题

在真实系统中，问题更加复杂。输入信号源（图 5 中显示为浮点）也可能产生必须回到电源的电流。当电源回路位于 B 点时， R_i 之外的其它负载中流动的任何电流都可能干扰此放大器的运行。当放大器级联时，图 6 显示了仍能驱动辅助负载而无需公共阻抗反馈耦合的方法。输出电流流经辅助负载，并通过电源公共地流回电源。旁路连接如图 4 所示，以便电源经由放大器提供输入和反馈电阻中的电流。流入信号公共地的只有放大器输入电流，其影响一般非常小，可以忽略不计。

了解实际负载和信号电流的路径非常重要。优化电路的关键是在接地等信号路径旁路这些电流。两点之间的电压（更准确地说是电位差）定义电流流向。

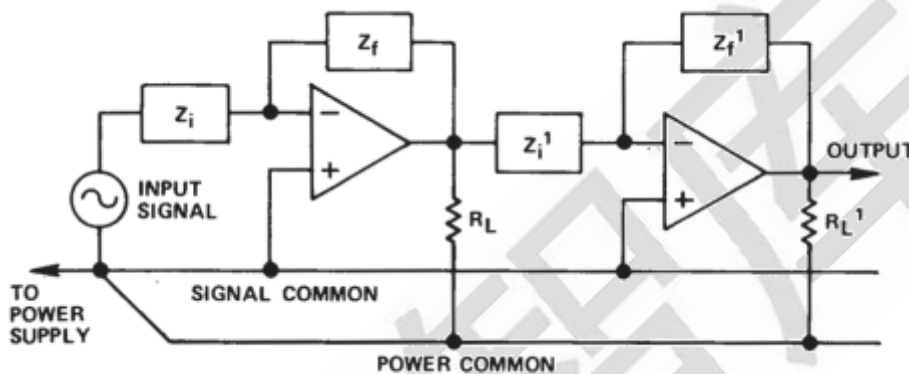


图 6. 减少公共阻抗耦合

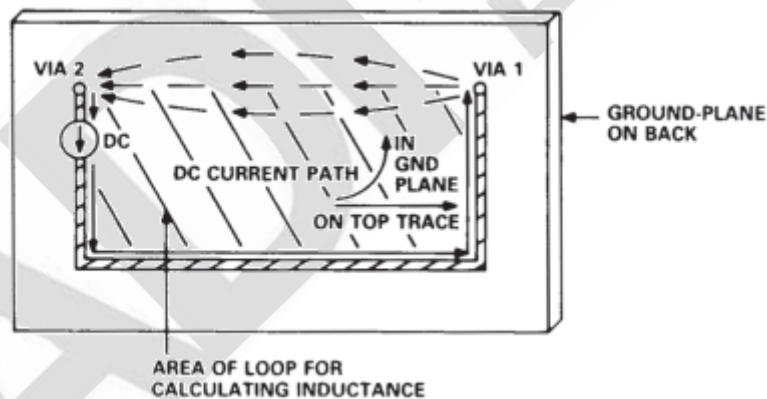


图 7. 电流源的原理图和布局，PC 板上布设 U 形走线，通过接地层返回。

针对高频工作的接地

一般提倡电源和信号电流最好通过“接地层”返回，而且该层还可为转换器、基准电压源和其它子电路提供参考节点。但是，即便广泛使用接地层也不能保证交流电路具有高质量接地参考。

图 7 所示为简单电路采用两层印刷电路板制造，顶层上有一个交直流电流源，其一端连到过孔 1，另一端通过一条 U 形铜走线连到过孔 2。两个过孔均穿过电路板并连到接地层。理想情况下，阻抗为 0，电流源上的电压为 0V。

这个简单的原理图远不能反映真实的情况，但了解电流如何在接地层中从过孔 1 流到过孔 2，将有助于我们看清实际问题所在，并找到消除高频布局接地噪声的方法。

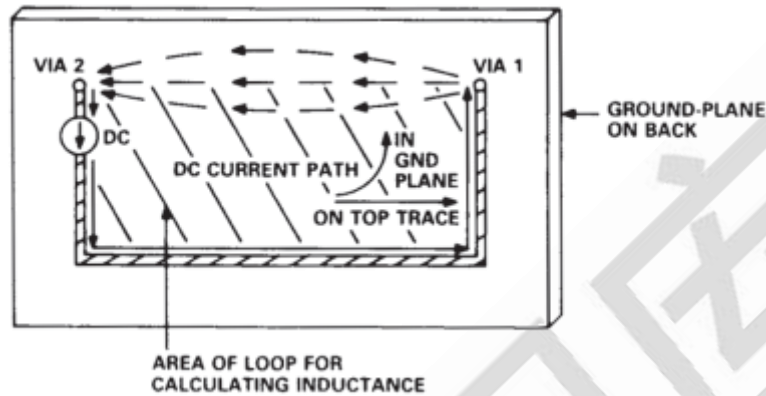


图 8. 图 7 的直流电流路径

直流电流按图 8 所示方式流动，正如所猜测的那样，选取电阻最小的路径从过孔 1 流到过孔 2。虽然会发生一些电流扩散，但基本上不会有电流实质性偏离这条路径。相比之下，交流电流则不是选取电阻最小的路径，而是选取阻抗最小的路径，后者又取决于电感。

电感与电流环路的面积成比例，二者之间的关系可以用图 9 所示的右手法则和磁场来说明。环路之内，沿着环路所有部分流动的电流所产生的磁场相互增强。环路之外，不同部分所产生的磁场相互削弱。因此，磁场原则上被限制在环路以内。环路越大则电感越大，这意味着：对于给定的电流水平，它储存的磁能 (Li^2) 更多，阻抗更高 (因为 $X_L=j\omega L$)，因而将在给定频率产生更大电压。

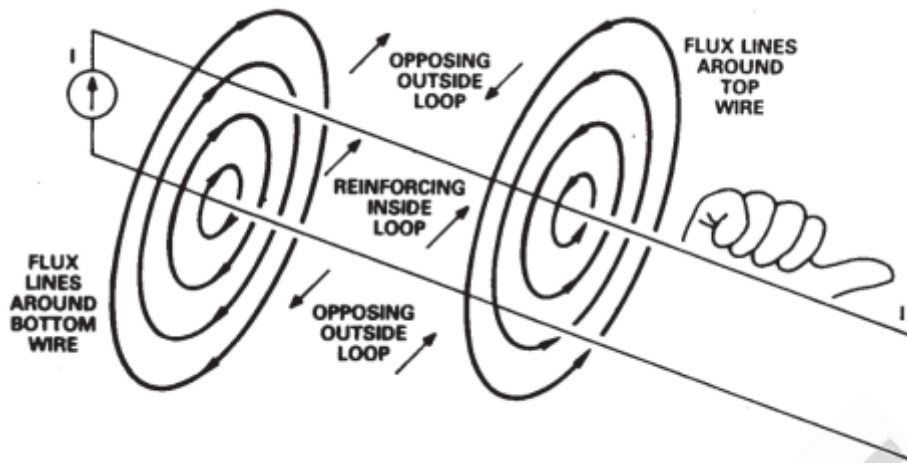


图 9. 磁力线和感性环路

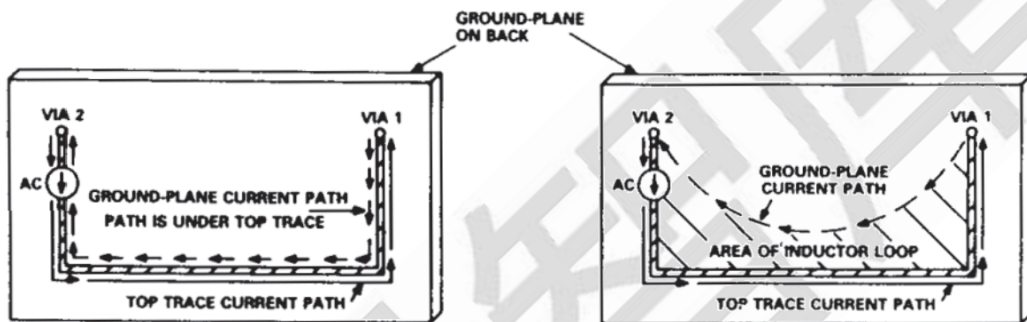


图 10. 接地层中不含（左图）和含（右图）电阻的交流电流路径

在图中所示的简单例子中，面积最小的环路显然是由 U 形顶部走线与其正下方的接地层部分所形成的环路。图 8 显示了直流电流路径，图 10（左）则显示了大多数交流电流在接地层中选取的路径，它所围成的面积最小，位于 U 形顶部导线正下方。实际应用中，接地层电阻会导致低中频电流流向直接返回路径与顶部导线正下方之间的某处（右图）。不过，即使频率低至 1-2MHz，返回路径也是接近顶部走线的下方。

避免布局问题。一旦了解电流在接地层中的返回路径，就可以找出并纠正常见布局问题。例如在图 11 中，路径 A 被认定是关键路径，应当保持最短，远离数字线路，并且不得有过孔。路径 B 不那么重要，但需要穿过路径 A。通常是切开路径 A 下面的接地层，然后经过两个过孔并在路径 A 下方布设路径 B。

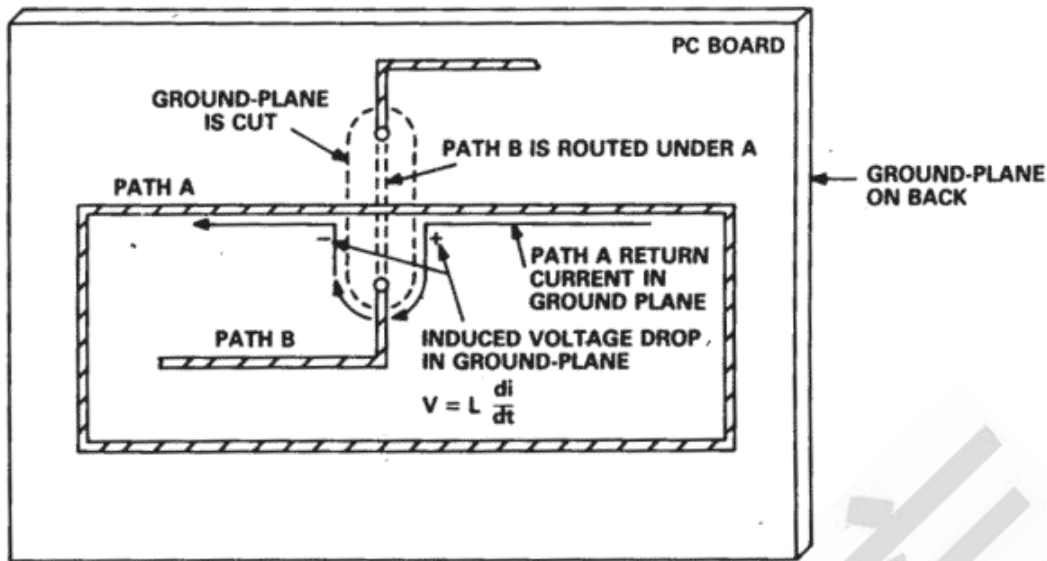


图 11. 路径交叉时的典型 PC 布局问题

但结果令人遗憾，两个信号的接地回路中均引入了电感，因为中断的接地层使两条环路的面积均变得更大。路径 A 传导高频信号，因此接地层的开口上将出现感应压降。对于典型的 ECL 或 TTL 信号，此压降可能大于数百毫伏，足以严重影响 12 位、10MHz 转换器或 8 位、20-MHz 转换器的性能。简单的补救方法是在接地层的切口上添加一根导线，使环路面积保持较小。

电源干扰是另一个值得关注的问题。电源线的特性阻抗 ($\sqrt{L/C}$)。必须尽可能低。为使此比值较小，需要使接地层始终位于电源线下方，以便降低电感并提高电容。有选择地将旁路电容放在关键位置上，可以进一步提高电容，如上文所述。如果只顾及到电容，例如将 0.1 μ F 电容放在电源引脚上以降低其阻抗，则电感为 30nH 的电源线在每次瞬变之后将具有大约 3MHz 的阻尼振荡。

了解 JESD204B 规范的各层—— 从高速 ADC 的角度出发

随着高速 ADC 跨入 GSPS 范围，与 FPGA（定制 ASIC）进行数据传输的首选接口协议是 JESD204B。为了捕捉频率范围更高的 RF 频谱，需要宽带 RFADC。在其推动下，对于能够捕捉更宽带宽并支持配置更灵活的 SDR（软件定义无线电）平台的 GSPSADC，高速串行接口（在此情况下即 JESD204B）是必不可少的。JESD204B 标准是一种分层规范，了解这一点很重要。规范中的各层都有自己的功能要完成。应用层支持 JESD204B 链路的配置和数据映射。传输层实现转换样本与成帧未加扰八位字之间的映射。加扰层可以选择性地获取八位字并进行加扰或解扰，以便通过延展频谱尖峰来降低 EMI 效应。加扰在发送器中完成，解扰在接收器中完成。在数据链路层中，可选加扰的八位字编码成 10 位字符。该层也是产生或检测控制字符的地方，目的是监视和维护通道对齐。物理层即串行器/解串行器（SERDES）层，负责以线路速率发送或接收字符。该层包括串行器、驱动器、接收器、时钟和数据恢复电路。图 1 显示了这些层在 JESD204B 中的安排。为了更好地理解该规范，详细阐释各层对了解 ADC 样本如何映射到 8B/10B 串行字是有好处的。

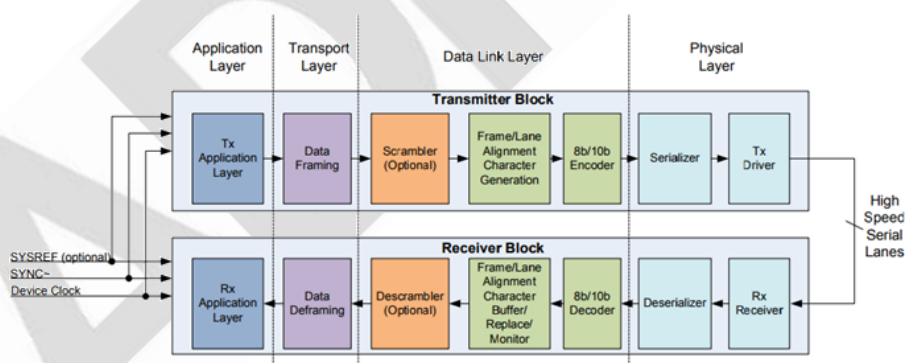


图 1. 通过 JESD204B 各层的简化数据流

应用层

通过应用层可以实现特殊用户配置，以及将采样数据映射到典型 JESD204B 规范之外。这样便能更有效地使用该接口来降低功耗并获得其它好处。必须注意：发送器（ADC）

和接收器（FPGA）均须采用此类特殊配置。接收器和发送器必须以相同方式进行配置，以便正确传输和解读数据。对于需要以不同于 N' （每个样本传输的位数）的样本大小传输数据的 ADC，以独特方式配置应用层可能有利。可以将多个样本重新包装，从而降低通道速率，提高链路整体效率。

传输层

让我们仔细看看 JESD204B 规范的传输层。传输层接受 ADC 样本并添加信息（填充）以产生半字节组（通常在 4 位边界上）。此信息以结束位或控制位的形式提供，是有关所传输数据的附加信息。传输层将这些半字节组安排为帧。必须注意：传输层以并行数据将这些样本提供给数据链路。并行数据总线的宽度由成帧器结构决定，单字节为 8 位，双字节为 16 位，以此类推。此时的数据流尚未达到串行器。

一个 ADC 可以映射到一个单通道链路，或者映射到一个多通道链路。这种配置能力对于宽带 RF 应用中使用的 GSPSADC 特别方便，在此类应用中，采样速率决定是否使用多个通道，以便符合对通道速率的限制。若同一器件中有 M 个 ADC，也可以将多个转换器映射到多个通道。这些 ADC 可以映射到一个单通道链路，或者映射到一个包括 L 个通道的多通道链路。某些情况下，一个 ADC 可能需要多个通道。这要由给定 ADC 的最大通道速率来决定。例如，12 位、2.5GSPS AD9625 的最大通道速率为 6.5Gbps。这意味着当 N' 等于 16 时，总共需要 8 个通道。有时候，通道速率可能受到系统中的 FPGA 限制。对于在 RF 应用中使用 GSPSADC 的客户，成本可能是设计考虑之一。为了降低成本，可以使用通道速率较低的 FPGA。例如，14 位、1.0GSPS 双通道 AD9680 的最大通道速率为 12.5Gbps。AD9680 有 4 个输出通道，可配置抽取来降低采样速率，从而降低通道速率。这对于特定 RF 应用有两个作用：一是降低通道速率，二是带宽选择。

现在回到 JESD204B 参数， N' 参数指定 JESD204B 字大小。转换器采样分辨率被分解成 4 位半字节。14 位转换器和 16 位转换器分别有 4 个半字节，而 12 位转换器有 3 个半字节。如果 AD9625 的 N' 设置为 12，则所需通道数可以减少 2 个，有 6 个通道便可使通道速率小于 6.5Gbps。建议将转换样本数（ S ）映射到 4 位半字节边界上的 JESD204B 字中。图 2 显示了 ADC 样本数到串行通道的映射。它已经参数化，支持许多可以利用 JESD204B 实现的潜在情况。

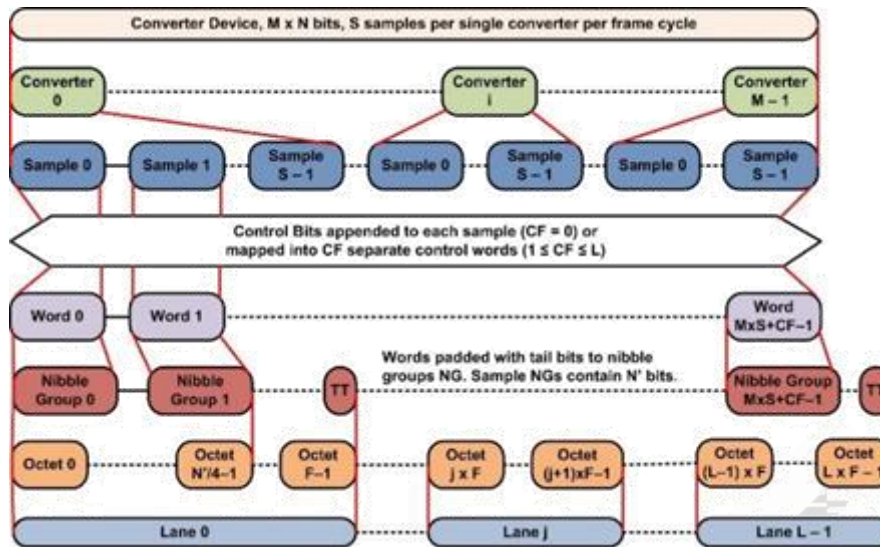


图 2. 传输层 ADC 样本映射

N'参数等于半字节数量乘以 4。将转换器的 N 设为 16，分辨率范围设为 8 位至 16 位，对于发射器和接收器都是有益的。这允许将相同的发射器和接收器用于多个转换器，从而简化了整体系统设计。不完整的半字节有空间可用于 JESD204B 标准定义的控制位 (CS) 或结束位 (下面的图 2 中显示为 TT) 中。必须满足公式 $N' = N + CS + T$ 。如有控制位，其附于每个转换器样本的 LSB 之后。在使用转换器数量、每帧采样数量、JESD204B 字大小和最大通道速率来计算通道数量后，我们就可以确定每帧所发送的八位字数量 F。可采用下面的公式来确定该参数： $F = (M \times S \times N') / (8 \times L)$ 。另有一个分为四部分的在线研讨会，它从传输层开始，提供了有关 JESD204 标准的进一步信息。

传输层根据给定器件已定义的链路配置参数，决定如何包装来自 ADC 的数据。这些参数在初始通道对齐序列 (ILAS) 期间从 ADC 传输到 FPGA。这些设置通过串行端口接口 (SPI) 配置，其设置 ADC 和 FPGA 上的寄存器值来定义链路配置参数。根据这些参数产生一个校验和并将其传输给接收器，以便接收器 (FPGA) 能够验证链路配置参数是否正确接收。通过链路传输的这些参数不是用于配置接收器，而是仅用于验证链路参数匹配。若检测到错误，FPGA 将通过 JESD204B 规范的错误报告中定义的中断报告此错误。

数据链路层

数据链路层接受并行成帧数据 (包含 ADC 样本、控制位和结束位)，并输出 8B/10B 字，

后者在物理层中进行串行化且可以加扰。8B/10B 方案会增加一些开销，但能提供直流平衡的输出数据和内置差错校验。数据链路层通过链路建立过程同步 JESD204B 链路。链路建立包括三个不同阶段：

1. 代码组同步 (CGS)
2. 初始通道对齐序列 (ILAS)
3. 用户数据

在代码组同步 (CGS) 期间，各接收器 (FPGA) 必须利用时钟和数据恢复 (CDR) 技术，在 ADC 传来的输入数据流中找到 K28.5 字符。一旦在所有链路通道上检测到某一数量的连续 K28.5 字符，接收器模块就会解除置位送至发送器模块。在代码组同步 (CGS) 期间，各接收器 (FPGA) 必须利用时钟和数据恢复 (CDR) 技术，在 ADC 传来的输入数据流中找到 K28.5 字符。一旦在所有链路通道上检测到某一数量的连续 K28.5 字符，接收器模块就会解除置位送至发送器模块的 SYNC~信号。在 JESD204A 中，发送模块捕捉 SYNC~信号的变化，经过固定数量的帧时钟之后，ILAS 就会启动。在 JESD204B 中，发送模块捕捉 SYNC~信号的变化，并在下一个本地多帧时钟 (LMFC) 边界上启动 ILAS。ILAS 的主要作用是对齐链路的所有通道，验证链路参数，以及确定帧和多帧边界在接收器的输入数据流中的位置。在 ILAS 期间，链路参数被发送到接收器 (FPGA)，以决定如何将数据发送到接收器。ILAS 由 4 个或更多多帧组成。各多帧的最后一个字符是多帧对齐字符/A/。第一、第三和第四个多帧以/R/字符开始，以/A/字符结束。对于 ADIADC，其间的的数据为斜坡数据。接收器利用各通道的最后一个/A/对齐接收器内各多帧的末尾。第二个多帧包含/R/和/Q/字符，随后是链路参数。/Q/字符表示之后的数据是链路配置参数。如果接收器需要，ILAS 可以添加其它多帧。最后一个 ILAS 多帧的最后一个/A/字符出现后，用户数据开始。在不需要通道间偏斜管理的系统中，可以旁路 ILAS，只要发送器和接收器均支持这种模式。

CGS 和 ILAS 阶段完成后，发送器开始送出用户数据（即来自 ADC 的样本）。在这一阶段，用户数据根据发送器 (ADC) 中定义并转发到接收器 (FPGA) 的链路参数，以流形式从发送器传输到接收器。这就是 RF 频谱中被 GSPSADC 数字化的所有带宽传输以供处理的地方。接收器模块处理并监视收到的数据有无错误，包括运行差异不正确 (8B/10B

错误)、不在表中(8B/10B 错误)、意外控制字符、ILAS 不正确和通道间偏斜(注意:8B/10B 以某种方式来维持运行差异,使得输出数据处于直流平衡状态,同时为接收器中的时钟和数据恢复电路保持充足的输出跃迁)。如有这其中的任何错误,将以两种方式中的一种向发送器报告:

- SYNC~置位-每个错误都需要重新同步(SYNC~拉低)。
- SYNC~报告-如果发生错误,SYNC~将变为高电平并持续一个帧时钟周期。

在初始通道对齐序列期间,数据链路层负责使接收器中的通道对齐。/A/字符就是为了对齐接收器中的通道而使用。JESD204A 和 B 规范要求/A/字符之间至少隔开 17 个八位字。这样可以降低系统大偏斜量的影响。在 JESD204A 和 B 系统中,偏斜在下列三个可能的场景中进行了定义:

1. 一个发送器模块和一个接收器模块
2. 多个发送器模块和一个接收器模块
3. 多个发送器模块和多个接收器模块

达到用户数据阶段后,如果需要,通过数据链路中的字符替换可以监视并纠正帧和通道对齐。字符替换在帧和多帧边界处进行。有两种情况,一是基于帧的字符替换,二是基于多帧的字符替换。在基于帧的字符替换中,若给定通道上某一帧的最后一个字符与上一帧的最后一个字符相同,则发送器将用/F/字符替换该字符。这一做法同样适用于使能加扰时,上一帧的最后一个字符是 0xFC。在基于多帧的字符替换中,若给定通道上某一多帧的最后一个字符与上一帧的最后一个字符相同,则发送器将用/A/字符替换该字符。这种情况下,当使能加扰时,若上一多帧的最后一个字符是 0x7C,字符替换也会进行。CGS、ILAS、用户数据阶段以及字符替换的图解如图 3 所示。

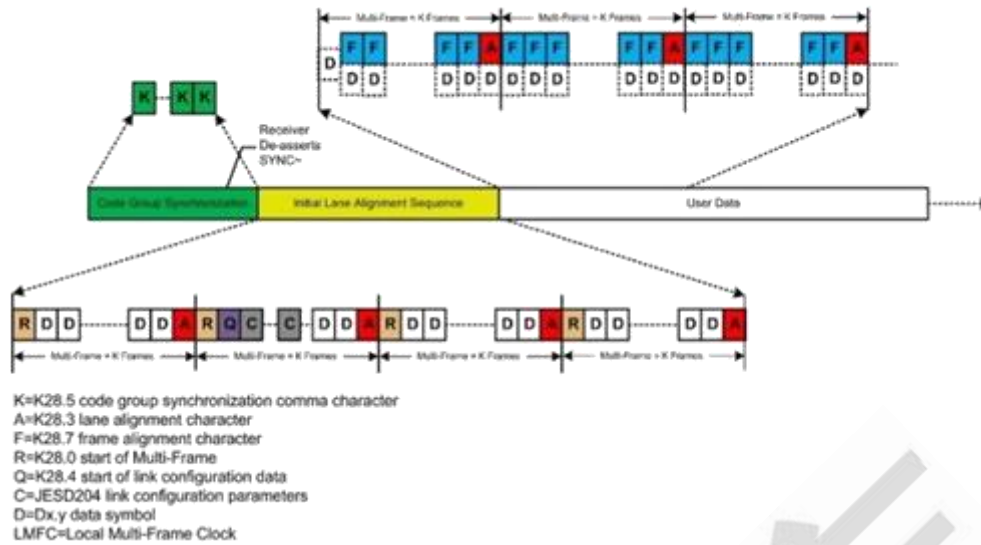


图 3. 数据链路层—ILAS、CGS、数据序列

在接收器字符替换中，接收器的操作必须与发送器的操作刚好相同。若检测到 /F/ 字符，它将被上一帧的最后一个字符替代。若检测到 /A/ 字符，它将被上一多帧的最后一个字符替代。加扰使能时，/F/ 字符被 0xFC 替代，/A/ 字符被 0x7C 替代。若接收器检测到两个连续错误，它可以重新对齐通道。然而，当它执行该操作时，数据会被破坏。表 1 是 JESD204 所有控制字符的简单列表。

控制字符	控制符号	8位值	10位值, RD = -1	10位值, RD = +1	描述
/R/	K28.0	000 11100	001111 0100	110000 1011	多帧开始
/A/	K28.3	011 11100	001111 0011	110000 1100	通道对齐
/Q/	K28.4	100 11100	001111 0010	110000 1101	链路配置数据开始
/K/	K28.5	101 11100	001111 1010	110000 0101	组同步
/F/	K28.7	111 11100	001111 1000	110000 0111	帧对齐

表 1. JESD204 控制字符

可以选择加扰数据，但必须注意：加扰要等到 ILAS 完成后出现第一个八位字之后才会开始。这意味着 CGS 和 ILAS 不会加扰。实施加扰可以降低发送器与接收器之间的高速串行通道上的频谱峰值辐射。在某些系统设计中，特定数据模式可能会导致产生对给定

系统工作频率不利的频谱，实施加扰可以解决这一问题。加扰模块利用一个自同步的加扰模式，其具有如下多项式： $1+x^{14}+x^{15}$ （框图见图 4）。数据在 8B/10B 编码器之前进行加扰，解码后在接收器中进行解扰。由于加扰模式是自同步的，因此输入和输出端的两个移位寄存器不得具有相同的初始设置，否则加扰功能会不起作用。解扰器总是在两个八位字数据之后跟上步伐并与加扰器自动同步。不是所有系统都需要加扰数据，因此，该层应有能力旁路加扰功能。

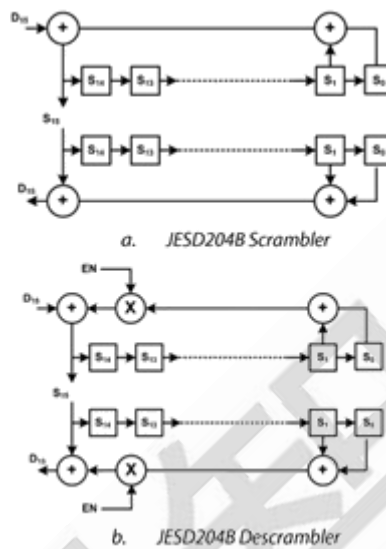


图 4. JESD204B 加扰/解扰

物理层

在物理层中，数据进行串行化，8B/10B 编码数据以线路速率发送和接收。物理层包括串行/解串器 (SERDES) 模块、驱动器、接收器和 CDR。由于数据传输速率非常高，这些模块常常采用定制单元设计。JESD204 和 JESD204A 均支持最高 3.125Gbps 的速度。JESD204B 规范支持三种可能的速度等级。速度等级 1 支持最高 3.125Gbps 的速度，基于 OIF-Sx15-0.10 规范。速度等级 2 支持最高 6.375Gbps 的速度，基于 CEI-6G-SR 规范。速度等级 3 支持最高 12.5Gbps 的速度，基于 CEI-11G-SR 规范。表 2 概要显示了三种速度等级对应的一些物理层规格。

参数	OIF-Sx15-01.0	CEI-6G-SR	CEI-11G-SR
线路速率(Gbps)	≤3.125	≤6.375	≤12.5
输出差分电压 (mVppd)	500 (最小值) 1000 (最大值)	400 (最小值) 750 (最大值)	360 (最小值) 770 (最大值)
输出上升/下降时间 (ps)	>50	>30	>24
输出总抖动(pp UI)	0.35	0.30	0.30

表 2. JESD204B 物理层规范

表 2 列出了各种速度等级的 JESD204B 标准物理层信号的线路速率、差分电压、上升/下降时间和总抖动。速度等级越高，信号幅度越小，保持高压摆率就越容易，因而能够维持开数据眼以正确传输信号。这些高速信号具有快速上升沿和下降沿，对电路板设计的约束非常严格。对于许多宽带 RF 系统设计者来说，这不是新鲜事。然而，高速数字设计的一个重要区别是宽带宽。典型 RF 系统的信号带宽约为 RF 工作频率的 10% 或以下。对于这些高速串行通道速率，系统设计需要考虑的带宽通常为通道速率的 3 倍至 5 倍。通道速率为 5Gbps 时，信号带宽将是 7.5GHz 到 12.5GHz。对于如此宽的带宽，保持适当的信号完整度并且了解如何衡量信号完整度是很重要的。

在串行差分接口中，眼图是信号完整度的常用测量方法。图 5 显示了以最高 3.125Gbps 的速度工作时 JESD204 发送器的眼图罩。表 3 提供了有关时序、电压电平、阻抗和回波损耗的详细信息。信号不得侵占图中的米色区域，必须始终处于白色区域中。表中给出了发送器必须满足眼罩的条件。对 JESD204B 规范中的另外两种速度等级，也有类似的眼图罩。详情请参阅 CEI-6G-SR 和 CEI-11G-SR 物理层规范。

参数	值	单位
XT1	0.175	UI
XT2	0.45	UI
YT1	0.50	UI
YT	0.25	UI
DJ	0.17	pp UI
TJ	0.35	pp UI

表 3. 眼图测量

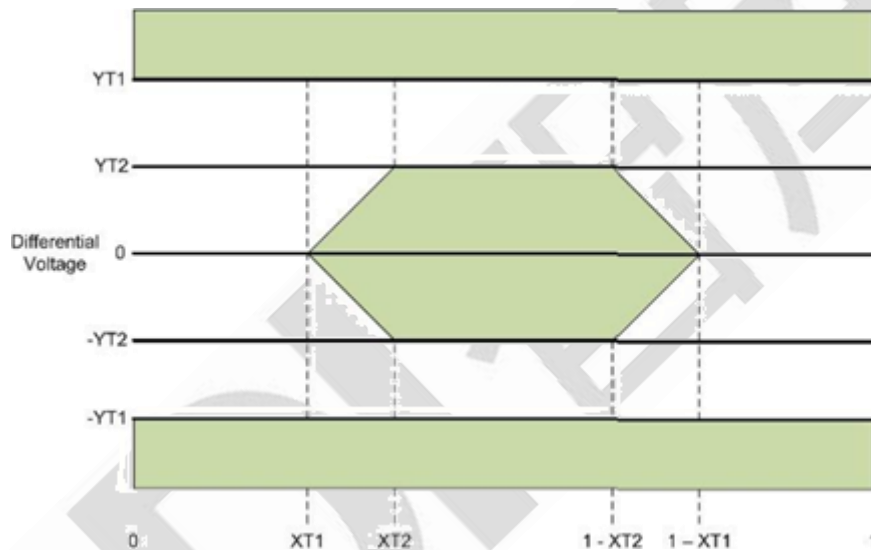


图 5. Tx 眼图罩示例

结语

采用 JESD204B 的设计数量与日俱增，并且涉及诸多市场，例如通信、仪器仪表、军工和航空航天。这些市场推动宽带 RF 系统设计使用 GSPSADC，因而需要 JESD204B 串行接口。收发器支持 JESD204B 串行化/解串的 FPGA 越来越多，而且越来越便宜。随着 JESD204B 接口变得越来越受欢迎，了解 JESD204B 规范的各层是很重要的。如上所述，规范中的各层都有自己的功能要完成。配置和数据映射是应用层的功能，而转换样本与未加扰八位字之间的映射是在传输层完成。加扰可以选择性使能，以通过延展频谱尖峰来降低 EMI 影响。在数据链路层，可选加扰的八位字编码为 8B/10B 字符，控制字符的产生或检测也在这里完成，以便支持通道对齐监控和维护。驱动器、接收器、时钟和数据恢复电路构成发送和接收数据的物理层。通过本文，系统设计者应当能够更好地了解 JESD204B 规范的各层，从而在下一个设计中更加有准备地实施 JESD204B。

高速模数转换器精度透视

第一部分

模数转换器（亦称为 ADC）广泛用于各种应用中，尤其是需要处理模拟传感器信号的测量系统，比如测量压力、流量、速度和温度的数据采集系统（仅举数例）。一般而言，这些信号属于时域签名，以脉冲或阶跃函数的形式出现。

在任何设计中，理解这些类型应用的总系统精度始终都是非常重要的，尤其是那些需要对波形中极小的灵敏度和变化进行量化的系统。理想情况下，施加于信号链输入端的每一个伏特都由 ADC 以数字表示一个伏特的输出。但是，事实并非如此。所有转换器和信号链都存在与此相关的有限数量误差。

本文描述与模数转换器本身相关的误差。本文还将揭示转换器内部的不精确性累积到何种程度即会导致这些误差。定义新设计的系统参数时，若测量精度极为重要，那么这些内容对于理解如何正确指定一个 ADC 有着重要作用。最后，本文将讨论一个简单的误差分析，帮助为设计选择正确的转换器。

ADC 的不精确性

无论何种信号链，转换器都是系统的基本要素。为设计选择的任何 ADC 都会决定系统的总精度。换言之，系统精度不可能高于转换器的最低有效位（LSB）大小。为了表明这一点，让我们来看一个简短的 ADC 不精确性指南。

首先，注意到由于 ADC 不是理想的，并且分辨率有限，因此它们在输出端只能显示有限数量的信息表示。表示的信息数量由转换器满量程输入除以 2^N 表示， N 为转换器的理想位数。

例如，假设选择一个 12 位 ADC，则它可在输出端以 4096 个数字表示施加于转换器输入端的任何信号。这些表示信息确实存在有限量的误差。因此，如果 12 位 ADC 的输入满量程（VFS）为 10 V p-p，那么其理想情况下的 LSB 大小为 2.44 mV p-p，精度为 ± 1.22 mV。

$$LSB = VFS/2^N = 10/4096 = 2.44 \text{ mV} = \pm 1.22 \text{ mV}$$

公式 1

而实际上，ADC 是非理想的。在转换器内部存在一定噪声，

$$\frac{KT}{C}$$

甚至直流中也有噪声。记住，1kΩ 电阻等效于 4 nV·Hz (1Hz 带宽，25°C)。注意，查看 12 位 ADC 数据手册时，SNR 通常为大约 70 dB 到 72 dB。但是，根据下列公式，一个 12 位 ADC 理想情况下应当具有 74 dB：

$$SNR (dB) = 6.02 \times N + 1.76$$

公式 2

因此，实际上 12 位分辨率是无法达到的，因为转换器本身存在一定的不精确性，如图 2 所示。

这些不精确性或误差决定了转换器表示信号的效率，并最终为信号链所接收。失调误差定义为传递函数无法通过零点的模拟值。增益误差是失调误差为零时理想与实际传递函数之间的满量程数值之差。通常意义上的线性度误差或非线性度是指零电平与满量程之间的直线偏差，如图 1 所示。

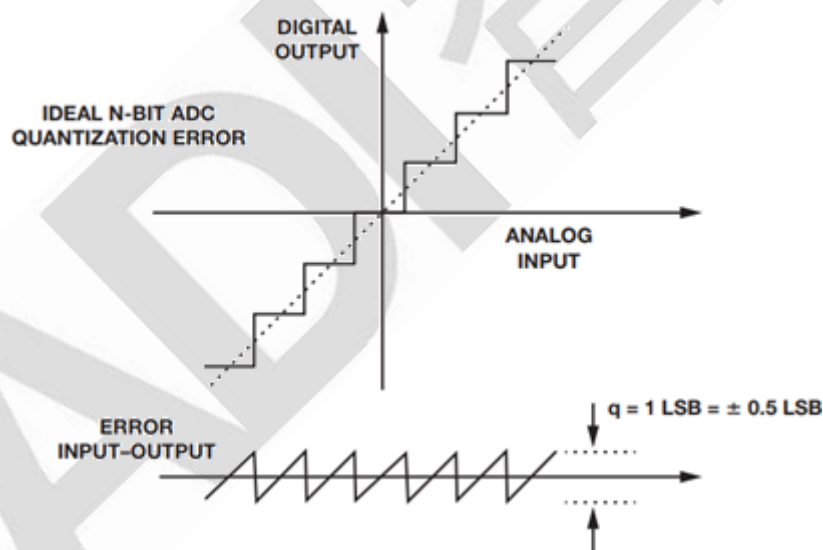


图 1. ADC 量化误差

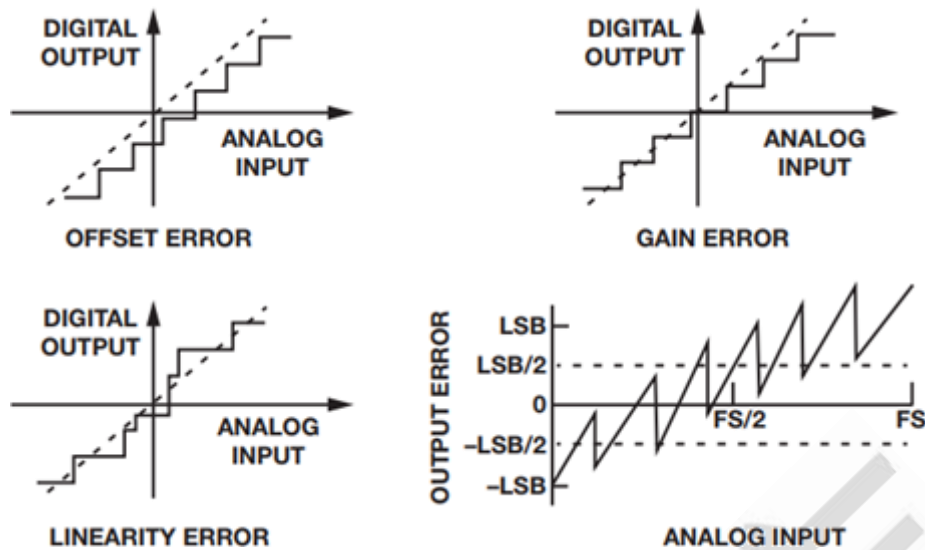


图 2. ADC 的不精确性

有关 ADC 不精确性的更多信息

对最基本的模数转换器误差进行定义并有所了解后，再说明这些误差的区别会有些帮助。大部分 ADC 的失调和增益都存在这种小误差，通常可以忽略或通过外部模拟电路调节（消除），或者采用数字技术校正。然而，诸如线性度、量化和温度系数等其他误差无法轻易调节或消除。

模数转换器线性度只与转换器自身有关，即取决于架构和工艺变化。有很多方法可以校正，但都很昂贵。设计人员有两种选择：购买更好、成本更高的转换器，或采用数字手段校正线性度。数字校正的成本也十分高昂。这意味着可能需要更多资源来指定 DSP 或 FPGA，因为线性度会随温度和工艺的变化而改变。根据采样速率、IF 和分辨率，数字校正可能需要广泛的特性表述和查找表，以便即时校正或调节 ADC 的性能。

线性度有两种类型的误差：它们是差分非线性和积分非线性，通常分别称为 DNL 和 INL。DNL 定义为偏离理想值的一切误差或偏差。换言之，它表示两个相邻代码的模拟差与理想代码值 $V_{FS}/2N$ 之间的偏差。可将其看作与 ADC 的 SNR 性能相关的因素。随着代码的偏差越来越大，转换数也随之下降。该误差在温度范围内的界限为 ± 0.5 LSB，可保证无失码。

INL 定义为零电平和满量程之间的理想直线近似曲率偏差。多数情况下，INL 决定了 ADC 的 SFDR 性能。INL 总偏差形状可以决定最主要的谐波性能。比如，INL 曲线呈弓形会

相应产生更差的偶次谐波，而 INL 曲线呈 S 弓形则通常产生奇次谐波。该误差本质上与频率有关，并与这类误差分析无关。

哪怕可以消除静态失调和增益误差，与失调和增益误差有关的温度系数将会依然存在。

例如，一个 12 位 ADC 具有 10 ppm 增益误差，或 $FSR/^\circ\text{C} = 0.001\%/^\circ\text{C}$ 。

12 位系统中的 1 LSB 为 $1/4096$ ，或者近似等于 0.024%。

因此，若 $125^\circ\text{C} \Delta$ (-40°C 至 $+85^\circ\text{C}$)，则产生 ± 2.5 LSB 增益温度系数误差，或 $0.001\% \times 125 = 0.125\%$ 。

其中， $0.125/0.024 = 5.1$ or ± 2.55 LSBs。

For offset tempco a 5 ppm offset error or $FSR/^\circ\text{C} = 0.0005\%/^\circ\text{C}$ 。

这将产生 ± 1.3 LSB 失调温度系数误差，或 $0.0005\% \times 125 = 0.0625\%$ 。其中， $0.0625/0.024 = 2.6$ or ± 1.3 LSBs。

ADC 误差分析

影响转换器性能的其他误差来源有：CMRR、时钟抖动、固有电路板噪声、耦合等等。

所有这些误差最终都决定了 ADC 如何有效地表示信号；通常在频率域内 ADC 能更高效地表示自身。

从时域角度来看，分析转换器的总精度需要了解下面五个误差：

- 相对精度 DNL，定义为 ± 0.5 LSB
- 相对精度温度系数和 DNL 温度系数，通常包含在数据手册的相对精度规格中。
- 增益温度系数误差，为 ± 2.5 LSB（数据来源于上文示例）
- 失调温度系数误差，为 ± 1.3 LSB（数据来源于上文示例）
- 电源灵敏度，通常以第一奈奎斯特区内的低频 PSRR（电源抑制比）表示。对于 12 位 ADC 而言，它一般可表示为 60 dB 或 ± 2 LSB。

只需进行方和根（RSS）运算，所有这些误差源构成 ± 3.5 LSB 总转换器误差。这个结果可能过于悲观了。然而，统计容差结果可能过于乐观了，或者总误差之和除以误差数，即 $(0.5 + 2.5 + 1.3 + 2) / 4 = \pm 1.58$ LSBs。ADC 实际容差应当介于这两种思路或方法之间。

因此，当在转换器中加入精度误差的时候，或者进行任何系统精度分析的时候，设计人员应当使用加权误差源法，然后对这些误差源进行 RSS 计算。这是确定 ADC 总误差的最佳方法。因此， ± 0.5 LSB 的相对精度应当保持在 100%。然而， ± 2.5 LSB 增益温度系数误差应当是总误差的 66%，或 $2.5 / (0.5 + 1.3 + 2) \times 100$ 。 ± 1.3 LSB 的失调温度系数误差将为总误差的 26%，或 $1.3 / (0.5 + 2.5 + 2) \times 100$ 。 ± 2 LSB 的电源灵敏度误差将为总误差的 47%，或 $2 / (0.5 + 1.3 + 2.5) \times 100$ 。将这些加权误差以 RSS 方式相加，或者进行平方根计算

$\sqrt{((0.5 \times 1)^2 + (2.5 \times 0.66)^2 + (1.3 \times 0.26)^2 + (2 \times 0.47)^2)}$ ，则总误差为 ± 2.0 LSB，这是一个更接近实际的结果，介于上文乐观方法和悲观方法得出的结果之间。

ADC 带宽精度

ADC 还有建立时间精度。记住，转换器的内部前端需要具有足够的带宽 (BW)，才能精确地对信号进行采样。否则，累积误差将大于上文讨论的结果。

一般而言，一个 ADC 的内部前端需要在半个周期或采样时钟周期内建立 ($0.5/F_s$)，这样才能提供对内模拟信号捕捉的精确表达。因此，对于一个 12 位 ADC (采样速率为 2.5 GSPS，满量程输入范围为 1.3 V p-p) 来说，全功率带宽 (FPBW) 可通过下列瞬态公式推导：

$$1 \text{ LSB} = VFS \times e^{(-t/\tau)}$$

求解 t：

$$t = -\tau \times \ln(1 \text{ LSB}/VFS)$$

代入 $\tau = 1 / (2 \times \pi \times \text{FPBW})$ ，一个时间常数，求解 FPBW：

$$\text{FPBW} = -(1/(2 \times \pi \times t)) \times \ln(1 \text{ LSB}/VFS)$$

现在，令 $t = 0.5/F_s$ ，则样本建立所需的时间如下 (样本周期为 $1/F_s$)：

$$\begin{aligned} \text{FPBW} &= -(F_s/\pi \times \ln(1 \text{ LSB}/VFS)) = -(2.5\text{G}/\pi) \times \ln(317 \mu\text{V p-p}/1.3) \\ &= 6.62 \text{ GHz}. \end{aligned}$$

这样会使 ADC 内部前端所需的带宽或 FPBW 最小。这是转换器内部前端建立至 1 LSB 以内并正确采样模拟信号所需的带宽。为了满足这类 ADC 的 1 LSB 精度要求，这将会需

要花费数个时间常数。

一个时间常数为 24 ps 或 $\tau = 1 / (2 \times \pi \times \text{FPBW})$ 。要了解 ADC 满量程范围内达到 LSB 尺寸要求所需的时间常数数量，就需要找出满量程误差或 %FS。或者 $1 \text{ LSB} = \text{FS} / (2^N)$ ，其中 N = 位数，或 $1.3 \text{ V p-p} / (2^{12}) = 317 \mu\text{V p-p}$ ，且 $\% \text{FS} = (\text{LSB} / \text{FS}) \times 100 = 0.0244$ 。通过描绘欧拉数或 $e^{-\tau}$ ，可以绘出一条曲线，以便每次通过常数都能方便地看出相对误差。如图 3 可见，12 位 ADC 样本建立至大约 1LSB 以内需时 8.4 个时间常数。

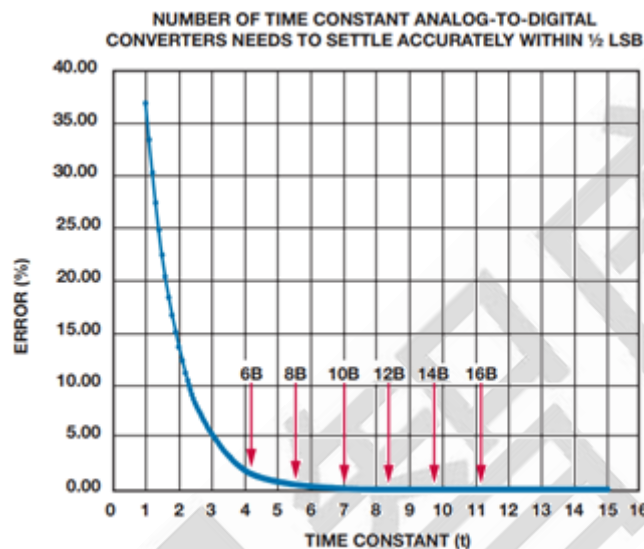


图 3. 建立精度与时间常数的关系

这样，设计人员便能估算用于转换器的最大模拟输入频率或采样带宽，并依旧建立至 1 LSB 误差以内。超出这个范围，则 ADC 无法精确表示信号。这可以简单定义为： $F_{\text{MAX}} = 1 / (\tau \times \text{时间常数数量})$ 或 $1 / (24 \text{ ps} \times 8.4) = 4.96 \text{ GHz}$ 。

记住，这里表示的是最佳情形，并假定采用单极点 ADC 前端。并非所有现实中的转换器都以这种方式工作，但这是一个很好的开端。例如，上文描述的模型最高可适用至 12 位，但针对 14/16 位以及更高位则需要根据这些细微影响采用二阶模型，以使建立时间扩展至预测的一阶模型以外。

关于 ADC 带宽的简要说明

记住，ADC 全功率带宽不同于上文定义的转换器可用带宽或采样带宽。它可以当成是模拟信号输入运算放大器的全功率带宽 (FPBW)，信号更像是三角波信号，并且输出端存在大量失真。FPBW 是 ADC 精确捕捉信号并使内部前端正确建立所需的带宽 (前文示

例中为 6.62 GHz)。选择一个 IF 并在该范围内使用转换器不是一个好主意，因为系统的性能结果会大幅改变；在大约 5 GHz 处，如上文示例所示，根据转换器数据手册中的额定分辨率和性能指标，满量程带宽远高于转换器自身的最大采样带宽。设计是围绕采样带宽而展开的。所有设计都应当避免使用额定全功率带宽的某一或全部最高频率部分，否则动态性能 (SNR/SFDR) 会下降并大幅改变。为了确定高速 ADC 的采样带宽，应当使用上文中的示例，因为这些数据并非总能从数据手册中获取。通常，数据手册会规定甚至列出转换器采样带宽内经过生产测试、能够保证额定性能的频率。然而，在较老的 ADC 产品中这些测试频率在数据手册中并不总是以 F_{MAX} 来定义。今后还需要对行业中的这些带宽术语做出更好的说明、定义和测试。

结论

本文给出了有关如何查看一般静态 ADC 的不精确性误差和涉及带宽的 ADC 不精确性误差的指导说明。还提供了针对 ADC 误差以及这些误差如何影响信号链的更深入解释。请记住，并非所有的元件都采用相同的方式构建，这对于有源和无源器件来说都是正确的。创建囊括所有这些误差的电子表是插入不同信号链元件的简便方法，可更快进行评估并决定元件的权衡取舍。这在元件之间进行成本、尺寸和功耗的权衡取舍以及衡量信号链性能差异方面尤为如此。

第二部分

在任何设计中，信号链精度分析都可能是一项非常重要的任务，必须充分了解。之前，我们讨论了在整个信号链累积起来并且最终会影响到转换器的多种误差。请记住，转换器是信号链的瓶颈，最终决定着信号的代表精度。因此，转换器的选择是设定系统整体要求的关键。在本文中，我们将以上述认识为基础，重点分析可能在给定信号链中累积的直流误差的类型。

在信号链中，可能会累积的误差有两类——即直流和交流误差。直流或静态误差（如增益和失调误差）有助于了解信号链的精度或灵敏度。交流类误差也称为噪声和失真，限制着系统的性能和动态范围。这两类误差都需要了解，因为二者最终决定着系统的分辨率。

本文将专门分析直流误差，根据其与无源和有源器件的关系，对每种不精确性进行细分。

同时还将制作一份矩阵或电子表格，用以展示如何用不同的方法在信号中添加或累积误差。

在此，通过回顾有关噪声的基本知识（如带宽总和、从交流角度看误差累积等），可以确定模拟信号链设计的总信噪比。

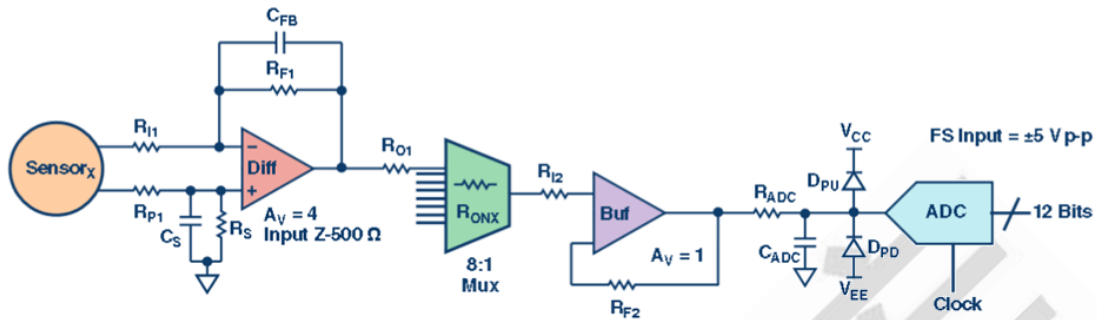


图 1. 此简单数据采集信号链系统的设计精度为 0.1%。

信号链知识回顾

我们的目标是设计出一种可以达到 0.1%精度要求的简单数据采集系统（图 1）。即是说，每输入 1V 的电压，输出要么为 0.99388V，要么为 1.00612V。因此，转换器规定的动态范围为 60dB 或 9.67ENOB，假设其满量程电压为 10V。转换器有两个放大器级、一个多路复用器和一个模数转换器（ADC）。本分析将忽略传感器、电缆、连接器、印刷电路板（PCB）寄生电容和任何外部影响/误差，因为这些情况在很大程度上取决于设计人员要测量的具体应用或信号。

为了给各误差提供参考，应将分析的各级细分成各个部分。数据采集信号链的第一级是一个简单的差分放大器（图 2）。该放大器的增益为 4 \times ，输入阻抗为 500 Ω 。设置电容是为了进行可选的滤波处理。

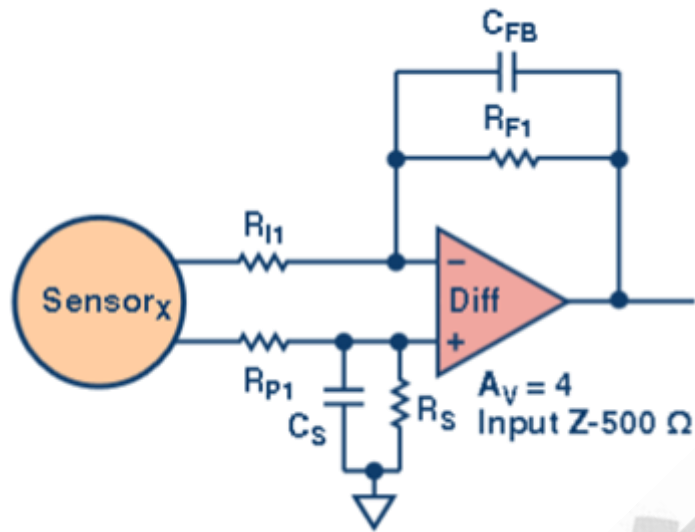


图 2. 差分放大器为数据采集信号链的第一级。

然后，将放大器的输出信号施加到多路复用器的 8 个输入端（图 3）。每个输入以一个阻尼电阻（ R_0 ）进行缓冲，以减少多路复用器通道切换导致的电荷反冲。根据多路复用器数据手册规定的技术规格，每个通道的内部会设有一些寄生电容或额定 R_0 。

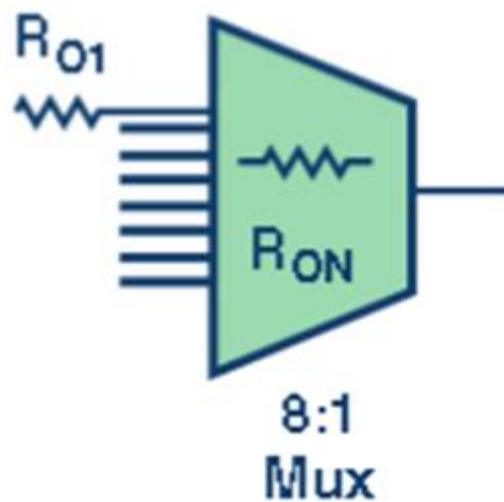


图 3. 此 8:1 多路复用器有 8 个缓冲输入。

然后，将结果形成的通道信号施加到单位增益缓冲级放大器（图 4）。使用电阻是为了减少输入偏置电流不平衡。

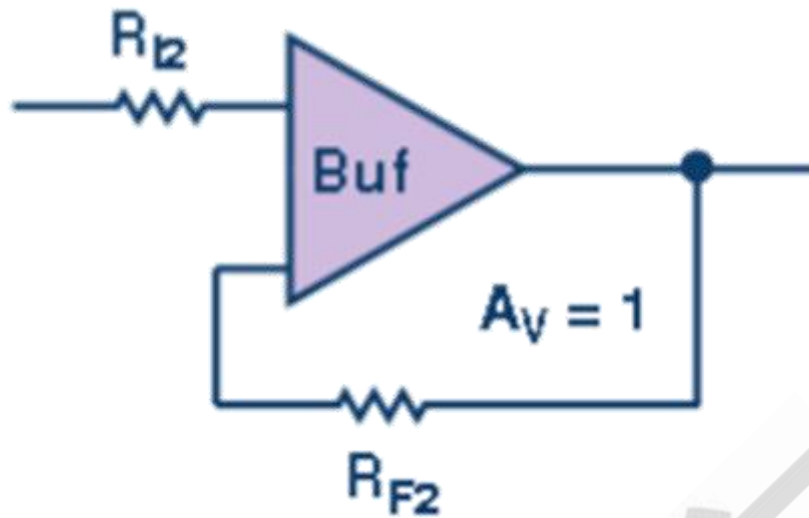


图 4. 将一个通道信号施加到这类缓冲放大器。

将经过缓冲的信号施加到 12 位、1MSPSADC，在此，信号最终进入数字域（图 5）。使用串行电阻是为了缓冲或抑制放大器与转换器之间的信号，加大这两个器件之间的电阻。结果会减少从转换器反冲到放大器的电荷，非常像多路复用器。这也有助于放大器输出建立，并防止其发生振荡。

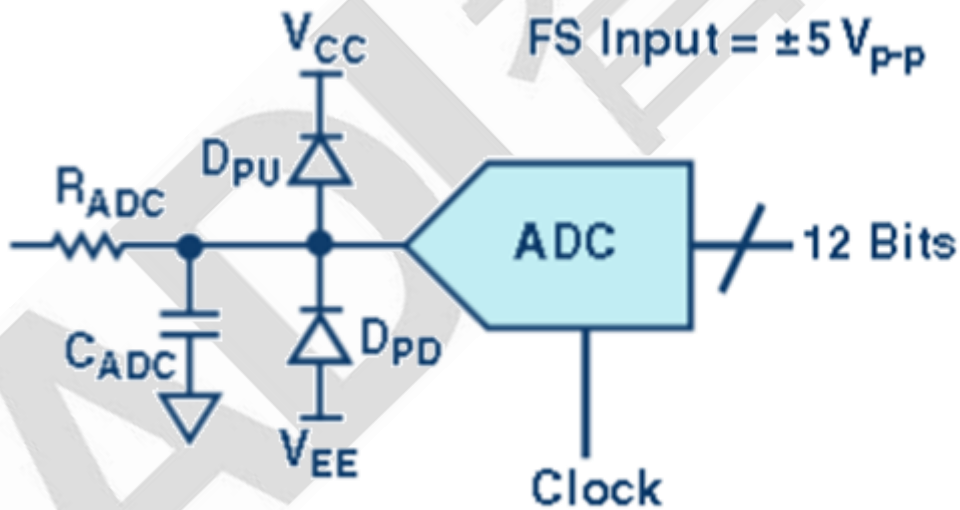


图 5. 信号缓冲后将被施加到 12 位、1MSPSADC。

电容提供了一个简单的低通抗混叠滤波器（AAF），用以衰减目标频带之外的信号和噪声。AAF 的设计在很大程度上取决于系统的设计和应用。最后，上拉和下拉二极管可增添输入保护功能，可防止有可能被施加到转换器输入端的极端过载信号导致的任何故障状况。

前面定义了信号链所有组件，接下来，我们来看看与各级关联的误差。在下面各节里，我们将基于这里讨论的各个信号链级，考察无源误差和有源误差。

直流无源误差

所有无源组件都有误差与其相关，尤其是电阻。表面上看，电阻似乎是比较简单的器件，但实际上，如果其规格不符合设计要求，则在整个信号链中都有可能导致误差。这里不会讨论如何选择正确的电阻类型及其构成。但要记住，根据具体的应用，有些电阻类型可能比其他更合适。

阻性直流误差源于不理想的电阻容差。简单地指定容差值是不够的。然而，对电阻误差容差过分挑剔也可能产生不利影响，使得分析过于复杂。在为给定的信号链指定电阻类型时，至少要注意四个至关重要的技术规格：

- 值容差，单位通常为%。
- 温度系数或漂移，单位通常为 ppm/°C。
- 寿命漂移或合格性，通常以指定小时数内的%为单位（通常为 1000）。
- 值容差比，当网络中或同一封装中有两个或以上的电阻且值匹配时，值容差以%为单位。

为了说明电阻误差是如何累积起来的（图 6），我们来看看下面这个例子：假设有一个 100Ω 的电阻，其值容差为 1%，温度漂移为 100ppm/°C，寿命容差为 5%，则在 5000 小时的寿命周期内，在 85°C 的温度范围内，其电阻为 93.15Ω 至 106.85Ω：

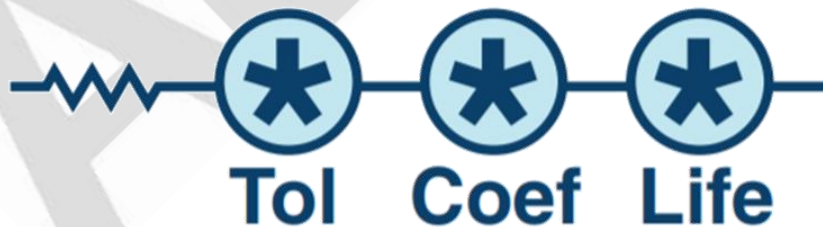


图 6. 此图所示为一个电阻误差模型。

总容差 $(R_{VALUE} + R_{TOL} + R_{COEFF} + R_{LIFE}) = (R_{VALUE} + ((R_{TOL}/100) \times R_{VALUE}) + (((R_{COEFF} \times 0.000001) \times \text{温度范围}) \times R_{VALUE}) + ((R_{LIFE}/100) \times R_{VALUE})) = 94 \Omega$ 至 106Ω 。

来之不易的信息边注：有些组件的寿命周期只有 1000 小时，但设计的要求可能要长得多，比如，10,000 小时。为了解决这个问题，不要将 1000 小时乘以 8.77 (8766 小时/年)；这样做太过悲观了。任何精密模拟电路中的长期漂移都会有一定的“随机游动”量。正确的做法是用此数值的平方根，即 $\sqrt{8.766} \approx 3$ 再乘以 1000 小时。因此，10,000 小时的寿命周期为： $\sqrt{10.000} = 3.16 \times 1000$ 小时，如此等等。

需要注意的是，电容和电感也有误差。但这些误差通常可以忽略不计，在这类直流分析里并无多大的价值。另外，这些器件实际上是无功器件，对滤波和带宽容差的影响最大，本文的直流分析里同样没有考虑这一点。

直流有源误差

图 1 所描述的信号链采用了最普通的构建模块，这是数据采集系统的一种实现方法。该信号链由两个放大器、一个多路复用器和一个 ADC 构成。但要记住的是，有许多类型的有源器件都描述了各类信号链和不同的系统拓扑结构。在实施这类分析时，所有有源器件都会有某些类型的直流误差。为了了解要设计的系统的精度，必须决定要考虑哪些误差，这一点十分重要。

基本而言，直流精度中涉及两类/组误差。对所有这些有源器件来说，这些误差既有个别性，也有普遍性。单个有源器件误差只会显示相对于该器件的已知直流误差。这类误差可以在相应的数据手册里找到。例如，放大器的输入失调电压会被认为属于个别误差，因为此误差只是该有源器件特有的误差。

全局误差是信号链或系统中各个有源器件均存在的等量误差，但根据有源器件各自性能的不同，会表现出不同的误差（图 7）。全局误差的一个例子是总线电源和温度的电压调整率误差。接下来，我们逐一分解信号链中所示三个有源器件的这些误差。

众所周知，放大器还远远没有达到理想水平。它们有许多误差，一般都列示于数据手册当中。失调电压和偏置电流是两种常见的误差，但同时也要考虑任何漂移误差、长期误差和隔离误差（如电源抑制比 (PSRR)）。表 1 列出了在使用放大器时应考虑的下列误差。

技术规格	误差
输入失调电压漂移(V/C)	3.50×10^{-6}
输入偏置电流漂移(A/C)	200×10^{-15}
输入偏置电流(A)	150×10^{-9}
长期漂移(1000小时) (V)	3.75×10^{-3}
输入失调电流(A)	10×10^{-9}
电源抑制比(PSRR) (dB)	-120
输入失调电压(V)	200×10^{-6}
共模抑制比(CMRR) (dB)	-80

表 1. 放大器的各种误差

多路复用器的误差一般少于放大器。在各种多路复用器直流误差中，导通电阻和通道隔离是影响最大的误差。表 2 列出了在使用多路复用器时应考虑的误差。

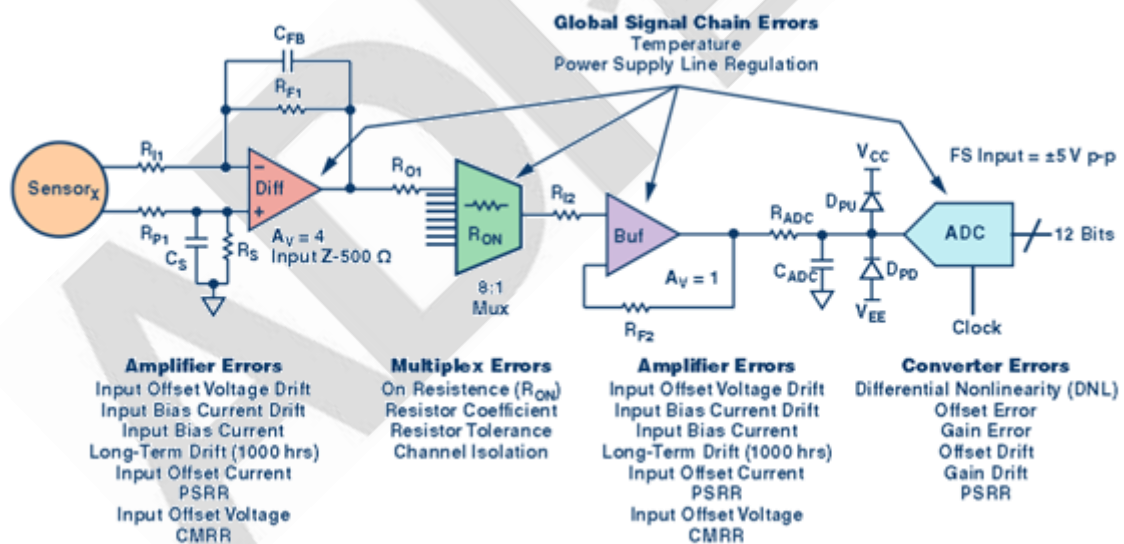


图 7. 有源器件受两类直流精度误差的影响—个别误差和全局误差。

技术规格	误差
导通电阻(R_{ON})(Ω)	400.00
电阻系数(ppm/ $^{\circ}C$)	200.00
电阻容差(%)	20.00
通道隔离(dB)	-70.0

表 2. 多路复用器的各种误差

转换器误差详见本系列的第一部分（如下所示）。失调、增益和 DNL 都是众所周知且较好理解的误差。同时还要包括 PSRR。在使用第一部分提到的 ADC 时，应该考虑下列转换器误差：

- 相对精度 DNL，定义为 ± 0.5 LSBs。
- 相对精度温度系数 DNL 温度系数，通常包含在数据手册的相对精度规格中。
- 增益温度系数误差，为 ± 2.5 LSB（数据来源于上文示例）。
- 失调温度系数误差，为 ± 1.3 LSB（数据来源于上文示例）。
- 电源灵敏度，通常以第一奈奎斯特区内的低频 PSRR 表示；对于 12 位 ADC 而言，一般可表示为 60dB 或 ± 2 LSB。

为节省篇幅，我们在这里不会详细讨论这些误差是如何在有源器件内部产生的。所有这些误差均在大量论文和文章中有明确的定义和详细的描述。在此需要注意的是，必须考虑所有这些基本误差，确保分析确实可靠，能达到系统精度目标规格的要求。

上面就个别有源器件的误差提出了建议并给出了其定义，接下来，应该考虑全局误差，这类误差会对整个信号链产生影响（表 3）。在这个简单的示例中，只会将温度和电压调整率作为全局误差进行分析。然而，同时还有必要考虑特定应用或设计内在的任何其他外部影响因素。

技术规格	误差
温度 (°C)	-45 to +85
电源电压调整率((%/V)	50×10^{-3}

表 3. 全局信号链

将器件连接起来

前面定义了全部有源和无源误差，接下来，我们要把这些误差输入电子表格里，以便计算信号链的直流精度。表 4 展示了完成这一任务的一种方法。

虽然分析信号链精度的方法有许多种，但电子表格法却最为灵活。这种方法还有助于了解如何把所有这些误差数据在信号链设计中进行细分。借助这种方法，设计人员可以快速而有效地在可以为设计考虑的合适器件之间做出权衡。

花些时间编制一份电子表格，使其布局合理、有序。在表格顶部，定义全局误差和信号链规格，因为这些数据会影响整个信号链的性能。放大器规格/误差也放在顶部，因为整个信号链中有多种误差和两个放大器级。

往下，在表格左侧，把所有误差细分到各电阻级。电阻误差也细分到了各个级，以便于了解相应的权衡情况。右侧所示为在信号流进流出各级时连读计算和累计计算的误差。

在计算结果，所有误差均已转换成电压格式。这样是为了方便起见，因为转换器处于信号链末端，其输入满量程是以电压进行描述的。RTO（参考输出）用于描述从一级到下一级连续累计的误差。各级同时还产生一个独立的合计数和 RSS（和方根）合计数，以展示根据所用方法的不同，误差是如何累积起来的。

因此，根据表 4 里的最终结果，累计的合计误差为±2.6%，RSS 误差为±1.6%。这是本文讨论的整个信号链的误差，其前提是针对各个部分的数据手册规格以及前面提到的在 26°C 下的全局条件。

累积总量

精度可以通过多种方式计算，并且可能表现为多种形式。根据设计人员的想法，可以深入了解并记录所用方法，以避免形成错误结果。请记住，在第一部分，我们提到，如果

只是用所有这些误差源的和方根（RSS）值，结果可能会过于悲观。然而，统计容差结果可能过于乐观了（总误差之和除以误差数）。整个信号链的实际容差应当介于这两种思路或方法之间。

因此，当在整个信号链中加入（累积）精度误差的时候，或者进行任何系统精度分析的时候，设计人员应当使用加权误差源法（如第一部分 ADC 示例所示），然后对这些误差源进行 RSS 计算。这是确定整个信号链总误差的最佳方法。

结论

无源和有源器件都会出现多种误差。并非所有误差都很重要，但要记住对信号链应用重要的那些误差。并非所有误差对每种应用都有效。在进行任何直流精度误差分析时，决定最重要或者影响最大或权重最大的误差有哪些，这是必不可少的步骤。我们编制了一张电子表格，以展示本文里的信号链示例是如何达到 $\leq \pm 2.0\%$ 的精度要求的。

选择合适的无源器件对于信号链中的累积误差就如有源器件一样有用。编制电子表格并对数据进行分类，有助于快速考虑多种不同的器件和折衷情况。最后，误差的累积可能表现为多种不同形式，最常用的方法是 RSS 精度法。

然而，有人可能认为，加权总和误差法是确定“最差条件直流误差”的正确方式。否则，这可能轻易导致信号链的设计超过规格要求，用更多器件来补偿原来的误差集。更不用说成本及设计大小、重量和功率（SWaP）等因素的增量。

信号链规格	数值	技术规格	最小值	单位	最大值
输入信号(V)	1×10^1	放大器规格			
ADC位数	1.2×10^1	输入失调电压漂移(V/C)	3.5×10^{-6}	V	3.50×10^{-6}
ADC输入满量程(Diff V_{p-p}) (含裕量)	9.97×10^0	输入偏置电流漂移(A/C)	2×10^{-13}	A	2×10^{-13}
ADC输入满量程(Diff V_{p-p})	1×10^0	输入偏置电流	1.5×10^{-7}	A	
ADC LSB大小(V_{p-p})	2.44×10^{-3}	长期漂移(V) (5000小时)	3.75×10^{-3}	V	
温度范围(-50°C至+80°C) 1 = 26°C	1×10^0	输入失调电流(A)	1×10^{-8}	A	
开尔文(K)	2.9915×10^2	PSRR (dB)	-1.2×10^2	V	3.50×10^{-9}
玻尔兹曼常数(W-s/K)	1.38×10^{-23}	输入失调电压(V)	2×10^{-4}	V	
LDO电压调整率(%/V)	5×10^{-2}	第一级CMRR (dB)	-8×10^1	V	5×10^{-4}
第一级放大器CMR (V)	5×10^0	ADC缓冲器CMRR (dB)	-8×10^1	V	5×10^{-4}
放大器缓冲器CMR (V)	5×10^0	$E_{n_op}(V/\sqrt{Hz})$	6×10^{-9}	V	3.36×10^{-6}
电源电压	7×10^0	$I_{n_op}(nA/\sqrt{Hz})$	8×10^{-13}	A	4.4829×10^{-10}
BW (Hz)	2×10^5	噪声电压(V_{p-p})	1.5×10^{-7}	V	5.303×10^{-8}
噪声BW (Hz)—一阶系统	3.14×10^5				
噪声BW (Hz)—二阶系统	2.444×10^5				

输入			最小值	单位	最大值
第一级放大器电路—差分放大器		总容差($R_{F1} + R_{TOL} + R_{COEFF} + R_{LIFE}$)	2.48122×10^4	Ω	2.49878×10^4
放大器增益(A_v)	1×10^0	总容差($R_{F1} + R_{TOL} + R_{COEFF} + R_{LIFE}$)	2.48745×10^4	Ω	2.49878×10^4
$R_{I1}(\Omega)$	2.49×10^4	总容差($R_{P1} + R_{TOL} + R_{COEFF} + R_{LIFE}$)	1.24217×10^4	Ω	1.24939×10^4
$R_{F1}(\Omega)$	2.49×10^4	总容差($R_{O1} + R_{TOL} + R_{COEFF} + R_{LIFE}$)	9.96475×10^1	Ω	1.003525×10^2
$R_{P1}(\Omega) = R_{I1} \parallel R_{F1}$	1.245×10^4	总容差(增益 = R_{F1}/R_{I1})	9.954660×10^{-1}	增益	1.0071×10^0
$R_{O1}(\Omega)$	1×10^2	信号电平	9.9547×10^0	V	1.00707×10^1
电阻系数(ppm/°C)	2.5×10^2	输入电流失调 $\times R_{P1} - R_{TO}$	8.748575×10^{-7}	V	8.839525×10^{-7}
电阻容差(%)	1×10^{-1}	输入失调电压—RTO	4.060773×10^{-4}	V	4.084398×10^{-4}
电阻寿命容差(%), 5000 小时	2.5×10^{-1}	输入偏置误差—RTO	-2.16197×10^{-5}	V	2.17455×10^{-5}
		第一级总精度误差(和)	1.3831×10^{-3}	V	1.4346×10^{-3}
		第一级总精度误差(RSS)	1.0774×10^{-3}	V	1.0837×10^{-3}
		信号电平(和)	9.9560×10^0	V	1.00722×10^1
信号多路复用		信号电平(RSS)	9.9557×10^0	V	1.00718×10^1

$R_{ON}(\Omega)$	4×10^2	总容差($R_{ON} + R_{TOL} + R_{COEFF}$)	3.199200×10^2	Ω	4.8008×10^2
电阻系数(ppm/C)	2×10^2	通道间隔离误差	1.5811×10^{-3}	V	1.5811×10^{-3}
电阻容差(%)	2×10^1				
通道隔离(dB)	-7×10^1				
放大器缓冲电路					
电阻系数(ppm/C)	2.5×10^1	总容差($R_{I2} + R_{TOL} + R_{COEFF} + R_{LIFE}$)	55.9426×10^4	Ω	5.60574×10^4
电阻容差(%)	1×10^{-1}	总容差($R_{F2} + R_{TOL} + R_{COEFF} + R_{LIFE}$)	5.61424×10^3	Ω	5.62576×10^4
电阻寿命容差(%)，5000 小时	2.5×10^{-1}	总容差(增益 = R_{F2}/R_{I2})	1.0015×10^0	Gain	1.0056×10^0
单位增益缓冲器(A_v)	1×10^0	信号电平(和)	9.9727×10^0	V	1.01305×10^1
$R_{I2}(\Omega)$	5.6×10^4	信号电平(RSS)	9.9724×10^0	V	1.01301×10^1
$R_{F2}(\Omega)$	5.62×10^4	输入电流失调 $\times R_{I2}$ —RTO	2.805049×10^{-4}	V	2.805039×10^{-4}
$R_{ADC}(\Omega)$	3.32×10^1	输入失调电压—RTO	3.9595×10^{-3}	V	3.9758×10^{-3}
$R_{E1}(\Omega)$, (二极管电阻)	1×10^{-1}	输入偏置误差—RTO	1.56844×10^{-5}	V	7.43156×10^{-5}
$R_{E2}(\Omega)$, (二极管电阻)	1×10^{-1}	ADC缓冲器总精度误差(和)	4.7564×10^{-3}	V	4.8334×10^{-3}
		ADC缓冲器总精度误差(RSS)	4.0009×10^{-3}	V	4.0179×10^{-3}

		信号电平(和)	9.9775×10^0	V	1.01353×10^1
		信号电平(RSS)	9.9764×10^0	V	1.01342×10^1
ADC 电路					
线性度, INL(LSB)– 1.5 = DS	1.5×10^0			V	3.6621×10^{-3}
失调误差(LSB)– 10 = DS	1×10^1			V	2.44141×10^{-2}
增益误差(%FSR)– 0.1 = DS	1×10^{-1}			V	1×10^{-2}
失调漂移(ppm/C)– 30 = DSFT	3×10^1			V	3×10^{-4}
增益漂移(ppm/C)– 40 = DSFT	4×10^1			V	4×10^{-4}
PSRR(dB)– 5 LSB = DSFT	-6×10^1			V	3.5×10^{-6}
时钟速率, F_s (Hz)	4×10^5	ADC总精度误差		V	2.66403×10^{-2}
理想的12位SNR(dB)	7.4×10^1	总精度误差(和)	3.43610×10^{-2}	V	3.44895×10^{-2}
数据手册最小 SINAD FS(dB)	6.5×10^1	总精度误差 (RSS)	2.7007×10^{-2}	V	2.70097×10^{-2}
数据手册ENOB(位)	1.05×10^1	信号电平(和)	1.00041×10^1	V	1.01620×10^1
		信号电平(RSS)	1.00031×10^1	V	1.01608×10^1
		直流精度(± – %)	1.5774×10^0	%	

表 4. 全信号链分析示例

高速 ADC PCB 布局布线规则

第一部分

为了确保设计性能达到数据手册的技术规格，使用高速转换器时，必须遵守一些指导原则。首先，有一个常见的问题：“AGND 和 DGND 接地层应当分离吗？”简单回答是：视情况而定。

详细回答则是：通常不分离。因为在大多数情况下，分离接地层只会增加返回电流的电感，它所带来的坏处大于好处。从公式 $V = L (di/dt)$ 可以看出，随着电感增加，电压噪声会提高。而随着开关电流增大（因为转换器采样速率提高），电压噪声同样会提高。因此，接地层应当连在一起。

一个例子是，在一些应用中，为了符合传统设计要求，必须将脏乱的总线电源或数字电路放在某些区域，同时还受尺寸限制的影响，使得电路板无法实现良好的布局分割，在这种情况下，分离接地层是实现良好性能的关键。然而，为使整体设计有效，必须在电路板的某个地方通过一个电桥或连接点将这些接地层连在一起。因此，应将连接点均匀地分布在分离的接地层上。最终，PCB 上往往会有一个连接点成为返回电流通过而不会导致性能降低的最佳位置。此连接点通常位于转换器附近或下方。

设计电源层时，应使用这些层可以使用的所有铜线。如果可能，请勿让这些层共用走线，因为额外的走线和过孔会将电源层分割成较小的碎块，从而迅速损害电源层。由此产生的稀疏电源层可以将电流路径挤压到最需要这些路径的地方，即转换器的电源引脚。挤压过孔与走线之间的电流会提高电阻，导致转换器的电源引脚发生轻微的压降。

最后，电源层的放置至关重要，切勿将高噪声的数字电源层叠放在模拟电源层上，否则二者虽然位于不同的层，但仍有可能耦合。为将系统性能下降的风险降至最低，设计中应尽可能将这些类型的层隔开而不是叠加在一起。

第二部分

第一部分讨论了为什么 AGND 和 DGND 接地层未必一定分离，除非设计的具体情况要求您必须这么做。这部分讨论印刷电路板（PCB）的输电系统（PDS）设计，这一任务常被忽视，但对于系统级模拟和数字设计人员却至关重要。

PDS 的设计目标是将响应电源电流需求而产生的电压纹波降至最低。所有电路都需要电

流，有些电路需求量较大，有些电路则需要以较快的速率提供电流。采用充分去耦的低阻抗电源层或接地层以及良好的 PCB 层叠，可以将因电路的电流需求而产生的电压纹波降至最低。例如，如果设计的开关电流为 1A，PDS 的阻抗为 10mΩ，则最大电压纹波为 10mV。

首先，应当设计一个支持较大层电容的 PCB 层叠结构。例如，六层堆叠可能包含顶部信号层、第一接地层、第一电源层、第二电源层、第二接地层和底部信号层。规定第一接地层和第一电源层在层叠结构中彼此靠近，这两层间距为 2 到 3 密尔，形成一个固有层电容。此电容的最大优点是它是免费的，只需在 PCB 制造笔记中注明。如果必须分割电源层，同一层上有多个 VDD 电源轨，则应使用尽可能大的电源层。不要留下空洞，同时也应注意敏感电路。这将使该 VDD 层的电容最大。如果设计允许存在额外的层（本例中是从六层变为八层），则应将两个额外的接地层放在第一和第二电源层之间。在核心间距同样为 2 到 3 密尔的情况下，此时层叠结构的固有电容将加倍。

对于理想的 PCB 层叠，电源层起始入口点和 DUT 周围均应使用去耦电容，这将确保 PDS 阻抗在整个频率范围内均较低。使用若干 0.001μF 至 100μF 的电容有助于覆盖该范围。没有必要各处都配置电容；电容正对着 DUT 对接会破坏所有的制造规则。如果需要这种严厉的措施，则说明电路存在其它问题。

第三部分

第一部分讨论了为什么 AGND 和 DGND 接地层未必一定分离，除非设计的具体情况要求您必须这么做。第二部分讨论了输电系统（PDS），以及电源层和接地层挤压在一起如何能提供额外的电容。第三部分将讨论裸露焊盘（E-Pad），这是一个容易忽视的方面，但它对于实现 PCB 设计的最佳性能和散热至关重要。

裸露焊盘（引脚 0）指的是大多数现代高速 IC 下方的一个焊盘，它是一个重要的连接，芯片的所有内部接地都是通过它连接到器件下方的中心点。裸露焊盘的存在使许多转换器和放大器可以省去接地引脚。关键是将该焊盘焊接到 PCB 时，要形成稳定可靠的电气连接和散热连接，否则系统可能会遭到严重破坏。

通过以下三个步骤，可以实现裸露焊盘的最佳电气和散热连接。首先，在可能的情况下，应在各 PCB 层上复制裸露焊盘，这将为所有接地提供较厚的散热连接，从而快速散热，对于高功耗器件尤其重要。在电气方面，这将为所有接地层提供良好的等电位连接。在底层上复制裸露焊盘时，它可以用作去耦接地点和安装散热器的地方。

其次，将裸露焊盘分割成多个相同的部分。以棋盘状最佳，可以通过丝网交叉格栅或焊

罩来实现。在回流焊组装过程中，无法决定焊膏如何流动以建立器件与 PCB 的连接，因此连接可能存在，但分布不均，更糟糕的情况是连接很小并且位于拐角处。将裸露焊盘分割为若干较小的部分可以使各个区域都有一个连接点，从而确保器件与 PCB 之间形成可靠、均匀的连接。

最后，应当确保各部分都有过孔连接到地。各区域通常都很大，足以放置多个过孔。组装之前，务必用焊膏或环氧树脂填充每个过孔，这一步非常重要，这样才能确保裸露焊盘焊膏不会回流到过孔空洞中，否则会降低正确连接的机率。

第四部分

本系列的第一部分讨论了为什么 AGND 和 DGND 接地层未必一定分离，除非设计的具体情况要求您必须这么做。第二部分讨论了电源系统 (PDS) 的设计，以及电源层和接地层挤压在一起如何能提供额外的电容。第三部分讨论了如何通过巧妙的裸露焊盘 (E-Pad) 设计实现信号链设计的最佳性能和散热效果。第四部分将讨论 PCB 中各层面之间交叉耦合的问题，这点是不容忽视的。

在 PCB 设计中，一些高速转换器的布局布线不可避免地会出现一个电路层与另一个交叠的情况。某些情况下，敏感的模拟层 (电源、接地或信号) 可能就在高噪声数字层的正上方。大多数设计人员认为这无关紧要，因为这些层面位于不同的层。是否如此呢？我们来看一个简单的测试。

选择相邻层中的一层，并在该层面注入信号。然后，将交叉耦合层连接到一个频谱分析仪。可以看到，耦合到相邻层的信号非常多。即使间距 40 密尔，某种意义上相邻层仍会形成一个电容，因此在某些频率下，信号仍会从一个层耦合到另一个层。

假设某层上的高噪声数字部分具有高速开关的 1V 信号，层间隔离为 60dB 时，非受驱层将看到从受驱层耦合而来的 1mV 信号。对于 2Vp-p 满量程摆幅的 12 位模数转换器 (ADC) 而言，这意味着 2LSB (最低有效位) 的耦合。对于特定的系统，这可能不成问题，但应注意，当分辨率从 12 位提高到 14 位时，灵敏度会提高四倍，因而误差将增大到 8LSB。

忽略交叉面/交叉层耦合可能不会导致系统设计失败，或者削弱设计，但必须保持警惕，因为两个层面之间的耦合可能比想象的要多。

在目标频谱内发现噪声杂散耦合时，应注意这一点。有时候，布局布线会导致非预期信号或层交叉耦合至不同层。调试敏感系统时请记住这一点：问题可能出在下面一层。

高速 ADC PCB 布局布线技巧

在当今的工业领域，系统电路板布局已成为设计本身的一个组成部分。因此，设计工程师必须了解影响高速信号链设计性能的机制。

在高速模拟信号链设计中，印刷电路板（PCB）布局布线需要考虑许多选项，有些选项比其它选项更重要，有些选项则取决于应用。最终的答案各不相同，但在所有情况下，设计工程师都应尽量消除最佳做法的误差，而不要过分计较布局布线的每一个细节。本应用笔记提供的信息对设计工程师的下一个高速设计项目会有所帮助。

裸露焊盘

裸露焊盘（EPAD）有时会被忽视，但它对充分发挥信号链的性能以及器件充分散热非常重要。

裸露焊盘，ADI 公司称之为引脚 0，是目前大多数器件下方的焊盘。它是一个重要的连接，芯片的所有内部接地都是通过它连接到器件下方的中心点。不知您是否注意到，目前许多转换器和放大器中缺少接地引脚，原因就在于裸露焊盘。

关键是将此引脚妥善固定（即焊接）至 PCB，实现牢靠的电气和热连接。如果此连接不牢固，就会发生混乱，换言之，设计可能无效。

实现最佳连接

利用裸露焊盘实现最佳电气和热连接有三个步骤。首先，在可能的情况下，应在各 PCB 层上复制裸露焊盘，这样做的目的是为了与所有接地和接地层形成密集的热连接，从而快速散热。此步骤与高功耗器件及具有高通道数的应用相关。在电气方面，这将为所有接地层提供良好的等电位连接。

甚至可以在底层复制裸露焊盘（见图 1），它可以用作去耦散热接地点和安装底侧散热器的地方。

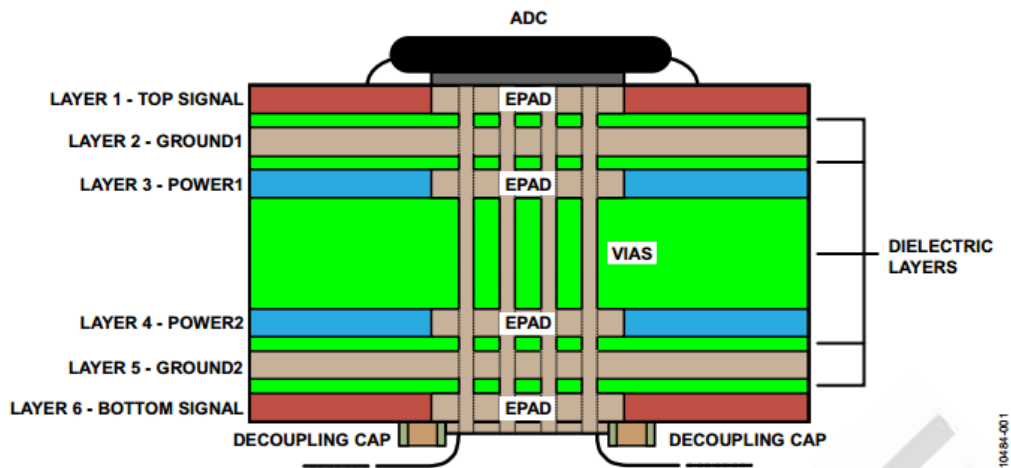


图 1. 裸露焊盘布局示例

其次，将裸露焊盘分割成多个相同的部分，如同棋盘。在打开的裸露焊盘上使用丝网交叉格栅，或使用阻焊层。此步骤可以确保器件与 PCB 之间的稳固连接。在回流焊组装过程中，无法决定焊膏如何流动并最终连接器件与 PCB。连接可能存在，但分布不均。可能只得到一个连接，并且连接很小，或者更糟糕，位于拐角处。将裸露焊盘分割为较小的部分可以确保各个区域都有一个连接点，实现更牢靠、均匀连接的裸露焊盘（见图 2 和图 3）。

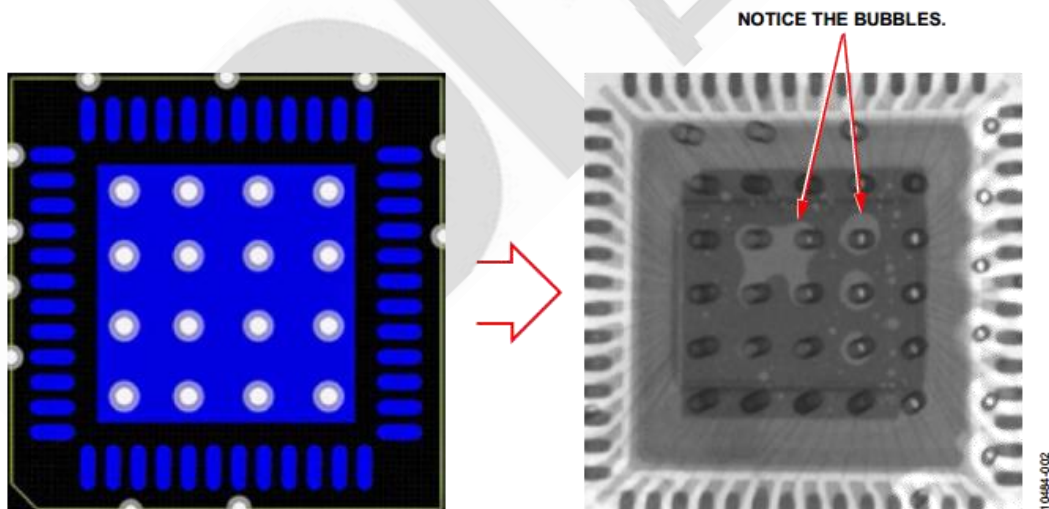


图 2. EPAD 布局不当的示例

最后，应当确保各部分都有过孔连接到地。各区域通常都很大，足以放置多个过孔。组装之前，务必用焊膏或环氧树脂填充每个过孔，这一步非常重要，可以确保裸露焊盘焊膏不会回流到这些过孔空洞中，影响正确连接。最后，应当确保各部分都有过孔连接到

地。各区域通常都很大，足以放置多个过孔。组装之前，务必用焊膏或环氧树脂填充每个过孔，这一步非常重要，可以确保裸露焊盘焊膏不会回流到这些过孔空洞中，影响正确连接。

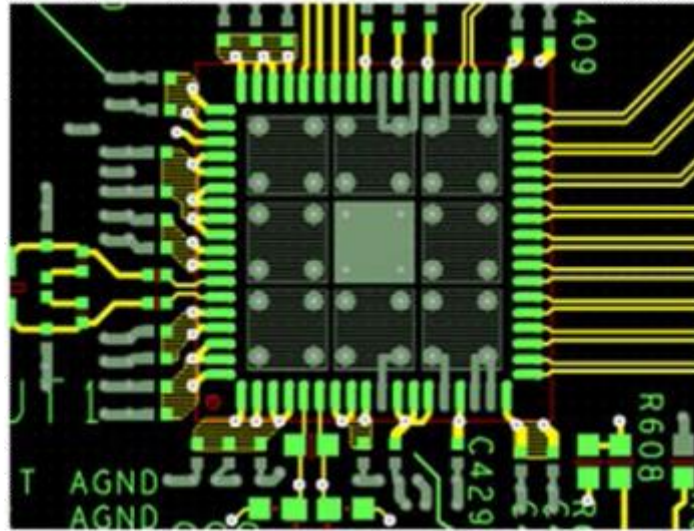


图 3. 较佳 EPAD 布局示例

去耦和层电容

有时工程师会忽略使用去耦的目的，仅仅在电路板上分散大小不同的许多电容，使较低阻抗电源连接到地。但问题依旧：需要多少电容？许多相关文献表明，必须使用大小不同的许多电容来降低功率传输系统（PDS）的阻抗，但这并不完全正确。相反，仅需选择正确大小和正确种类的电容就能降低 PDS 阻抗。

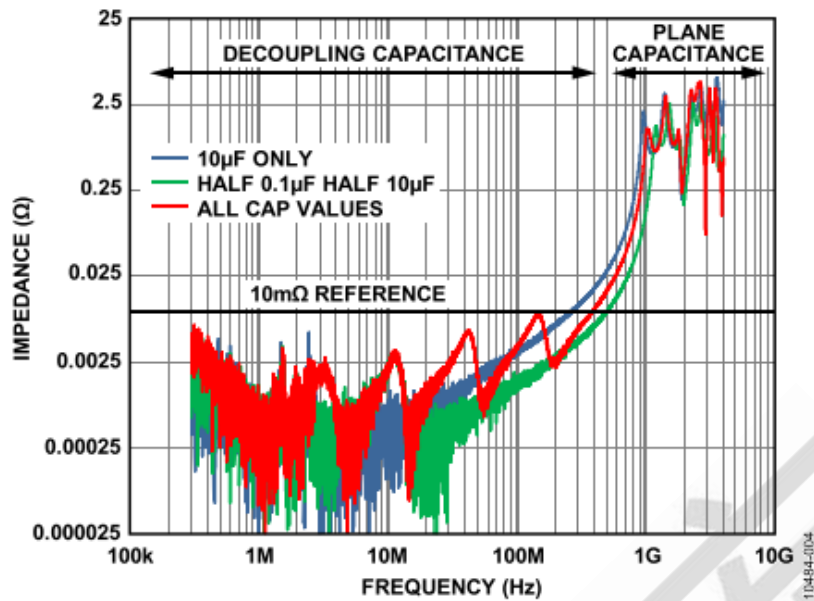


图 4. 电容示例

例如，考虑设计一个 $10\text{m}\Omega$ 参考层，如图 4 所示。如红色曲线所示，系统电路板上使用许多不同值的电容， $0.001\mu\text{F}$ 、 $0.01\mu\text{F}$ 、 $0.1\mu\text{F}$ 等等。这当然可以降低 500MHz 频率范围内的阻抗，但是，请看绿色曲线，同样的设计仅使用 $0.1\mu\text{F}$ 和 $10\mu\text{F}$ 电容。这证明，如果使用正确的电容，则不需要如此多的电容。这也有助于节省空间和物料 (BOM) 成本。注意，并非所有电容“生而平等”，即使同一供应商，工艺、尺寸和样式也有差别。如果未使用正确的电容，不论是多个电容还是几个不同类型，都会给 PDS 带来反作用。结果可能是形成电感环路。电容放置不当或者使用不同工艺和型号的电容器（因而对系统内的频率做出不同响应），彼此之间可能会发生谐振（见图 5）。

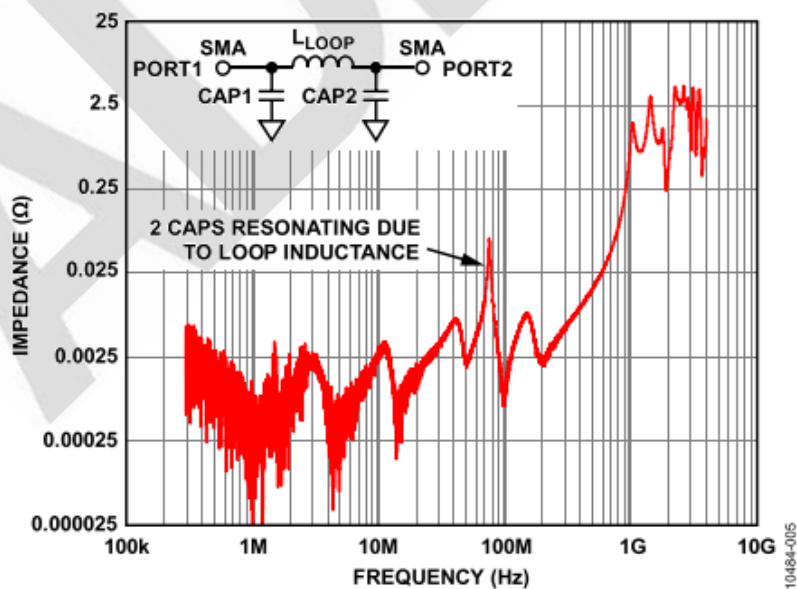


图 5. 谐振电容

了解系统所用电容类型的频率响应很重要。随便选用电容，会让设计低阻抗 PDS 系统的努力付之东流。

PDS 的高频层电容

要设计出合格的 PDS，需要使用各种电容（见图 4）。PCB 上使用的典型电容值只能将直流或接近直流频率至约 500MHz 范围的阻抗降低。高于 500MHz 频率时，电容取决于 PCB 形成的内部电容。注意，电源层和接地层紧密叠置会有帮助。

应当设计一个支持较大层电容的 PCB 层叠结构。例如，六层堆叠可能包含顶部信号层、第一接地层、第一电源层、第二电源层、第二接地层和底部信号层。规定第一接地层和第一电源层在层叠结构中彼此靠近，这两层间距为 2 到 4 密尔，形成一个固有高频层电容。此电容的最大优点是它是免费的，只需在 PCB 制造笔记中注明。如果必须分割电源层，同一层上有多个 VDD 电源轨，则应使用尽可能大的电源层。不要留下空洞，同时应注意敏感电路。这将使该 VDD 层的电容最大。

如果设计允许存在额外的层（上例中，从六层变为八层），则应将两个额外的接地层放在第一和第二电源层之间。在核心间距同样为 2 到 3 密尔的情况下，此时层叠结构的固有电容将加倍（示例见图 6）。

与添加更多分立高频电容以在高频时保持低阻抗相比，此结构更易于设计。

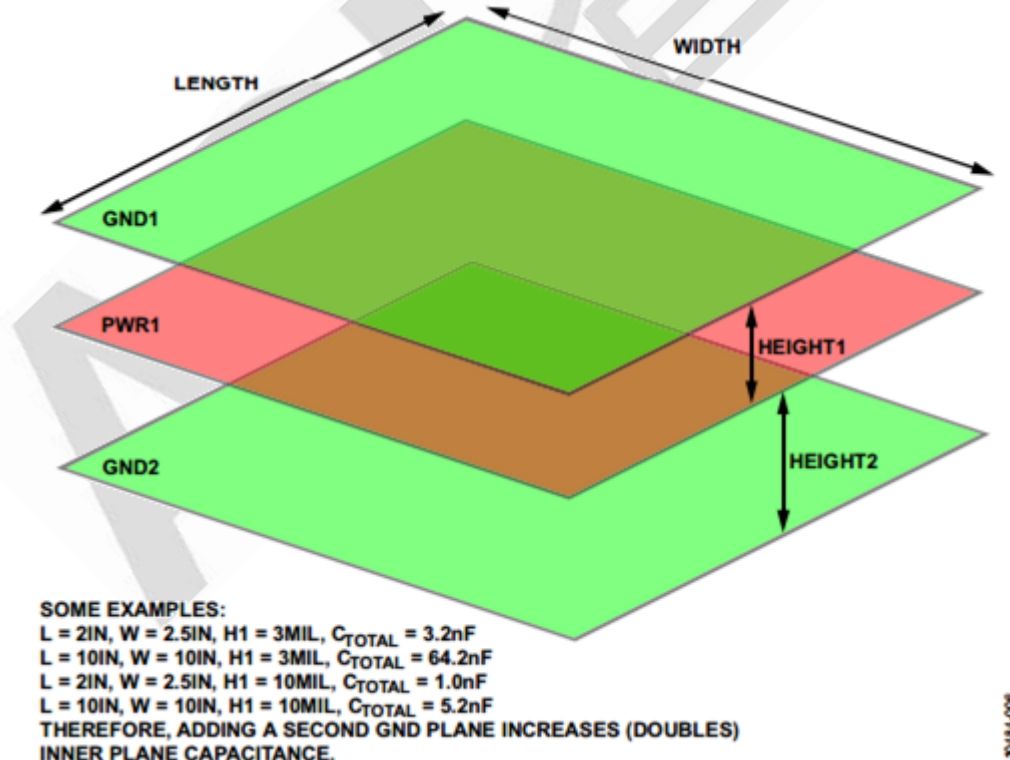


图 6. 高频层电容示例

PDS 的任务是将响应电源电流需求而产生的电压纹波降至最低，这点很重要但常被忽略。所有电路都需要电流，有些电路需求量较大，有些电路则需要以较快的速率提供电流。采用充分去耦的低阻抗电源层或接地层以及良好的 PCB 层叠，有助于将因电路的电流需求而产生的电压纹波降至最低。例如，根据所用的去耦策略，如果系统设计的开关电流为 1A，PDS 的阻抗为 10mΩ，则最大电压纹波为 10mV。计算很简单： $V=IR$ 。

凭借完美的 PCB 堆叠，可覆盖高频范围，同时在电源层起始入口点和高功率或浪涌电流器件周围使用传统去耦，可覆盖低频范围 (<500MHz)。这可确保 PDS 阻抗在整个频率范围内均最低。没有必要各处都配置电容；电容正对着每个 IC 放置会破坏许多制造规则。如果需要这种严厉的措施，则说明电路存在其它问题。

层耦合

一些布局不可避免地具有重叠电路层（见图 8）。有些情况下，可能是敏感模拟层（例如电源、接地或信号），下方的一层是高噪声数字层。

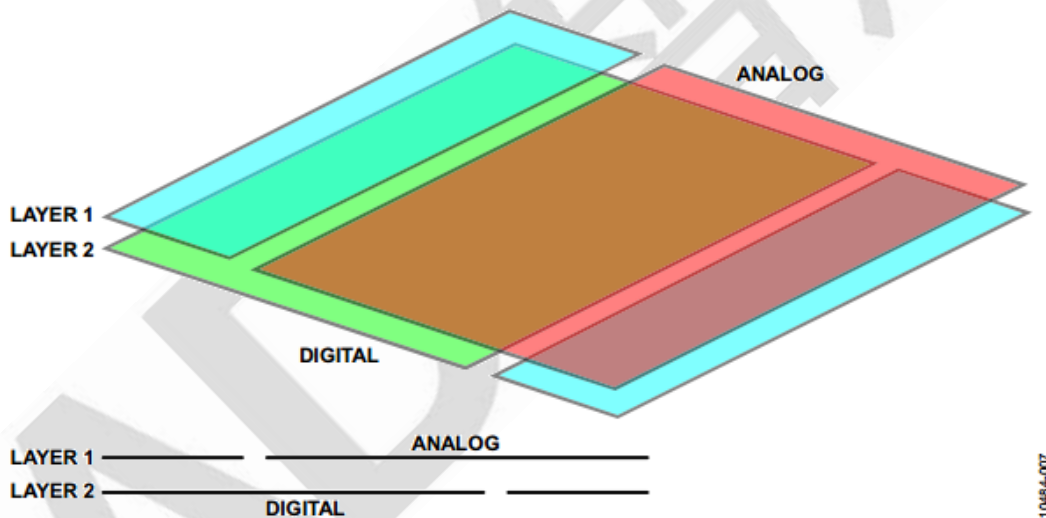


图 7. 交叉耦合层示例

这常常被忽略，因为高噪声层是在另一层——在敏感的模拟层下方。然而，一个简单的实验就可以证明事实并非如此。以某一层面为例，在任一层注入信号。接着连接另一层，将该相邻层交叉耦合至频谱分析仪。耦合到相邻层的信号量如图 8 所示。即使间距 40 密尔，某种意义上它仍是电容，因此在某些频率下仍会耦合信号至相邻层。

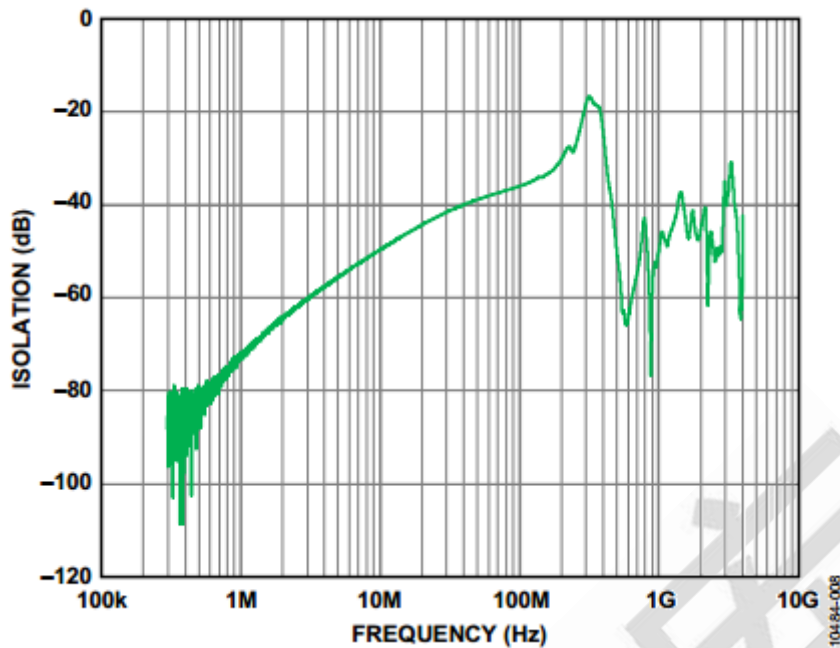


图 8. 交叉耦合层实测结果

图 8 显示了这样的例子。举例来说，假设一个层面上的高噪声数字层具有高速开关的 1V 信号。这意味着，另一层将看到 1mV 的耦合（约 60dB 隔离）。对具有 2-V_{p-p} 满量程摆幅的 12 位 ADC，这是 2LSB 的耦合。对于特定的系统这可能不成问题，但应注意，如果系统的灵敏度提升两位，从 12 位增至 14 位，此耦合的灵敏度只会提高四倍，即 8LSB。忽略此类型的交叉层耦合可能使系统失效，或者削弱设计。必须注意，两层之间存在的耦合可能超出想象。

在目标频谱内发现噪声杂散耦合时应注意这一点。有时布局决定了非预期信号或层间交叉耦合至不同层。同样，调试敏感系统时应注意这一点。该问题可能出现在下面一层。

分离接地

模拟信号链设计人员最常提出的问题是：使用 ADC 时是否应将接地层分为 AGND 和 DGND 接地层？简单回答是：视情况而定。

详细回答则是：通常不分离。为什么不呢？因为在大多数情况下，盲目分离接地层只会增加返回路径的电感，它所带来的坏处大于好处。

从公式 $V=L (di/dt)$ 可以看出，随着电感增加，电压噪声会提高。随着电感增加，设计人员一直努力压低的 PDS 阻抗也会增加。随着提高 ADC 采样速率的需求继续增长，降

低开关电流 (di/dt) 的方式却很有限。因此，除非需要分离接地层，否则请保持这些接地连接。

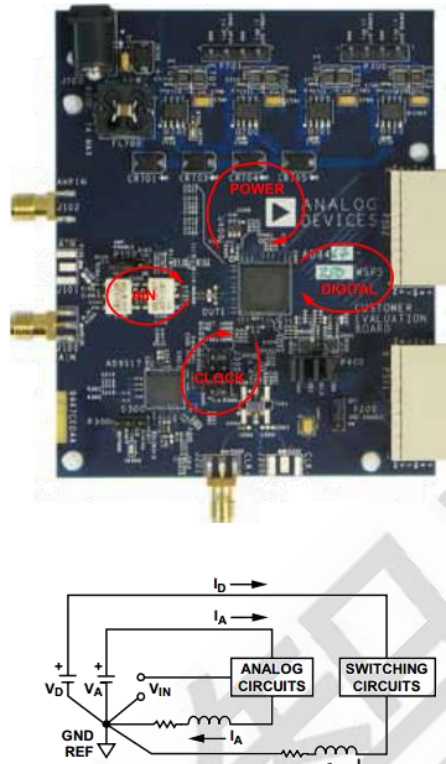


图 9. 良好电路分割示例

关键是电路分割要合理，这样就不必分离接地层，如图 9 所示。注意，如果布局允许您将电路保持在各自区域内，便不需要分离接地层。如此分割可提供星型接地，从而将返回电流局限在特定电路部分。

例如，受尺寸限制的影响，电路板无法实现良好的布局分割时，就需要分离接地层。这可能是为了符合传统设计要求或尺寸，必须将脏乱的总线电源或高噪声数字电路放在某些区域。这种情况下，分离接地层是实现良好性能的关键。然而，为使整体设计有效，必须在电路板的某个地方通过一个电桥或连接点将这些接地层连在一起。因此，应将连接点均匀地分布在分离的接地层上。

最终，PCB 上往往会有一个连接点成为返回电流通过而不会导致性能降低或强行将返回电流耦合至敏感电路的最佳位置。如果此连接点位于转换器、其附近或下方，则不需要分离接地。

结束语

由于最佳选项太多，布局考虑总是令人困惑。技术和原则一直是公司设计文化的一部分。工程师喜欢借鉴以前设计中的经验，同时产品上市压力使设计人员不愿更改或尝试新技术。他们拘泥于风险权衡，直至系统内出现重大问题。

在评估板、模块和系统级别，简单的单一接地最佳。良好的电路分割是关键。这也影响到层和相邻层布局。如果敏感层在高噪声数字层以上，请注意可能会发生交叉耦合。组装也很重要；提供给 PCB 车间或组装车间的制造笔记应善加利用，确保 IC 裸露焊盘和 PCB 之间具有可靠连接。

组装不良常常导致系统性能欠佳。靠近电源层入口点和转换器或 IC 的 VDD 引脚的去耦总是有利的。然而，为了增加固有高频去耦电容，应使用紧密叠置的电源和接地层（间距 ≤ 4 密尔）。此方法不会带来额外成本，只需花几分钟更新 PCB 制造笔记。

设计高速、高分辨率转换器布局时，很难照顾到所有的具体特性。每个应用都是独一无二的。希望本应用笔记所述的几个要点有助于设计工程师更好地了解未来的系统设计。