



EDA 应用技术

<http://www.phei.com.cn>

# Cadence


## 高速电路板设计与仿真 (第4版) ——信号与电源完整性分析

周润景 苏良碧 编著



电子工业出版社  
PUBLISHING HOUSE OF ELECTRONICS INDUSTRY





EDA 应用技术

# Cadence

## 高速电路板设计与仿真 (第4版) ——信号与电源完整性分析

---

周润景 苏良碧 编著



電子工業出版社

Publishing House of Electronics Industry

北京·BEIJING



## 内 容 简 介

本书以 Cadence Allegro SPB 16.3 为基础, 以具体的高速 PCB 为范例, 详尽讲解了 IBIS 模型的建立、高速 PCB 的预布局、拓扑结构的提取、反射分析、窜扰分析、时序分析、约束驱动布线、后布线 DRC 分析、差分对设计等信号完整性分析, 以及目标阻抗、电源噪声、去耦电容器模型与布局、电源分配系统、电压调节模块、电源平面、单节点仿真、多节点仿真等电源完整性分析内容。

本书适合对高速 PCB 设计有一定基础的中、高级读者阅读, 也可作为高等学校相关专业及培训机构的教学用书。

未经许可, 不得以任何方式复制或抄袭本书之部分或全部内容。  
版权所有, 侵权必究。

### 图书在版编目 (CIP) 数据

Cadence 高速电路板设计与仿真: 信号与电源完整性分析 / 周润景, 苏良碧编著. —4 版. —北京: 电子工业出版社, 2011.9

(EDA 应用技术)

ISBN 978-7-121-14610-7

I. ①C… II. ①周…②苏… III. ①印刷电路—计算机辅助设计②印刷电路—计算机仿真 IV. ①TN410.2

中国版本图书馆 CIP 数据核字 (2011) 第 188397 号

责任编辑: 张 剑 (zhang@phei.com.cn)

印 刷: 涿州市京南印刷厂

装 订: 涿州市桃园装订有限公司

出版发行: 电子工业出版社

北京市海淀区万寿路 173 信箱 邮编 100036

开 本: 787×1092 1/16 印张: 31.5 字数: 806 千字

印 次: 2011 年 9 月第 1 次印刷

印 数: 4 000 册 定价: 68.00 元

凡所购买电子工业出版社图书有缺损问题, 请向购买书店调换。若书店售缺, 请与本社发行部联系, 联系及邮购电话: (010) 88254888。

质量投诉请发邮件至 zltz@phei.com.cn, 盗版侵权举报请发邮件至 dbqq@phei.com.cn。

服务热线: (010) 88258888。



# 序 言

Allegro PCB 产品是 Cadence 公司在 PCB 设计领域的旗舰产品，因其功能强大、易学易用，得到了广大电子工程师的厚爱。

Allegro PCB 产品涵盖了完整的 PCB 设计流程，包括电路图输入，PCB 编辑及布线，PCB 板级系统电源完整性及信号完整性分析，PCB 设计制造分析，以及 PCB 制造输出等。

电子工程领域的 PCB 设计有难、有易，Cadence 公司为了适应不同市场需求，分别提供如下几个集成的、从前端到后端的 Allegro PCB 设计解决方案，帮助用户应对不同设计的要求。

- Allegro Orcad 系列：满足主流用户 PCB 设计要求。
- Allegro L 系列：适用于对成本敏感的小规模到中等规模的团队，同时具有随着工艺复杂度增加而伸缩的灵活性。
- Allegro XL/GXL：满足先进的高速、约束驱动的 PCB 设计，依托 Allegro 具有鲜明特点的约束管理器管理解决方案，能够跨设计流程同步管理电气约束，如同一个无缝的过程。

面对日益复杂的高速 PCB 设计要求，Cadence 公司的上述产品包提供的都是一个统一且集成的设计环境，能够让电子工程师从设计周期开始到布线持续解决高速电路设计问题，以提高电子工程师的设计效率。

由于 Allegro PCB 软件功能强大，本书的作者周润景教授总结了多年的 Allegro 平台工具教学和使用心得，在结合《Cadence 高速电路板设计与仿真》前 3 版经验的基础上，特意将 Allegro PCB 拆分成两本书来写，即《Cadence 高速电路板设计与仿真（第 4 版）——原理图与 PCB 设计》和《Cadence 高速电路板设计与仿真（第 4 版）——信号与电源完整性分析》，以满足不同层级读者的需要。这两本书分别以 PCB 物理设计及 PCB 分析为出发点，围绕 Allegro PCB 这个集成的设计环境，按照 PCB 最新的设计流程，通俗易懂地讲解利用 Allegro PCB 软件实现高速电路设计的方法和技巧。

作为 Cadence Allegro/Orcad 在中国的合作伙伴，我向各位读者推荐此书作为学习 Allegro/Orcad 的桌面参考书。

北京迪浩永辉技术有限公司技术经理 王鹏



# 目 录

<b>第1章</b>	<b>高速 PCB 设计知识</b>	1
1.1	学习目标	1
1.2	课程内容	1
1.3	高速 PCB 设计的基本概念	1
1.4	PCB 设计前的准备工作	16
1.5	高速 PCB 布线	20
1.6	布线后信号完整性仿真	21
1.7	提高抗电磁干扰能力的措施	22
1.8	测试与比较	23
1.9	混合信号布局技术	23
1.10	过孔对信号传输的影响	25
1.11	一般布局规则	27
1.12	电源完整性理论基础	28
<b>第2章</b>	<b>仿真前的准备工作</b>	42
2.1	学习目标	42
2.2	分析工具	42
2.3	IBIS 模型	45
2.4	验证 IBIS 模型	49
2.5	预布局	58
2.6	PCB 设置要求 (Setup Advisor)	62
2.7	基本的 PCB SI 功能	81
<b>第3章</b>	<b>约束驱动布局</b>	87
3.1	学习目标	87
3.2	相关概念	87
3.3	信号的反射	88
3.4	窜扰的分析	94
3.5	时序分析	97
3.6	分析工具	104
3.7	创建总线 (Bus)	109



3.8	预布局拓扑提取和仿真 .....	112
3.9	前仿真时序 .....	148
3.10	模板应用和约束驱动布局 .....	163
<b>第 4 章</b>	<b>约束驱动布线 .....</b>	<b>195</b>
4.1	学习目标 .....	195
4.2	手工布线 .....	195
4.3	自动布线 .....	201
<b>第 5 章</b>	<b>后布线 DRC 分析 .....</b>	<b>208</b>
5.1	学习目标 .....	208
5.2	为多板仿真创建 DesignLink .....	208
5.3	后仿真 .....	212
<b>第 6 章</b>	<b>差分对设计 .....</b>	<b>243</b>
6.1	学习目标 .....	243
6.2	建立差分对 .....	243
6.3	仿真前的准备工作 .....	247
6.4	仿真差分对 .....	257
6.5	差分对约束 .....	272
6.6	差分对布线 .....	276
6.7	后布线分析 .....	279
<b>第 7 章</b>	<b>电源完整性工具 .....</b>	<b>284</b>
7.1	学习目标 .....	284
7.2	课程内容 .....	284
7.3	电源完整性分析工具 .....	284
7.4	进行电源完整性分析的意义 .....	285
7.5	目标阻抗 .....	286
7.6	PDS 中的噪声 .....	288
7.7	去耦电容器 .....	289
7.8	电源分配系统 (PDS) .....	290
7.9	电压调节模块 (VRM) .....	291
7.10	电源平面 .....	292
7.11	Allegro PCB PI option XL 电源完整性分析流程 .....	293
7.12	Allegro PCB PI option XL 的使用步骤 .....	303

<b>第8章</b>	<b>电容器和单节点仿真</b>	332
8.1	学习目标	332
8.2	第7章回顾	332
8.3	去耦电容器	332
8.4	去耦电容器的频率响应	335
8.5	电源/地平面对上的电容器模型	338
8.6	串联谐振	339
8.7	并联谐振	340
8.8	使用 Allegro PCB PI option XL 设计目标阻抗	343
<b>第9章</b>	<b>平面和多节点仿真</b>	376
9.1	学习目标	376
9.2	第8章回顾	376
9.3	电容器布局	377
9.4	平面模型	379
9.5	电源平面的损耗	382
9.6	多节点仿真	383
9.7	使用电源完整性工具进行多节点分析	385
<b>第10章</b>	<b>贴装电感和电容器库</b>	423
10.1	学习目的	423
10.2	第9章回顾	423
10.3	电源完整性工具元器件库的管理	423
10.4	电容器中的电感	428
10.5	在 Allegro PCB PI option XL 中配置电容器	432
10.6	使用 Allegro PCB PI option XL 创建电容器模型	434
10.7	对 PCB 进行电源完整性分析	456



# 第1章 高速 PCB 设计知识

## 1.1 学习目标

通过本章的学习，读者应该初步了解高速 PCB 的基本概念，以及高速 PCB 设计中应遵循的基本法则，为以后学习、使用 Cadence 信号完整性及电源完整性工具打下理论基础。

## 1.2 课程内容

现代的电子设计和芯片制造技术正在飞速发展，电子产品的复杂度、时钟和总线频率等都呈快速上升趋势，但系统的电压却不断在降低，所有的这一切加上产品投放市场的时间要求，给设计师带来了前所未有的巨大压力。要想保证产品的一次性成功，就必须能预见设计中可能出现的各种问题，并及时给出合理的解决方案。对于高速数字电路来说，最令人头大的莫过于如何确保瞬时跳变的数字信号通过较长的一段传输线，还能完整地接收，并保证良好的电磁兼容性，这就是目前颇受关注的信号完整性（SI）问题。本章就是围绕信号完整性的问题，让大家对高速电路有个基本的认识，并介绍一些相关的基本概念。本章的主要学习内容：

- 高速 PCB 设计的基本概念。
- 高速 PCB 设计前的准备工作。
- 高速 PCB 布线应该遵循的基本准则。
- 高速 PCB 布线后的信号完整性分析及其改进方法。

## 1.3 高速 PCB 设计的基本概念

### 1. 电子系统设计所面临的挑战

在电子系统中，需要各种长度的布线。在这些布线上，信号从线的始端（如信号源）传输到终端（如负载）需要一定的时间。已经证实，电信号在分布良好的导线中的传输速度为  $3 \times 10^8 \text{ m/s}$ 。假设布线的长度为 5m，信号从始端到终端就需要 17ns，也就是说，信号存在 17ns 的延时。这种延时在低速系统中可以被忽略，但在高速系统中，这个数量级的延时是不能被忽略的。高速门电路（如 74TTL 系列数字集成电路）的平均延时只有几纳秒，ECL 数字集成电路的延时可达 1~2ns，CPLD/FPGA 的延时则更小。可见，在这些高速电路系统中，PCB 的线上延时是不能被忽略的。高速 PCB 设计还需考虑其他的问题，例如，当信号在导线上高速传输时，如果始端阻抗与终端阻抗不匹配，将会出现电磁波的反射现象，它会

使信号失真，产生有害的干扰脉冲，从而影响整个系统运行。因此，在设计高速 PCB 时，信号延时的问题必须认真考虑，电路分析需要引入 EMI/EMC 分析，在这种情况下，经典的集成电路理论已不再适用，在电路仿真设计程序中应使用分布电路模型。

目前，一些 PCB 设计人员设计 PCB 时总是根据“感觉”来进行设计，而不是使用适当的方法和规则。而高速的模拟和/或数字电路的设计，几乎不可能凭感觉设计出可靠的电路，因为仅凭“感受”进行设计可能导致的结果是：

- 不可预期的系统行为。
- 模拟系统传输路径上产生不可接受的噪声。
- 系统的稳定性和可靠性会因为温度的变化产生很大的差别。
- 在同一 PCB 上连接的元器件上产生虚假的位错误。
- 大量的电源和地噪声。
- 过冲、下冲及短时信号干扰等。

## 2. 高速电路的定义

通常，数字逻辑电路的频率达到或超过 50MHz，而且工作在这个频率之上的电路占整个系统的 1/3 以上，就可以称其为高速电路。

实际上，与信号本身的频率相比，信号边沿的谐波频率更高，信号快速变化的跳变（上升沿或下降沿）引发了信号传输的非预期结果。如果线传播延时大于数字信号驱动端上升时间的 1/2，则可认为此类信号是高速信号并产生传输线效应。信号的传递发生在信号状态改变的瞬间，如上升或下降时间。信号从驱动端到接收端经过一段固定的时间，如果传输时间小于上升或下降时间的 1/2，那么在信号改变状态前，来自接收端的反射信号将到达驱动端。否则，反射信号将在信号改变状态后到达驱动端。如果反射信号很强，叠加的波形就有可能改变逻辑状态。

## 3. 高速信号的确定

通常，通过元器件手册可以查出信号上升时间的典型值。而在 PCB 设计中，实际布线长度决定了信号的传播时间。如果过孔多、元器件引脚多，或者网络上设置的约束多，将导致延时增大。一般情况下，高速逻辑器件的信号上升时间约为 0.2ns。

以  $T_r$  表示信号上升时间， $T_{pd}$  表示信号线传播延时，若  $T_r > 4T_{pd}$ ，信号落在安全区域；若  $2T_{pd} < T_r \leq 4T_{pd}$ ，信号将落在不确定区域；若  $T_r \leq 2T_{pd}$ ，信号将落在问题区域。当信号落在不确定区域或问题区域时，应该使用高速布线方法进行 PCB 设计。

## 4. 高速 PCB 设计流程

信号完整性（Signal Integrity）是指电路系统中信号的质量。如果在要求的时间内，信号能不失真地从源端传送到接收端，就称该信号是完整的。随着电子技术的不断发展，各种信号完整性问题会层出不穷，而且可以预见，今后还会出现更多的问题。所以，了解信号完整性理论，进而指导和验证高速 PCB 设计是一件刻不容缓的事情。

传统的 PCB 设计一般经过原理图设计、布局、布线、优化 4 个主要步骤。由于缺乏高速分析和仿真指导，信号的质量无法得到保证，而且大部分问题必须等到制板测试后才能发



现，这就大大降低了设计的效率，增加了成本，显然在激烈的市场竞争下，这种设计方法是很不利的。于是，针对高速 PCB 设计，业界提出了一种新的设计思路，称为“自上而下”的设计方法，这是一种建立在实时仿真基础上优化的高效设计流程，如图 1-3-1 所示。

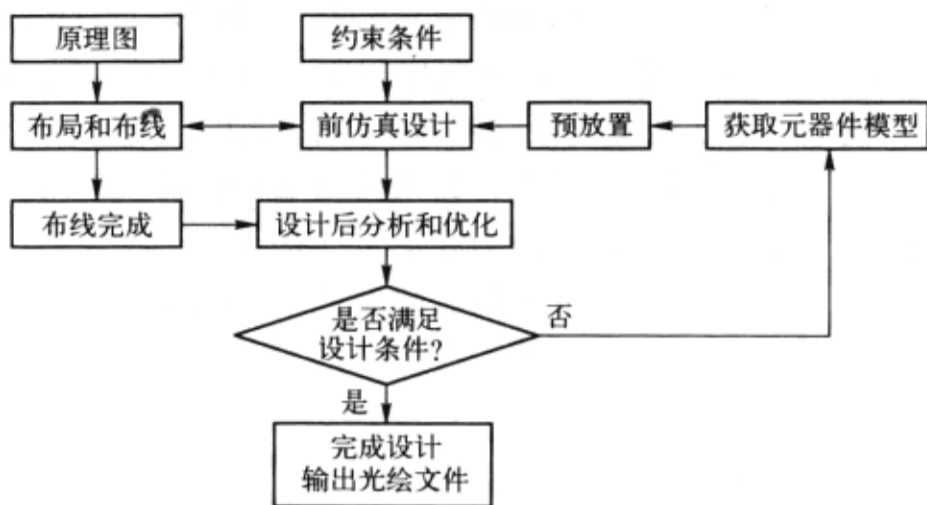
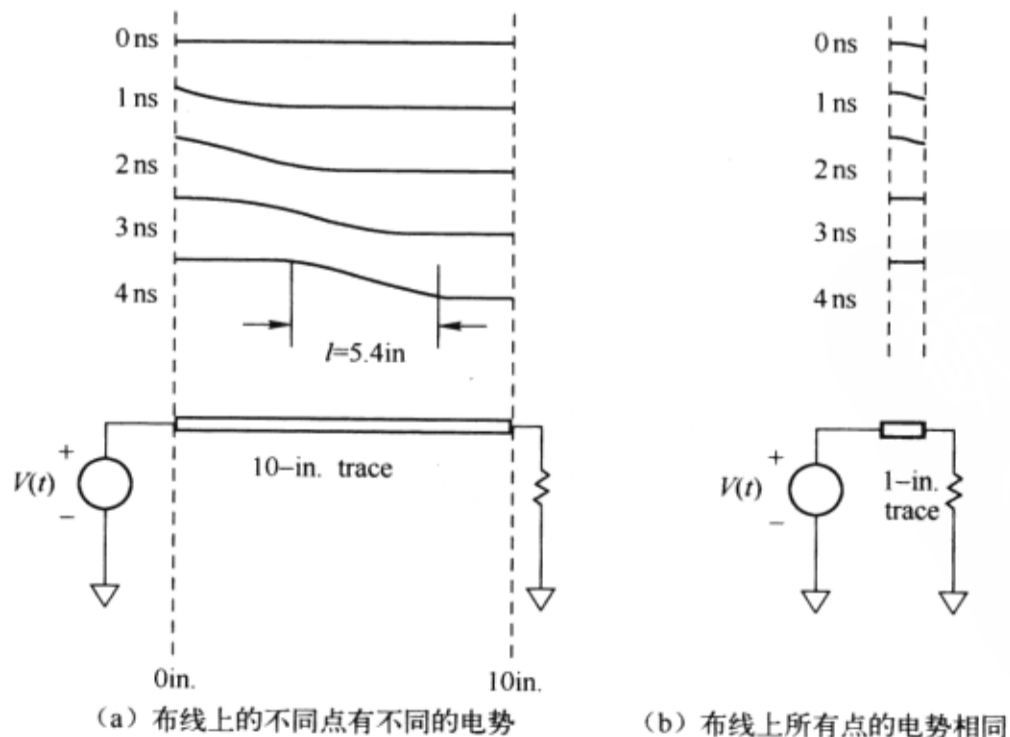


图 1-3-1 高速 PCB 设计流程

从图 1-3-1 可以看出，在完成高速 PCB 设计前，经过多方面的仿真、分析和优化，可以避免绝大部分可能产生的问题。如果依托强大的 EDA 仿真工具，基本上能实现“设计即正确”的目的。

### 5. 传输线

传输线 (Transmission Line) 是指由两个具有一定长度的导体组成回路的连接线，有时也称为延迟线。PCB 上的传播信号的路径一般可以分为两种，如图 1-3-2 所示。一种是普通意义下的布线，一般认为在任何时段布线上的任意点上的电势都相等；另一种是传输线，传输线要考虑信号传播时的影响，并假定信号在传输时，沿传输线上的每一点都有不同的电势。



(a) 布线上的不同点有不同的电势 (b) 布线上所有点的电势相同

图 1-3-2 两种信号布线

那么什么时候应该将信号路径认为是传输线呢？信号传输路径长度大于信号波长的1%，或接收端元器件是边缘敏感的，或者系统没有过冲和下冲容限，这时认为该传输路径是传输线。在高速 PCB 中，大部分传播信号的路径都是传输线。

一般可以用串联和并联的电容、电阻和电感结构等效 PCB 上的布线。通常串联电阻的典型值为  $0.25 \sim 0.55 \Omega$ 。由于存在绝缘层，并联电阻阻值通常很高。将寄生电阻、电容和电感加到实际的 PCB 连线中后，连线上的最终阻抗称为特征阻抗  $Z_0$ 。线径越窄、电源/地越远或隔离层的介电常数越低，特征阻抗就越大。如果接收端和传输线的阻抗不匹配，那么输出的信号和信号最终的稳定状态将不同，从而引起信号在接收端产生反射。该反射信号将传回信号发射端，并将再次反射回来，直至反射信号随着能量的减弱而幅度随之减小，最终信号的电压和电流达到稳定。此效应被称为振荡，在信号的上升沿和下降沿经常可以看到信号的振荡。

## 6. 阻抗匹配

电信号在介质中传播的速度取决于其传播介质，而由于布线引起的传播延时与传播介质的介电常数的平方根成正比，见表 1-3-1。

表 1-3-1 传播延时与传播介质的介电常数

介 质	延时 (ps/in)	介电常数
真空	光速: 84	1.0
空气	85	约 1.0
同轴电缆 (75%的速率)	113	1.8
同轴电缆 (66%的速率)	129	2.3
FR4 PCB (外层布线)	140~180	2.8~4.5
FR4 PCB (内层布线)	180	4.5
氧化铝 PCB (内层布线)	240~270	8~10

PCB 布线的物理特性对其阻抗有很大的影响：

- 布线材料
- 布线宽度
- 布线厚度
- 与其他布线和平面层的距离
- 周围材料的介电常数（如空气、FR4 等）

传输线阻抗不匹配是指当传输线的阻抗变化时，会有一部分的信号能量被反射，如图 1-3-3 所示。反射的能量与传输线的两个导体之间的阻抗差异成正比，即

$$E_R \propto \frac{Z_B - Z_A}{Z_B + Z_A}$$

当信号由器件 A 向器件 B 传送信号时，传输信号要经过多个阻抗变化，如图 1-3-4 所示。最大的阻抗不匹配基本都发生在驱动端和负载端。

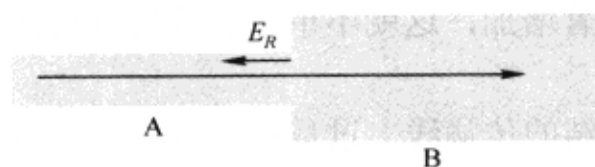


图 1-3-3 阻抗不匹配

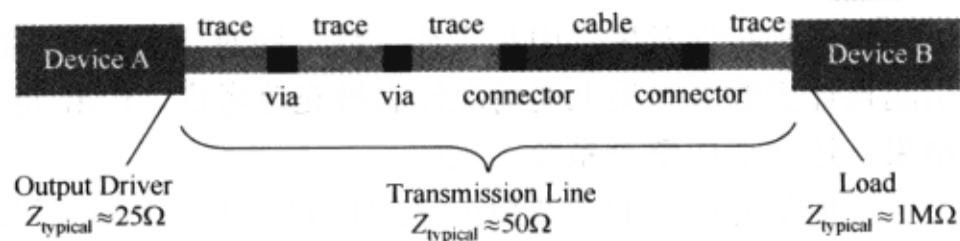


图 1-3-4 信号传输路径

举例说明：假设信号是一个跑步运动员，他一直以  $6\text{in/ns}$  的速度在 PCB 上奔跑，并且他经过每块导体时都会改变其电压值。开始时，驱动器 A 给信号一个命令，让他开始跑步，在如图 1-1-3 所示的阻抗为  $50\Omega$  传输线上开始奔跑，当跑到接收器端时，发现阻抗变为  $1\text{M}\Omega$ ，接收器根据反射系数将其反射回去，反射系数为

$$\frac{Z_L - Z_0}{Z_L + Z_0} = \frac{1000000 - 50}{1000000 + 50} \approx 1$$

这样，带着几乎 100% 的原始能量的信号又以  $6\text{in/ns}$  的速度跑回驱动器，信号在  $50\Omega$  的传输线上返回后遇到了  $25\Omega$  的原始驱动器，他再次被要求返回接收器，但此次信号所携带的能量为

$$\frac{Z_L - Z_0}{Z_L + Z_0} = \frac{25 - 50}{25 + 50} \approx -\frac{1}{3}$$

也就是说，信号被要求再次返回接收器时所携带的能量约为初始的  $-1/3$  倍。就这样，当信号再次到达接收器时，又会被反射，以此类推。

若利用示波器观察整个过程，会在示波器上发现如图 1-3-5 所示的图形。

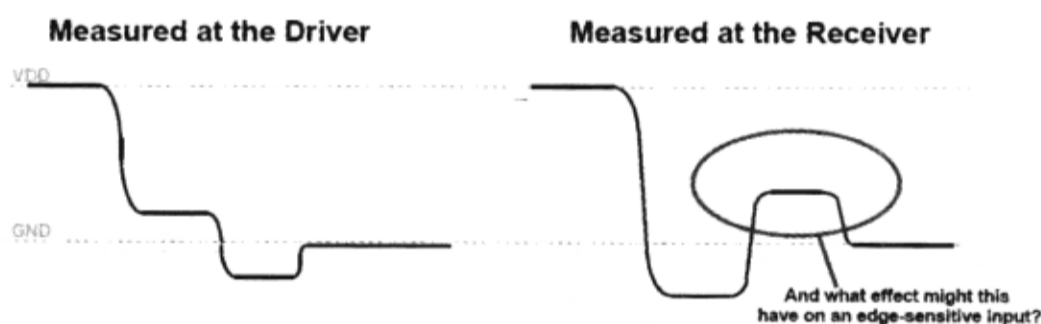


图 1-3-5 示波器观察结果

## 7. 传输线效应

基于上述定义的传输线模型，归纳起来，传输线会对整个电路设计带来以下效应。

- 反射信号 (Reflected signals)
- 延时和时序错误 (Delay & Timing errors)
- 多次跨越逻辑电平门限错误 (False Switching)
- 过冲与下冲 (Overshoot/Undershoot)
- 窜扰 (Crosstalk)
- 电磁辐射 (EMI radiation)

1) 反射信号 如果一根布线没有被正确终结 (终端匹配)，那么来自于驱动端的信号脉冲在接收端将被反射，从而引发不可预期效应，使信号轮廓失真。当失真变形非常显著时，



可导致多种错误发生，引起设计失败。同时，失真变形的信号对噪声的敏感性增加了，也会引起设计失败。如果上述情况没有被充分考虑，EMI 将显著增加，这就不单单影响自身设计结果，还会造成整个系统的失败。

反射信号产生的主要原因是过长的布线、未被匹配终结的传输线、过量电容或电感及阻抗失配。

2) **信号延时和时序错误** 信号延时和时序错误表现为信号在逻辑电平的高、低门限之间变化时，保持一段时间信号不跳变。过多的信号延时可能导致时序错误和元器件功能的混乱。通常在有多个接收端时会出现问题。电路设计者必须确定最坏情况下的时间延时，以确保设计的正确性。信号延时产生的原因包括驱动过载和布线过长。

3) **多次跨越逻辑电平门限错误** 信号在跳变的过程中可能多次跨越逻辑电平门限，从而导致这一类型错误的发生。多次跨越逻辑电平门限错误是信号振荡的一种特殊形式，即信号的振荡发生在逻辑电平门限附近，多次跨越逻辑电平门限将导致逻辑功能紊乱。

4) **过冲与下冲** 布线过长或信号变化太快，可以导致过冲与下冲的发生。虽然大多数元器件接收端有输入保护二极管保护，但有时这些过冲电平会远远超过元器件电源电压范围，仍会导致元器件的损坏。

5) **窜扰** 在一根信号线上有信号通过时，在 PCB 上与之相邻的信号线上就会感应出相关的信号，这种现象称为窜扰。异步信号和时钟信号更容易产生窜扰。解决窜扰的方法是移开发生窜扰的信号或屏蔽被严重干扰的信号。信号线距离地线越近，或者加大线间距，可以减少窜扰的发生。

6) **电磁辐射** 电磁辐射有两个重要方面：电流流过导体会产生磁场，如图 1-3-6 所示；将导体放入磁场将会引起感应电流。这两方面符合右手定则。电流流过导体产生的磁场强度受导体形状影响，反之亦然。



图 1-3-6 电流流过导体会产生磁场

电磁干扰（Electro-Magnetic Interference, EMI）通常是指设计中不希望出现的电磁辐射。电磁干扰包括产生过量的电磁辐射和对电磁辐射的敏感性两个方面。EMI 表现为在数字系统由于处理周期和快速的时钟和转换率，致使系统加电运行时，会向周围环境辐射电磁波，从而使周围环境中正常工作的电子设备受到干扰，特别是模拟电路，由于其本身的高增益功能，成为易受影响的电路。EMI 产生的主要原因是电路工作频率太高及布局、布线不合

理。目前已有进行 EMI 仿真的软件工具，但大都很昂贵，且仿真参数和边界条件设置又比较困难，直接影响了仿真结果的准确性和实用性。通常可在设计的每个环节应用控制 EMI 的各项设计规则，以达到控制 EMI 的目的。

## 8. 其他 PCB 基础概念

1) PCB 计量单位 PCB 的计量单位通常是英制单位，而不是公制单位。

- PCB 外形尺寸单位通常是 in。
- 介质厚度，导体长度和宽度的单位通常是 in 或 mils。

$$1\text{mil} = 0.001\text{in}$$

$$1\text{mil} = .0254\text{mm}$$

- 导体厚度的单位为盎司 (oz, 金属导体的质量是指一平方英寸材料的质量)，常用厚度为：

$$0.5\text{oz} = 17.5\mu\text{m}$$

$$1.0\text{oz} = 35.0\mu\text{m}$$

$$2.0\text{oz} = 70.0\mu\text{m}$$

$$3.0\text{oz} = 105.0\mu\text{m}$$

2) PCB 叠层设计 叠层设计的好坏将直接影响到整个电路的性能。好的叠层设计不仅可以有效地提高电源质量，减少窜扰和 EMI，还能节约成本，为布线提供便利，这是任何高速 PCB 设计者都必须首先考虑的问题。总体来说，叠层的设计要尽量遵循以下规则。

- 覆铜层最好是成对设置，如 6 层板的第 2 层与第 5 层，或者第 3 层与第 4 层要一起覆铜，这是考虑到工艺上平衡结构的要求，因为不平衡的覆铜层可能会导致 PCB 膨胀时的翘曲变形。
- 最好每个信号层都能和至少一个覆铜层紧邻，这有利于阻抗控制和提高信号质量。
- 缩短电源和地层的距离，可以降低电源的阻抗。
- 在高速情况下，可以加入多余的地层来隔离信号层，但建议不要多加电源层来隔离，因为电源层会带来较多的高频噪声干扰。

但实际情况中，上述规则往往不可能同时满足，这时就要根据实际情况考虑一种相对来说比较合理的解决办法。下面根据层数的不同来分析一下几种典型的叠层设计方案。

(1) 单面板和双面板：单面板一般应用于很低频（200kHz 以下）的电路系统设计，如简单仪器，工程控制板等。由于没有较大区域进行覆铜，一般都采用总线形式的电源和地供应系统，因而回流面积较大，容易产生 EMI，同时也很容易受外界 RF 电磁场和静电放电的影响。在进行单面板的布线设计时，一般首先设计电源和地线的结构，然后进行少量高速信号的布线，尽量靠近地线，最后布剩余的信号线。设计中要尽量遵循以下 5 个原则。

- 重要的布线（如时钟信号）一定要紧靠地线。
- 布局时根据元器件特性划分区域，如将对噪声敏感的元器件放在一起。
- 将包含关键信号（如时钟）的元器件摆放在一起，高速信号之间，以及和其他信号之间要保持一定的隔离。
- 如果有不同的地（模拟地和数字地），要分开处理，一般采用单点接地。
- 电源和地线尽可能靠近，减少各种电流回路的面积。

图 1-3-7 所示的做法是不可取的，电源和地线离的较远，很多区域回路面积很大。同时，由于电源和地交错，信号布线的区域被限制，只能从元器件中间布线，增加了干扰。可

以参考图 1-3-8 中所示的布线方式。

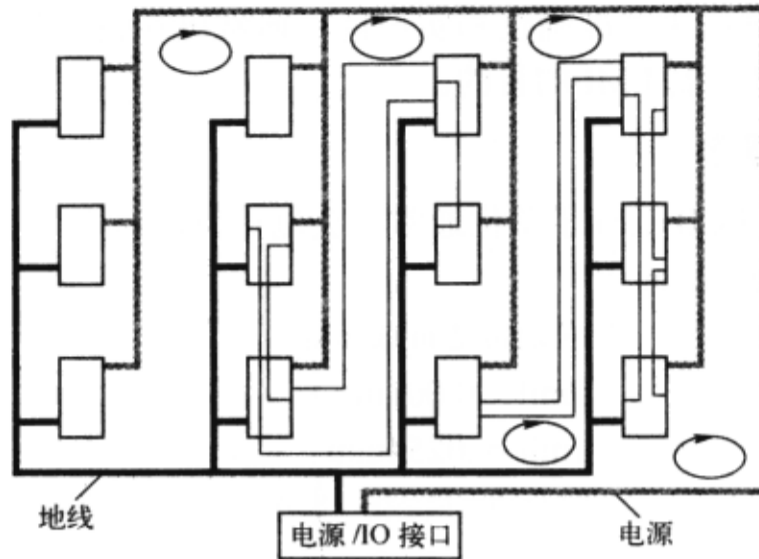


图 1-3-7 较差的单面板设计

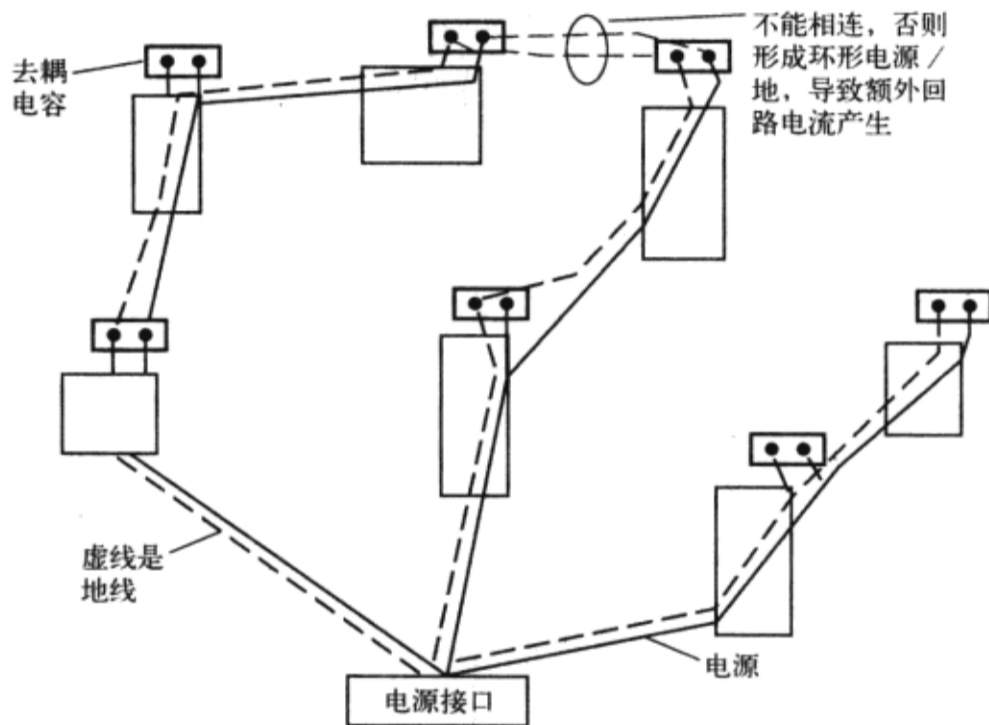


图 1-3-8 较好的单面板设计

双面板和单面板相比，增加了一层布线空间，优化了电源和地的设计，所以性能也有所提高，较常见的设计是表层设计为电源+信号，底层为地+信号，电源和地可以采用交叉总线的结构，也可以采用大面积覆铜的形式，具体情况视实际布线空间而定。还有一种较好的设计思路是，每一层面都按照单面板的设计要求来实现，然后进一步调整优化，如加粗电源/地线，空余地方大面积覆铜等。



注意

双面板和单面板一样，都不符合 EMC 的要求，因为虽然信号布线下方（背面）可能存在参考平面，但是由于 PCB 太厚（大概 62mils），RF 信号的回流很少通过低电感的参考平面，从而产生较强的电磁辐射。



(2) 4 层板: 4 层以上的 PCB 一般都能保证良好的 EMC 和其他电气性能, 所以对于较高速的电路设计, 一定要求采用多层板。4 层板的设计大致有两种形式: 一是均匀间距, 另一种是非均匀间距。4 层板的结构如图 1-3-9 所示。



图 1-3-9 4 层板的结构

对于均匀间距的设计来说, 最大的优点在于电源和地之间的间距很小, 可以大幅度降低电源的阻抗, 提高电源的稳定性, 但缺点在于两层信号层的阻抗高, 通常为  $105\sim 130\Omega$ , 而且由于信号层和参考平面之间的间距较大, 增加了信号回流的面积, EMI 较强。而采用了后一种非均匀间距的设计, 就可以较好地进行阻抗控制, 信号靠近参考平面也有利于提高信号的质量, 减少 EMI, 唯一的缺点就是电源和地之间的间距太大, 造成电源和地的耦合减弱, 阻抗增加, 但这一点可以通过增加旁路电容来改善。实际高速电路设计一般要求进行阻抗控制和提高信号质量, 所以较多的采用非均匀的 4 层板设计, 两层信号层的空白区域也可以进行大面积的铺地处理。

还有一种较为特别的设计是表层和底层作为地和电源层, 而中间两层作为信号布线层, 这对 EMI 抑制和散热等方面较为有利, 但是也带来很多不良的效果, 如很难进行测量和调试, 工艺焊接, 装配时会有一些困难, 另外电源和地的耦合也需要使用大量的旁路电容实现, 一般不建议采用这种方案。

(3) 6 层板: 随着电路复杂度的增加, PCB 的设计也朝着高密度, 高要求的方向发展。6 层板的应用也越来越广泛, 如内存模块的 PCB, 从 PC100 开始, 就明确规定一定要使用至少 6 层板的结构。因为多层板无论在电气特性, 对电磁辐射的抑制, 还是在抵抗物理机械损伤的能力上都明显优于低层数的 PCB。典型的 6 层板结构如图 1-3-10 所示。

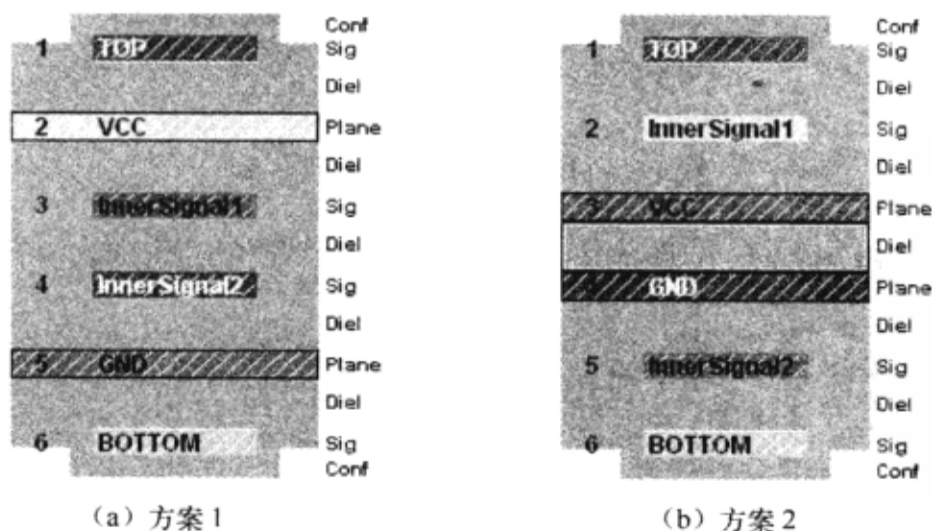


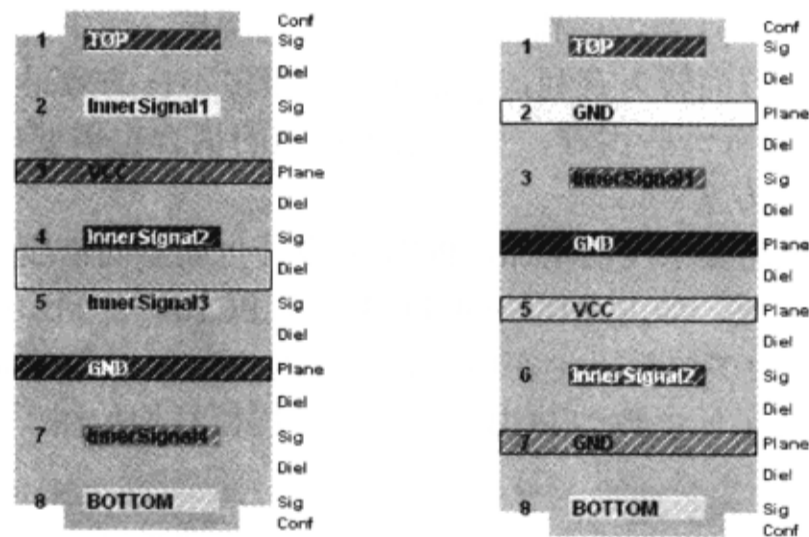
图 1-3-10 典型的 6 层板结构

这两种方案中, 方案 2 由于表层和底层没有参考平面相邻, 阻抗控制上有一定的困难,

必须要采用加粗线宽或通过增加沉铜的厚度来达到设计的阻抗要求。一般被广泛采用的是方案 1，每个信号层都有较近的参考平面相邻，阻抗容易控制，同时对抑制串扰和电磁辐射也比较有利，电源和地的耦合则可以通过有效的旁路电容设计得到改善。

在所有布线层中，一般紧靠地层的内部信号层是最佳的布线层，如图 1-3-10 所示方案中的 InnerSignal2 层，所谓最佳布线层就是指所有层中最不容易受干扰，电磁场屏蔽性能最好的信号层。高速 PCB 设计要求电路中的关键或高频的信号尽量走在最佳布线层，以得到最好的信号质量和最低的电磁辐射。次佳的布线层是以电源平面为参考的内部信号布线层，如 InnerSignal1 层。

(4) 8 层板：8 层板的设计方案有很多种，这里介绍应用最广泛的两种叠层设计。根据布线密度的要求，在设计 8 层板时要考虑究竟使用几个覆铜层，如果要求最大的布线空间，可以只使用一对电源/地层，如图 1-3-11 (a) 所示，其效果有点类似于 6 层板的方案 2，只是电源和地的耦合性上更差，所以如果不是在一定要求 6 层信号布线的情况下要慎用此结构。对于 8 层板来说，最好的叠层设计是图 1-3-11 (b) 所示的结构，有 4 层覆铜，可以有效地降低电源阻抗，并包含有两层最佳布线层，大大提高了信号的质量。这种方案其实就是 6 层板方案 2 的性能改善结构，布线空间还是一样，所以一般应用于对信号和电源质量要求很高的电路设计，而普通电路设计考虑到成本问题，大多会采用 6 层板。



(a) 两层覆铜

(b) 4层覆铜

图 1-3-11 8 层板常见两种方案

10 层或更多层的 PCB 叠层设计就不再细述，因为大致的思想都一样。



注意

前面提到的各种方案都是指单电源的情况，如果实际系统中包含多种电源，则要采取电源分割的方法，基本思路是保证主电源对地要良好耦合。

3) PCB 传输线物理特性 在 PCB 中，铜是作为传输导体的最常用材料，传输线或连接器在电镀后，可能覆上一层金来防止腐蚀。如图 1-3-12 所示，传输线的长度  $L$  和宽度  $W$

通常由 PCB 布局工程师设定。传输线的宽度和间距一般不小于 5mils；Trace 的厚度  $H$  因制作工艺不同而不同，通常是 0.5~3oz，发展趋势为 0.25oz。

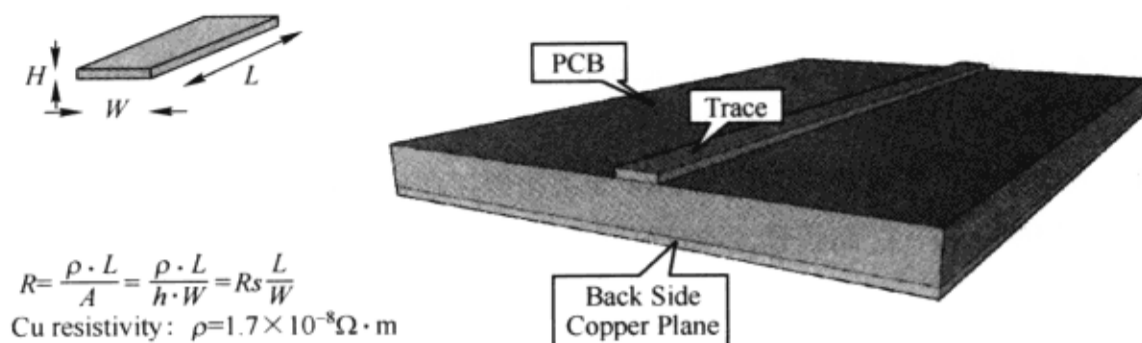


图 1-3-12 PCB 传输线的阻抗



提示

上述因素会影响到电阻、电容以及传输线的阻抗，必须完全理解才能有助于高速 PCB 设计。

4) 电源/地平面层 电源平面层或地平面层是指一个固定的铜层来提供电源和地信号，通常比信号层的厚度大来减小其电阻。如图 1-3-13 所示，在高速 PCB 中使用电源/地平面层可以为 PCB 上的电源和地信号提供一个稳定的、低阻抗的传输路径；可以屏蔽层与层之间的信号这样能尽量减少窜扰；提供散热；大限度地增加“平面间电容”；也可以对防止 PCB 的变形起到有效的作用。

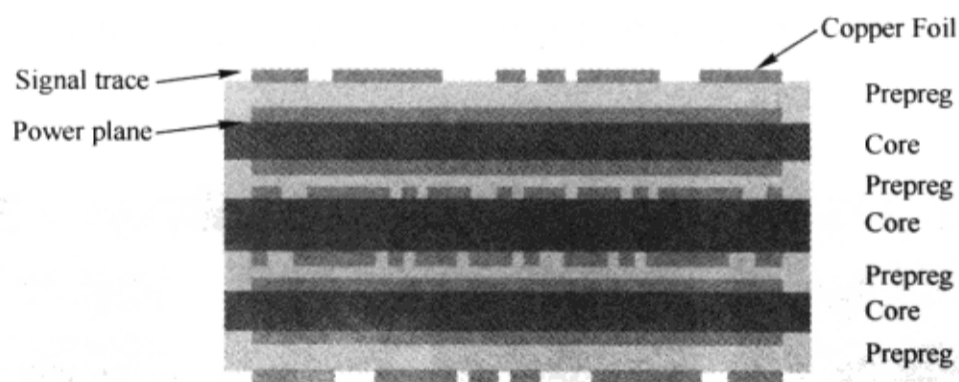


图 1-3-13 电源/地平面层结构



注意

在低频时，电流将沿电阻最小的路径传输；在高频时，电流将沿电感最小的路径传输。

5) 电介质/绝缘体 大多数 PCB 绝缘材料的支持相对控制电介质，这对维持传输线的恒定阻抗很重要。常用的电介质材料有如下 6 种。

- FR - 4（玻璃纤维和环氧树脂）：最常用，应用广泛，成本相对较低；介电常数最大为 4.70，500MHz 时为 4.35，1GHz 时为 4.34。可以接受的信号最大不超过 2GHz（超过这个频率时损失和窜扰将增加）。
- FR - 2（酚醛棉纸）：成本非常低，低价消费产品中使用；易开裂；介电常数（1GHz 时）为 4.5。
- CEM-3（玻璃纤维和环氧树脂）：和 FR4 非常相似，在日本被广泛使用。
- Polyimide（聚酰亚胺）：高频时性能良好。
- FR：阻燃。
- CEM：环氧树脂复合材料。

常见电介质/绝缘材料与介电常数见表 19-1-2。

表 1-3-2 常见电介质/绝缘材料与介电常数

材 料	介 电 常 数	材 料	介 电 常 数
真空	1	混凝土	4.5
空气	1.00054	玻璃	4.7 (3.7~10)
聚四氟乙烯	2.1	橡胶	7
聚乙烯	2.25	钻石	5.5~10
聚苯乙烯	2.4~2.7	盐	3~15
纸	3.5	石墨	10~15
二氧化硅	3.7	硅	11.68

6) 过孔 过孔在高速 PCB 中会引入电容，并改变传输线的阻抗。过孔基本可分为 3 种，其切面如图 1-13-14 所示。

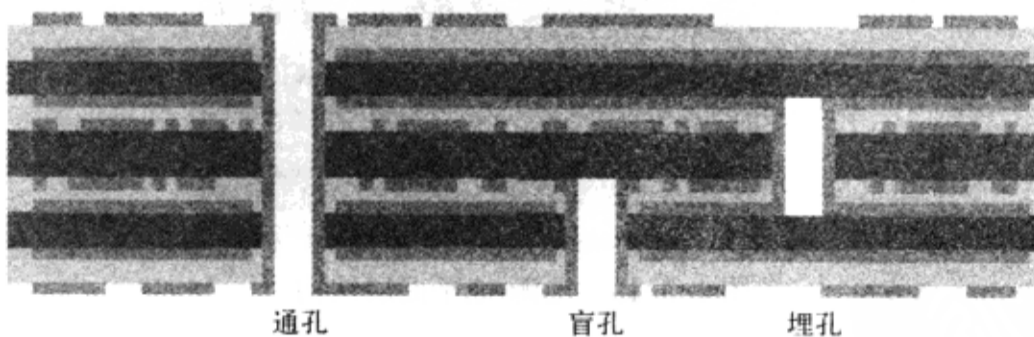


图 1-3-14 过孔的几种不同形式

- 通孔（镀孔）：用于连接层；生成钻孔文件，在 PCB 上打孔并在孔内电镀；通常远远大于信号线。
- 盲孔或埋孔：提供更大的配线密度；增加 PCB 制造成本，通常只用在高容量电路中；埋孔难以调试。

### 7) 典型 PCB 制作流程

- (1) 从顾客手中得到 Gerber 文件、Drill 文件和其他 PCB 属性的文件。
- (2) 准备 PCB 基板和层压（重点）。
  - 铜膜附着到基板材料（如 FR4）。



(3) 内层图像传输。

- ① 将抗蚀刻的化学制剂粘贴在需要保留的铜（如 trace 和 VIA）上并使其固化。
- ② 洗掉没有固化的化学制剂。
- ③ 对铜膜进行蚀刻（通常是氯化铁或氨），将没有粘贴化学制剂的铜被腐蚀掉。
- ④ 溶解去除固化的用于抗蚀刻的制剂。
- ⑤ 清洗 PCB，洗去残渣。

(4) 碾压层。

(5) 钻孔、清洗和对过孔电镀。

- ① 层间的连接线路就是在此时制作。
- ② 钻出的孔堆栈在一起形成过孔。
- ③ 将 PCB 浸泡在电镀溶液中，形成一层薄薄的铜内孔。
- ④ 电镀后沉淀 1mil 的铜。

(6) 外层图像传输。

(7) 进行阻焊配制。

(8) 丝印（文本和图形）。

8) 示波器 示波器是在高速 PCB 设计分析中的基本工具，因为高速数字信号是方波，方波含有高能量，以及大量的奇次谐波，而且随着技术的升级，波长减小，上升时间和下降时间随之降低，会包含更多的谐波！如图 1-3-15 所示的波形，低成本的示波器可能不能完成测量验证功能。示波器的性能会影响到 PCB 的分析，一般要考虑到示波器的带宽和采样频率。低成本，低性能的示波器可能不会显示高速 PCB 设计分析中的一些重要信息，如信号干扰、下冲、过冲、供电噪声等。想象一下一个 133MHz 的 SDRAM 信号在一个低成本的有 200MHz 带宽 GSPS 采样速度的示波器下会变成什么样？

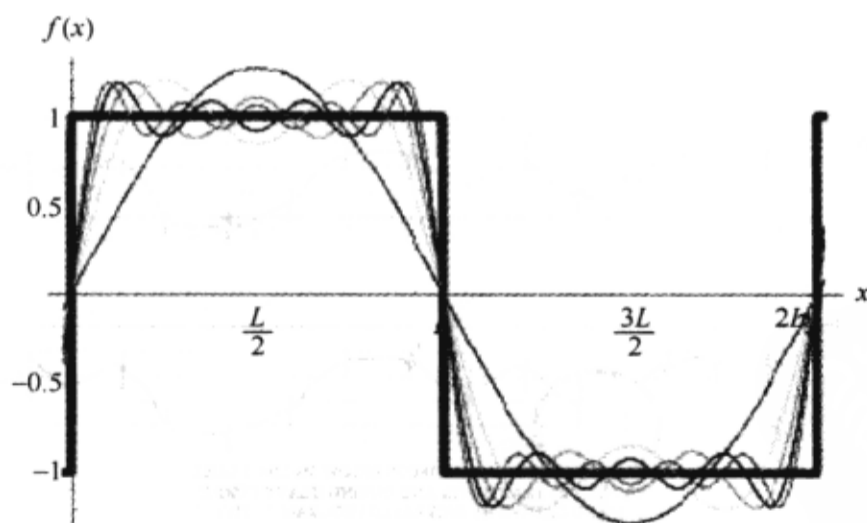


图 1-3-15 方波中包含的奇次谐波

9) 去耦电容（旁路电容） 当一个元器件内部的门电路进行转换时，会在元器件内部产生瞬时阻抗变化，导致电流的瞬时变化。为减少地和电源信号的电压波动，确保电源和电压信号在元器件的额定范围内工作，所以要使用去耦电容（或旁路电容）为这些电流的瞬时变化提供一个低阻抗的路径，如图 1-3-16 所示。

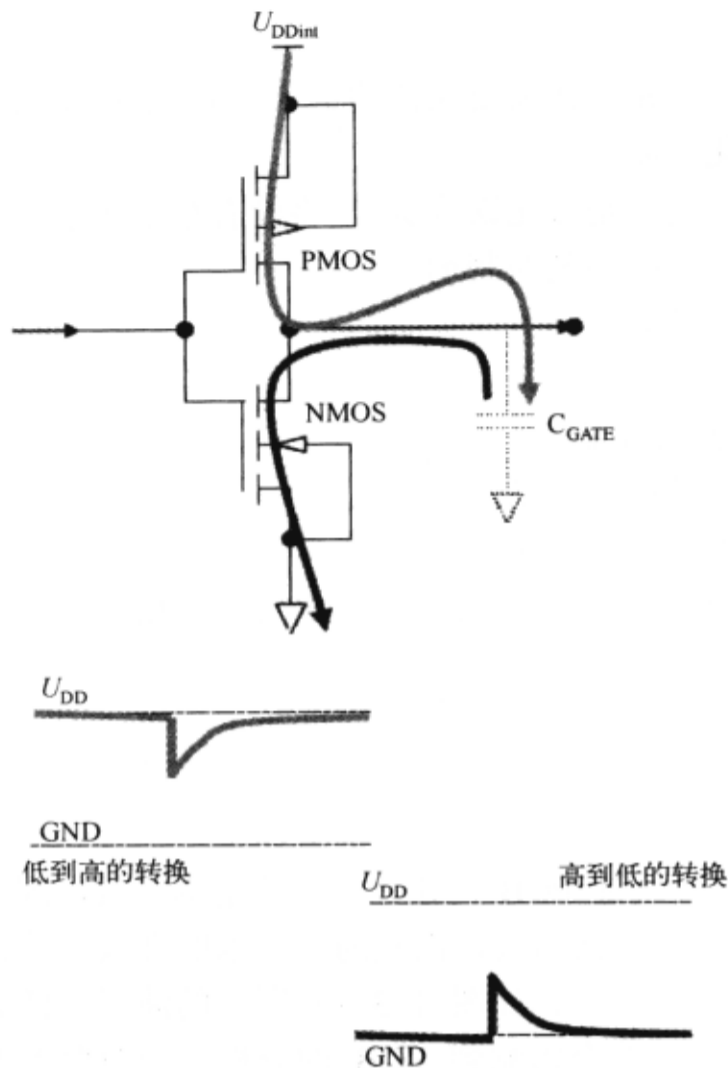
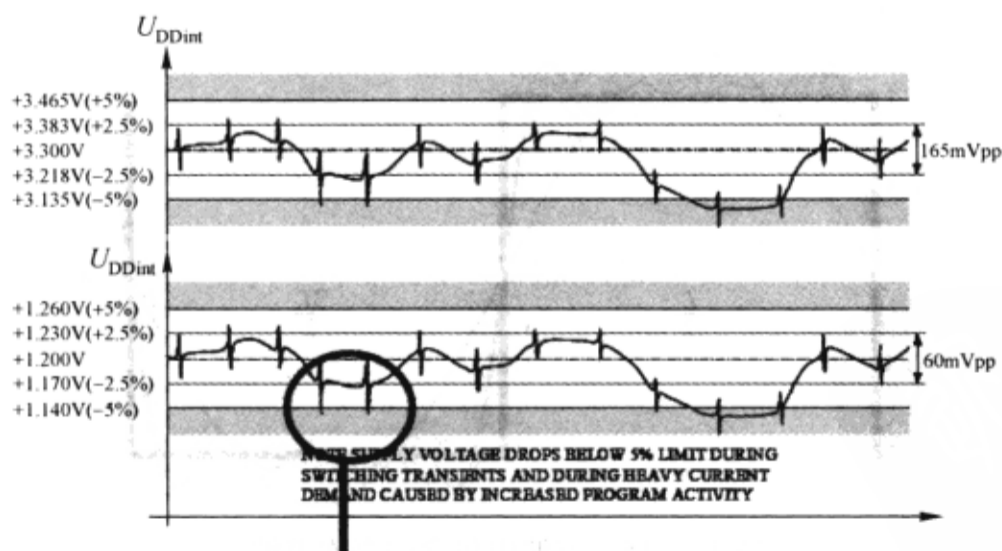


图 1-3-16 去耦电容器

图 1-3-17 所示是某个元器件工作时的电压波动情况，从中可以看出一些瞬时波动导致电压偏离了额定工作范围，为稳定该元器件电压工作范围，要对其进行处理。



该元器件工作电压超出额定范围。同时也验证了只有带宽资源丰富的示波器才能显示出这些问题

图 1-3-17 元器件工作时的电压波动情况

高速设备需要“旁路”的五大频带范围如下所述。

- 0~10kHz: 使用调整器。

- 10~100kHz: 使用旁路电解电容。
- 100kHz~10MHz: 使用多个 100nF 电容。
- 10~100MHz: 使用多个 10nF 电容。
- 100MHz 以上: 使用多个 1nF 电容, 以及 PCB 电源和地平面层。

需要多少个去耦电容一般由系统决定, 需要考虑系统运行的频率, I/O 引脚数量, 每个引脚上的电容特性, 布线阻抗, 交叉点温度, 内部芯片运行状态等。对于处理器而言, 需要考虑各种内部操作, 包括缓存、内部存储器存取、DMA 等; 另外, 还需要考虑从直流到远高于时钟频率的所有频率上, 电源引脚的噪声应在  $U_{DD}$  噪声的  $\pm 5\%$  以内, 最大直流电压漂移容限加上峰值噪声幅度必须小于供电电压的 5%。总之, 有很多方法来估算总共需要的电容的数量, 以及如何分配这些电容, 这是一个复杂的问题, 特别是在处理包含数百万门现代处理器的复杂性问题时更为复杂, 也可以在半导体网站上查到大量的相关应用。

为了取得最佳性能, 需要使元器件供电引脚和去耦电容间的电感和电阻最小, 所以在布局时需要考虑去耦电容布局 and 连接方式。图 1-3-18 所示的是几种贴片电容的连接方式比较, 由于 PCB 的传输线和过孔都会引入阻抗, 所以最后一种连接方式是最佳的连接方式。

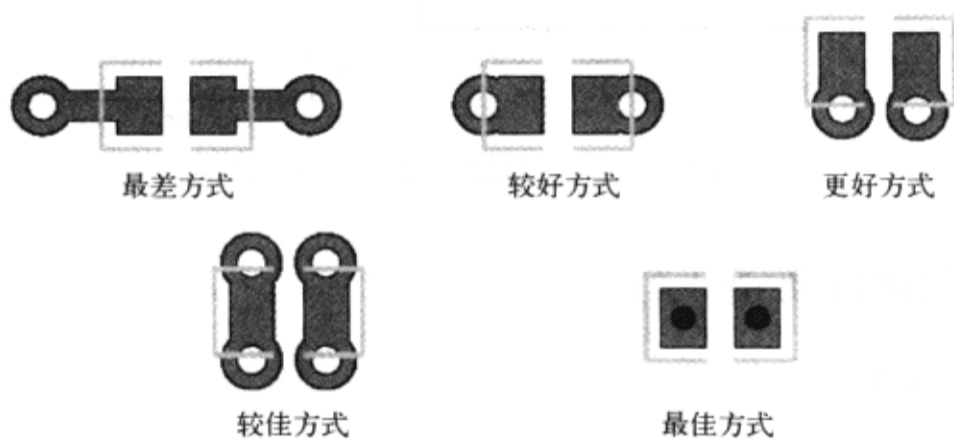


图 1-3-18 去耦电容器连接方式比较

当 PCB 中存在电源和地平面层时, PCB 顶层的电容能够达到最佳效果, 如图 1-3-19 所示。

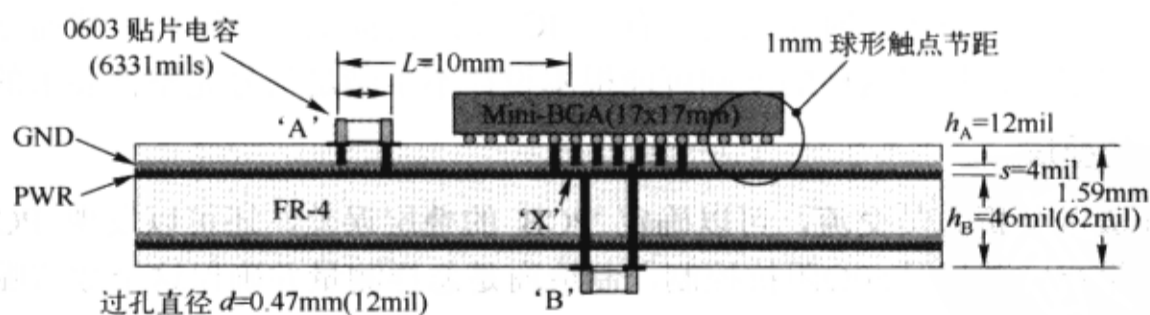


图 1-3-19 电源/地层存在时 PCB 顶层的电容器

随着时钟频率和边沿切换速度的增加, 有效地对高频设备的电源引脚去耦或提供旁路变得更困难, 因为电容的 ESL (等效串联电感) 随频率的增加而增强了电抗; 电容的 ESR (等效串联电阻) 增加, 降低了电容的能效; 电容寄生装配 (焊盘、过孔) 电抗随频率增加而增加; 对于高于 100MHz 的频率来说, 100nF 的电容不起作用。

电容的 ESL 是指由电容的结构而产生的电感, 电容的 ESL 设置了限制因素, 这些限制因素是关于电容如何更好 (或更快) 地去除耦合的电源总线噪声, 如图 1-3-20 所示。电容

器实质上是一个 LC 电路, 因此有一个谐振点, ESL 和电容值都能影响到电容的谐振点, 高谐振频率的电容能够更好地完成其去耦的任务。

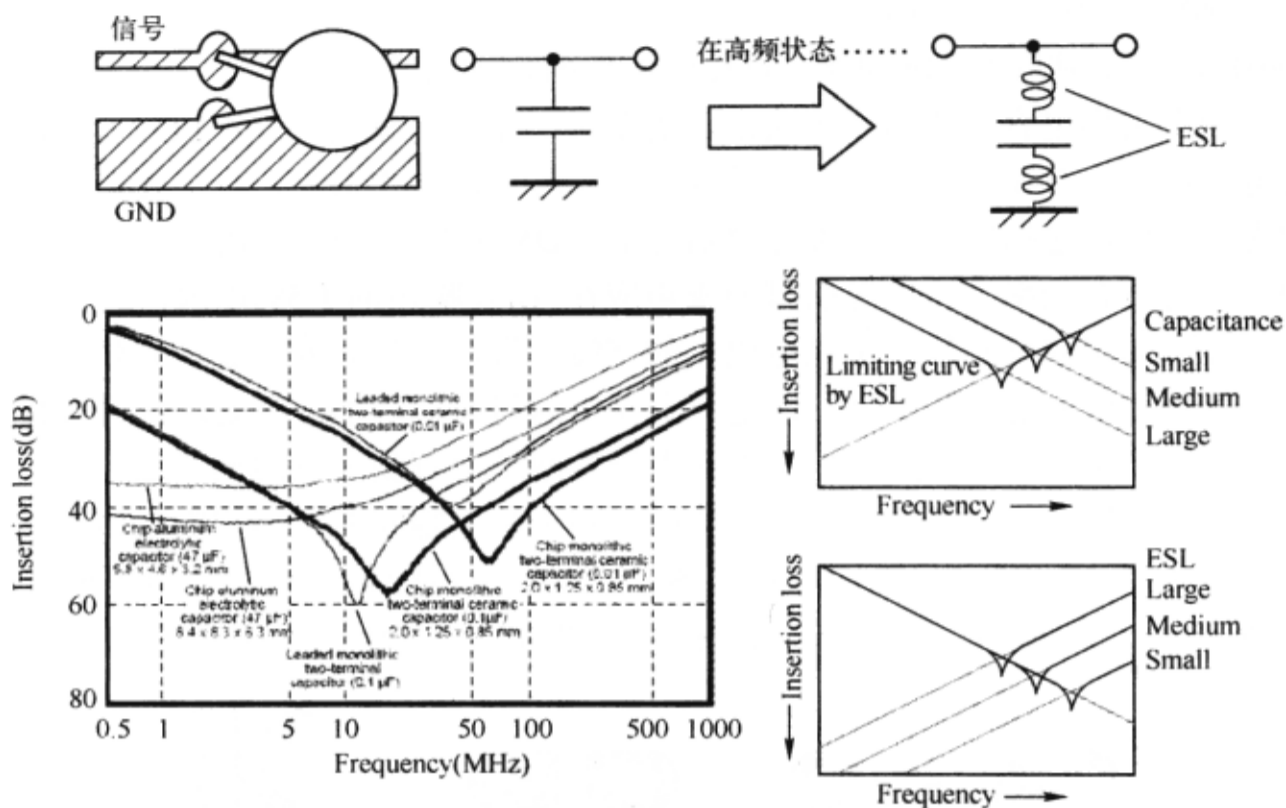


图 1-3-20 去耦电容器的等效电路

## 1.4 PCB 设计前的准备工作

### 1. 设计前的准备工作

信号完整性 (Signal Integrity, SI) 是指在信号线上的信号质量。在设计开始之前, 必须先确定设计策略, 这样才能指导诸如选择元器件、确定工艺和控制 PCB 生产等工作。就信号完整性而言, 应预先进行调研, 以形成规则或设计准则, 从而确保设计结果不出现明显的信号完整性问题、窜扰问题或时序问题。有些 IC 制造商提供设计准则, 然而这样的准则可能存在一定的局限性, 按照这样的准则可能根本设计不了满足信号完整性要求的 PCB。

### 2. PCB 的叠层

与制造和成本分析人员交流, 可以确定 PCB 的叠层误差, 还可以发现 PCB 的制造公差。例如, 如果指定某层是 50Ω 阻抗控制, 制造商是怎样测量并确保这个数值呢? 期望的制造公差及在 PCB 上期望的绝缘常数是多少? 线宽和间距的允许误差、接地层和信号层的厚度和间距的允许误差是多少? 依据这述数据, 就可以选择叠层了。



几乎每个插入其他 PCB 或者背板的 PCB 都有厚度要求, 而且多数 PCB 制造商对其可制造的不同类型的层有固定的厚度要求, 这将约束最终叠层的数目。应采用阻抗控制工具为不同层生成目标阻抗范围, 且要考虑制造商提供的制造允许误差及邻近布线的影响。



在理想的信号完整性情况下，所有高速节点应该在阻抗控制内层布线（如带状线）。但实际情况是，设计者必须经常使用外层进行所有或部分高速节点的布线。要使信号完整性最佳并保持 PCB 去耦，就应该尽可能将接地层/电源层成对布放。如果根本就没有电源层，很可能会遇到信号完整性问题。还可能遇到这样的情况，即在未定义信号的返回通路之前，很难仿真或模拟 PCB 的性能。

### 3. 窜扰和阻抗控制

来自邻近信号线的耦合将导致窜扰的发生，并改变信号线的阻抗。对相邻的平行信号线进行耦合分析，可以确定信号线之间或各类信号线之间的安全或预期间距（或者平行布线长度）。比如，欲将时钟到数据信号节点的窜扰限制在 100mV 以内，使信号布线保持平行，可以通过计算或仿真，找到在任何给定布线层上信号之间的最小允许间距。同样，如果设计中包含重要的阻抗节点（或者是时钟，或者是专用高速内存架构），就必须将布线放置在一层（或若干层）上以得到期望的阻抗。

### 4. 重要的高速节点

延迟和时滞是进行时钟布线时必须考虑的关键因素。因为时序要求严格，这种节点通常必须采用端接器件才能达到最佳的信号完整性质量。要预先确定这些节点，同时将调节元器件放置和布线所需要的时间加以计划，以便调整信号完整性的设计指标。

### 5. 技术选择

不同的驱动技术适用于不同的任务。信号是点对点的，还是一点对多抽头的？是从电路输出，还是留在相同的 PCB 上？允许的时滞和噪声裕量是多少？作为信号完整性设计的通用准则，转换速度越慢，信号完整性就越好。50MHz 时钟采用 500ps 上升时间是没有理由的。一个 2~3ns 的摆率控制器件速度要足够快，才能保证信号完整性的品质，并且有助于解决诸如输出同步交换（SSO）和电磁兼容（EMC）等问题。

在新型 FPGA 可编程技术或用户定义的 ASIC 中，可以找到驱动技术的优越性。在设计阶段，要从 IC 供应商那里获得合适的仿真模型。为了有效地覆盖信号完整性仿真，需要一个信号完整性仿真程序和相应的仿真模型，如 IBIS（Input/Output Buffer Information Specification）模型。

最后，在预布线和布线阶段，应该建立一系列的设计指南，包括目标层阻抗、布线间距、倾向采用的元器件工艺、重要节点拓扑和端接规划。

### 6. 预布线阶段

预布线信号完整性规划的基本过程是，首先定义输入参数范围（驱动幅度、阻抗、跟踪速度等）和可能的拓扑范围（最小/最大长度、短线长度等），然后运行每个可能的仿真组合，分析时序和信号完整性仿真结果，最后找到可以接受的数值范围。将工作范围解释为 PCB 布线的约束条件。可以采用不同软件工具执行此类“清扫”准备工作，布线程序能够自动处理此类布线约束条件。对多数用户而言，时序信息实际上比信号完整性结果更为重要，互连仿真的结果可以改变布线，从而调整信号通路的时序。

在其他应用中，这个过程还可以用来确定与系统时序指标不兼容的引脚或元器件的布

局。有可能完全确定需要手工布线的节点或不需要端接的节点。对于可编程器件和 ASIC 来说, 为了改进信号完整性设计或避免采用分立端接器件, 还可以调整输出驱动的选择。

## 7. 避免传输线效应的方法

针对传输线问题所引入的影响, 可以从以下 5 个方面控制这些影响。

1) **严格控制关键网线的布线长度** 如果设计中有高速跳变沿存在, 就必须考虑到在 PCB 上存在传输线效应的问题。特别是现在普遍使用的很高时钟频率的快速集成电路芯片更是存在这样的问题。解决这个问题有一些基本原则, 即如果采用 CMOS 或 TTL 电路进行设计, 工作频率小于 10MHz 时, 布线长度应不大于 7in; 工作频率在 50MHz 时, 布线长度应不大于 1.5in; 如果工作频率达到或超过 75MHz 时, 布线长度应在 1in 以内。如果超过上述标准, 就存在传输线效应的问题。

2) **合理规划布线的拓扑结构** 选择正确的布线路径和终端拓扑结构是解决传输线效应问题的方法。布线的拓扑结构是指一根网线的布线顺序及布线结构。当使用高速逻辑器件时, 除非布线分支长度很短, 否则快速边沿变化的信号将被信号主干布线上的分支布线所扭曲。通常, PCB 布线采用二种基本拓扑结构, 即菊花链 (Daisy Chain) 布线和星形 (Star) 布线。

菊花链布线, 即布线从驱动端开始, 依次到达各接收端。如果使用串联电阻来改变信号特性, 串联电阻应该紧靠驱动端。菊花链布线在控制布线的高次谐波干扰方面效果最好。但这种布线方式布通率最低, 不容易实现 100%布通。在实际设计中, 可以使菊花链布线中的分支长度尽可能短。

星形布线可以有效地避免时钟信号的不同步问题, 但在密度很高的 PCB 上手工完成布线将变得十分困难。使用自动布线器是完成星形布线的最好方法。星形拓扑结构中, 每条分支上都需要终端电阻, 其阻值应和连线的特征阻抗相匹配。特征阻抗值和终端匹配电阻值可以通过手工计算得出, 也可通过 CAD 工具计算得到。在实际设计中, 可使用如下方法选择终端匹配。

(1) **RC 匹配终端**: 这种方式可以减少功率消耗, 但只能在信号工作比较稳定的情况下使用, 最适合于对时钟信号线进行匹配处理。这种方法的缺点是 RC 匹配终端中的电容可能影响信号的形状和传播速度。

(2) **串联电阻匹配**: 这种方式不会产生额外的功率消耗, 但会减慢信号的传输, 可用于时间延迟影响不大的总线驱动电路, 可以减少 PCB 上元器件的使用数量和连线密度。

(3) **分离匹配终端**: 这种方式需要匹配元器件放置在接收端附近, 其优点是不会拉低信号, 并且可以很好地避免噪声, 常用于 TTL 输入信号, 如 ACT、HCT、FAST 等。

此外, 对于终端匹配电阻的封装形式和安装方式也必须加以考虑。通常, SMD 表面贴装电阻比 DIP 封装电阻具有较低的电感, 所以 SMD 封装电阻成为首选。如果选择 DIP 封装电阻, 也有两种安装方式可选, 即垂直方式和水平方式。在垂直安装方式中, DIP 封装电阻的一条安装引脚很短, 可以减少电阻和 PCB 间的热阻, 使电阻的热量更加容易散发到空气中。但较长的垂直安装会增加电阻的电感。水平安装方式因安装较低而具有较低的电感, 但过热的 DIP 封装电阻会产生漂移, 在最坏的情况下, DIP 封装电阻可能成为开路, 造成 PCB

布线终端匹配失效，从而成为潜在的失败因素。

3) 抑止电磁干扰的方法 较好地解决信号完整性问题，可以改善 PCB 的电磁兼容性 (EMC)。其中，保证 PCB 有良好的接地是非常重要的。对于复杂的设计，采用一个信号层配一个地线层是十分有效的方法，多层板中的顶层和底层的地平面至少能降低辐射 10dB。另外，降低 PCB 的最外层信号的密度，也是减少电磁辐射的好方法，这可采用“表面积层”技术“Build-up”设计制作 PCB 来实现。表面积层是通过在普通工艺的 PCB 上增加薄绝缘层和用于贯穿这些层的微孔的组合来实现的，电阻和电容可埋在表层下，单位面积上的布线密度会增加近一倍，因而可降低 PCB 的面积。PCB 面积的缩小对布线的拓扑结构有着巨大的影响，这意味着缩小电流回路和分支布线长度，而电磁辐射电流回路的面积近似成正比。同时，缩小 PCB 面积意味着应使用高密度引脚封装器件，这又使得连线长度进一步缩短，从而使电流回路减小，提高了电磁兼容特性。此外，还有一些其他的技術：在对 PCB 的元器件进行布局时，将模拟系统和数字系统尽量分开；适当的使用去耦电容降低供电/地噪声，从而降低 EMI；让信号的传输线尽量远离 PCB 边缘；避免在 PCB 上布直角信号传输线；了解在基本频率和由反射而引起的谐波频率上的 PCB 布线响应等方法。

4) 电源去耦技术 为减小集成电路芯片上电源电压的瞬时过冲，应添加去耦电容。添加去耦电容可以有效去除电源上的毛刺的影响，并减少在 PCB 上的电源环路的辐射。为了获得平滑毛刺的最佳效果，去耦电容应直接连接在 IC 的电源引脚上，而不是仅连接在电源层上。有一些器件插座上带有去耦电容，而有的器件则要求去耦电容距器件的距离要足够小。

任何高速和高功耗的元器件应尽量放置在一起，以减少电源电压瞬时过冲。

如果没有电源层，那么较长的电源连线将在信号和回路之间形成环路，从而成为辐射源和易感应电路。

布线构成一个不穿过同一网线或其他布线环路的情况称为开环，否则将构成闭环。这两种情况都会形成天线效应（线天线和环形天线）。天线对外产生 EMI 辐射，同时自身也成为敏感电路。闭环产生的辐射与闭环面积近似成正比。

高速电路设计是一个非常复杂的设计过程，有诸多因素需要加以考虑。这些因素有时互相对立。例如，高速器件布局时位置靠近虽可以减少延时，但可能产生窜扰和显著的热效应。因此在设计时应权衡各种因素，做出全面的折中考虑，既满足设计要求，又降低设计复杂度。

5) 端接技术 使用欧姆定律减少在驱动端和传输线负载端的阻抗不匹配。驱动端的阻抗一般小于  $50\Omega$ ，可以在驱动端上串联电阻来提高其阻抗使其与传输线匹配，这种技术称为“串行端接”；负载阻抗通常远大于  $50\Omega$ ，可以在负载端并联电阻来降低其阻抗使其与传输线匹配，这种技术称为“并行端接”。这两种方法都有各自的优缺点，结合起来比较有效。

图 1-4-1 所示的并行端接中，负载端的并联电阻能够有效工作，但也有如下缺点。

- 增加驱动电流从而增加电源损耗。
- 增加窜扰，增加 EMI。
- 增加地反弹或供电噪声（取决于并联电阻上拉或下拉）。

图 1-4-2 所示的串行端接中，驱动端的串联电阻能减少损耗，但驱动器的阻抗成了非线性，而且会损失很多进入传输线的能量。

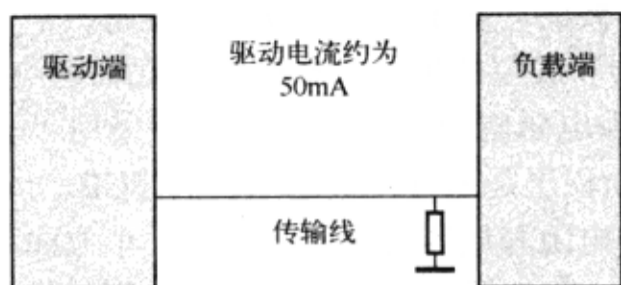


图 1-4-1 并行端接

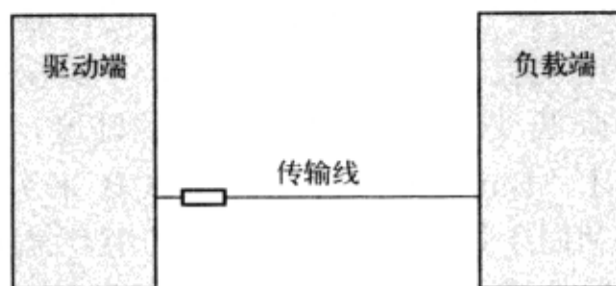


图 1-4-2 串行端接

## 1.5 高速 PCB 布线

### 1. 高速 PCB 信号线的布线基本原则

(1) 合理选择层数：高频电路往往集成度较高，布线密度大，因此必须采用多层板进行布线，这也是降低干扰的有效手段。合理选择层数，可以大幅度地降低 PCB 尺寸，充分利用中间层来设置屏蔽，更好地实现就近接地，有效地降低寄生电感，有效地缩短信号的传输长度，大幅度地降低信号间的交叉干扰等。所有这些都利于高频电路的可靠工作。有资料显示，同种材料的 4 层板要比双面板的噪声低 20dB，但是板层数越高，制造工艺越复杂，成本也越高。

(2) 减少高速电路元器件引脚间引线的弯折：高频电路布线的引线最好采用全直线。若需要弯折时，可用  $45^\circ$  折线或圆弧线，这样可以减少高频信号对外的发射和相互间的耦合。

(3) 缩短高频电路元器件引脚间的引线：满足布线最短的最有效手段是在自动布线前对重点高速网络进行布线预约。

(4) 减少高频电路元器件引脚间的引线层间交叠：所谓减少引线的层间交叠，是指减少元器件连接过程中所用的过孔。一个过孔可带来约 0.5pF 的分布电容，减少过孔数能显著提高速度。

(5) 注意信号线近距离平行布线时所引入的交叉干扰：若无法避免平行分布，可在平行信号线的反面布置大面积的地线，从而大幅度地减少干扰。同层内平行布线几乎无法避免，但是在相邻的两个层的布线方向务必取为相互垂直，在高频电路布线中最好在相邻层分别进行水平和垂直布线。在无法避免同层内平行布线时，可以在 PCB 反面大面积敷设地线来降低干扰。这是针对常用的双面板而言，在使用多层板时可利用中间的电源层来实现这一功能。经过覆铜的 PCB，除能提高高频抗干扰能力以外，还对散热、提高 PCB 强度等有很大好处。另外，若在金属机箱上的 PCB 固定处若加上镀锡栅条，不仅可以提高固定强度、保障接触良好，还可利用金属机箱构成合适的公共线。

(6) 对特别重要的信号线或局部单元实施地线包围的措施。对时钟等单元局部进行包地处理对高速系统也将非常有益。

(7) 各类信号布线不能形成环路，也不能形成电流环路。

(8) 每个集成电路块的附近应设置 1 个高频去耦电容。



## 2. 地线设计

在电子设备中，控制干扰的重要方法是接地。如果能将接地和屏蔽正确结合起来使用，可解决大部分的干扰问题。在电子设备中，地线结构大致有系统地、机壳地（屏蔽地）、数字地（逻辑地）和模拟地等。在地线设计中应注意以下 4 点。

1) **正确选择单点接地与多点接地** 在低频电路中，信号的工作频率通常小于 1MHz，布线和元器件间的电感影响较小，而接地电路形成的环流对干扰影响较大，因而应采用一点接地方式。当信号工作频率大于 10MHz 时，地线阻抗将变得很大，此时应尽量降低地线阻抗，应采用就近多点接地方式。当工作频率在 1~10MHz 时，如果采用一点接地方式，其地线长度不应超过波长的 1/20，否则应采用多点接地方式。

2) **将数字电路与模拟电路分开** 当 PCB 上既有高速逻辑电路，又有线性电路时，应使它们尽量分开，两者的地线不要相混，并且分别与电源端地线相连。要尽量加大线性电路的接地面积。

3) **尽量加粗接地线** 若接地线很细，接地电位将随电流的变化而变化，导致电子设备的定时信号电平不稳，抗噪声性能变坏。因此，应尽量将接地线加粗，使它能通过 3 倍于 PCB 的允许电流。若有可能，接地线的宽度应大于 3mm。

4) **将接地线构成闭环路** 设计仅由数字电路组成的 PCB 的地线系统时，应将地线设计成闭环路，这样可以明显地提高抗噪声能力。其原因在于，PCB 上有很多集成电路元器件，尤其遇有耗电多的元器件时，因受地线粗细的限制，会在地线上产生较大的电位差，从而引起抗噪声能力下降。若将地线构成环路，则会缩小电位差，从而提高电子设备的抗噪声能力。

## 1.6 布线后信号完整性仿真

### 1. 布线后信号完整性仿真的意义

一般来说，信号完整性设计指导规则很难保证实际布线完成后，不出现信号完整性问题或时序问题。即使设计是在指南的引导下进行的，除非能够持续自动检查设计，否则根本无法保证设计完全遵守准则。布线后信号完整性仿真检查，将允许有计划地打破（或者改变）设计准则，但是这只是出于成本考虑或严格的布线要求下所做的必要工作。

现在，采用信号完整性仿真引擎，完全可以仿真高速数字 PCB（甚至是多板系统）的自动屏蔽信号完整性问题，并生成精确的“引脚到引脚”延迟参数。只要输入信号足够好。仿真结果也会一样好。元器件模型和 PCB 制造参数的精确性是决定仿真结果的关键因素。

### 2. 模型的选择

尽管从元器件数据表可以获得所有的数据，但要建立一个模型仍然是很困难的。而对于信号完整性仿真模型来说正好相反，模型的建立比较容易，但是模型数据却很难获得。本质上，信号完整性模型数据唯一的可靠来源是 IC 供应商，他们应与设计工程师保持默契的配合。IBIS 模型标准提供了一致的数据载体，但 IBIS 模型的建立及其品质的保证却成本高昂。IC 供应商对此投资仍然需要市场需求的推动，而 PCB 制造商可能是唯一的需方市场。

## 1.7 提高抗电磁干扰能力的措施

### 1. 需要特别注意抗电磁干扰的系统

- (1) 微控制器时钟频率特别高、总线周期特别快的系统。
- (2) 系统含有大功率、大电流驱动电路，如产生火花的继电器、大电流开关等。
- (3) 包含微弱模拟信号电路及高精度 A/D 转换电路的系统。

### 2. 应采取的抗干扰措施

- (1) 能用低速芯片的，就不用高速芯片，将高速芯片用在关键地方。
- (2) 可用串电阻的方法降低控制电路上升沿/下降沿跳变速率。
- (3) 尽量为继电器等提供某种形式的阻尼电路。
- (4) 使用满足系统要求的最低频率时钟。
- (5) 时钟产生器尽量靠近使用该时钟的元器件，石英晶体振荡器外壳应接地。
- (6) 用地线将时钟区包围起来，尽量缩短时钟线长度。
- (7) I/O 驱动电路尽量靠近 PCB 边缘，以便让其尽快离开 PCB。对进入 PCB 的信号要加滤波电路，从高噪声区来的信号也要加滤波电路，同时，用串终端电阻的办法减小信号反射。
- (8) MCU 无用端要接高电平，或者接地，或者定义成输出端，集成电路上该接电源/地的引脚都要接电源/地，不要悬空。
- (9) 门电路输入端闲置不用时不要悬空。闲置不用的运算放大器正输入端应接地，负输入端应接输出端。
- (10) PCB 尽量使用 45° 折线而不用 90° 折线布线，以减小高频信号对外的发射与耦合。
- (11) PCB 按频率和电流开关特性分区，噪声元器件与非噪声元器件的距离应尽可能远。
- (12) 单面板和双面板用单点接电源和单点接地，电源线、地线应尽量粗，在经济方面能承受的条件下，可以用多层板以减小电源/地的寄生电感。
- (13) 时钟、总线及片选信号要远离 I/O 线和接插件。
- (14) 模拟电压输入线、参考电压端应尽量远离数字电路信号线，特别是时钟线。
- (15) 对 A/D 类器件，数字部分与模拟部分宁可统一，也不要交叉。
- (16) 时钟线垂直于 I/O 线比平行 I/O 线干扰小，时钟元器件引脚远离 I/O 电缆。
- (17) 尽量选用短引脚的元器件，去耦电容引脚也应尽量短。
- (18) 关键的线应尽量粗，并在两侧加上保护地。高速线要短且直。
- (19) 对噪声敏感的线不要与大电流、高速开关线平行。
- (20) 石英晶体振荡器下面及对噪声敏感的器件下面不应布线。
- (21) 弱信号电路、低频电路周围不要形成电流环路。
- (22) 任何信号都不要形成环路，若不可避免，应使环路区尽量小。
- (23) 为每个集成电路添加一个去耦电容；每个电解电容边上都要加一个小的旁路电容。
- (24) 尽量用大容量的钽电容而不用电解电容，作为电路充放电储能电容；使用管状电容时，外壳要接地。

## 1.8 测试与比较

尽管采取上述措施可以确保 PCB 的信号完整性设计品质，在 PCB 完成装配后，仍然有必要将其放在测试平台上，利用示波器或时域反射计（TDR）进行测试，将真实的 PCB 和仿真预期结果进行比较。这些测试数据可以帮助改进模型和制造参数，以便在以后的预设计调研工作中做出更好的（更少的约束条件）决策。

但是，将真实的 PCB 与仿真结果进行比较时有时出入很大。排除模型的不准确外，往往是 PCB 的电源完整性存在问题。由电源完整性而引起的信号完整性问题占有很大的比例，因此需要对电路做电源完整性分析。真实准确的分析应该是同时做电源完整性与信号完整性分析，但由此造成数学模型的建立更复杂、算法难度更高。目前 Cadence 的工具无法实现这样的功能，需要借助第三方的工具，如 Speed 2000 suite 软件与 Apsim 进行分析。

## 1.9 混合信号布局技术

如图 1-9-1 所示的混合信号 PCB 中，显示了是一种错误的布局方法。从原理图中可以看到数字电路的电流流过了模拟平面，这是一个比较糟糕的情况，会在模拟电路中引起额外的噪声干扰和寄生参数，如图 1-9-2 所示。

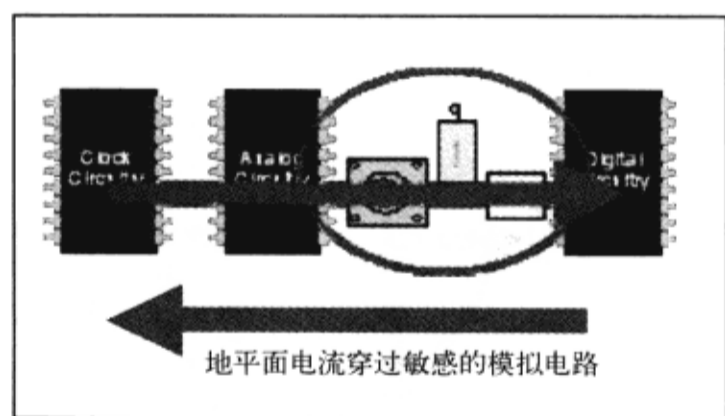


图 1-9-1 混合信号电路中错误的布局方法

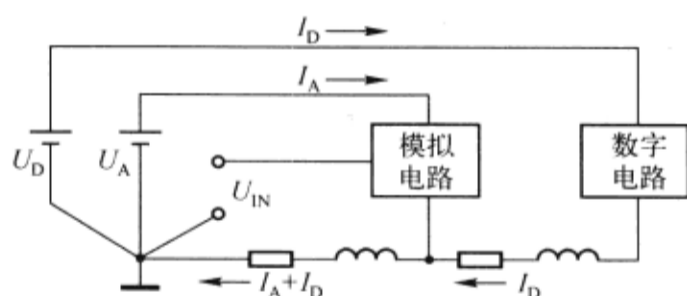


图 1-9-2 混合信号电路原理图（错误的布局）

分析一下这种错误布局方式的地平面电流，图中的箭头所示的电流穿过了中间敏感的模拟电路，时钟电路与数字电路相互传递信号，而模拟电路会接受这些信号。从图 1-9-2 所示的原理图中可以看到，流过那些电阻和电感的电流会产生一个电压，而这个电压将会被叠加到模拟地上，进而引入到模拟电路中。

正确的布局方式如图 1-9-3 所示，将敏感电路放在 PCB 的一侧，而模拟电路紧靠在其旁边，要把时钟和数字电路放在远离敏感电路的位置，如图 1-9-4 所示的电路图，模拟电路和数字电路分别用  $U_A$  和  $U_D$  供电，所有接地回路都分别接到接地点，消除了误差电压。图 1-9-5 所示的是正确布局方式的通信情况，模拟电路和前端敏感电路相通信，数字电路和时钟电路进行信号传输而不会干扰模拟电路。

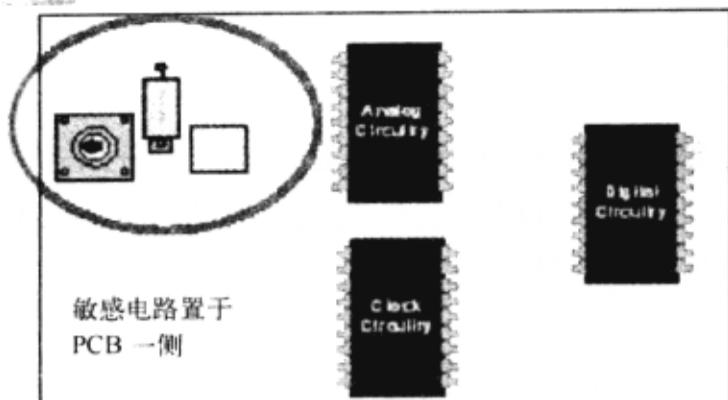


图 1-9-3 混合信号电路正确的布局方式

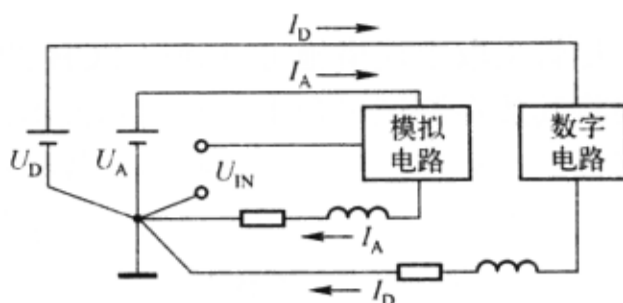


图 1-9-4 混合信号电路原理图 (正确的布局)

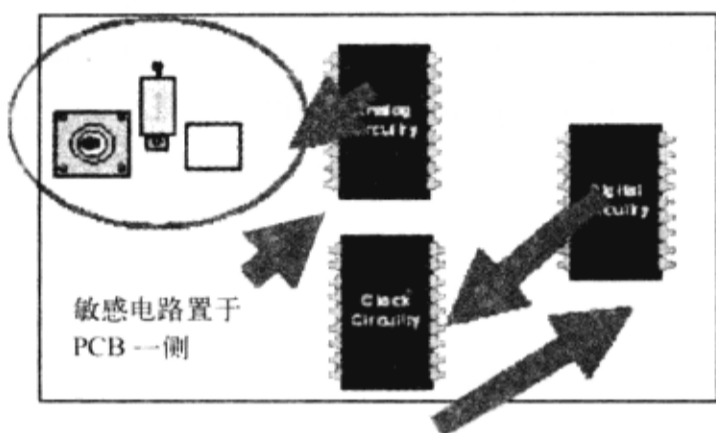


图 1-9-5 正确布局电路的通信情况

再分析一下地平面及其布线，图 1-9-6 所示的顶层是完整的地平面，底层是连接 RF 端口及其负载的传输线。可以看到，在顶层地平面的回流就在底层回流线的正上方流动。对于地平面，理想情况是电流先沿着布线流动，然后回到地平面，而且正好在底层布线的正上方流动，这样就可以获得最小的感应系数。然而在有些情况下，PCB 的设计不能保证地平面的完整性，如图 1-9-7 所示。图中所示的分裂的地平面中，回流在直流情况下将会沿着电阻最小的通路传输，如图中细箭头所示；而回流在交流情况下将会沿阻抗最小的通路流动，如图中粗箭头所示，实际上这将会辐射 EMI 和 RFI 能量，所以这不是正确的方法。

最小的通路传输，如图中细箭头所示；而回流在交流情况下将会沿阻抗最小的通路流动，如图中粗箭头所示，实际上这将会辐射 EMI 和 RFI 能量，所以这不是正确的方法。

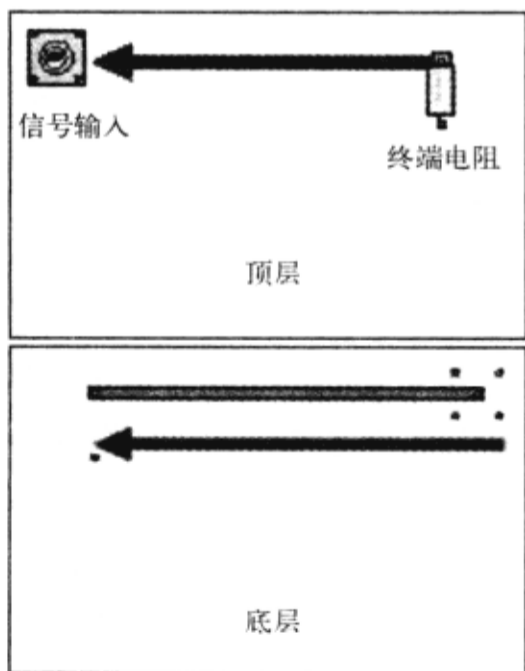


图 1-9-6 电路回流流动情况

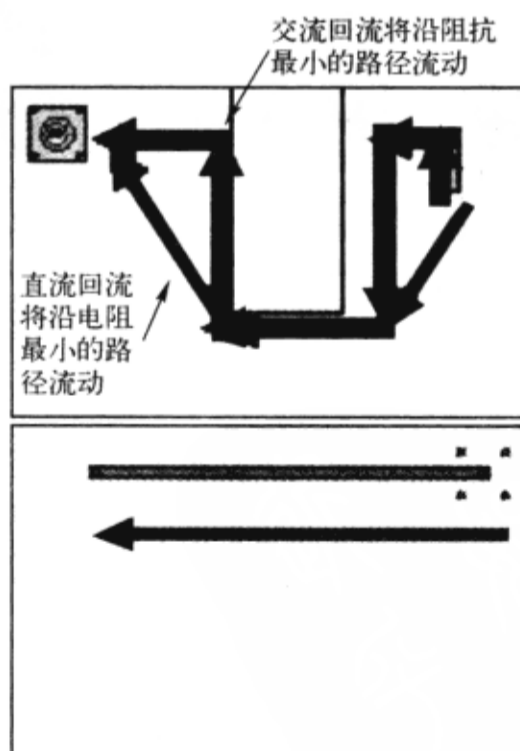


图 1-9-7 电路回流流动情况

图 1-9-8 所示的电路中，左边是模拟电源和模拟电路，右边是数字电源和数字电路，中间是混合信号器件，它既有模拟地，又有数字地。正确的做法是将混合信号器件的模拟地连



接到模拟地平面，而将数字地连接到数字地平面，两个地平面最终必须在某个点上连接起来。在两个地平面之间开一个很小的口。这样数字电路中产生的噪声很难干扰到模拟电路，反之亦然。所以，当模拟电流被限制在电路中模拟电路一侧，而数字电流被限制在电路中数字电路一侧时，两个电路之间的影响非常小，这是在一个 PCB 上混合器件接地的正确做法。

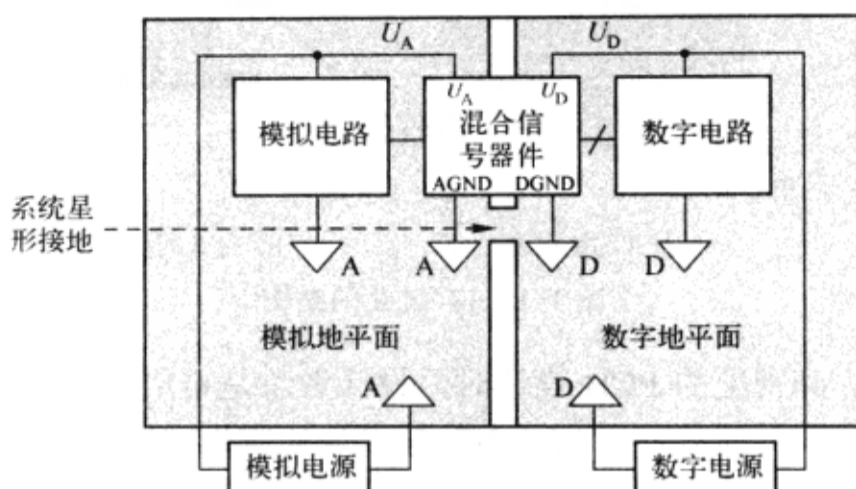


图 1-9-8 模数混合电路的接地方法

目前还没有哪一种单一的接地方法能保证在任何情况下都有效，但一般应遵循以下原则：去除运算放大器下面的地平面以减小寄生电容；每个 PCB 上必须至少有一层用于接地平面；对于一些高速信号的布线，应该在信号线的下面提供尽量多的地平面；越厚的覆铜越好（可减小阻抗和提高散热性能）；同样的地平面必须使用多个过孔连接；在最初设计时建议将模拟地和数字地分开；要遵循混合信号器件数据手册上的建议，认真阅读数据手册，上面会有很多很有用的信息（尤其是制板部分），有些内容是非常重要的；让电源的去耦电容和负载回路尽量靠近以减小噪声；要把模拟、数字和射频信号的地在一点连接。

## 1.10 过孔对信号传输的影响

### 1. 过孔的基本概念

过孔（Via）是多层 PCB 的重要组成部分之一，钻孔的费用通常占 PCB 制板费用的 30%~40%。简单来说，PCB 上的每一个孔都可以称为过孔。从作用上看，过孔可以分成两类：一是用做各层间的电气连接；二是用作器件的固定或定位。如果从工艺制程上来说，这些过孔一般又分为三类，即盲孔（Blind Via）、埋孔（Buried Via）和通孔（Through Via）。盲孔位于 PCB 的顶层和底层表面，具有一定深度，用于表层线路和下面的内层线路的连接，孔的深度通常不超过一定的比率(孔径)。埋孔是指位于 PCB 内层的连接孔，它不会延伸到 PCB 的表面。上述两类孔都位于 PCB 的内层，层压前利用通孔成形工艺完成，在过孔形成过程中可能还会重叠做好几个内层。第 3 种称为通孔，这种孔穿过整个 PCB，可用于实现内部互连或作为元器件的安装定位孔。由于通孔在工艺上更易于实现，成本较低，所以绝大部分 PCB 均使用它，而较少用另外两种过孔。以下所说的过孔，没有特殊说明的，均作为通孔考虑。

从设计的角度来看，一个过孔主要由两个部分组成，一是中间的钻孔（Drill Hole），二

是钻孔周围的焊盘区，如图 1-10-1 所示。这两部分的尺寸大小决定了过孔的大小的。

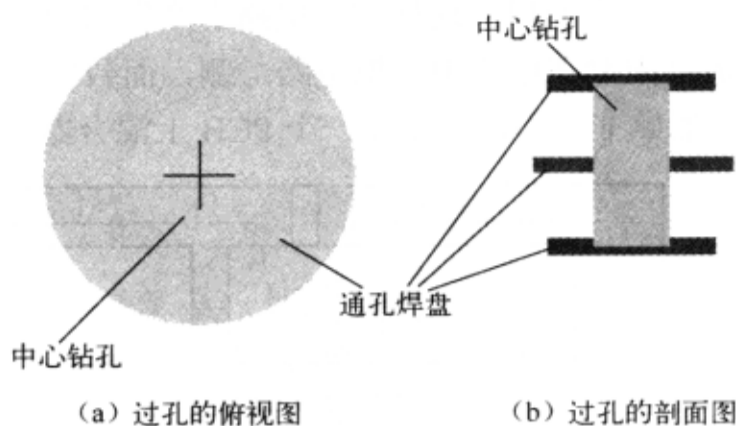


图 1-10-1 过孔的结构

很显然，在高速、高密度的 PCB 设计时，设计者总是希望过孔越小越好，这样 PCB 上可以留有更多的布线空间。此外，过孔越小，其自身的寄生电容也越小，更适合用于高速电路。但孔尺寸的减小同时带来了成本的增加，而且过孔的尺寸不可能无限制地减小，它受到钻孔(Drill)和电镀(Plating)等工艺技术的限制：孔越小，钻孔需花费的时间越长，也越容易偏离中心位置；且当孔的深度超过钻孔直径的 6 倍时，就无法保证孔壁能均匀镀铜。比如，如果一块正常的 6 层 PCB 的厚度（通孔深度）为 50mils，那么，一般条件下 PCB 厂家能提供的钻孔直径最小只能达到 8mils。随着激光钻孔技术的发展，钻孔的尺寸也可以越来越小，一般直径不大于 6mils 的过孔，就称为微孔。在 HDI（高密度互连结构）设计中经常使用到微孔，微孔技术可以允许过孔直接打在焊盘上（Via-in-Pad），这大大提高了电路性能，节约了布线空间。

过孔在传输线上表现为阻抗不连续的断点，会造成信号的反射。一般过孔的等效阻抗比传输线低约 12%，如 50Ω 的传输线在经过过孔时阻抗会减小 6Ω（具体和过孔的尺寸，板厚也有关，不是绝对减小）。但过孔因为阻抗不连续而造成的反射其实是微乎其微的，其反射系数仅为  $(50-44)/(44+50) \approx 0.06$ ，过孔产生的问题更多的集中于寄生电容和电感的影响。

## 2. 过孔的寄生电容和电感

过孔本身存在着寄生的杂散电容，如果已知过孔在铺地层上的阻焊区直径为  $D_2$ ，过孔焊盘的直径为  $D_1$ ，PCB 的厚度为  $T$ ，板基材介电常数为  $\epsilon$ ，则过孔的寄生电容大小近似为

$$C = 1.41\epsilon TD_1 / (D_2 - D_1)$$

过孔的寄生电容会给电路造成的主要影响是延长了信号的上升时间，降低了电路的速度。举例来说，对于一块厚度为 50mil 的 PCB，如果使用的过孔焊盘直径为 20mil（钻孔直径为 10mil），阻焊区直径为 40mil，则可以通过上面的公式近似算出过孔的寄生电容大致为

$$C = 1.41 \times 4.4 \times 0.050 \times 0.020 / (0.040 - 0.020) \approx 0.31\text{pF}$$

这部分电容引起的上升时间变化量大致为

$$T_{10-90} = 2.2C(Z_0/2) = 2.2 \times 0.31 \times (50/2) = 17.05\text{ps}$$

从这些数值可以看出，尽管单个过孔的寄生电容引起的上升延变缓的效用不是很明显，但是如果布线中多次使用过孔进行层间的切换，就会用到多个过孔，设计时就要慎重考虑。实际

设计中可以通过增大过孔和覆铜区的距离 (Anti-pad) 或减小焊盘的直径来减小寄生电容。

过孔存在寄生电容的同时也存在着寄生电感, 在高速数字电路的设计中, 过孔的寄生电感带来的危害往往大于寄生电容的影响。它的寄生串联电感会削弱旁路电容的贡献, 减弱整个电源系统的滤波效用。可以用下面的经验公式来简单地计算一个过孔近似的寄生电感:

$$L = 5.08h[\ln(4h/d) + 1]$$

式中,  $L$  为过孔的电感,  $h$  为过孔的长度,  $d$  为中心钻孔的直径。从式中可以看出, 过孔的直径对电感的影响较小, 而对电感影响最大的是过孔的长度。仍然采用上面的例子, 可以计算出过孔的电感为

$$L = 5.08 \times 0.050[\ln(4 \times 0.050/0.010) + 1] \approx 1.015\text{nH}$$

如果信号的上升时间是 1ns, 那么其等效阻抗大小为  $X_L = \pi L / T_{10-90} \approx 3.19\Omega$ 。这样的阻抗在有高频电流通过时已经不能够被忽略。



旁路电容在连接电源层和地层时需要通过两个过孔, 这样过孔的寄生电感就会成倍增加。

### 3. 如何使用过孔

通过上面对过孔寄生特性的分析可以看到, 在高速 PCB 设计中, 看似简单的过孔往往也会给电路的设计带来很大的负面效应。为了减小过孔的寄生效应带来的不利影响, 在设计中可以尽量做到以下 6 点。

- 从成本和信号质量两方面考虑, 选择合理尺寸的过孔大小。必要时可以考虑使用不同尺寸的过孔。例如, 对于电源或地线的过孔, 可以考虑使用较大尺寸, 以减小阻抗; 而对于信号布线, 则可以使用较小的过孔。当然随着过孔尺寸减小, 相应的成本也会增加。
- 使用较薄的 PCB 有利于减小过孔的两种寄生参数。
- PCB 上的信号布线尽量不换层, 也就是说尽量不要使用不必要的过孔。
- 电源和地的引脚要就近打过孔, 过孔和引脚之间的引线越短越好。可以考虑并联打多个过孔, 以减少等效电感。
- 在信号换层的过孔附近放置一些接地的过孔, 以便为信号提供最近的回路。甚至可以在 PCB 上放置一些多余的接地过孔。
- 对于密度较高的高速 PCB, 可以考虑使用微型过孔。

## 1.11 一般布局规则

当今的高速 PCB 设计对布局的要求越来越严格, 布局基本上决定了布线的大致走向和结构, 电源和地平面的分割, 以及对噪声和 EMI 的控制情况, 因而 PCB 设计的性能好坏在

很大程度上取决于布局是否合理。往往工程师们在布局上花费的时间和精力也很多，预布局→前仿真→再布局→优化，这些过程大概要占整个项目设计时间的50%，甚至更多。下面就总结一个大致的布局步骤及规则，仅供参考。实际电路设计中还要考虑很多其他的问题，如散热、机械性能及一些特殊电路的摆放问题，具体的布局准则根据实际应用而定。

布局首先要从了解系统电路原理图开始，必须在各个电路中划分数字、模拟、混合数字/模拟元器件（可察看芯片资料），并注意各IC芯片电源和信号引脚的定位。

根据电路中各部分所占的比重，初步划分数字电路、模拟电路在PCB上的布线区域，让数字元器件、模拟元器件及其相应布线尽量远离并限定在各自的布线区域内。区域划分完毕后，就可以进行元器件的放置，一般顺序是混合型器件→模拟元器件→数字元器件→旁路电容。

数模混合元器件一定要放置在数字信号区域和模拟信号区域的交界之处，并注意正确的方向，即数字信号和模拟信号引脚朝向各自的布线区域；纯数字或模拟元器件一定要放置在各自规定的范围之内；晶振电路尽量靠近其驱动器件。

对噪声敏感的器件要远离高频信号布线，同时，像参考电压 $U_{ref}$ 之类对噪声比较敏感的信号也要远离易产生高噪声的元器件。数字元器件一般情况下尽量集中放置，可以减少线长，降低噪声。但如果有时序要求限制的信号布线，则需要根据线长和结构进行布局的调整，具体应该通过仿真来确定。旁路电容摆放需要尽量靠近芯片电源引脚放置，尤其是高频电容，在电源接口附近可以放置大容量（如47 $\mu$ F）的电容，以保持电源稳定，减少低频噪声的干扰。

## 1.12 电源完整性理论基础

随着PCB设计复杂度的逐步提高，对于信号完整性的分析除了反射、窜扰及EMI外，稳定可靠的电源供应也成为设计者们重点研究的方向之一。尤其当开关器件数目不断增加，核心电压不断减小时，电源的波动往往会给系统带来致命的影响，于是人们提出了新的名词——电源完整性，简称PI（Power Integrity）。其实，PI和SI是紧密联系在一起，只是以往的EDA仿真工具在进行信号完整性分析时，一般都是简单地假设电源绝对处于稳定状态，但随着系统设计对仿真精度的要求不断提高，这种假设显然是越来越不能被接受的，于是PI的研究分析也应运而生。从广义上说，PI是属于SI研究范畴之内的，而新一代的信号完整性仿真必须建立在可靠的电源完整性基础之上。虽然电源完整性主要是讨论电源供给的稳定性问题，但由于地在实际系统中总是和电源密不可分，通常把如何减少地平面的噪声也作为电源完整性中的一部分进行讨论。

### 1. 电源噪声的起因及危害

造成电源不稳定的根源主要在于两个方面：一是器件高速开关状态下，瞬态的交变电流过大；二是电流回路上存在的电感。从表现形式上来看又可以分为3类：同步开关噪声（SSN），有时被称为 $\Delta i$ 噪声，地弹（Ground bounce）现象也可归于此类（见图1-12-1）；非理想电源阻抗影响（见图1-12-2）；谐振及边缘效应（见图1-12-3）。



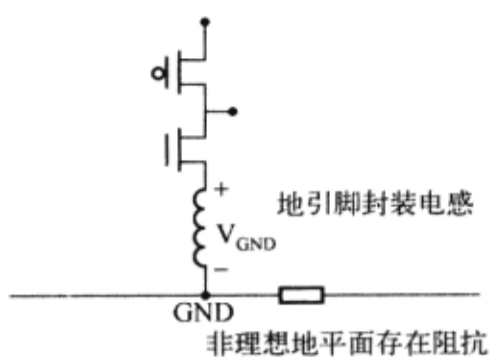


图 1-12-1 同步开关噪声

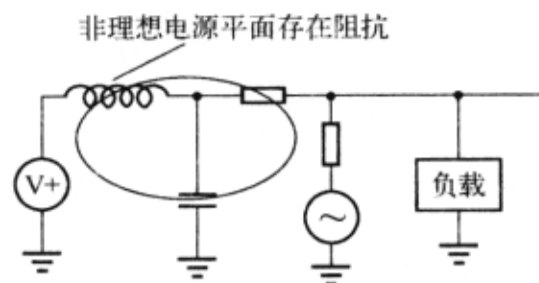


图 1-12-2 非理想电源阻抗影响

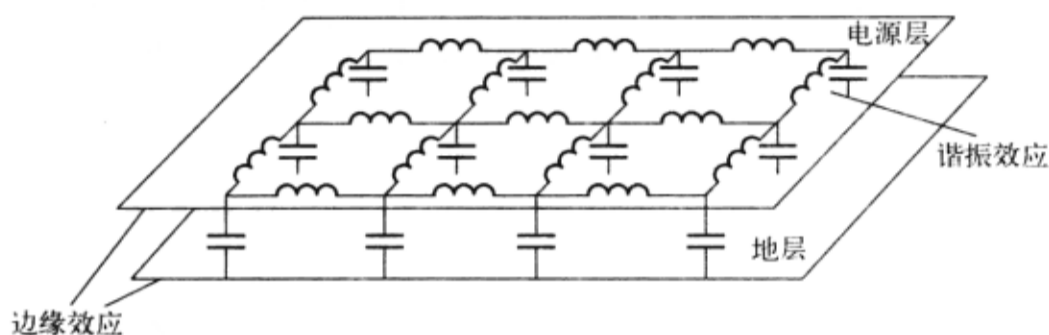


图 1-12-3 谐振及边缘效应

对于一个理想的电源来说，其阻抗为零，在平面任何一点的电位都是保持恒定的（等于系统供电电压），然而实际的情况并非如此，而是存在很大的噪声干扰，甚至有可能影响系统的正常工作，如图 1-12-4 所示。

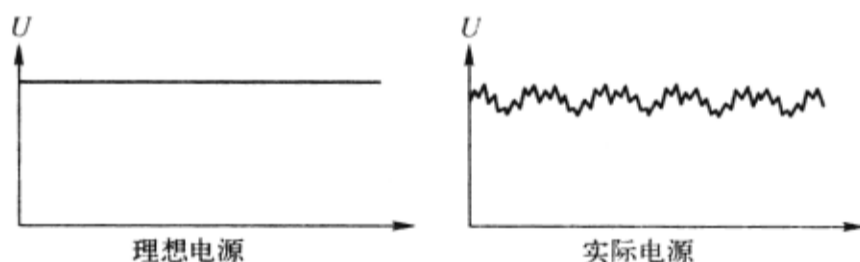


图 1-12-4 噪声对电源的影响

开关噪声给信号传输带来的影响更为显著，由于地引线和平面存在寄生电感，在开关电流的作用下，会造成一定的电压波动，也就是说器件的参考地已经不再保持零电平，这样，在驱动端（见图 1-12-5），本来要发送的低电平会出现相应的噪声波形，相位和地面噪声相同，而对于开关信号波形来说，会因为地噪声的影响导致信号的下降沿变缓；在接收端（见图 1-12-6），信号的波形同样会受到地噪声的干扰，不过这时的干扰波形和地噪声相位相反；另外，在一些存储性器件里，还有可能因为本身电源和地噪声的影响造成数据意外翻转（见图 1-12-7）。

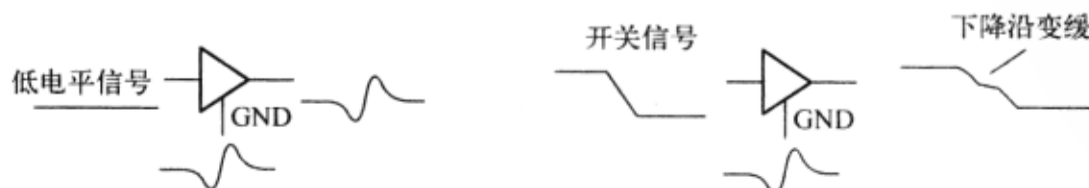


图 1-12-5 地弹噪声对驱动端信号的影响

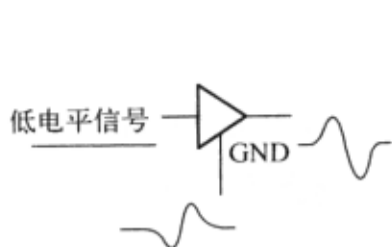


图 1-12-6 地弹噪声对接收端信号的影响

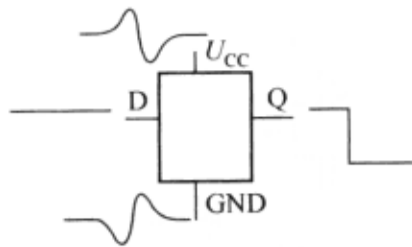


图 1-12-7 触发器数据反转

从图 1-12-3 可以看到, 电源平面其实可以看成是由很多电感和电容构成的网络, 也可以看成是一个共振腔, 在一定频率下, 这些电容和电感会发生谐振现象, 从而影响电源层的阻抗。例如, 一个 8in×9in 的 PCB 空板, 板材是普通的 FR4, 电源和地之间的间距为 4.5mils, 随着频率的增加, 电源阻抗是不断变化的, 尤其是在并联谐振效应显著的时候, 电源阻抗也随之明显增加, 如图 1-12-8 所示。

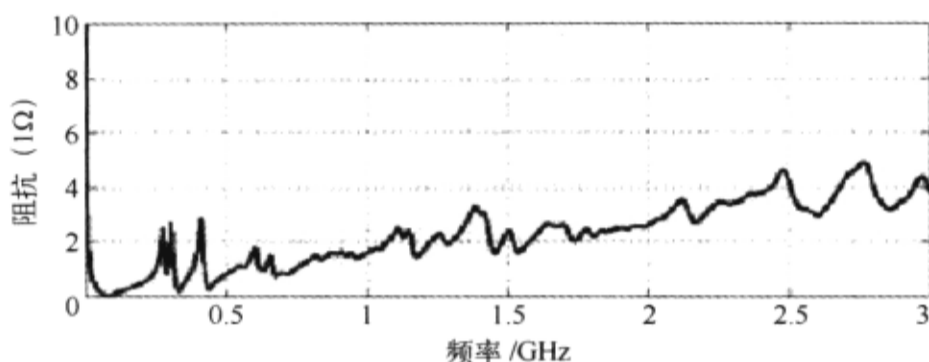


图 1-12-8 电源平面的谐振现象

除了谐振效应, 电源平面和地平面的边缘效应同样是电源设计中需要注意的问题, 这里说的边缘效应就是指边缘反射和辐射现象, 也可以列入 EMI 讨论的范畴。如果抑制了电源平面上的高频噪声, 就能很好地减轻边缘的电磁辐射, 通常是采用添加去耦电容的方法, 从图 1-12-9 中可以看出去耦电容在抑制边缘辐射中的作用。边缘效应是无法完全避免的, 在设计 PCB 时, 要尽量让信号布线远离覆铜区边缘, 以避免受到太大的干扰。

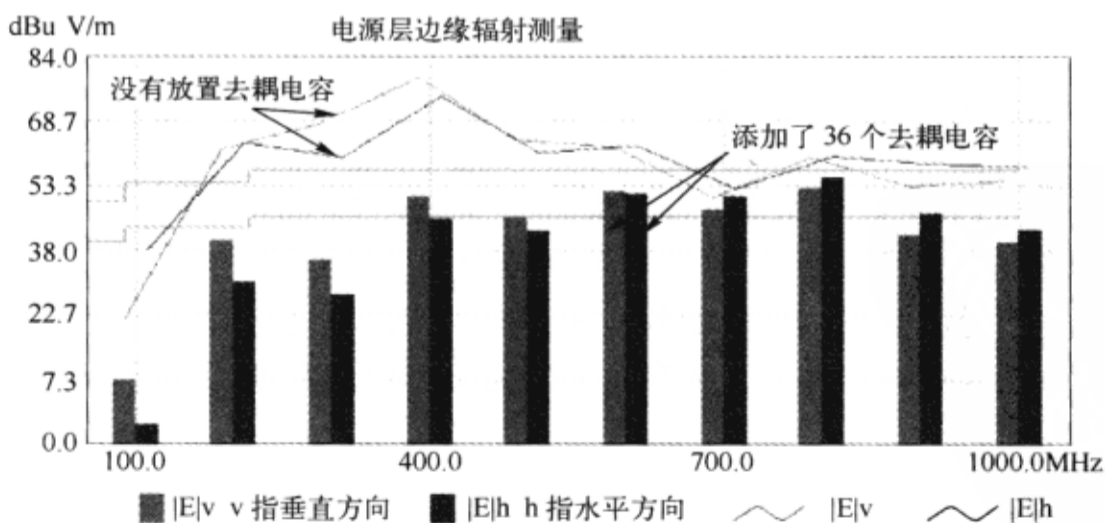


图 1-12-9 去耦电容对边缘辐射的抑制

## 2. 电源阻抗设计

电源噪声的产生在很大程度上归结于非理想的电源分配系统 (Power Distribution

System, PDS)。所谓电源分配系统,其作用就是给系统内的所有元器件提供足够的电源,这些元器件不仅需要足够的功率消耗,同时对电源的平稳性也有一定的要求。大部分数字电路器件对电源波动的要求在正常电压的 $\pm 5\%$ 范围之内。电源之所以波动,就是因为实际的电源平面总是存在着阻抗,这样,在瞬间电流通过时就会产生一定的电压降和电压波动。

为了保证每个元器件始终都能得到正常的电源供应,就需要对电源的阻抗进行控制,也就是尽可能降低其阻抗。例如,一个 5V 的电源,允许的电压噪声为 5%,最大瞬间电流为 1A,那么设计的最大电源阻抗为

$$Z_{target} = \frac{(\text{正常电源电压}) \times (\text{允许的波动范围})}{\text{最大电流}} = \frac{(5V) \times (5\%)}{1A} = 0.250\Omega$$

从上面的计算公式可以看出,随着电源电压不断减小,瞬间电流不断增大,所允许的最大电源阻抗也大大降低。而当今电路设计的趋势恰恰如此,参见表 1-12-1。综合各因素的影响,几乎每过 3 年,电源阻抗就要降为原来的 1/5,由此可见,电源阻抗设计对于高速电路设计者来说是至关重要的。

表 1-12-1 近几年微处理器参数的变化

年 份	电压/V	功率耗散/W	最大电流/A	最大电源阻抗/m $\Omega$	工作频率/MHz
1990	5.0	5	1	250	16
1993	3.3	10	3	54	66
1996	2.5	30	12	10	200
1999	1.8	90	50	1.8	600
2002	1.2	180	150	0.4	1200

电源层和地层本身可以看成是一个大的平板电容,其电容量可以用下面这个公式计算:

$$C = k \frac{\epsilon_r A}{d}$$

系数  $k$  为 0.2249 ( $d$  的单位为 in) 或 0.884 ( $d$  的单位为 cm),  $\epsilon_r$  指介质的介电常数(真空为 1, FR4 材料在 4.1~4.7 之间),  $A$  为覆铜平行部分的总面积,  $d$  为电源和地之间的距离。以 2.9in $\times$ 1.2in 的内存模块 PCB 为例,相邻为 10mils 的电源和地构成的电容大小大概为:  $0.2249 \times 4.5 \times 2.9 \times 1.2 / 0.01 = 352.2\text{pF}$ 。可见,电源和地之间耦合电容的值很小,表现的阻抗也比较大,一般有几欧姆,所以在高速设计中仅依靠电源自身的耦合降低阻抗是远远不够的。

在设计电源阻抗时,要注意频率的影响,不仅需要计算直流阻抗(电阻),还要同时考虑在较高频率时的交流阻抗(主要是电感),最高的频率将是时钟信号频率的两倍,因为在时钟的上升和下降沿,电源系统上都会产生瞬间电流的变化。一般可以通过下面这个基本公式来计算受阻抗影响的电源电压波动:

$$V_{drop} = i \cdot R + L \cdot \frac{di}{dt}$$

为了降低电源的电阻和电感,在设计中可采取如下措施。

- 使用电阻率低的材料，如铜。
- 用较厚、较粗的电源线，并尽可能减少长度。
- 降低接触电阻。
- 减小电源内阻。
- 电源尽量靠近 GND。
- 合理使用去耦电容。

由于电源阻抗的要求，以往的电源总线形式已经不可能适用于高速电路，目前基本上都是采用了大面积的铜箔层作为低阻抗的电源分配系统。当然，电源层本身的低阻抗还是不能满足设计的需要，需要考虑的问题还很多，如芯片封装中的电源引脚，连接器的接口，以及高频下的谐振现象等，这些都可能会造成电源阻抗的显著增加。解决这些问题的最简单也最有效的方案就是大量使用去耦电容，这在后文中会详细讨论。

### 3. 同步开关噪声分析

同步开关噪声（Simultaneous Switch Noise, SSN）是指当器件处于开关状态，产生瞬间变化的电流（ $di/dt$ ），在经过回流途径上存在的电感时，形成交流压降，从而引起噪声，所以也称为 $\Delta i$ 噪声。如果是由于封装电感而引起地平面的波动，造成芯片地和系统地不一致，这种现象称为地弹（Ground Bounce）。同样，如果是由于封装电感引起的芯片和系统电源差异，就称为电源反弹（Power Bounce）。所以，严格地说，同步开关噪声并不完全是电源的问题，它对电源完整性产生的影响最主要表现为地/电源反弹现象。

同步开关噪声主要是伴随着器件的同步开关输出（Simultaneous Switch Output, SSO）而产生，开关速度越快，瞬间电流变化越显著，电流回路上的电感越大，则产生的 SSN 越严重。其基本公式为

$$U_{SSN} = N \cdot L_{Loop} \cdot (dI/dt)$$

式中， $I$  为单个开关输出的电流， $N$  是同时开关的驱动端数目， $L_{Loop}$  为整个回流路径上的电感，而  $U_{SSN}$  就是同步开关噪声的大小。这个公式看起来简单，但真正分析起来却不是那么容易，因为不仅需要对电路进行合理的建模，还要判断各种可能的回流路径，以及分析不同的工作状态。总的来说，对于同步开关噪声的研究是一个比较复杂的工程，本文也只是对其基本原理做一个概括性的阐述。此外，如果考虑得更广一些，除了信号本身回流路径的电感外，离得很近的信号互连引线之间的串扰也是加剧同步开关噪声的原因之一。

由于电阻对开关噪声的影响很小，为简化讨论，这里忽略其影响，并把封装电感提取为简化的集总元件进行分析。可以将 SSN 分为两种情况：芯片内部（on-chip）开关噪声和芯片外部（off-chip）开关噪声。可以参考图 1-12-10，当内部 Driver4 开关（此时 Driver1 作为接收端）时产生的噪声就是 on-chip SSN，可以看到其回流途径只经过电源和地，与信号引脚的寄生电感无关；而当 Driver1（或 2,3）作为开关输出时，产生的噪声称为 off-chip SSN，这时的电流将流经信号线和地，但不经过芯片的电源引脚（信号跳变为 1→0）。

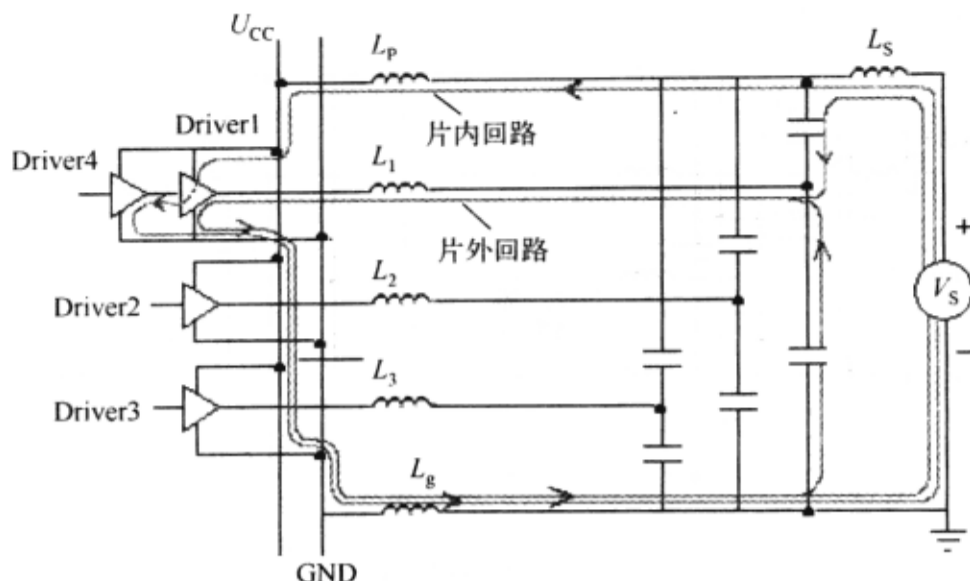


图 1-12-10 SSN 分析电路模型

1) 芯片内部开关噪声 先分析 on-chip 的情况, 上图中的  $L_p$  和  $L_g$  为封装中电源和地的寄生电感,  $L_s$  为系统电源的电感。现假设  $L$  为封装电源和地总的电感, 由于  $L_p$  和  $L_g$  上通过的电流是反向的, 则

$$L = L_p + L_g - 2M_{pg}$$

式中,  $M_{pg}$  为  $L_p$  和  $L_g$  之间的耦合电感。这时芯片实际得到的电压为

$$V_{\text{chip}} = V_s - L \frac{di}{dt} - L_s \frac{di}{dt}$$

因而, 在瞬间开关时, 加载在芯片上的电源电压会下降, 随后围绕  $V_s$  振荡并呈阻衰减。上面的分析仅是针对一个内部驱动工作的情况, 如果多个驱动级同时工作, 会造成更大的电源压降, 从而造成器件的驱动能力将降低, 电路速度会减慢。通常可以采取如下措施。

(1) 降低芯片内部驱动器的开关速率和同时开关的数目, 以减小  $di/dt$ , 不过这种方式不现实, 因为电路设计的方向就是更快、更密。

(2) 降低系统供给电源的电感, 高速电路设计中要求使用单独的电源层, 并让电源层和地平面尽量接近。

(3) 降低芯片封装中的电源和地引脚的电感, 如增加电源/地的引脚数目, 减短引线长度, 尽可能采用大面积覆铜。

(4) 增加电源和地的互相耦合电感也可以减小回路总的电感, 因此要让电源和地的引脚成对分布, 并尽量靠近。

(5) 给系统电源增加旁路电容, 这些电容可以给高频的瞬变交流信号提供低电感的旁路, 而变化较慢的信号仍然走系统电源回路 (见图 1-12-11)。虽然 off-chip 驱动的负载电容也可以看做旁路电容, 但由于其电容很小, 所以对交流旁路作用不大。

(6) 考虑在芯片封装内部使用旁路电容, 这样高频电流的回路电感会非常小, 能在很大程度上减小芯片内部的同步开关噪声。

(7) 更高要求的情况下可以将芯片不经过封装而直接装配到系统主板上, 这称为 DCA 技术 (Direct Chip Attach)。但这相关到一些稳定性和安全性的问题, 在目前的技术水平下, 还存在着很多问题。



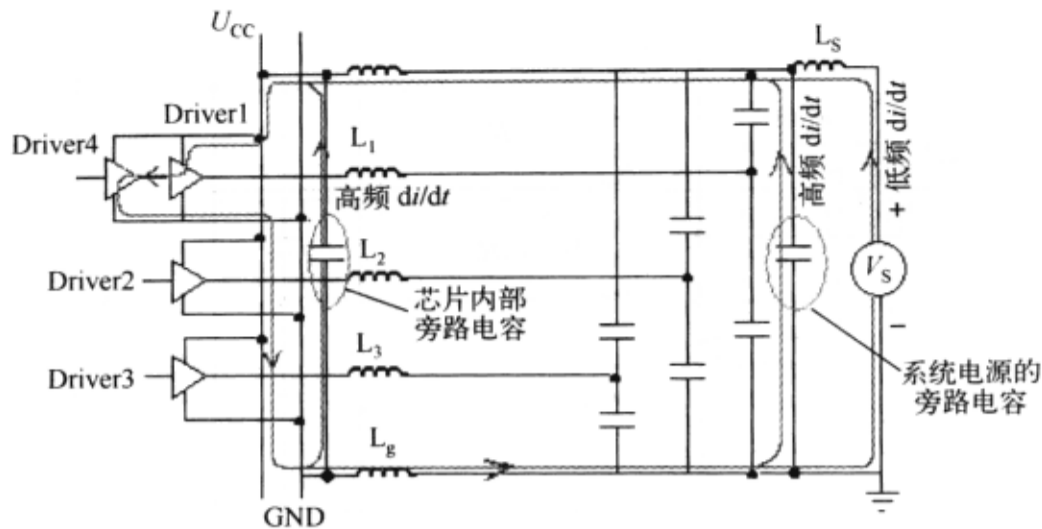


图 1-12-11 旁路电容对 on-chip SSN 的作用

2) 芯片外部开关噪声 下面再分析一下 off-chip 的情况（见图 1-12-12），它和 on-chip 最显著的区别在于计算开关噪声时需要考虑信号线的电感，而且对于不同的开关状态其电流回路也不同，1→0 跳变时，回流不经过封装的电源引脚；0→1 跳变时，回流不经过封装的地引脚。类似前面的分析，可计算由于封装电感的影响造成的电压降为（不考虑系统电源电感）

$$V_{gb} = (L_1 + L_g - 2M_{lg}) \frac{di}{dt}$$

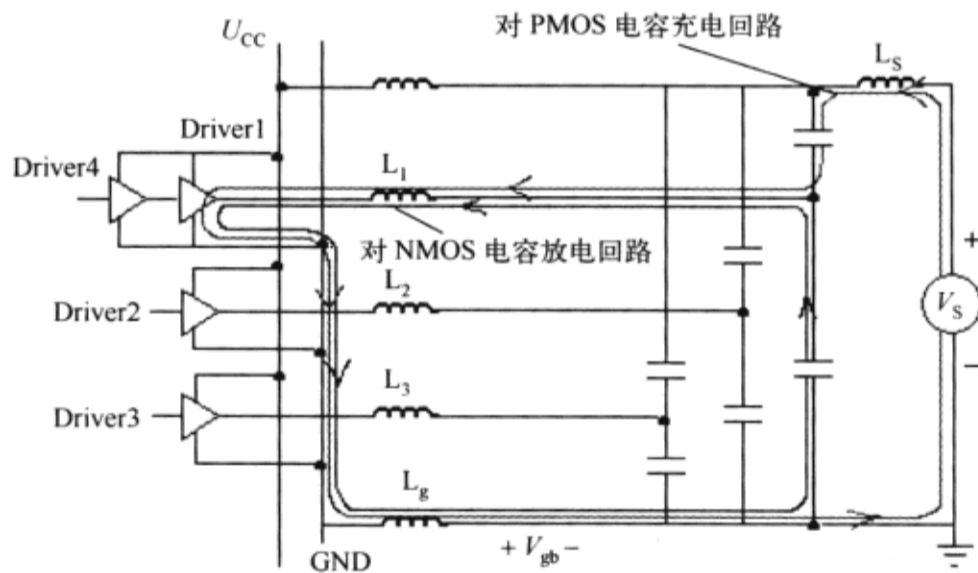


图 1-12-12 1→0 开关状态下的 off-chip 回流路径

这时，芯片的地并不是和理想的系统地保持同样的零电位，而是存在  $V_{gb}$  的电压波动，这种情况称为地反弹（也称地跳，或者 Ground Bounce），同样对于 0→1 开关状态，封装电感会给电源造成一定的压降，称为电源反弹。当然，地弹现象是 on-chip 和 off-chip 同步开关输出的综合影响，但需要注意的是，地弹噪声只根源于封装寄生电感，与系统的电源及地的电感无关，这也是 SSN 和 Ground Bounce 在概念上不等同的根本原因。

减轻 Off-chip 开关噪声的方法有以下 3 种。

- (1) 降低芯片内部驱动器的开关速率和同时开关的数目。
- (2) 降低封装回路电感，增加信号和电源和地的耦合电感。

(3) 在封装内部使用旁路电容, 这样能让电源和地共同分担电流回路, 可以减小等效电感。但对于系统电源的旁路电容使用将不会影响地弹噪声的大小。

3) 等效电感衡量 SSN 分析了同步开关噪声的基本原理, 可以总结出一个结论: 对于给定的电路, 即  $di/dt$  不变的情况下, 减轻 SSN 就是尽量减小信号回路的等效电感 ( $L_{\text{eff}}$ )。  $L_{\text{eff}}$  包含 3 个部分: on-chip 开关输出的回路等效电感  $L_{\text{eff,P}}$ ; 所有 off-chip 驱动从低到高开关输出的回路等效电感  $L_{\text{eff,LH}}$ ; 所有 off-chip 驱动从高到低开关输出的回路等效电感  $L_{\text{eff,HL}}$ 。对于 off-chip 的同步开关来说, 如果驱动器的跳变不一致, 如有的是  $1 \rightarrow 0$  变化, 有的是  $0 \rightarrow 1$  变化, 此时由于某些回流方向相反, 会因为耦合而降低等效电感, 而对于噪声分析, 要能预见最坏的可能, 所以要考虑所有同步开关状态都一致的情况。

同步开关噪声的产生绝大部分源于芯片封装的问题 (此外还有接插件或连接器), 往往有人仅比较芯片封装引脚本身的寄生电感来判断高频封装的优劣, 这是没有太大意义的。更有效的方法是通过仿真及测试得到信号回路等效电感  $L_{\text{eff}}$  来进行比较,  $L_{\text{eff}}$  越大, 就意味着同步开关噪声也越大。但有的时候也不是很容易就可以通过  $L_{\text{eff}}$  看出来的, 如表 1-12-12 中两种封装的等效电感比较, 这时就要取决于实际应用, 看电源稳定性和信号干扰哪个更重要了。

表 1-12-2 两种封装等效电感的比较

	$L_{\text{eff,P}}$ (on-chip switch)	$L_{\text{eff,LH}}$ (off-chip switch)	$L_{\text{eff,HL}}$ (off-chip switch)
封装 A	0.08nH	0.3nH	0.25nH
封装 B	0.1nH	0.25nH	0.25nH
评注	封装 A 的电源和地回路的电感较低, 引起电源的下降较小	在 $0 \rightarrow 1$ 开关状态下, 封装 B 的信号回路电感较小, 对其他信号干扰较小	在 $1 \rightarrow 0$ 开关状态下, 封装 A 和封装 B 的性能一样

利用软件对 SSN 进行具体分析时, 可以构建如图 1-12-10 所示的电路模型结构进行 Spice 仿真。驱动端的输出缓冲器的详细模型如图 1-12-13 所示。

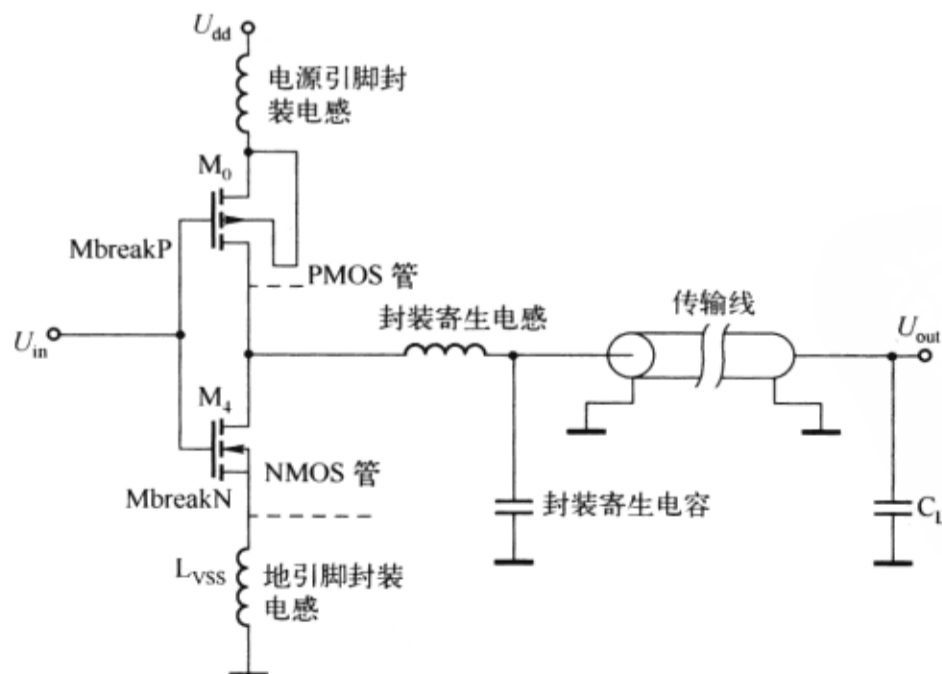


图 1-12-13 驱动端的输出缓冲器的详细模型

#### 4. 旁路电容的特性和应用

从上面的分析可以看到, 无论是降低电源平面阻抗, 还是减少同步开关噪声, 旁路电容都起着很大的作用, 电源完整性设计的重点也在如何合理地选择和放置这些电容。说到电容, 各种各样的叫法就会让人头晕目眩, 如旁路电容、去耦电容、滤波电容等, 其实无论如何称呼, 它的原理都是一样的, 即利用对交流信号呈现低阻抗的特性, 这一点可以通过电容的等效阻抗公式看出来:

$$X_{\text{cap}} = 1/2\pi fC$$

工作频率越高, 电容值越大则电容的阻抗越小。在电路中, 如果电容起的主要作用是给交流信号提供低阻抗的通路, 就称为旁路电容; 如果主要是为了增加电源与地的交流耦合, 减少交流信号对电源的影响, 就可以称为去耦电容; 如果用于滤波电路中, 那么又可以称为滤波电容; 除此以外, 对于直流电压, 电容器还可作为电路储能, 利用充放电起到电池的作用。而实际情况中, 往往电容的作用是多方面的, 大可不必花太多的心思考虑如何定义。本文中统一把这些应用于高速 PCB 设计中的电容都称为旁路电容。

对于电容在高速 PCB 电路中的作用, 诸如减少电源波动 (见图 1-12-14), 降低 SSN 和窜扰, 抑制 EMI 等, 这些在相应的文章里都已提及, 本节不再赘述, 而重点放在讨论实际电容的特性及具体应用上。

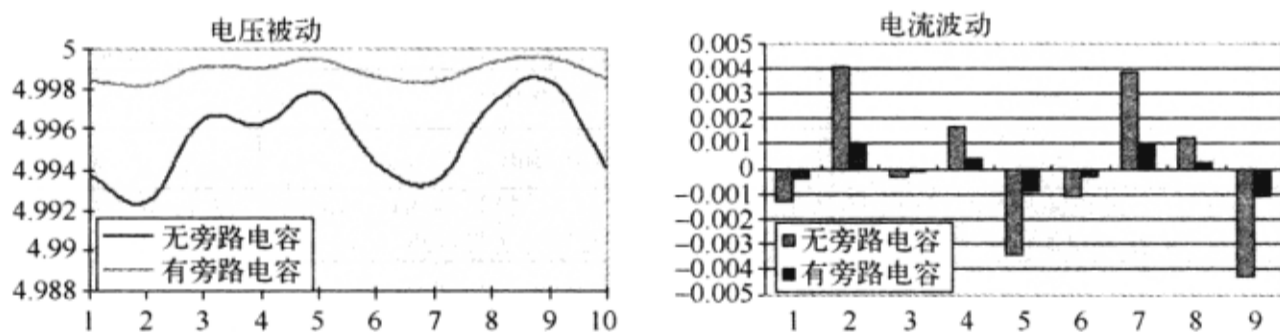


图 1-12-14 旁路电容有利于电源稳定

1) 电容的频率特性 对于理想的电容器来说, 不考虑寄生电感和电阻的影响, 则在电容设计上就没有任何顾虑, 电容的值越大越好。但实际情况却相差很远, 并不是电容越大对高速电路越有利, 反而小电容才能被应用于高频。理解这个问题, 首先必须了解实际电容器本身的特性, 如图 1-12-15 所示, 可以看到实际的电容器要比理想的电容复杂得多, 除了包含寄生的串联电阻  $R_s$  (ESR), 串联电感  $L_s$  (ESL), 还有泄漏电阻  $R_p$ , 介质吸收电容  $C_{da}$  和介质吸收电阻  $R_{da}$  等。泄漏电阻  $R_p$  也称为绝缘电阻, 值越大, 泄漏的直流电流越小, 性能也越好, 一般电容的  $R_p$  都很大 ( $G\Omega$  级以上), 所以在一般考虑问题时可以忽略。介质吸收的等效 RC 电路反映了电容介质本身的特性, 是一种有滞后性质的内部电荷分布, 它使快速放电然后开路的电容器恢复一部分电荷, 所以介质吸收太大的电容不能应用于采样保持电路。

对电容的高频特性影响最大的则是 ESR 和 ESL, 通常采用图 1-12-15 中简化的实际模型。电容也可以看做一个串联的谐振电路, 其等效阻抗和串联谐振频率为

$$|Z| = \sqrt{R_s^2 + 2\pi fL_s}, f_R = \frac{1}{2\pi\sqrt{LC}}$$

当它在低频的情况（谐振频率以下），表现为电容性的元器件，而当频率增加（超过谐振频率）时，它渐渐地表现为电感性的元器件。也就是说它的阻抗随着频率的增加先增大、后减小，等效阻抗的最小值发生在串联谐振频率时，电容的容抗和感抗正好抵消，表现为阻抗大小恰好等于寄生串联电阻 ESR，变化曲线如图 1-12-16 所示。

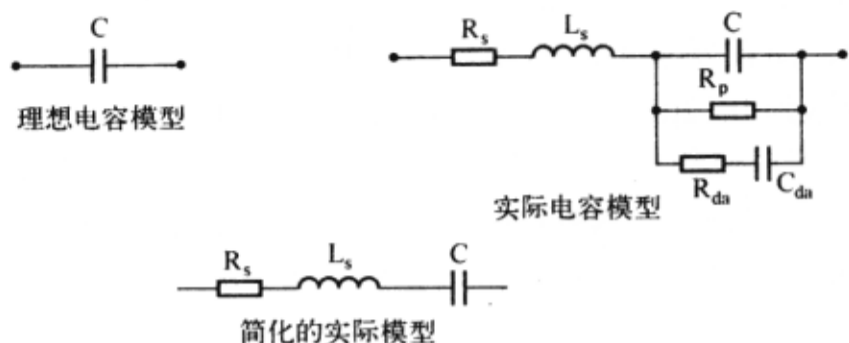


图 1-12-15 电容的各种等效模型

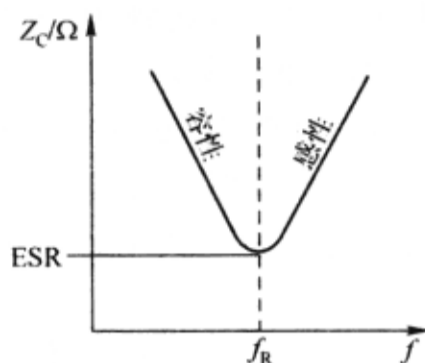


图 1-12-16 电容阻抗随频率的变化

从谐振频率的公式可以看出，电容大小和 ESL 值的变化都会影响电容器的谐振频率（见图 1-12-17）。由于电容在谐振点附近的阻抗最低，所以设计时尽量选用  $f_R$  和实际工作频率相近的电容。如果工作的频率变化范围很大，则可以混合使用电容，即同时选择一些  $f_R$  较小的大电容和  $f_R$  较大的小电容。

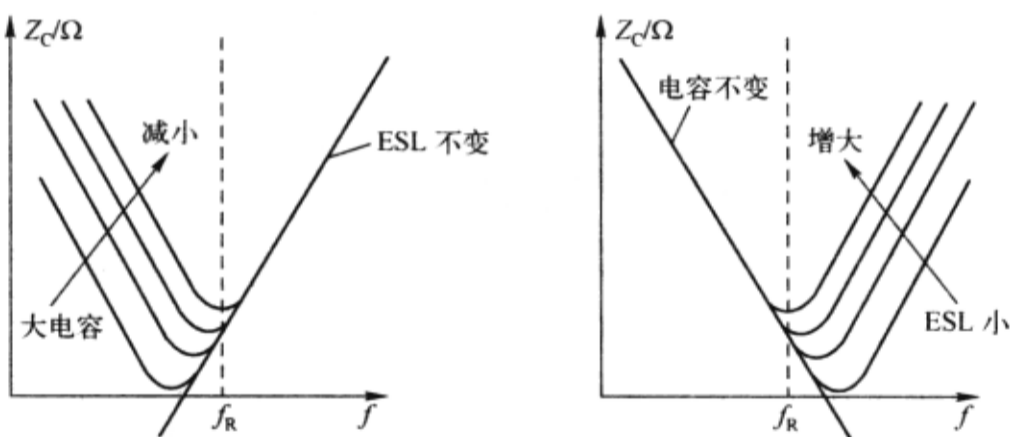


图 1-12-17 电容和 ESL 的变化对频率特性的影响

描述曲线的锐度可以用品质因素  $Q$  值来表示，数值上等于电路中储存的能量和消耗的能量的比值， $Q$  值越大，谐振频率曲线越尖，表示能量衰减的越慢。电容的  $Q$  值主要和 ESL 与 ESR 的比值有关，其表达式为：

$$Q = \frac{Z}{R} = \frac{\sqrt{ESL/C}}{ESR} = \frac{2\pi f \cdot ESL}{ESR} = \frac{\omega \cdot L}{R}$$

2) 电容的介质和封装影响 实际电容器的特性最主要受封装结构和介质材料的影响。从封装形式上看，有引线式和贴片式两种，贴片电容是靠焊锡直接贴装在 PCB 上，其寄生电感要比引线电容小很多，所以更适合高频电路使用。有时，同样的数值，同样的介质材料，但不同厂家的电容封装大小却可能不同，其基本判断方法是：如果对于较大值的电容（大于  $10\mu\text{F}$ ），一般封装较小的比封装较大具有更小的 ESL 和 ESR。但对于数值小的电容来说，就不能简单地通过外形大小判断，而是需要厂家提供的实际数据或实际测量的结果。根据介质不同，电容又可分为陶瓷、云母、纸质、薄膜、电解等几种。目前，在数字电路

PCB 设计中使用最广泛的是陶瓷电容, 它具有介电系数高, 绝缘度好, 温度特性佳等优点, 适合做成高密度, 小尺寸的产品。

通常应用于陶瓷电容器较常见的介质有 3 种: Z5U (2E6), X7R (2X1), NPO (C0G)。Z5U 具有较高的介电常数, 常用于标称容量较高的大容量电容器, 其 1206 贴片封装的电容值可以达到  $0.33\mu\text{F}$ , 它的温度特性较差, 最好应用于  $10\sim 85^\circ\text{C}$  范围之内。由于 Z5U 成本较低, 所以广泛用于对容量、损耗要求不高的场合; X7R 材料比 Z5U 介电常数低, 所以同样的 1206 封装, 最大只能达到  $0.12\mu\text{F}$  的容量, 但其电气性能较稳定, 随温度、电压, 时间的改变, 其特性变化并不显著, 属稳定型电容材料类型, 适用于隔直、耦合、旁路、滤波电路及可靠性要求较高的中、低类场合; NPO 材料的电气特性最稳定, 基本上不随温度、电压、时间的改变而改变, 属超稳定型, 低损耗电容材料类型, 适用于对稳定性、可靠性要求较高的高频、超高频的场合。

3) 电容并联特性及反谐振 实际应用中的电容往往都是多个并联使用, 因为这样可以大大降低等效的 ESR 和 ESL, 增大电容。对于  $n$  个同样值的电容来说, 并联使用之后, 等效电容  $C$  变为  $nC$ , 等效电感  $L$  变为  $L/n$ , 等效 ESR 变为  $R/n$ , 但谐振频率不变, 如图 1-12-18 所示。

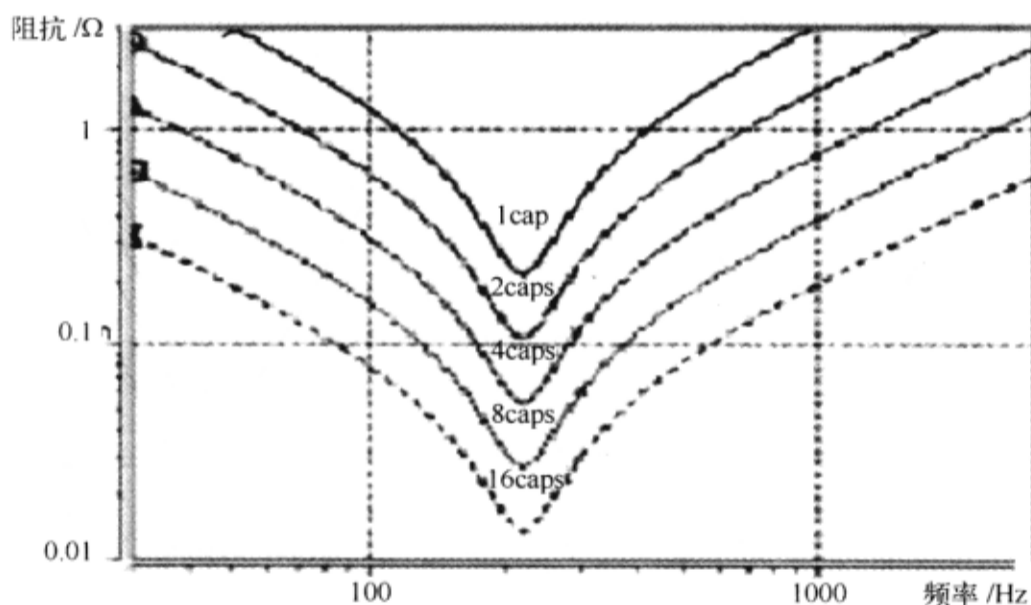


图 1-12-18 等值电容法并联特性

不同值的电容并联情况就更为复杂, 因为每个电容的谐振频率不同, 当工作频率处于两个谐振频率之间时, 一些电容表现为感性, 另外一些表现为容性, 这就形成了一个 LC 并联谐振电路; 当处于谐振状态时, 电感和电容之间进行周期性的能量交换, 这样流经电源层的电流极小, 电源层表现为高阻抗状态, 这种现象也被称为反谐振 (Anti-resonance)。其实不仅并联的电容会出现这种情况, 电源平面和地平面本身就是一个等效的电容, 所以它也会和在一定频率下呈感性的电容发生并联谐振。如何降低反谐振带来的影响, 这是电源完整性设计中需要重视的地方。

前面提到,  $Q$  值是体现电路中能量衰减的品质因素,  $Q$  值太大, 会造成曲线中的尖峰加剧, 如图 1-12-19 所示。极端地考虑, 如果电容的寄生电阻 ESR 为零, 那么  $Q$  值将无穷大, 在并联谐振点的等效阻抗也变为无穷大。所以, 从这一点考虑, 电容的 ESR 并非是越



小越好，需要考虑反谐振的情况，一般应用于电源旁路时，应该使用  $Q$  值较小的电容。此外，使用多种电容，减小不同电容之间谐振频率的相对差值，也可以有效地减小反谐振的影响，如图 1-12-20 所示。

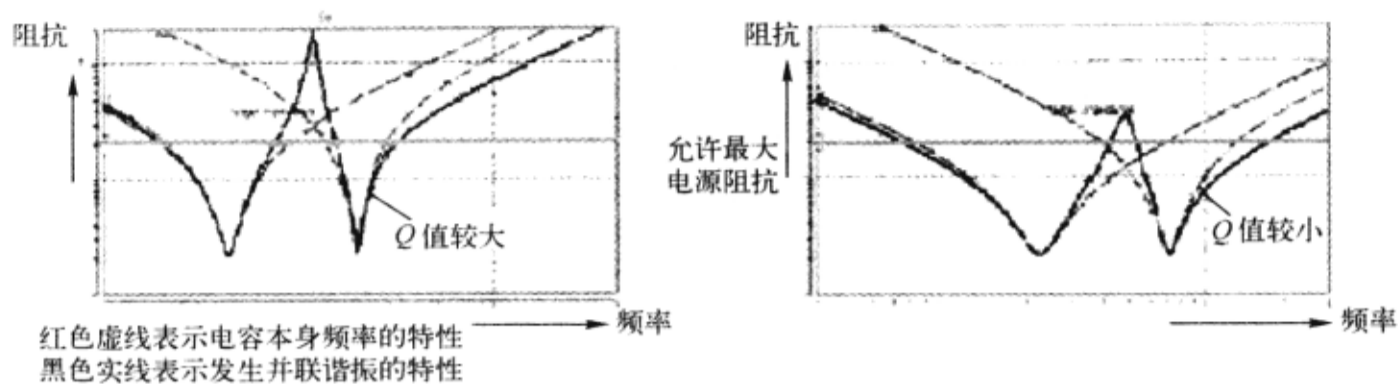


图 1-12-19 电容的并联谐振现象

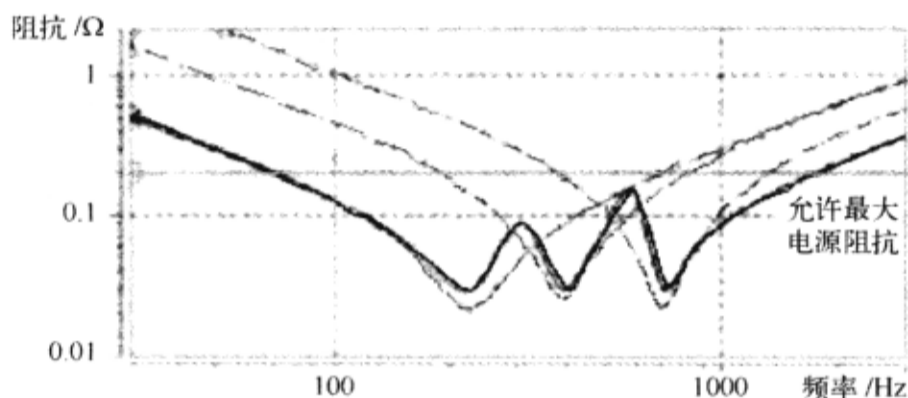


图 1-12-20 多种电容减轻反谐振影响

4) 如何选择电容 对于一个实际的电路系统，如何正确选取合适的电容呢？下面以一个实际例子来说明，假设电路中有 50 个驱动缓冲器同时开关输出，边沿切换速度为 1ns，负载为 30pF，电压为 2.5V，允许波动范围为  $\pm 2\%$ （如果考虑电源层的阻抗影响，可允许的波动范围可增加），则最简单的一种方法就是看负载的瞬间电流消耗，计算方法如下所述。

(1) 先计算负载需要的电流  $I$ ：

$$I = \frac{CdU}{dt} = \frac{30\text{pF} \times 2.5\text{V}}{1\text{ns}} = 75\text{mA}$$

则总的电流需要

$$50 \times 75\text{mA} = 3.75\text{A}$$

(2) 然后可以算出需要的电容。

$$C = \frac{Idt}{dU} = \frac{3.75\text{A} \times 1\text{ns}}{2.5 \times 2\%} = 75\text{nF}$$

(3) 考虑到实际情况可能因为温度、老化等影响，可以取 80nF 的电容以保证一定的裕量，并可采用两个 40nF 的并联，以减小 ESR。

上面的这种计算方法很简单，但实际的效果不是很好，特别是在高频电路的应用上，会出现很多问题。比如上面的这个例子，即便电容的电感很小，只有 1nH，但根据  $dU=Ldi/dt$ ，可以算出约有 3.75V 的压降，这显然是无法接受的。

因此, 针对较高频率的电路设计时, 要采用另外一种更为有效的计算方法, 主要的是看回路电感的影响。仍以刚才那个例子分析:

(1) 先计算电源回路允许的最大阻抗  $X_{\max}$

$$X_{\max} = \Delta U / \Delta I = 0.05\text{V} / 3.75\text{A} = 13.3\text{m}\Omega$$

(2) 考虑低频旁路电容的工作范围  $f_{\text{BYPASS}}$

$$f_{\text{BYPASS}} = X_{\max} / 2\pi L_0 = 13.3 / (2 \times 3.14 \times 5) = 424\text{kHz}$$

这是考虑 PCB 上电源总线的去耦电容, 一般取值较大的电解电容, 这里假设其寄生电感为 5nH。可以认为频率低于  $f_{\text{BYPASS}}$  的交流信号由板级大电容提供旁路。

(3) 考虑最高有效频率  $f_{\text{knee}}$ , 也称为截止频率

$f_{\text{knee}} = 0.5 / T_r = 0.5 / 1\text{ns} = 500\text{MHz}$ , 截止频率代表了数字电路中能量最集中的频率范围, 超过  $f_{\text{knee}}$  的频率将对数字信号的能量传输没有影响。

(4) 计算出在最大的有效频率 ( $f_{\text{knee}}$ ) 下, 电容允许的最大电感  $L_{\text{TOT}}$

$$L_{\text{TOT}} = \frac{X_{\max}}{2\pi f_{\text{knee}}} = \frac{X_{\max} \cdot T_r}{\pi} = \frac{13.3\text{m}\Omega \times 1\text{ns}}{3.14} = 4.24\text{pH}$$

(5) 假设每个电容的 ESL 为 1.5nH (包含焊盘引线的电感), 则可算出需要的电容个数  $N$ :

$$N = \text{ESL} / L_{\text{TOT}} = 1.5\text{nH} / 4.24\text{pH} = 354$$

(6) 电容在低频下不能超过允许的阻抗范围, 可以算出总的电容值  $C$

$$C = \frac{1}{2\pi f_{\text{BYPASS}} \cdot X_{\max}} = \frac{1}{2 \times 3.14 \times 424\text{kHz} \times 13.3\text{m}\Omega} = 28.3\mu\text{F}$$

(7) 计算出每个电容的取值  $C_n$

$$C_n = C / n = 28.3\mu\text{F} / 354 = 80\text{nF}$$

计算结果表明, 为了到达最佳设计效果, 需要将 354 个 80nF 的电容平均分布在整个 PCB 上。但是从实际情况看, 这么多电容往往是不太可能的, 如果同时开关的数目减少, 上升沿不是跳变很快, 允许电压波动的范围更大的话, 计算出来的结果也会变化很大。如果实际的高速电路要求的确很高的话, 只有尽可能选取 ESL 较小的电容来避免使用大量的电容。

**5) 电容的摆放及 Layout** 通过对以上电容特性的分析可知, 高频的小电容对瞬间电流的反应最快。例如, 一块 IC 附近有两个电容, 一个是 2.2 $\mu\text{F}$ , 另一个是 0.01  $\mu\text{F}$ 。当 IC 同步开关输出时, 瞬间提供电流是肯定是 0.01  $\mu\text{F}$  的小电容, 而 2.2  $\mu\text{F}$  的电容则会过一段时间才响应, 即便小电容离 IC 远一些, 只要它的寄生电感 (包括引线和焊盘电感) 比大电容小, 那么它依然是瞬间电流的主要提供者。所以, 高速设计中的关键就是高频小电容的处理, 要尽可能摆放得离芯片电源引脚接近, 以达到最佳的旁路效果。

高速 PCB 布线中对电容处理的要求, 简单的说就是要降低电感。实际在 Layout 中的具体措施主要有以下 6 项。

- 减小电容引线/引脚的长度。
- 使用宽的连线。
- 电容尽量靠近器件, 并直接和电源引脚相连。
- 降低电容的高度 (使用表贴型电容)。

- 电容之间不要共用过孔，可以考虑打多个过孔接电源/地。
- 电容的过孔要尽量靠近焊盘（能打在焊盘上最佳），如图 1-12-21 所示。

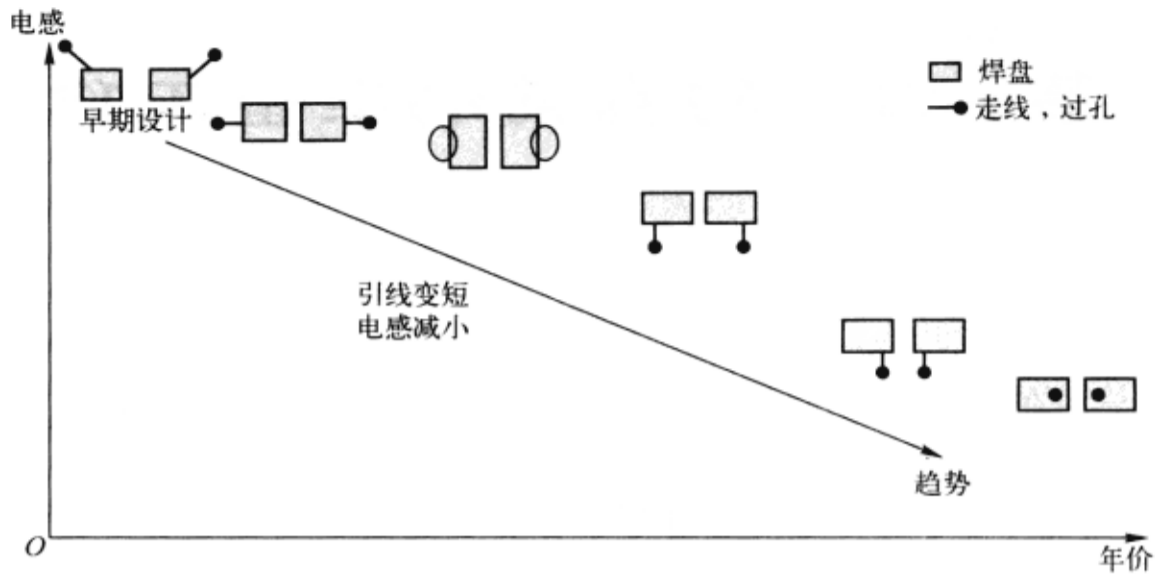


图 1-12-21 电容 Layout 中引线设计趋势

## 第2章 仿真前的准备工作

### 2.1 学习目标

本节主要学习在对 PCB 进行信号完整性分析之前 PCB 的设置，这些操作是高速 PCB 进行信号完整性分析之前所必须的。通过本章的学习，应该掌握如下内容。

- (1) 使用 Model Integrity 工具验证 IBIS 模型；
- (2) PCB 预布局及其相关设置；
- (3) 分配 SI 模型。

### 2.2 分析工具

#### 1. Model Integrity

Model Integrity 使用户可以在一个易用的编辑环境中快捷地新建、操作、验证模型。Model Integrity 提供了一个模型浏览器和一个 IBIS 模型或 DML 模型（Cadence 的模型格式）的语法检查器。标志导航功能提供一个修复 IBIS 模型语法分析问题的简易方法。模型也可以使用 SigNoise 通过 Model Integrity 内部简单的测试电路来验证。

Model Integrity 可以通过开始菜单的快捷方式（在 Cadence 所在的目录下）直接打开或是在 Allegro PCB SI 的“Tools”→“Model Integrity”中引用。图 2-2-1 所示的是 Model Integrity 的主界面。

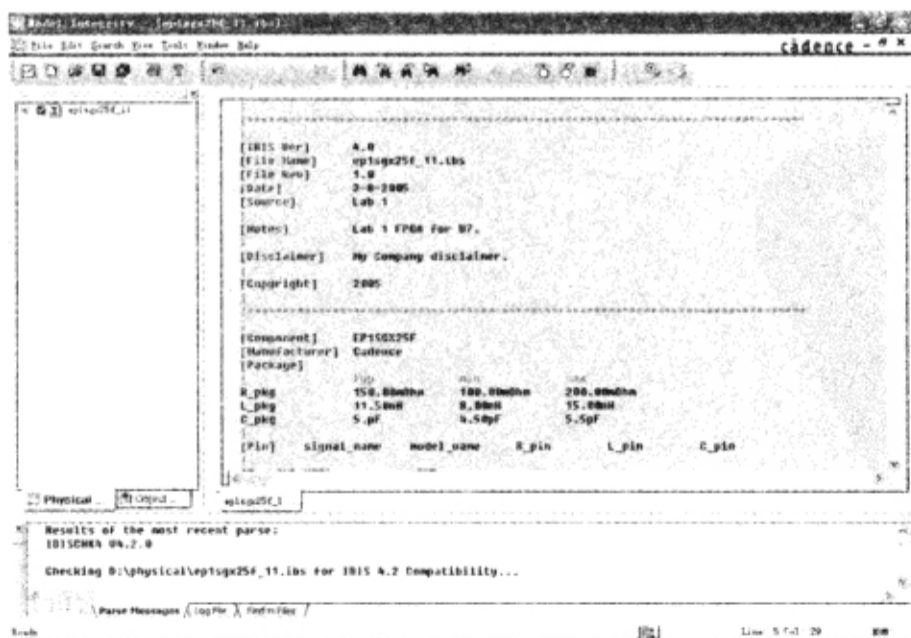


图 2-2-1 Model Integrity 的主界面

左边一栏是工作平台 (Workspace)，如图 2-2-2 所示。在此显示了所打开的模型文件名。模型名的前面有一些能够表示模型性质的图形符号。红叉表示调入的模型有语法错误 (Error)；如果是黄色的勾，表示模型没有语法错误，但存在语法警告 (Warning)；如果是绿色的勾 (右边的图里没有显示)，就表示既没有语法错误，也没有语法警告。图形化的“I”表示此模型为 IBIS 格式，图形化的“D”表示 DML 格式。将模型展开 (单击前面的“+”展开符)，可以看到模型的每一个 IOcell 模型 (仅对 IBIS 模型有效)。而单击栏目下方的栏眉“Physical”或“Object View”，可以切换模型名的显示模式。

右边一栏是以文本形式显示的模型文件的全部内容，称为工作簿 (Workbook) 或编辑窗口 (Edit Window)，如图 2-2-3 所示。这里，Model Integrity 提供了一个友善的功能，以不同的颜色表示不同的含义：蓝色是关键字 (Keywords)；绿色是注释 (Comments)；黑色是普通文本 (Text)；红色是错误标志 (Error Marker)；黄色是警告标志 (Warning Marker)。这些颜色的含义设置可以在 Model Integrity 工具栏的“Tools”→“Color Palette”中更改。而单击下方的栏眉可以在不同的模型文件间切换。

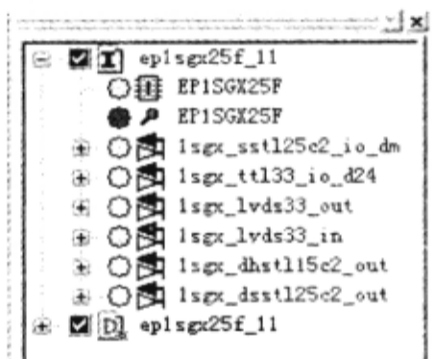


图 2-2-2 工作平台

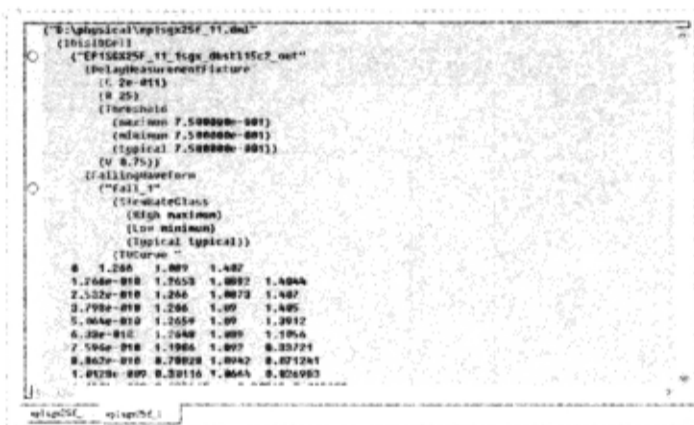


图 2-2-3 工作簿栏

下面一栏为输出窗口 (Output Window)，显示了 Model Integrity 各种功能和命令的结果，如图 2-2-4 所示。输出窗口有 3 种显示模式。

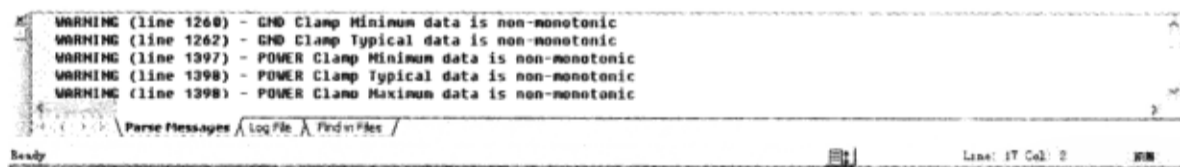




图 2-2-4 输出窗口和状态栏

其中“Parse Messages”模式可显示模型文件的语法分析确认过程中的错误和警告消息，“Log File”模式可显示模型的日志文件，“Find in Files”模式可显示使用“Find in Files”命令 (单击工具栏中的快捷按钮) 在当前所有文件中查找某一字符串的结果。这 3 种显示模式可以通过单击窗口下方的栏眉切换。

在 Model Integrity 主界面的最下方是状态栏 (Status Bar)。状态栏的左方显示了 Model Integrity 的反馈信息，如图 2-2-4 中的“Ready”就表示了 Model Integrity 处于待命状态；状态栏右方 (如图 2-2-4 中的“Line:17 Col:2”) 显示当前光标处于模型文件的位置；而在状态栏中间的小窗口中，可以输入任意行数，单击按钮)，模型文件就会跳到这一行显示。



Model Integrity 还提供了一个模型格式转换器，允许从 IBIS 到 DML，从 Quad 到 DML，从 Espice 到 Spice 的模型格式转换，如图 2-2-5 所示。

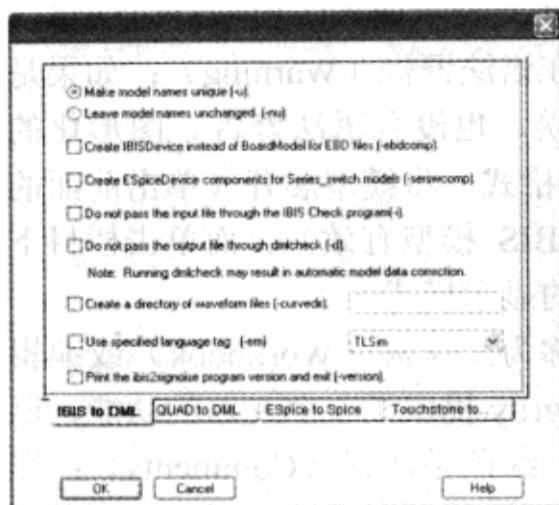



图 2-2-5 模型格式转换器

Model Integrity 提供图形化的接口，可以通过调入 SigWave 察看模型中任意 IOcell 的所有  $U-I$ 、 $U-t$  曲线，这些波形曲线包括 Pullup、Pulldown、GND\_clamp、POWER\_clamp、Raising Curve、Failing Curve 的 Type、Min、Max 三种数据类型。使用的方法是选中任一 IOcell 模型，单击鼠标右键，选择“View Curve”，或者直接单击快捷按钮 ，然后选择所想要观看的曲线，“SigWave”窗口就弹出来了，如图 2-2-6 所示。

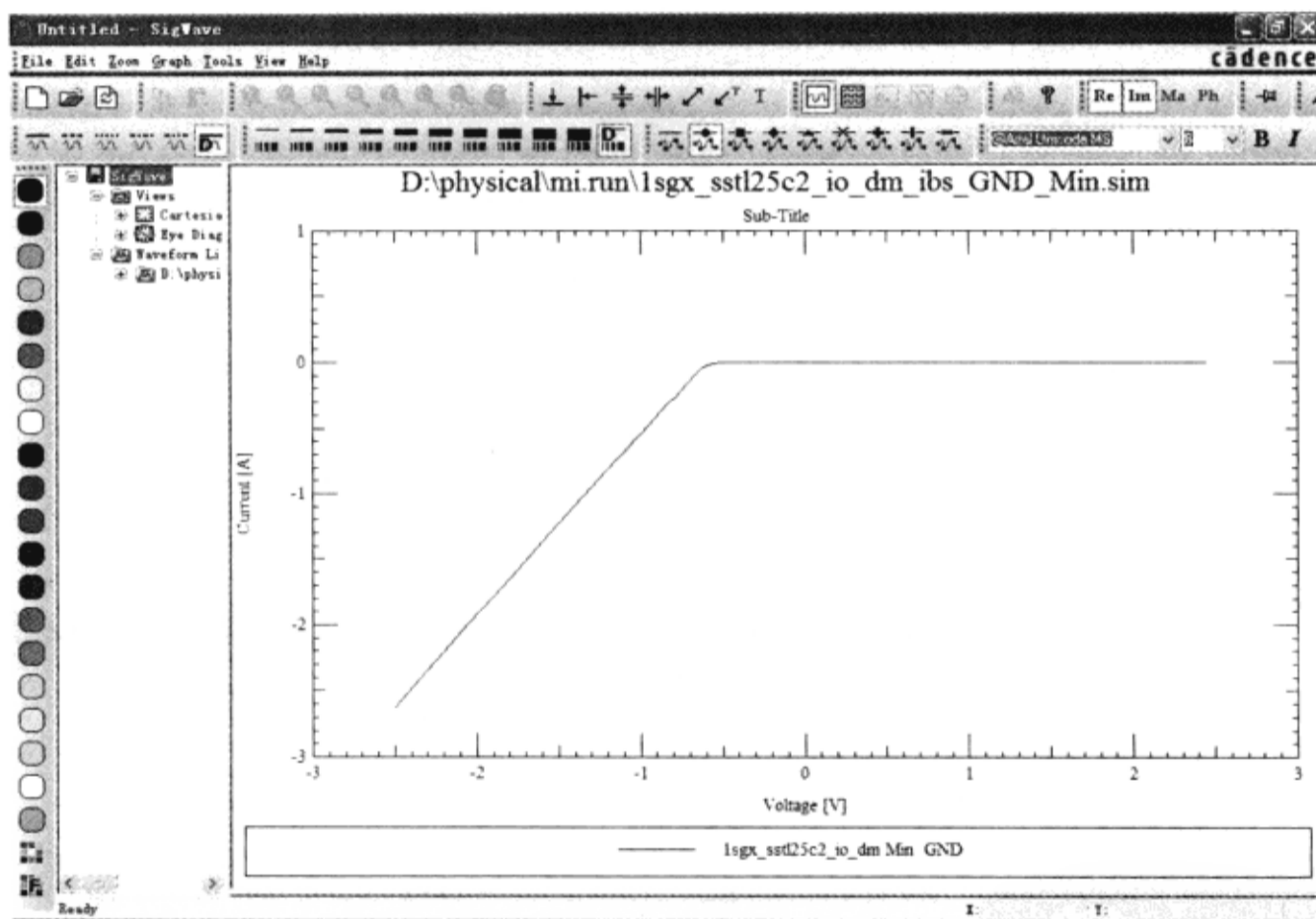



图 2-2-6 模型中 IOcell 的  $U-I$  曲线

使用 Model Integrity 集成的一个 Signoise 接口可对 IOcell 模型做仿真验证，用鼠标右键单击任一 IOcell 模型，选择“Simulate”，就可对 IOcell 模型做进行仿真验证。

Model Integrity 还有一个比较友善的功能，它会在调入 IBIS 模型时自动做语法检查，并在出错或出现警告的行前打上相关标志，而且还可以通过 Model Integrity 的标志导航功能方便地找到这些出错或出现警告的行。单击快捷按钮  就可以执行这一功能，这 5 个图标依次执行如下操作：下一错误，上一错误，下一警告，上一警告，清除所有标志。

Model Integrity 提供了方便易用的各种编辑指令，包括打开、新建、关闭、关闭所有、

保存、另存为、打印、打印预览，以及撤销（Undo）、重复（Redo）、剪切、复制、粘贴、查找替换（Find Replace）、全选等，都是大部分文本、文档编辑器常用的指令。

在 Model Integrity 中，用户可通过菜单栏“View”中的指令，选择主界面所包含的内容。另外，还可以选择菜单栏的“Tools”下“Customize”和“Extended Styles”个性化工具栏和控制栏。

## 2. Allegro PCB SI

Allegro PCB SI 一般协同 Allegro PCB Design 一道工作。两者结合在一起，为高速数字系统的设计和分析提供了比较完整的解决方案。Allegro PCB SI 同其他全面的布局、布线设计工具一样，提供了拓扑结构的编辑器，以解决布局布线空间检测的问题，提供了层次化的约束条件管理器（Constraint Manager），以及一个基本的 PCB 编辑环境——如同一个简化的 Allegro，以支持一些关键的元器件的布局和布线的考虑。Allegro PCB SI 允许工程师探测布局、布线前可能出现的问题、设计信号分布规划需求，进而在物理设计中实现它们，并在布局、布线设计中进行一致性验证，从而解决信号完整性分析的问题，促使在布局、布线设计过程中高速设计准则的实现，图 2-2-7 所示的是 Allegro PCB SI 的工作环境。

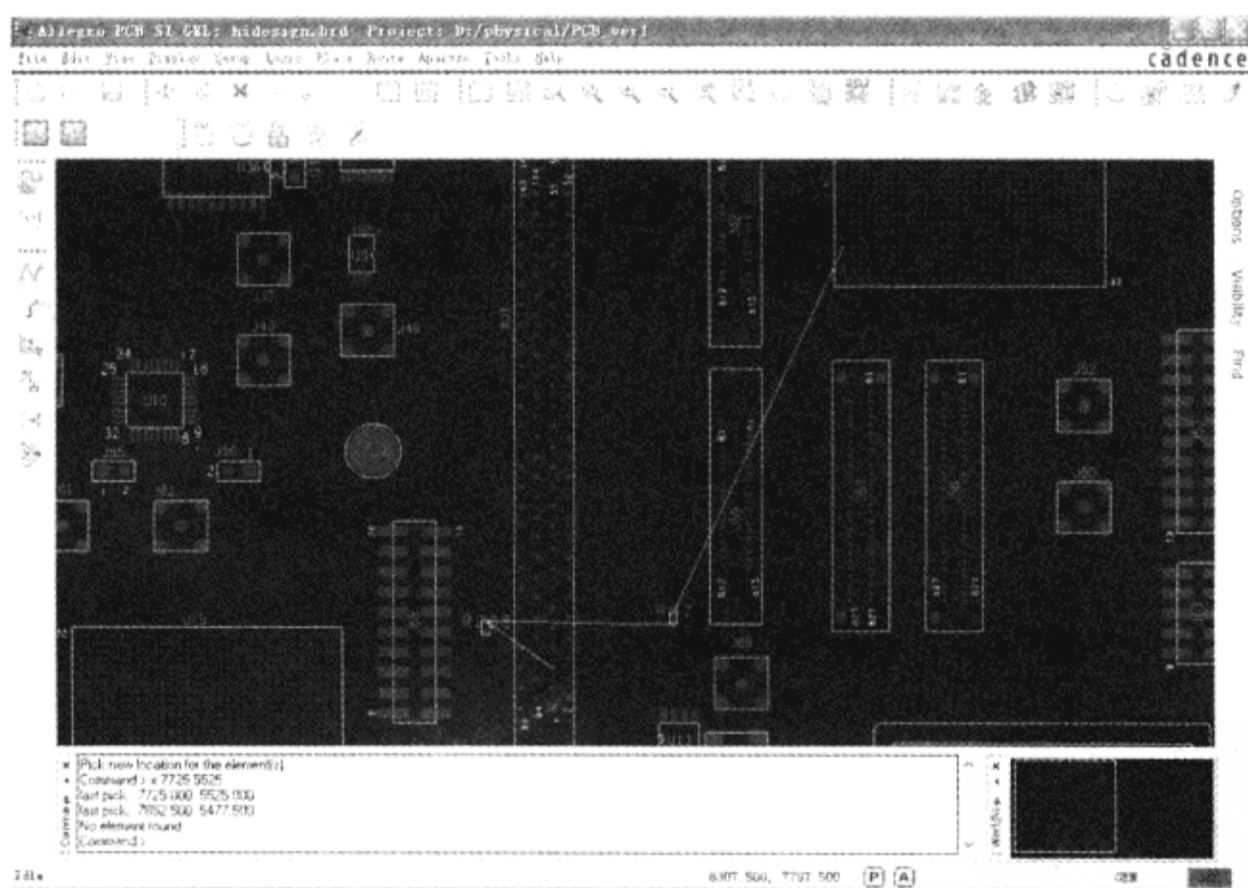


图 2-2-7 Allegro PCB SI 的工作环境

## 2.3 IBIS 模型

在 IBIS 出现之前，人们用晶体管级的 SPICE 模型进行系统的仿真，这种方法有以下 3 方面的问题。

- 结构化的 SPICE 模型只适用于元器件和网络较少的小规模系统仿真，借助这种方法设定系统的设

计准则或对一条实际的网络进行最坏情况分析。

- 得到元器件结构化的 SPICE 模型较困难, 元器件生产厂不愿意提供包含其电路设计、制造工艺等信息的 SPICE 模型。
- 各个商业版的 SPICE 软件彼此不兼容, 一个供应商提供的 SPICE 模型可能在其他的 SPICE 仿真器上不能运行。

因此, 人们需要一种被业界普遍接受的, 不涉及元器件设计制造专有技术的, 并能准确描述元器件电气特性的行为化的“黑盒”式的仿真模型。

1990 年年初, INTEL 公司为了满足 PCI 总线驱动的严格要求, 在内部草拟了一种基于 LOTUS SPREAD-SHEET 的列表式模型, 数据的准备和模型的可行性是主要问题。由于当时已经有了几个 EDA 厂商的标准存在, 因此邀请了一些 EDA 供应商参与通用模型格式的确定。这样, IBIS 1.0 在 1993 年 6 月诞生。1993 年 8 月更新为 IBIS 1.1 版本, 并被广泛接受。此时, 旨在与技术发展要求同步和改善 IBIS 模型可行性的 IBIS 论坛 (IBIS OPEN FORUM) 成立, 更多的 EDA 供应商、半导体商和用户加入 IBIS 论坛。由于他们的影响, 1994 年 6 月在 V1.1 规范的基础上加入了很多扩展的技术后, 出台了 IBIS V2.2 规范。1995 年 2 月, IBIS 论坛正式并入美国电子工业协会 EIA (Electronic Industries Association)。1995 年 12 月, IBIS 2.1 版成为美国工业标准 ANSI/EIA-656。1997 年 6 月发布的 IBIS 3.0 版成为 IEC 62012-1 标准。1999 年 9 月通过的 IBIS 3.2 版为美国工业标准 ANSI/EIA-656-A。目前大量在使用中的模型为 IBIS 2.1、IBIS 3.2 版本。

### 1. IBIS 模型与 SPICE 模型的特点

进行板级仿真的关键问题在于模型的建立。在传统的电路设计中, SPICE 的模型作为电路级模型能够提供精确的结果, 但是 SPICE 模型不能满足现在的仿真需求, SPICE 与 IBIS 模型的各自特点如下所述。

#### ➤ SPICE 模型:

- ◇ 电压/电流/电容等节点关系从元器件图形、材料特性得来, 建立在低级数据的基础上。
- ◇ 每个 BUFFER 中的元器件分别被描述/仿真。
- ◇ 仿真速度太慢, 适用于电路级的设计者。
- ◇ 包含了详细的芯片内部设计信息。

#### ➤ IBIS 模型:

- ◇ 电压/电流/时间等 BUFFER 的节点关系建立在  $U-I$  或  $U-t$  数据曲线上。
- ◇ 其中没有包括电路细节。
- ◇ 仿真速度快 (是 SPICE 模型仿真的 25 倍), 适用于系统设计者。
- ◇ 不包括芯片内部的设计信息。

### 2. IBIS 模型的物理描述

IBIS 模型是以 I/O 缓冲器结构为基础的。I/O 缓冲器行为模块包括封装所带来的 RLC 寄生参数, 硅片本身的寄生电容参数, 电源或地的电平钳位保护电路、缓冲器特征 (门槛电压、上升沿、下降沿、高电平和低电平状态)。图 2-3-1 所示为 IBIS 模型结构。

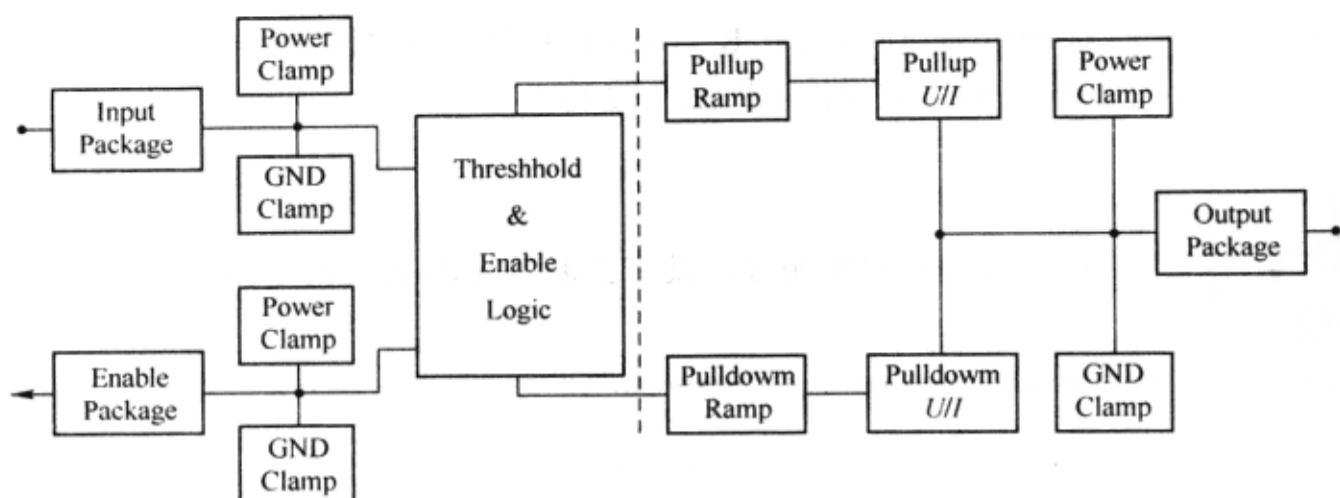


图 2-3-1 IBIS 模型结构



虚线的左边为输入模型结构，右边为输出模型结构。

输入的模型结构可以细化，如图 2-3-2 所示。

- C\_pkg, R\_pkg, L\_pkg 为封装参数。
- C\_comp 为硅片上引脚的压焊盘电容。
- Power\_Clamp 为低端 ESD 结构的  $U-I$  曲线。
- GND\_Clamp 为低端 ESD 结构的  $U-I$  曲线。

类似输入的模型，输出的模型结构也可以细化，如图 2-3-3 所示。

- 元素 1 为 Pullup, Pulldown, 包含了高电平和低电平状态的上拉、下拉  $U-I$  曲线。模拟缓冲单元被驱向低电平或高电平的  $U-I$  特性。
- 元素 2 为 Ramp, 包含了上升沿和下降沿的摆率 ( $dU/dt$ )，指的是输出电压从 20%~80% 的电压输出幅度所用的时间。为了更加准确地描述上升沿和下降沿的过程，有上升沿和下降沿的  $U-t$  曲线。

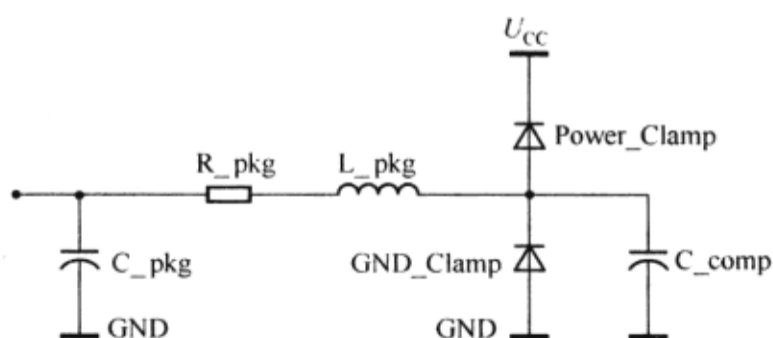


图 2-3-2 输入的模型电路图

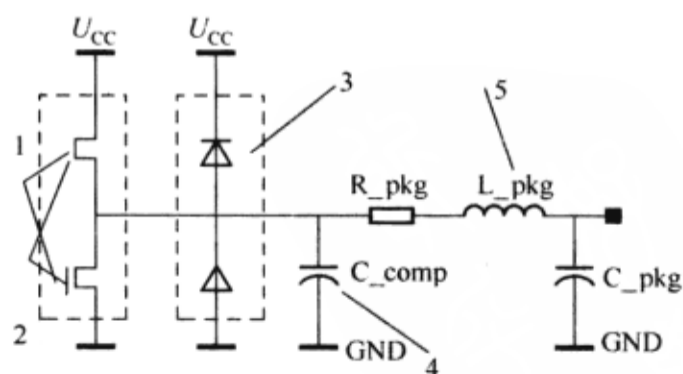


图 2-3-3 输出的模型电路图

- 元素 3 为 Power/Gnd Clamp, 包含了电源和地的钳位保护电路的  $U-I$  特性。
- 元素 4 为 C\_comp, 包含了硅片本身固有的寄生电容。
- 元素 5 为 RLC, 代表封装的寄生参数特性，对元器件的所有引脚进行一个粗略的描述，可以进行进一步的详细描述。

元器件中只有 C\_comp 的描述而没有 R\_comp 的描述，这是因为硅片本身的寄生电阻影响已经包含在上、下拉电路和钳位保护电路的  $U-I$  特性中了。



注意

对输入结构模型而言，没有上拉、下拉结构的电路。

由此可以看出，IBIS 是一种基于全电路仿真或测试获得  $U-I$  曲线而建立的快速、准确的行为化的电路仿真模型。它的仿真速度是 SPICE 模型仿真速度的 25 倍以上。人们可以根据标准化的模型格式建立这种模拟 IC 电气特性的模型，并可以通过模型验证程序验证模型格式的正确性。IBIS 模型几乎能被所有的模拟仿真器和 EDA 工具接受。由于来自测量或仿真数据，IBIS 模型较容易获得，IBIS 模型不涉及芯片的电路设计和制造工艺，芯片供应商也愿意为用户提供元器件的 IBIS 模型，所以 IBIS 模型被广泛应用于系统的信号完整性分析。

### 3. 建立 IBIS 模型

IBIS 模型可以通过仿真器件的 SPICE 模型来获得，也可以用直接测量的方法来获得。作为最终用户，最常见的方法是到半导体制造厂商的网站上去下载各种元器件的 IBIS 模型，在使用前要对得到的 IBIS 模型进行语法检查。

建立一个元器件的 IBIS 模型需要以下 5 个步骤。

(1) 进行建立模型前的准备工作，包括决定模型的复杂程度；根据模型所要表现的内容和元器件工作的环境，来确定电压和温度范围，以及制程限制等因素；获取元器件相关信息，如电气特性及引脚分布；元器件的应用信息。

(2) 获得  $U-I$  曲线或上升/下降曲线的数据，可以通过直接测量或是仿真得到。

(3) 将得到的数据写入 IBIS 模型。不同的数据在各自相应的关键字后列出，要注意满足 IBIS 的语法要求。

(4) 初步建立了模型后，应当用 s2iplt 等工具来查看以图形方式表现的  $U-I$  曲线，并检查模型的语法是否正确。如果模型是通过仿真得到的，应当分别用 IBIS 模型和最初的晶体管级模型进行仿真，比较其结果，以检验模型的正确性。

(5) 得到了实际的元器件后，或者模型是由测量得到的，要对模型的输出波形和测量的波形进行比较。

### 4. 使用 IBIS 模型

IBIS 模型主要用于板级系统或多板信号的信号完整性分析。可以用 IBIS 模型分析的信号完整性问题包括：窜扰、反射、振铃、上冲、下冲、不匹配阻抗、传输线分析、拓扑结构分析等。IBIS 模型尤其能够对高速信号的振铃和窜扰进行准确、精细的仿真，它可用于检测最坏情况的上升时间条件下的信号行为，以及一些用物理测试无法解决的问题。在使用时，用户用 PCB 的数据库来生成 PCB 上的连线的传输线模型，然后将 IBIS 模型赋给 PCB 上相应的驱动端或接收端，就可以进行仿真了。



虽然 IBIS 模型有很多的优点，但也存在一些不足。目前，仍有许多厂商缺乏对 IBIS 模型的支持。而缺乏 IBIS 模型，IBIS 仿真工具就无法工作。虽然 IBIS 文件可以手工创建或通过 Spice 模型来转换，但若无法从厂家得到最小上升时间参数，任何转换工具都无能为力。另外，IBIS 还缺乏对地弹噪声的建模能力。

## 2.4 验证 IBIS 模型

**【本节目的】**学习对 IBIS 模型进行语法检测并转换为 DML 模型（Cadence 的模型格式）。

**【使用工具】**Model Integrity 能够进行模型建立、处理和校验，在使用仿真模型前，必须先验证仿真模型。Model Integrity 分析 IBIS 模型和 Cadence DML（Device Model Library）模型的语法错误，Model Integrity 可以相互转换 IBIS、Quad 和 Cadence DML 文件。模型校验包含语法检查、单调性检查、模型完整性检查和数据合理性检查。

**【使用文件】**physical\ep1sgx25f\_1.ibs。

### 1. 浏览解析的 IBIS 文件结果

(1) 在程序文件夹中选择“Cadence”→“Release 16.3”→“Model Integrity”命令，弹出“Model Integrity”窗口，如图 2-2-1 所示。

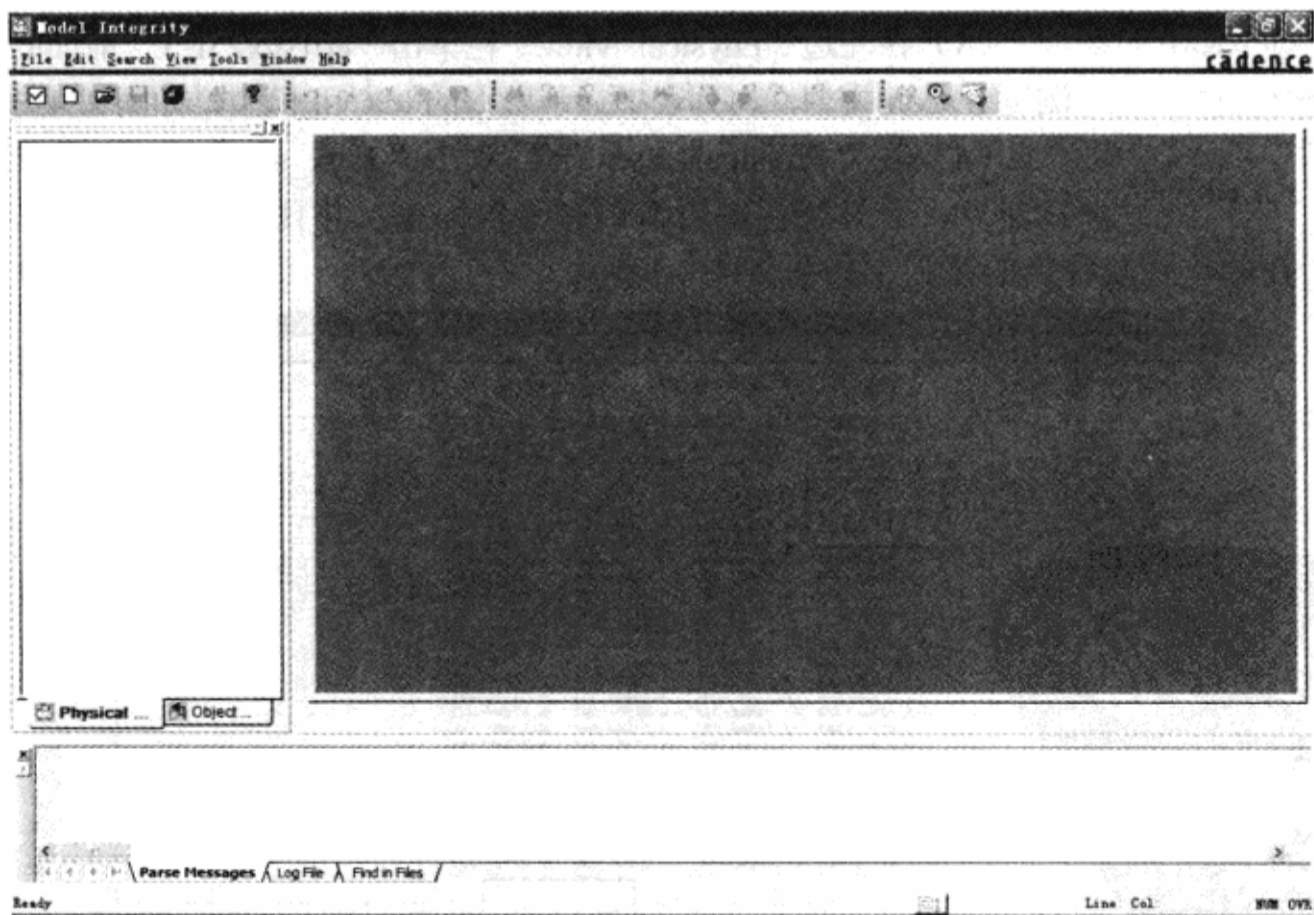


图 2-4-1 “Model Integrity”窗口

(2) 在“Model Integrity”窗口执行菜单命令“File”→“Open”，打开 D:\physical\ep1sgx25f\_1.ibs 文件，如图 2-4-2 所示。

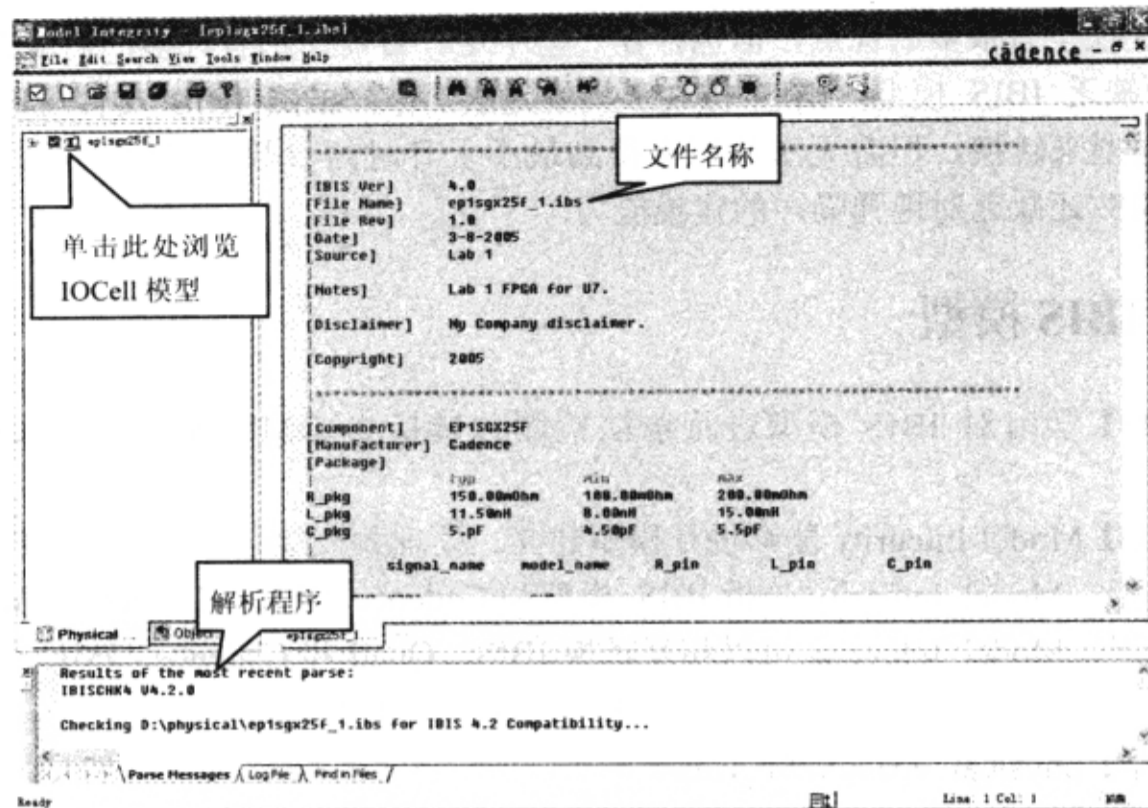



图 2-4-2 模型内容

当打开 IBIS 文件时，一个解析程序 ibischk4.2.0 开始运行。分析完成后，会弹出错误和警告信息，必须解决这些错误和警告。

(3) 在左边“Physical View”栏单击“ep1sgx25f\_1”前面的“+”号浏览 IOCell 模型，树列表中显示所有的 IOCell 模型，如图 2-4-3 所示。

(4) 在“Physical View”栏双击“lsgx\_sst125c2\_io\_dm” → 单击按钮 ，会发现在编辑窗口有警告标志，并且最下面的输出窗口会提示警告所在的位置及警告的原因，如图 2-4-4 所示。

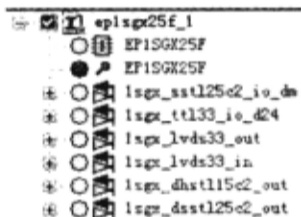


图 2-4-3 IOCell 模型

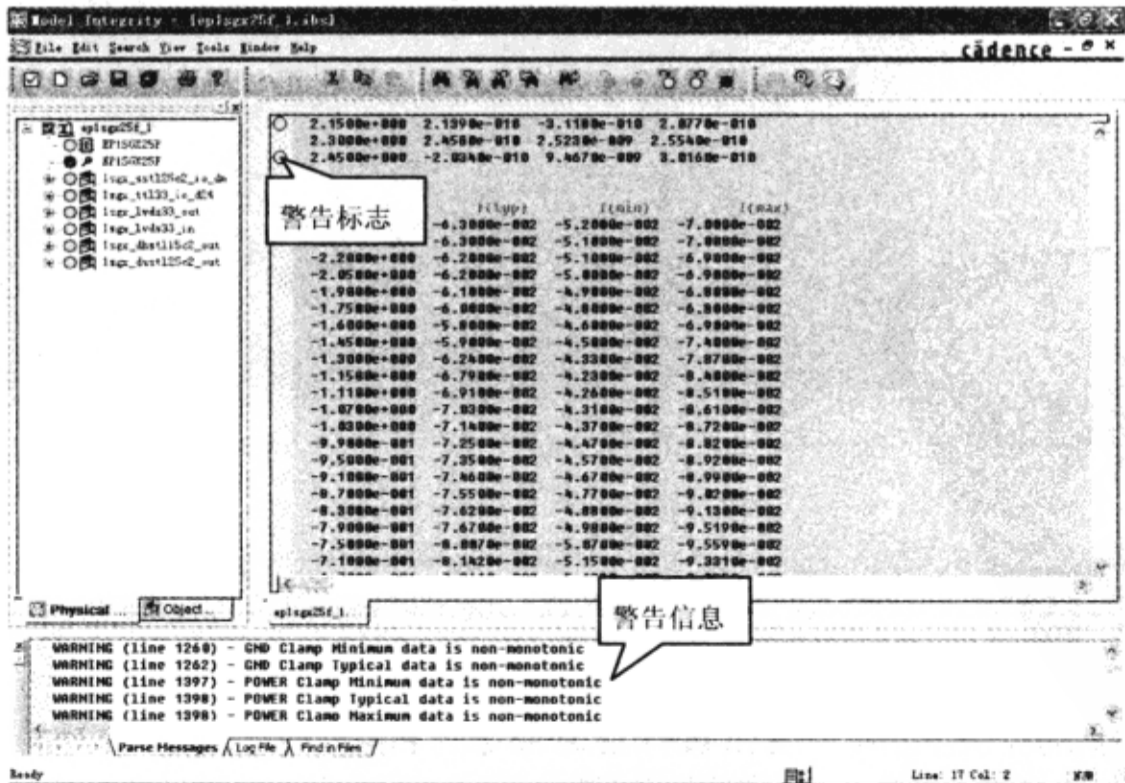


图 2-4-4 警告信息

(5) 在输出窗口可以看到第1行被高亮，并且输出窗口提示“WARNING (line 1260) - GND Clamp Minimum data is non-monotonic”（第1260行，GND Clamp的最小数据是非单调的），对于这个IOCell，查看编辑窗口会看到电压为2.1500e+000V时对应的最小电流为-3.1180e-010A，上一行（1259行）的2.0000e+000V对应的最小电流为-4.9080e-012A，第1258行的1.8500e+000V对应的最小电流为-8.5730e-011A，如图2-4-5所示。

1.8500e+000	1.2100e-010	-8.5730e-011	1.1250e-010
2.0000e+000	1.6760e-010	-4.9080e-012	1.5990e-010
2.1500e+000	2.1390e-010	-3.1180e-010	2.0770e-010

图2-4-5 具体警告信息

(6) 在“Physical View”栏选择“lsgx\_sstl25c2\_io\_dm”→单击鼠标右键→从弹出菜单选择“View Curve”→“GND\_Clamp”→“Min”，弹出“SigWave”窗口，如图2-4-6所示。

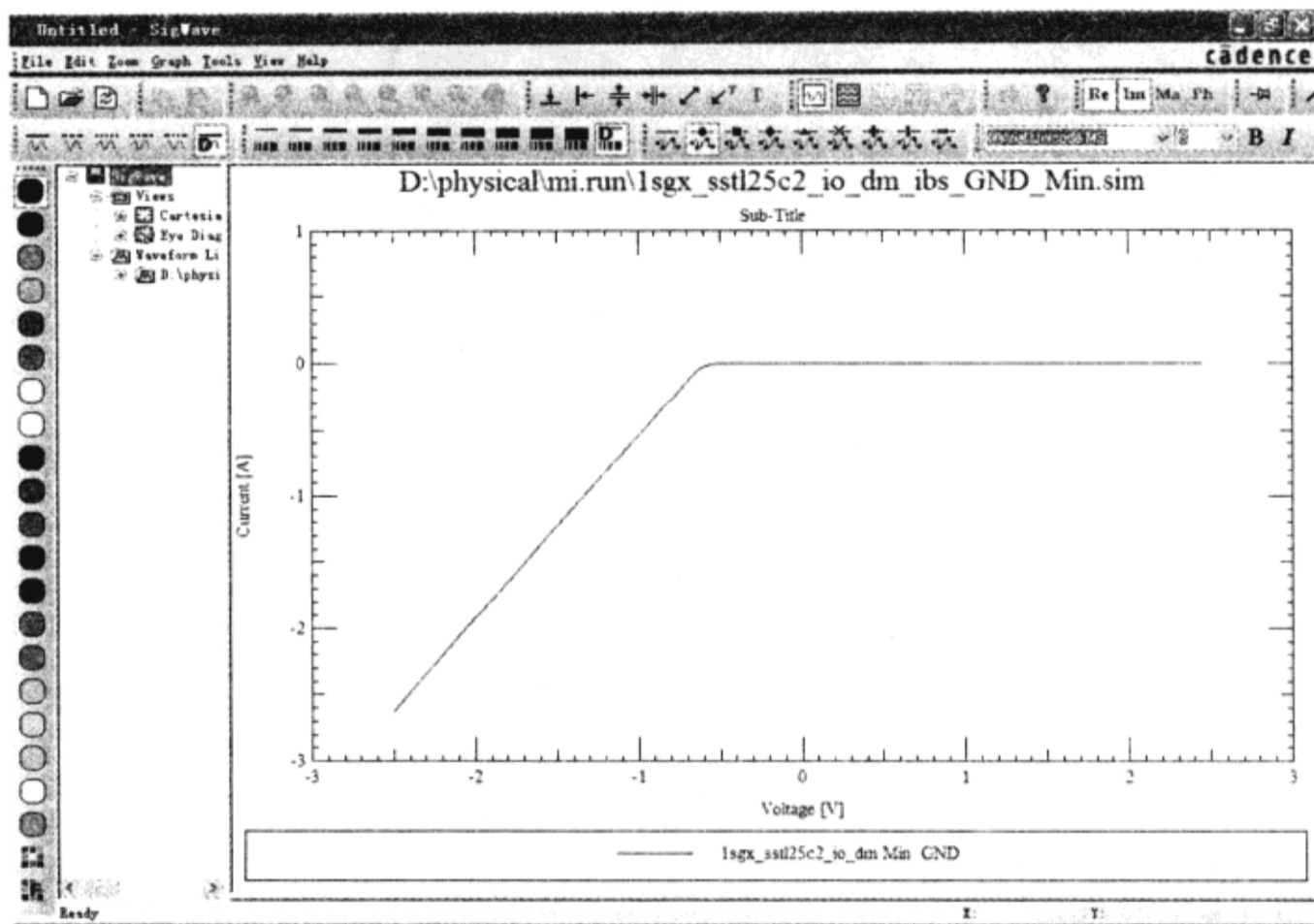


图2-4-6 “SigWave”窗口

(7) “SigWave”窗口显示 Pulldown Maximum IV 曲线，波形非单调处在1.85~2.15V之间，但由于电流值差别过小，在图中不能正确显示。在当前目录会产生波形文件，文件名为IOCell的名字，扩展名为sim。

(8) 执行菜单命令“File”→“Exit”，退出“SigWave”窗口。

(9) 这里需要注意的是，该非单调性发生的位置是在电压序列的末端，而且变化很小（变化范围在1.0e-10A），对仿真结果影响甚小，不需要纠正IBIS文件。

(10) 在窗口底部的信息栏中查看警告信息，找到警告“WARNING - Model 'lsgx\_sstl25c2\_io\_dm': Model\_type 'I/O' must have Vinl set”（模型“lsgx\_sstl25c2\_io\_dm”：I/O

模型必须有 Vinl 设置) 和 “WARNING - Model '1sgx\_sst125c2\_io\_dm': Model\_type 'I/O' must have Vinh set” (模型 “1sgx\_sst125c2\_io\_dm”: I/O 模型必须有 Vinh 设置), 如图 2-4-7 所示。

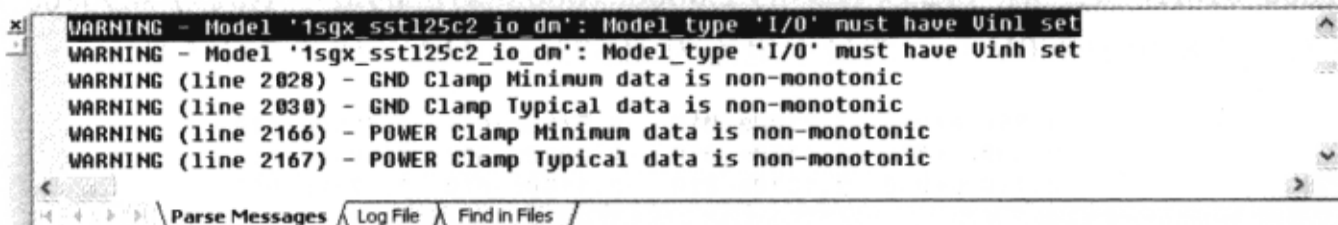


图 2-4-7 DBX\_I00000A0S2AZZIDE 模型参数

(11) 在 “Physical View” 栏双击 “1sgx\_sst125c2\_io\_dm”, 编辑窗口显示该 IOCell 模型信息, 并且模型名高亮显示, 如图 2-4-8 所示。

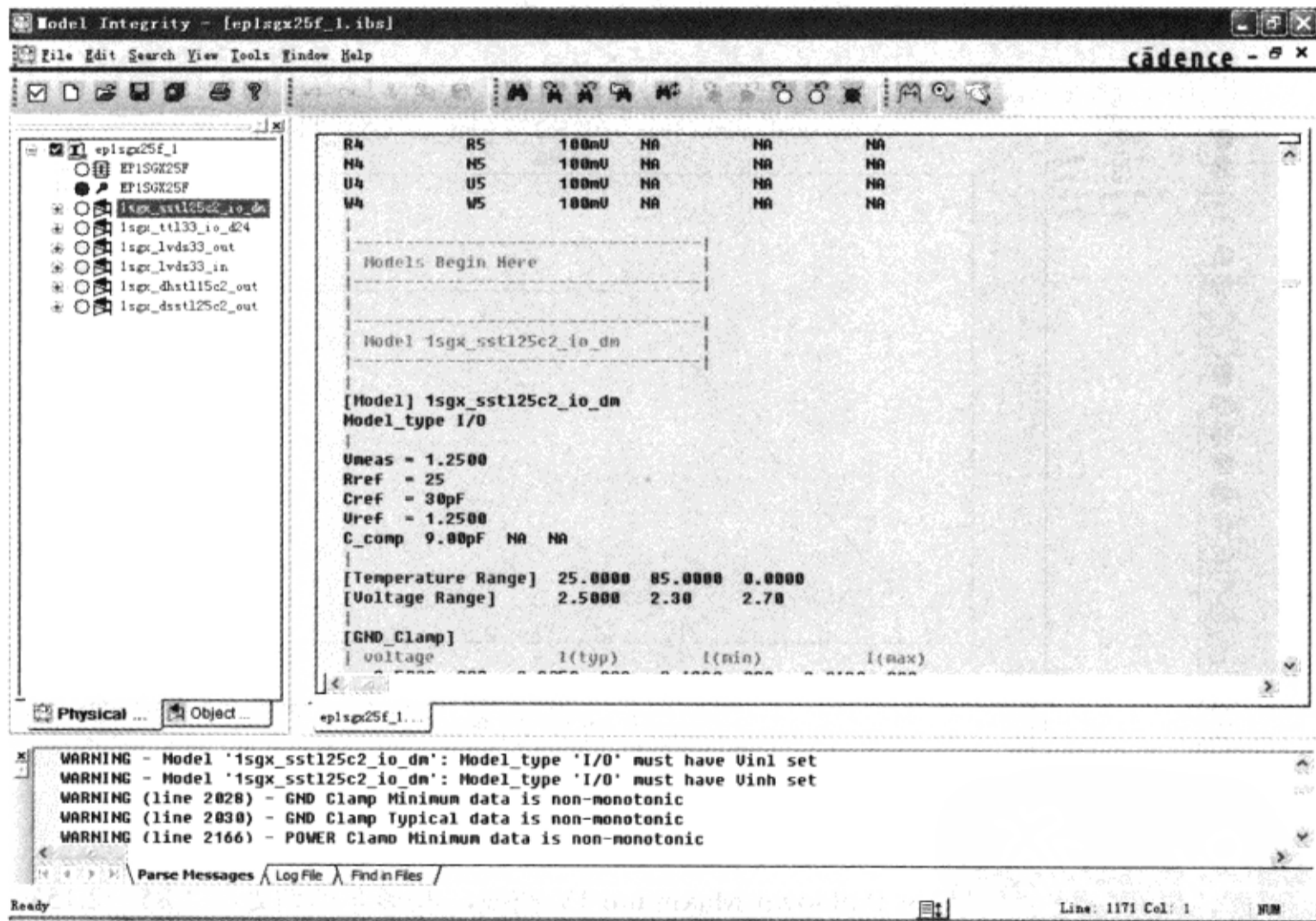


图 2-4-8 1sgx\_sst125c2\_io\_dm 模型参数

(12) 在编辑窗口部分可以看到 1sgx\_sst125c2\_io\_dm 下面 Model\_type I/O 部分没有 Vinh 和 Vinl, 在 “Vmeas = 1.2500” 语句的上面添加输入 “Vinl = 1.0700” 和 “Vinh = 1.4300”, 如图 2-4-9 所示。

(13) 执行菜单命令 “File” → “Save As”, 保存文件于当前目录, 文件名为 ep1sgx25f\_11.ibs。



(14) 在“Physical View”栏选择“ep1sgx25f\_11.ibs”→单击鼠标右键→选择“parse selected”，Model Integrity 会运行 ibischk 解析器，并且在当前目录下建立 ep1sgx25f\_11\_ibiparse.log 文件。同时，在 ep1sgx25f\_11 前面有一个红色的“×”标志，如图 2-4-10 所示。

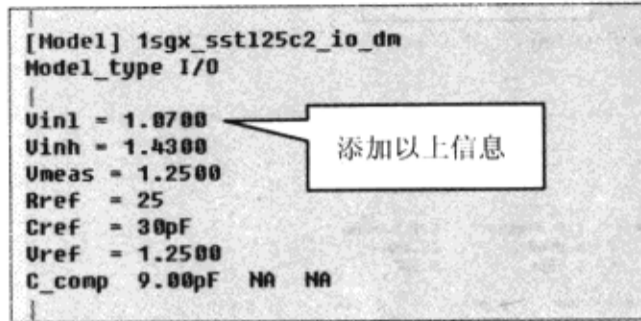


图 2-4-9 修改 1sgx\_sst125c2\_io\_dm 模型参数

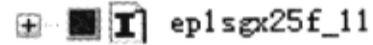


图 2-4-10 错误标志

(15) 在“Physical View”栏双击“ep1sgx25f\_11”→在编辑窗口会弹出错误标志→双击编辑窗口的错误标志，在输出窗口会有提示信息，如图 2-4-11 所示。

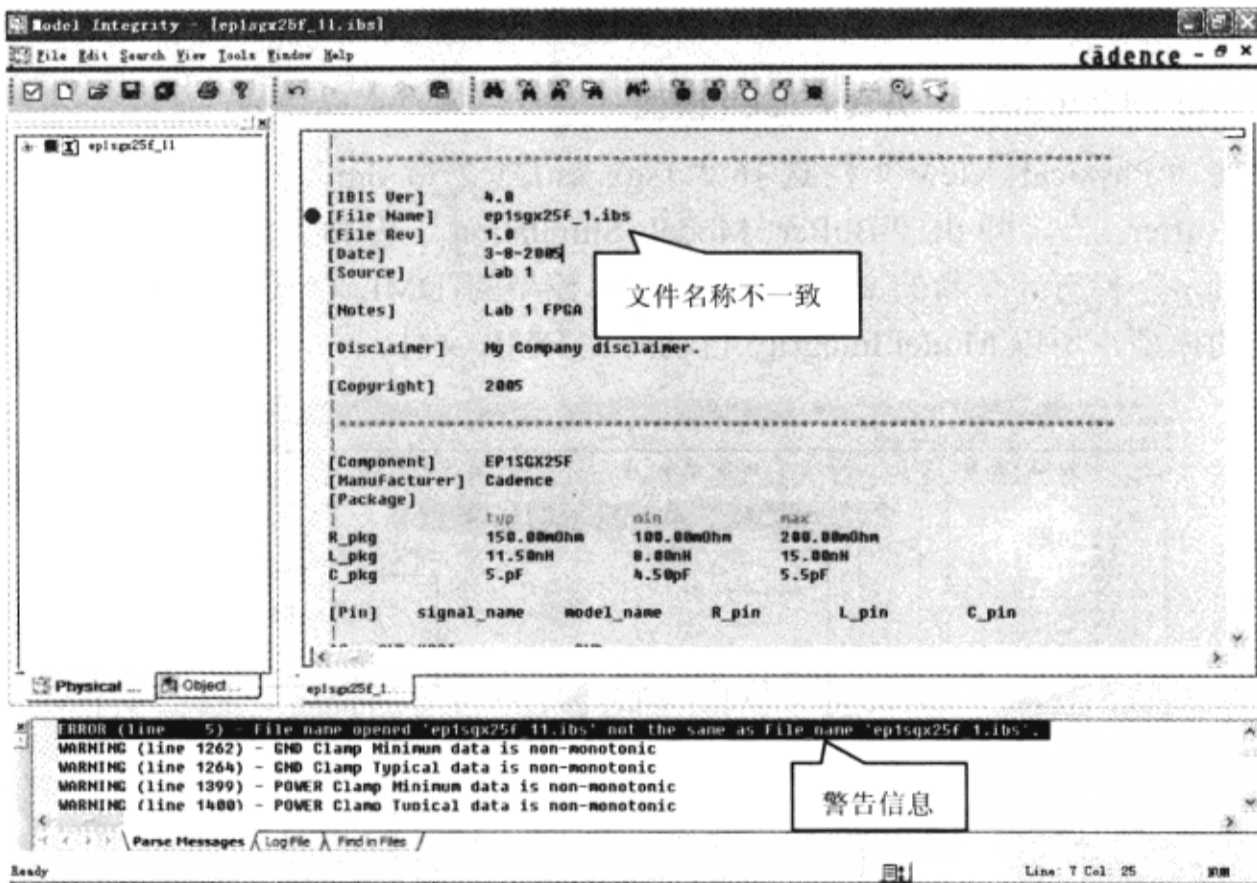


图 2-4-11 文件名错误标志

(16) “Model Integrity” 要求文件名和“File Name”一致，在编辑窗口中改变“File Name”后的“ep1sgx25f\_1.ibs”为“ep1sgx25f\_11.ibs”→单击“保存”按钮保存文件。

(17) 在“Physical View”栏选择“ep1sgx25f\_11”→单击鼠标右键→选择“parse selected”，解析文件，发现错误标志消失，如图 2-4-12 所示。



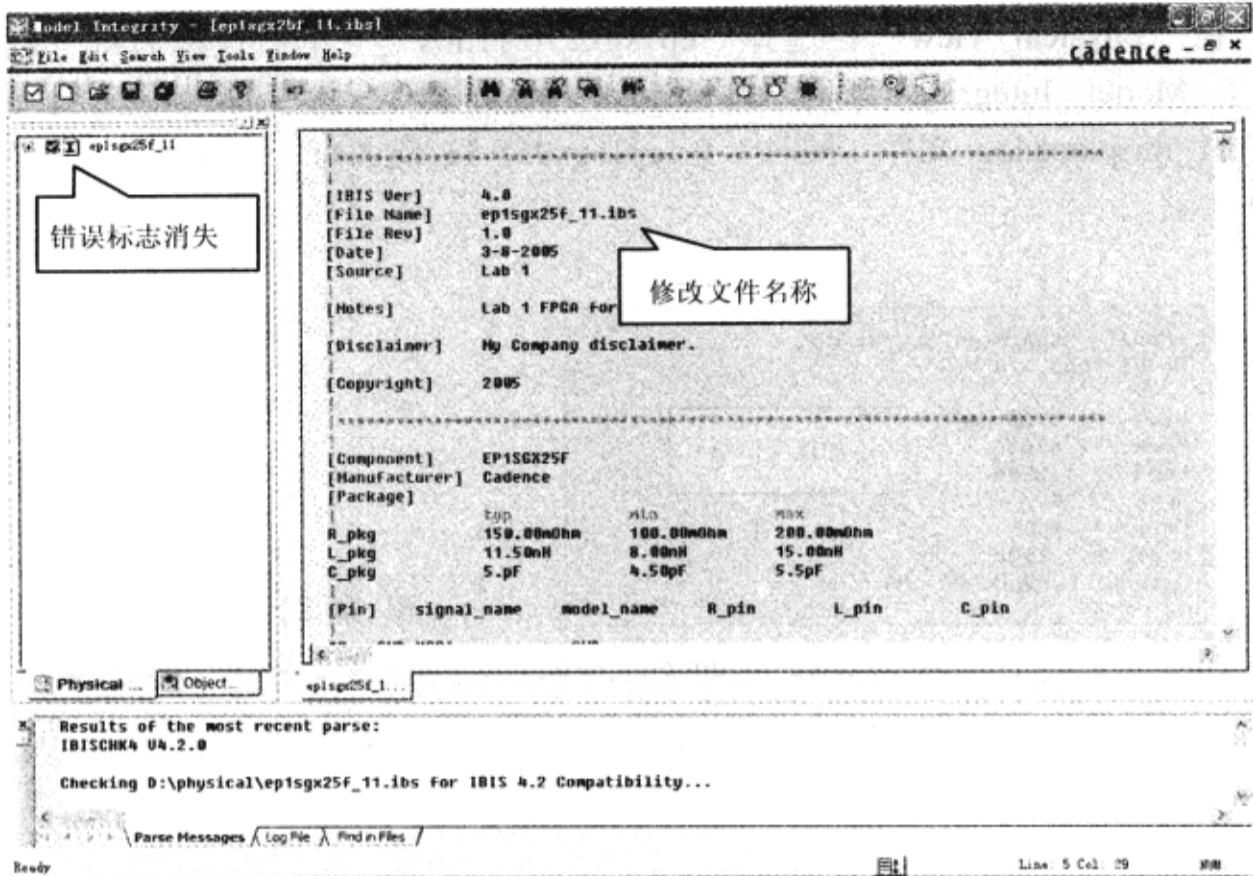


图 2-4-12 错误标志消失

## 2. 在 Model Integrity 中仿真 IOCell 模型

(1) 在“Physical View”栏选择“1sgx\_sst125c2\_io\_dm”→单击鼠标右键→选择“Simulate Buffer...”，弹出“Buffer Model Simulation”窗口，如图 2-4-13 所示→在“Physical View”栏有一个新的文件，这是 IBIS 模型的 DML 格式，PCB SI 运行仿真需要 DML 格式的模型，所以 Model Integrity 自动产生 DML 文件。

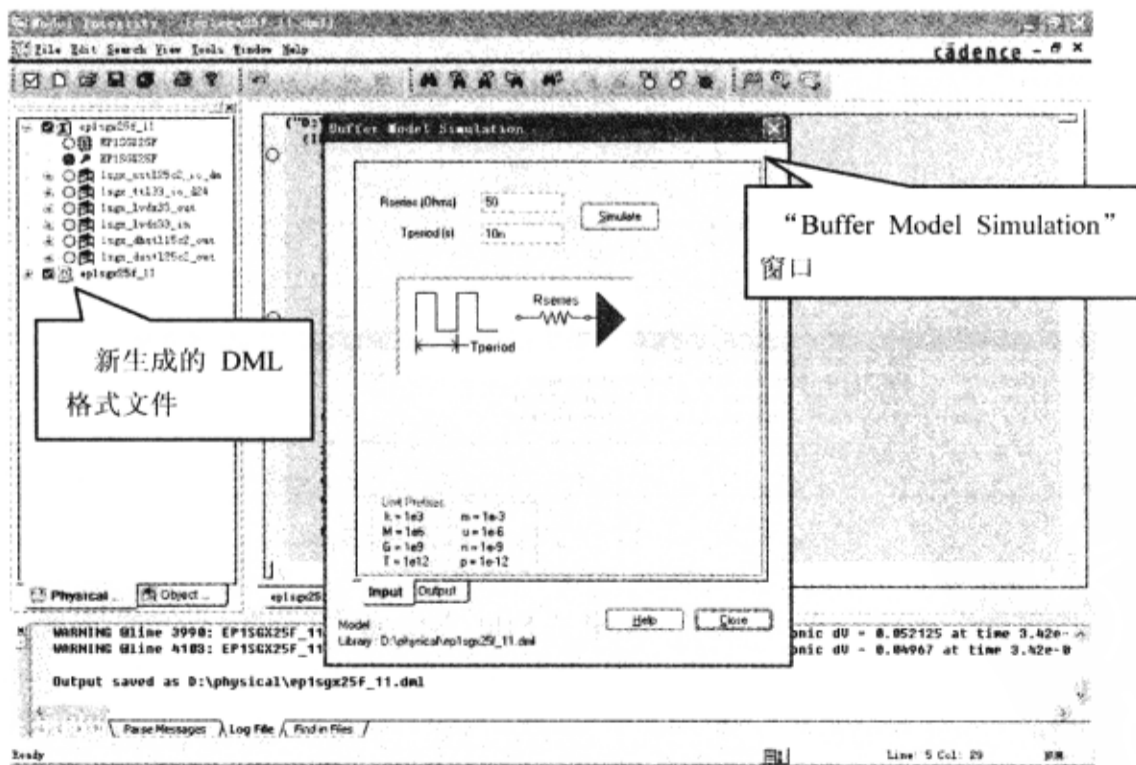


图 2-4-13 “Buffer Model Simulation” 窗口

(2) 在“Buffer Model Simulation”窗口选择“Output”页面，可以看到“Vref”自动读取模型中的设定值 1.25，“Cref”自动读取模型中的设定值“0.03n”，Tperiod 为仿真周期和“Input”页面一样。更改参数“Rref”为 50，如图 2-4-14 所示。

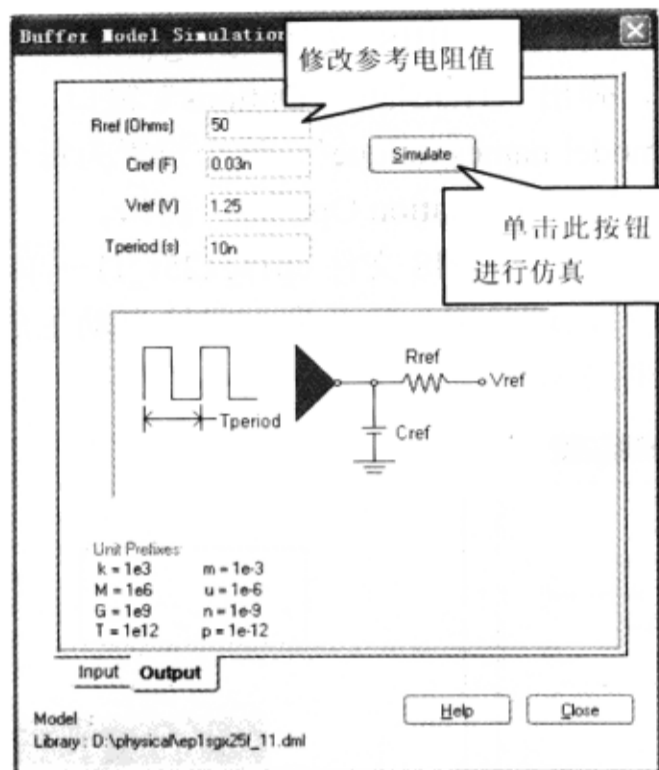


图 2-4-14 设置测试负载电阻参数

(3) 单击“Simulate”按钮，运行仿真，并在“SigWave”窗口产生波形，如图 2-4-15 所示，波形被写入当前目录，波形名为“waveform.sim”。当仿真其他 IOCell 时，波形文件会被重写。

(4) 关闭“Sigwave”窗口→单击“Close”按钮，关闭波形窗口。

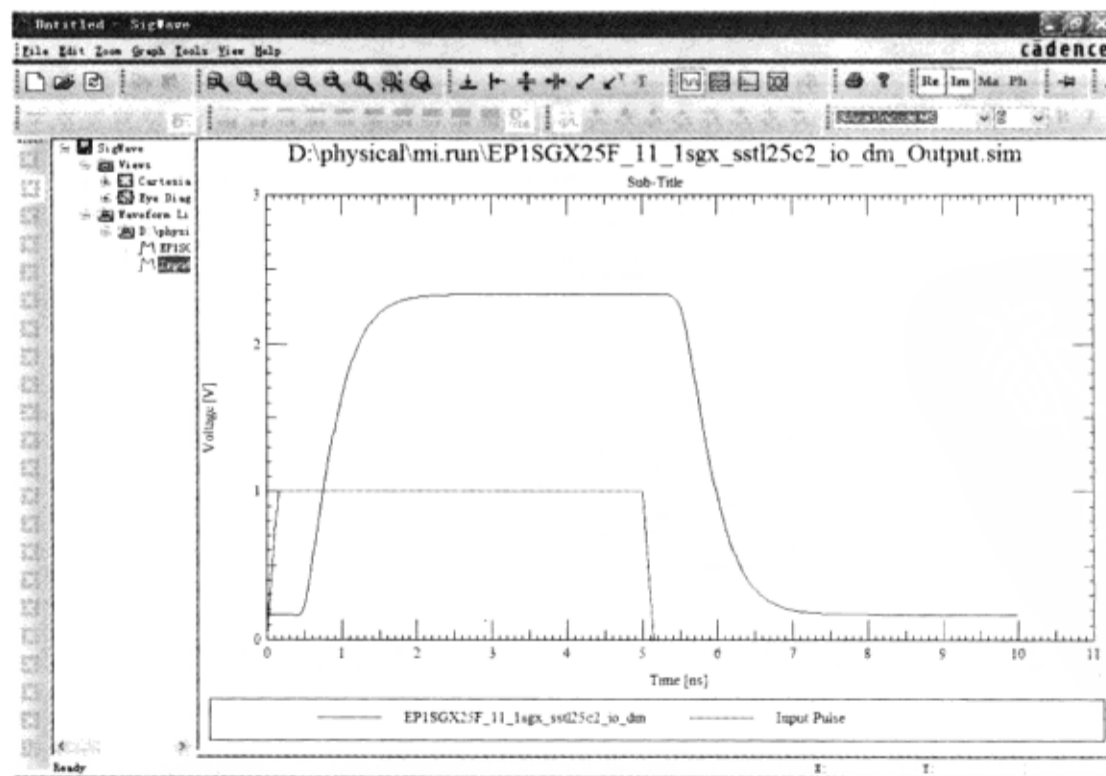


图 2-4-15 仿真波形

(5) 在“Buffer Model Simulation”窗口中单击“Close”按钮，关闭“Buffer Model Simulation”窗口。

### 3. 使用 IBIS to DML 转换器

(1) 在“Physical View”栏单击 IBIS 文件 ep1sgx25f\_11 → 执行菜单命令“Tools” → “Translation Options Editor”，弹出“Translation Options”窗口，如图 2-4-16 所示。

(2) 默认选中“Make model names unique”，这个设置为每个 IOCell 模型名附加 IBIS 文件名。单击“OK”按钮，关闭“Translation Options”窗口。

(3) 在“Physical View”栏选择 IBIS 文件 ep1sgx25f\_11 → 单击鼠标右键 → 选择“IBIS to DML”，系统会提示是否重写，这是因为软件先前已经自动生成了一个 DML 文件，单击“Yes”按钮，重写文档，如图 2-4-17 所示。

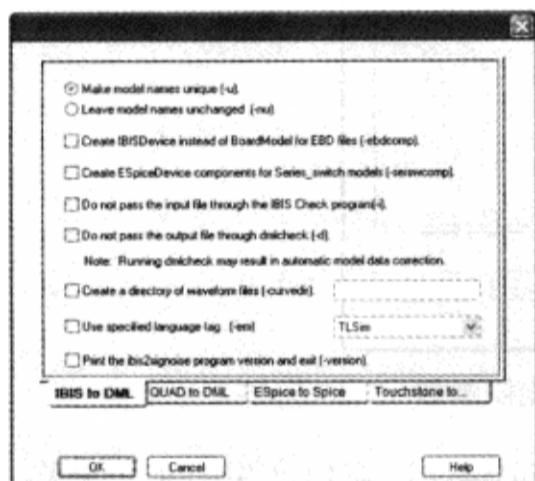


图 2-4-16 “Translation Options”窗口

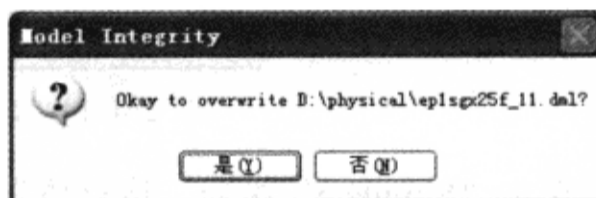


图 2-4-17 警告窗口

(4) 查看编辑窗口的第 3 行，第 1 个 IOCell 为 EP1SGX25F\_11\_1sgx\_dhstl15c2\_out，EP1SGX25F\_11 已经被添加到 IOCell 名的前面，如图 2-4-18 所示。

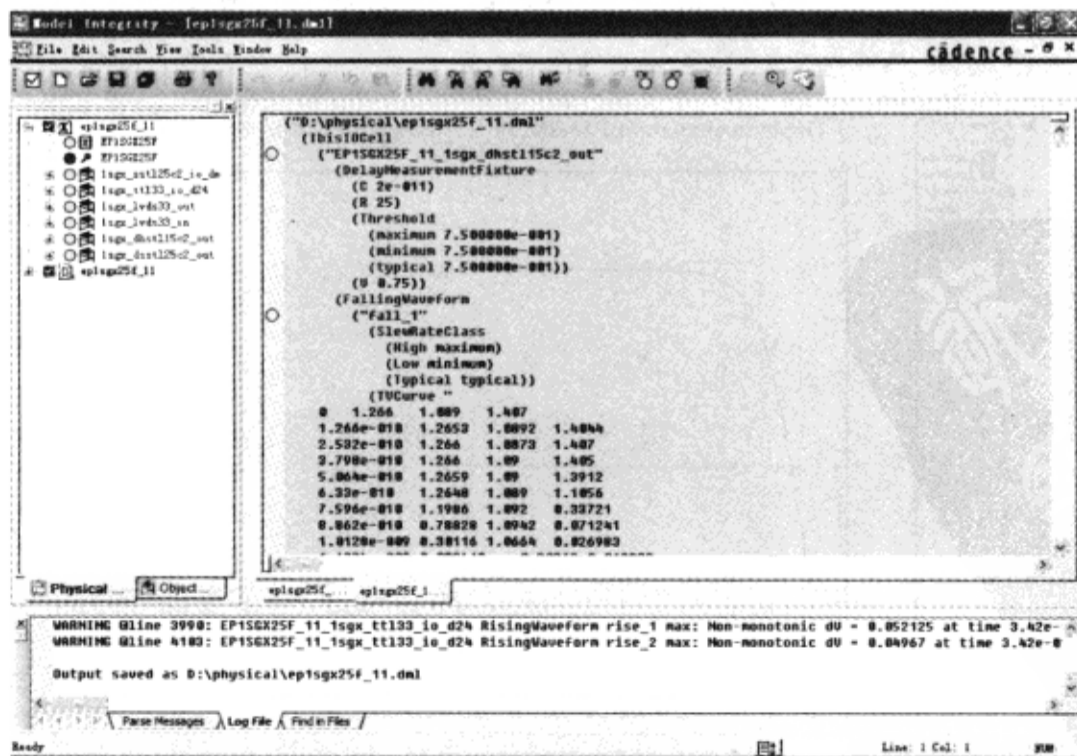



图 2-4-18 DML 文件信息

#### 4. 浏览 DML 文件的错误和警告信息

当转换一个 IBIS 文件为 DML 格式文件时，dmlcheck 解析器运行。在输出窗口显示错误和警告信息。

(1) 在工具栏单击按钮 ，输出窗口提示 12 个警告和 0 个错误。在输出窗口滚动查看警告信息“WARNING @line 239: EP1SGX25F\_11\_lsgx\_dhstl15c2\_out GroundClamp: Overall typical area exceeds overall maximum area”。

(2) 在输出窗口双击警告信息，在编辑窗口顶部会高亮显示第 239 行，如图 2-4-19 所示。

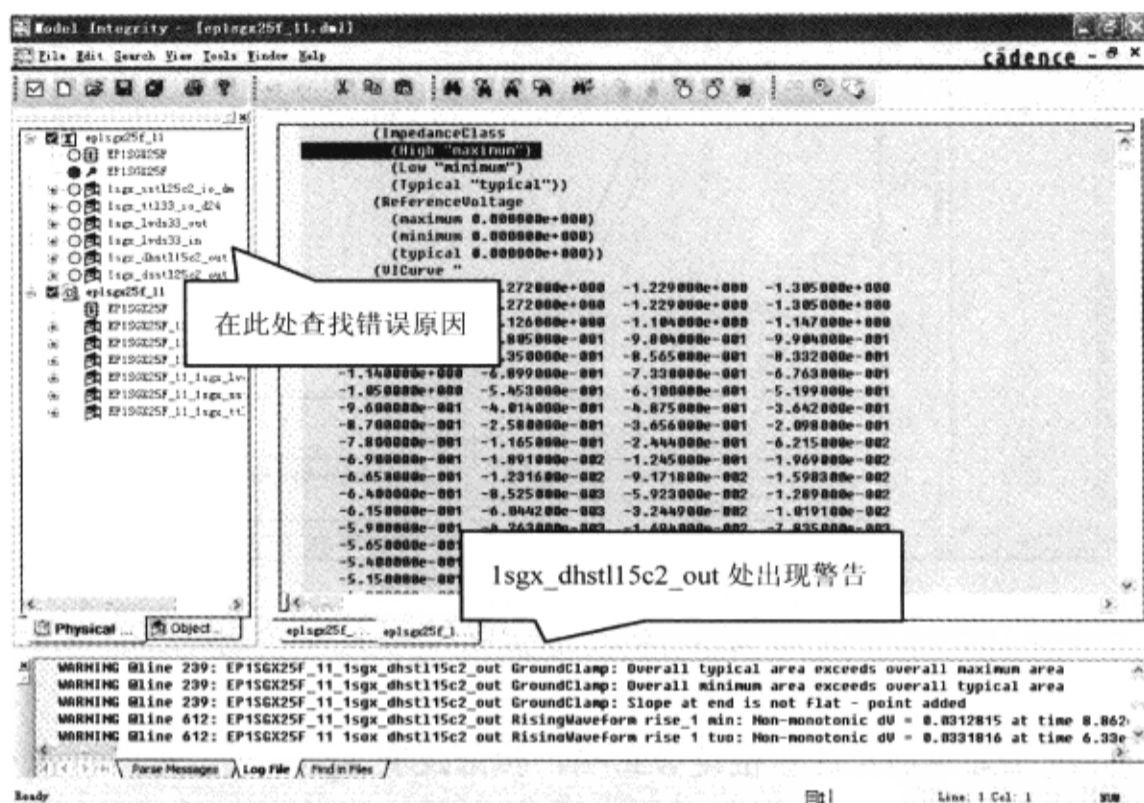


图 2-4-19 警告信息

(3) 注意关键词“VICurve”和下面的数据点，在 DML 格式没有提示哪一栏是最小、典型或最大，并且单位统一为伏特（V）和安培（A），最左边一栏列出了电压值，紧靠着这一栏右边的是典型电流值，下一栏是最小电流值，最后一栏是最大电流值。这些数据没有 IBIS 文件容易读取，所以需要查看 IBIS 文件中的这个模型试图找出 dmlcheck 警告的变化。

(4) 在“Physical View”栏双击 IBIS IOCell 模型 lsgx\_dhstl15c2\_out → 在编辑窗口单击鼠标右键 → 选择“Replace”，弹出“Replace”对话框 → 在“Find what”栏中输入“power\_clamp”，不选择“Match case”，如图 2-4-20 所示。

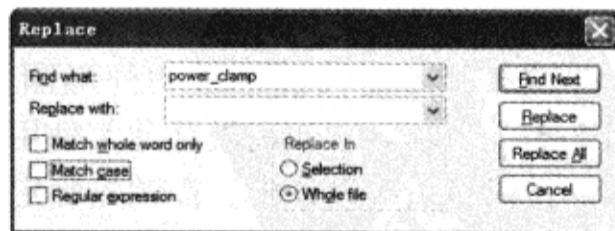


图 2-4-20 “Replace”对话框

(5) 单击“Find Next”按钮 → 在编辑窗口中 IOCell 模型 lsgx\_dhstl15c2\_out 的 Power\_Clamp 高亮显示 → 单击“Cancel”按钮，关闭“Replace”窗口。

(6) 查看 VI Curve 数据的电流值，在“Max”栏的电流值应该比“Min”和“Typ”栏的大，但发现在-3.10~-1.85V 之间的数据在错误的栏里。

(7) 在“Physical View”栏选择 IBIS IOCell 模型 `lsgx_dhstl15c2_out` → 单击鼠标右键 → 选择“View Curve” → “Power\_clamp” → “All”，弹出“SigWave”窗口，显示最小 (Min)、最大 (Max)、典型 (Typ) 3 条曲线，发现 Max 不总是比 Min 和 Typ 大，而 Typ 不总是比 Min 大，这就是 `dmlcheck` 产生警告的原因，如图 2-4-21 所示。

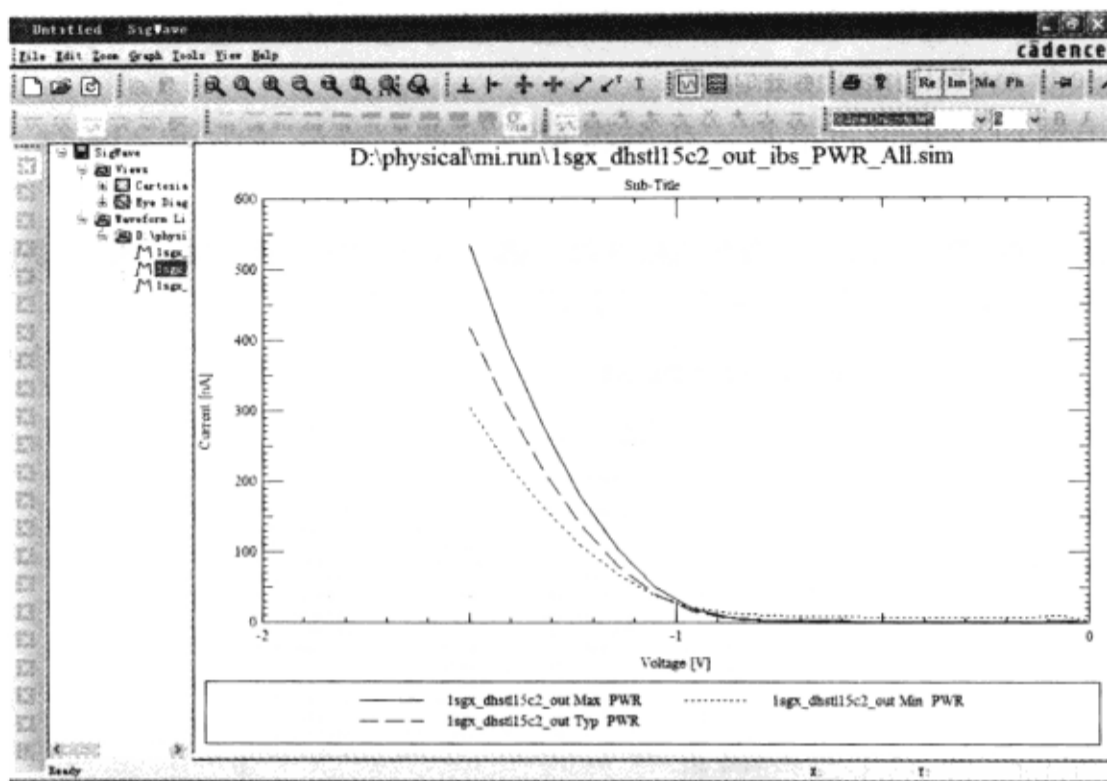


图 2-4-21 Power clamp 曲线



注意

需要确定这些值是否正确，但若没有 Spice 模型对照，很难确定这些值是否正确。

(8) 关闭“SigWave”窗口 → 关闭 IBIS 文件 `ep1sgx25f_11` 和 DML 文件 `ep1sgx25f_11`。

## 2.5 预布局

预布局就是按照一般的外形因素、机械限制和惯例预先确定关键元器件的位置，如图 2-5-1 所示。预布局设计通常使用 CAD 软件建立并作为设计的开始。

在很多系统设计中，需预先确定关键元器件和连接器的布局。在计算机主板设计中，除了确定处理器、存储器和 PCI/ISA 插槽的位置，还必须确定标准的 PCB 布局和机壳类型的位置。预布局数据对于解空间分析很有用，因为系统的高速信号影响这些元器件。基于预布局数据提取关键信号的拓扑，并作为解空间分析的起点。

【本节目的】学习高速 PCB 的预布局并掌握其技巧。

【使用软件】Allegro PCB SI XL。

【使用文件】`physical\PCB_ver1\VER0.brd`。



## 【操作步骤】

(1) 在程序文件夹中选择“Cadence”→“Release 16.3”→“PCB SI”，弹出产品选择对话框，如图 2-5-2 所示。

(2) 在图 2-5-2 所示的列表框中选择“Allegro PCB SI XL”→单击“OK”按钮，弹出编辑窗口。

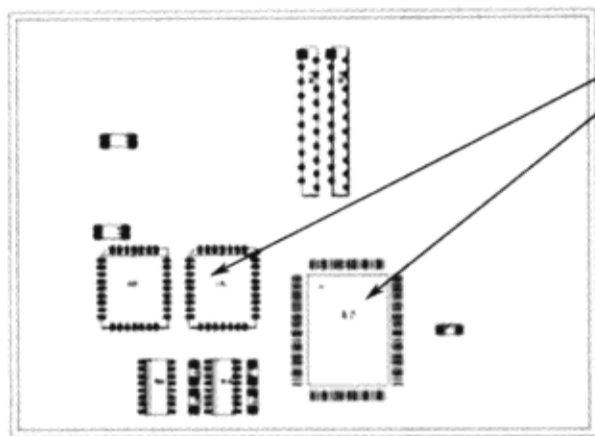


图 2-5-1 预布局

集成电路的预摆放

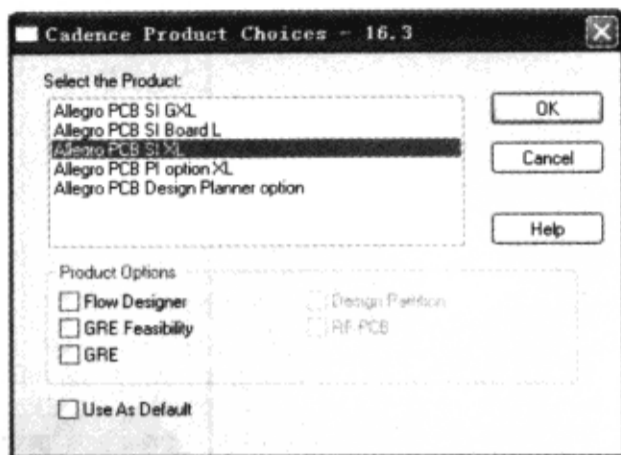


图 2-5-2 产品选择对话框

(3) 执行菜单命令“File”→“Open”，打开 D:\physical\PCB\_ver1\VER0.brd 文件，如图 2-5-3 所示。

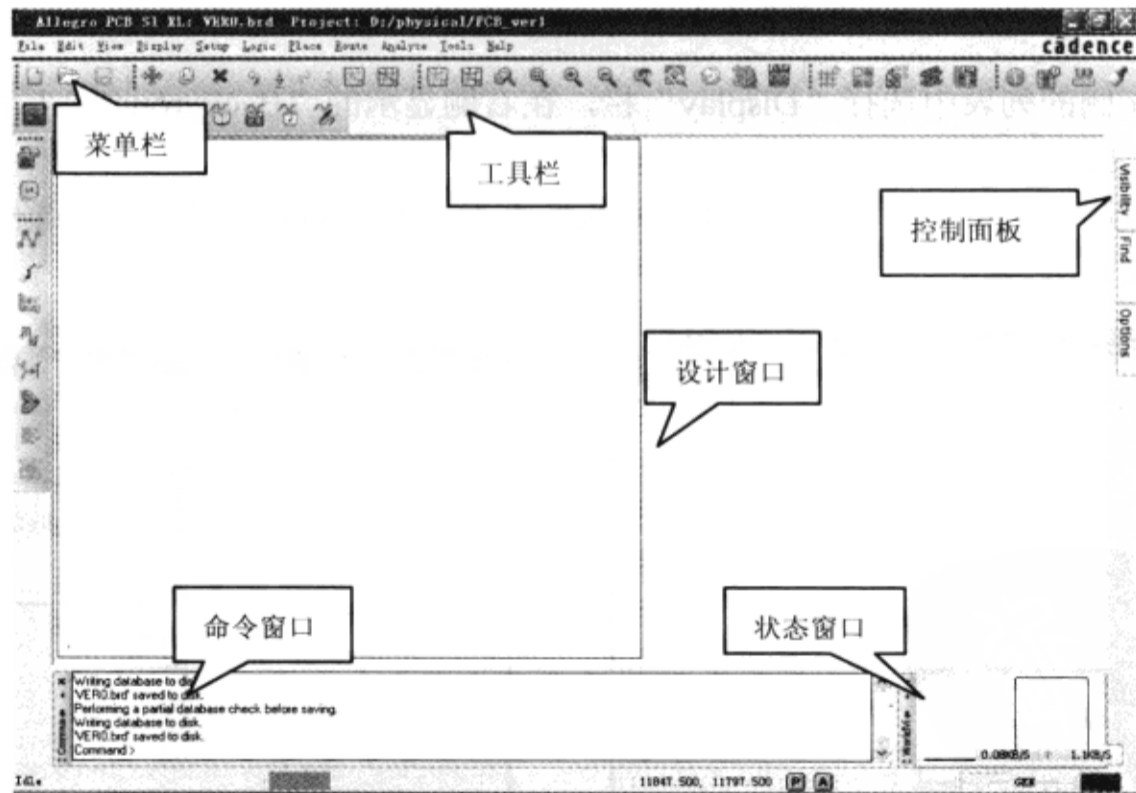


图 2-5-3 “Allegro PCB SI GXL”窗口

- 设计窗口：建立设计。
- 命令窗口：显示信息，也可以手动输入命令。
- 状态窗口：显示当前的命令和当前光标的  $x$ 、 $y$  坐标，当移动光标时这些坐标将改变。
- 菜单栏：下拉菜单提供建立或修改 PCB 设计所需要的命令。
- 工具栏：可以快速访问常用的 Allegro PCB SI GXL 命令。

➤ 控制面板：结合命令实现预定的功能。

(4) 执行菜单命令“Display”→“Color/Visibility”，弹出“Color Dialog”对话框，如图 2-5-4 所示。

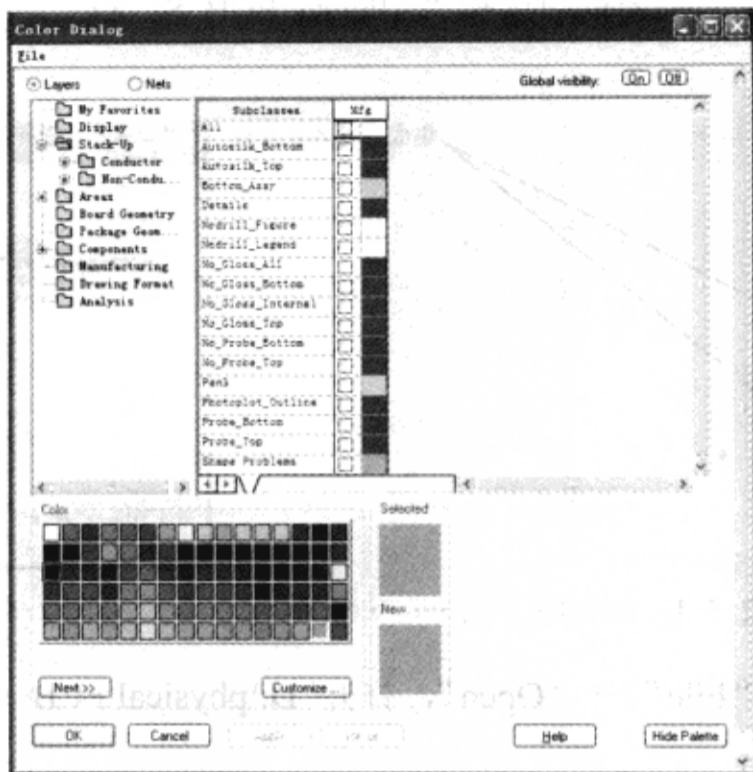


图 2-5-4 “Color Dialog”对话框

(5) 在左侧的列表中选择“Display”栏，在右侧显示的“Background”后面的颜色框设置为黑色，如图 2-5-5 所示。

(6) 依照同样的方法，将“Board Geometry”栏中的“Outline”后面的颜色框设置为白色，如图 2-5-6 所示。

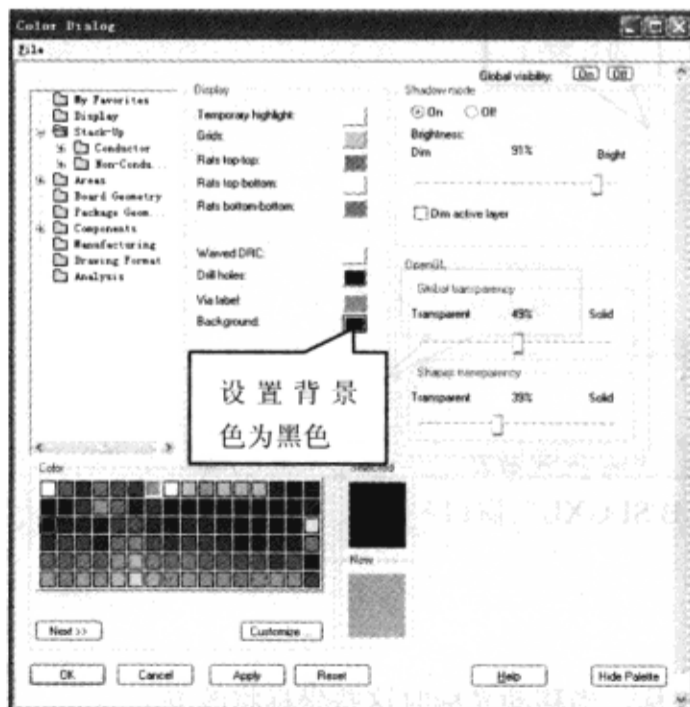


图 2-5-5 “Color Dialog”对话框

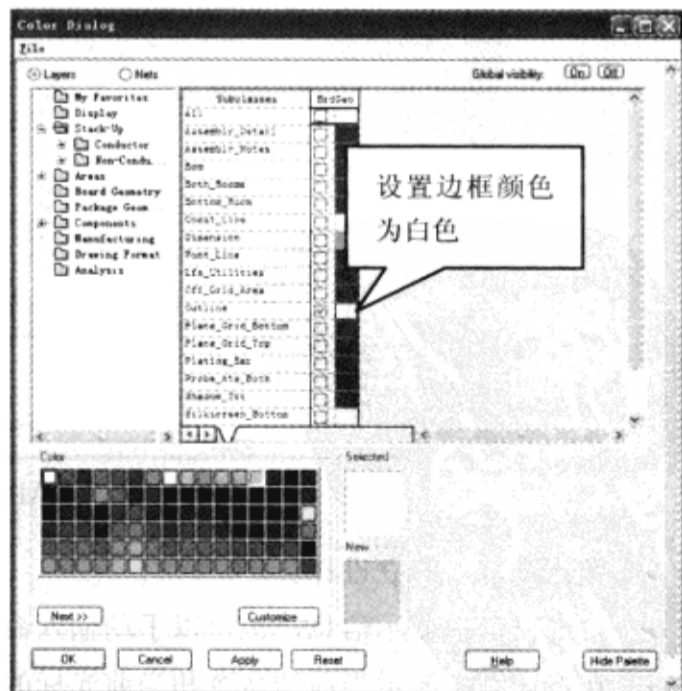


图 2-5-6 设置 Outline 为白色

(7) 单击“Color Dialog”对话框中的“OK”按钮，界面颜色改变，如图 2-5-7 所示。

(8) 执行菜单命令“Place”→“Manually”，弹出“Placement”对话框，如图 2-5-8 所示。

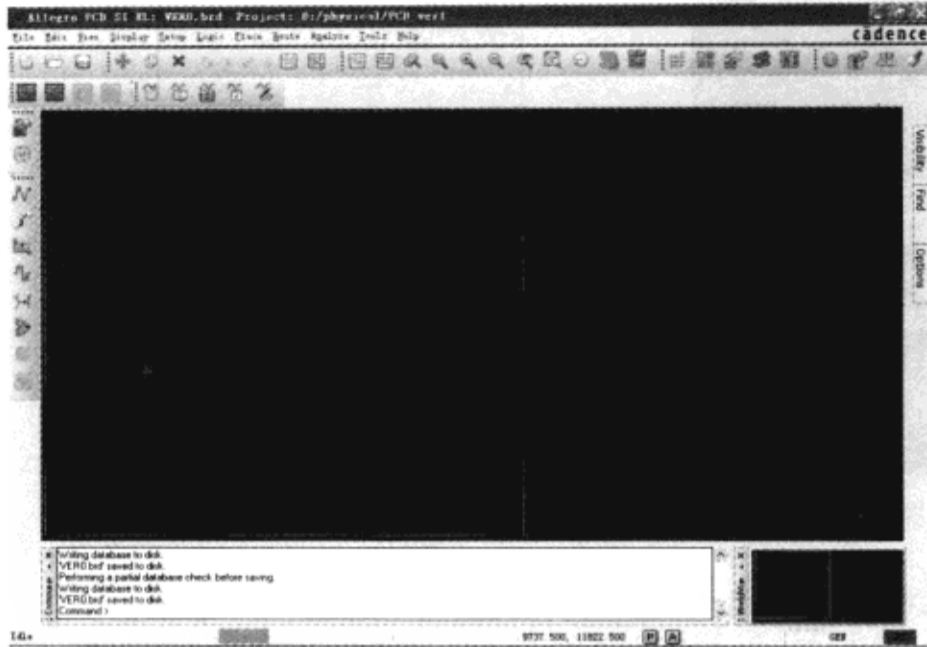


图 2-5-7 改变颜色

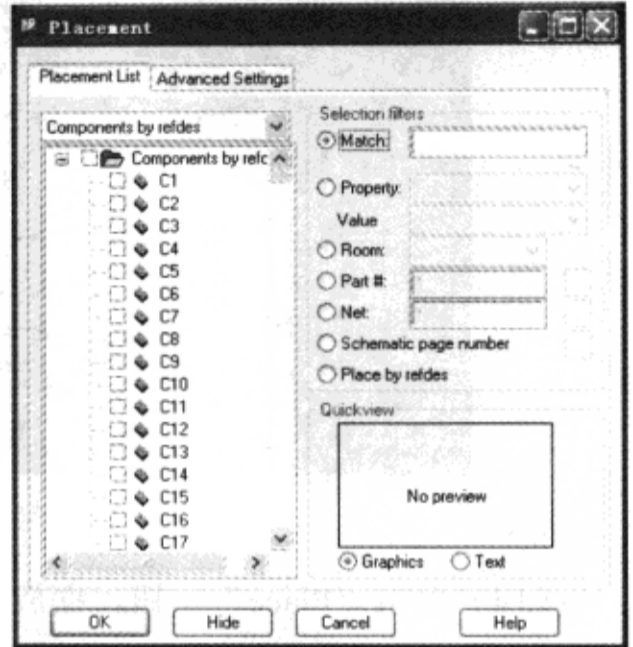


图 2-5-8 “Placement”对话框

(9) “Placement List”列表框自动显示“Components by refdes”→选择“U7”→在控制面板的“Options”标签页，设置“Active Class”为“Etch”，“Active Subclass”为“Top”→在命令窗口输入“x 9153.543 7814.961”→按“Enter”键→U7 摆放到 PCB 上→单击鼠标右键→选择“Done”完成，如图 2-5-9 所示。

(10) 执行菜单命令“Edit”→“Spin”，在控制面板的“Options”标签页进行设置，如图 2-5-10 所示。

(11) 单击 U7，U7 会自动逆时针旋转 270°→单击鼠标右键→选择“Done”，旋转后的图如图 2-5-11 所示。

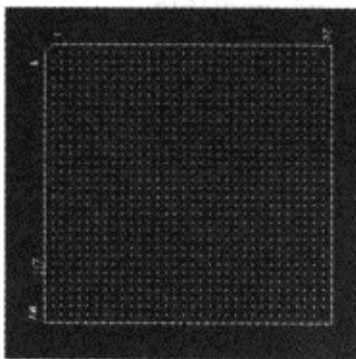


图 2-5-9 摆放元器件

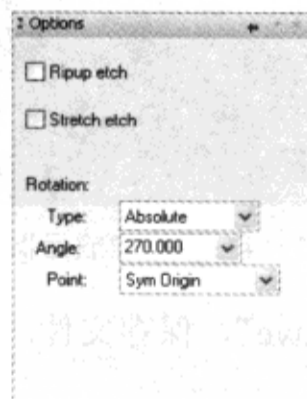


图 2-5-10 设置“Options”标签页参数

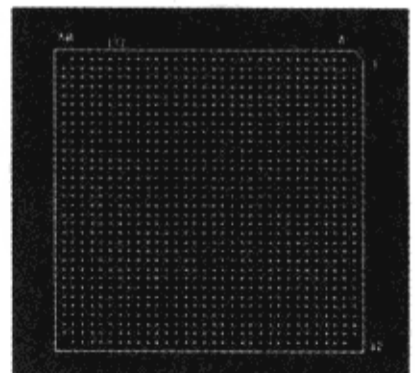


图 2-5-11 旋转元器件

(12) 按照同样方法摆放其他元器件（连接器和关键元器件）于板框中，如图 2-5-12 所示。

(13) 执行菜单命令“Place”→“Quickplace”，弹出“Quickplace”对话框，具体设置如图 2-5-13 所示。

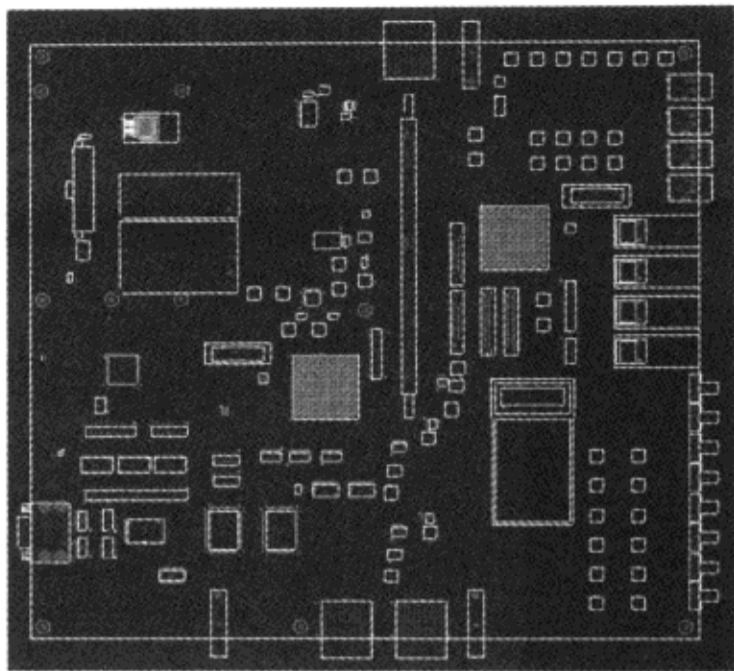


图 2-5-12 预布局电路

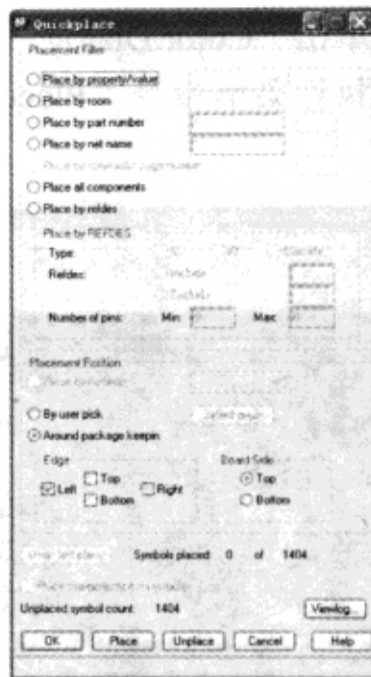


图 2-5-13 “Quickplace”对话框

(14) 单击“Place”按钮，摆放元器件于板框外，如图 2-5-14 所示。

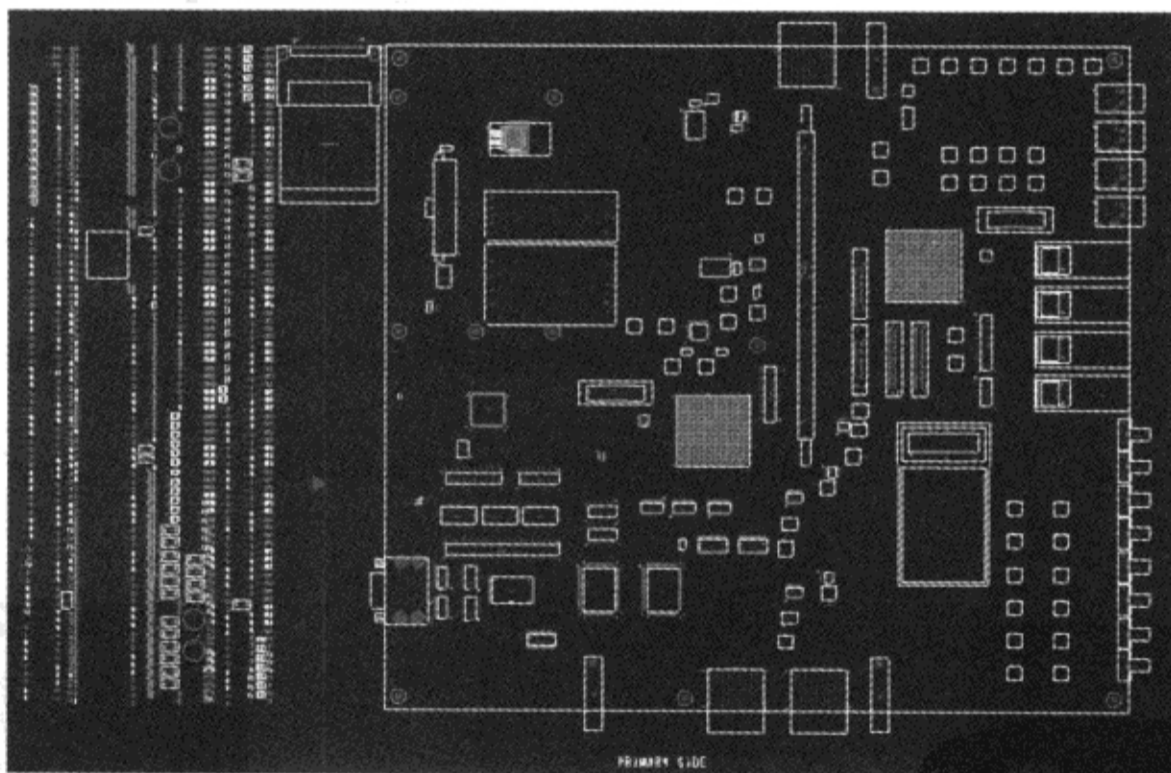


图 2-5-14 快速摆放元器件

(15) 执行菜单命令“File”→“Save”，保存文件。

## 2.6 PCB 设置要求 (Setup Advisor)

**【本节目的】**学习对仿真前的 PCB 进行必要的设置，包括叠层设置、直流电压设置、元器件设置、SI 模型分配和 SI 检查。

**【使用软件】**Allegro PCB SI XL 下的 Setup Advisor。

**【使用文件】**physical\PCB\_ver1\VER1.brd 和 ep1sgx25f\_11.dml。

**【操作步骤】**

(1) 在程序文件夹中选择“Cadence”→“Release 16.3”→“PCB SI”，弹出产品选择对话框→选择“Allegro PCB SI XL”。

(2) 执行菜单命令“File”→“Open”，D:\physical\PCB\_ver1\VER1.brd 文件。

(3) 执行菜单命令“Tools”→“Setup Advisor”，弹出“Database Setup Advisor”窗口，仔细阅读“Database Setup Advisor”介绍，如图 2-6-1 所示。

**1. 叠层设置**

进行叠层设置，确定 PCB 层面，包括每层的材料、类型、名称、厚度、线宽和阻抗信息，并确定 PCB 的物理和电气特性。

- Trace 宽度和 PCB 的叠层决定 Trace 特性。
- Trace 和参考平面间的距离对阻抗和窜扰有主要的影响。
  - ◇ 阻抗：随距离增加而增加。
  - ◇ 窜扰：随距离增加而增加。

Trace 的阻抗依据下面因素来确定：

- 绝缘材料的介电常数。
  - ◇ 在布线层之间是否有平面层。
  - ◇ 平面层的存在对于布线层间的窜扰起了重要的作用。
- 绝缘材料的厚度。
- Trace 的宽度和厚度。

(1) 在图 2-6-1 中单击“Next”按钮→弹出“Database Setup Advisor-Cross-section”窗口，简要介绍了修改 PCB 叠层的必要步骤，如图 2-6-2 所示。

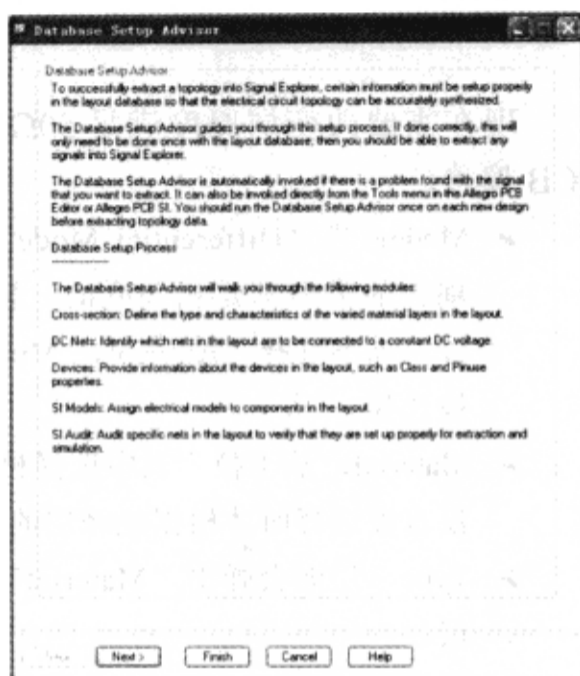


图 2-6-1 “Database Setup Advisor”窗口

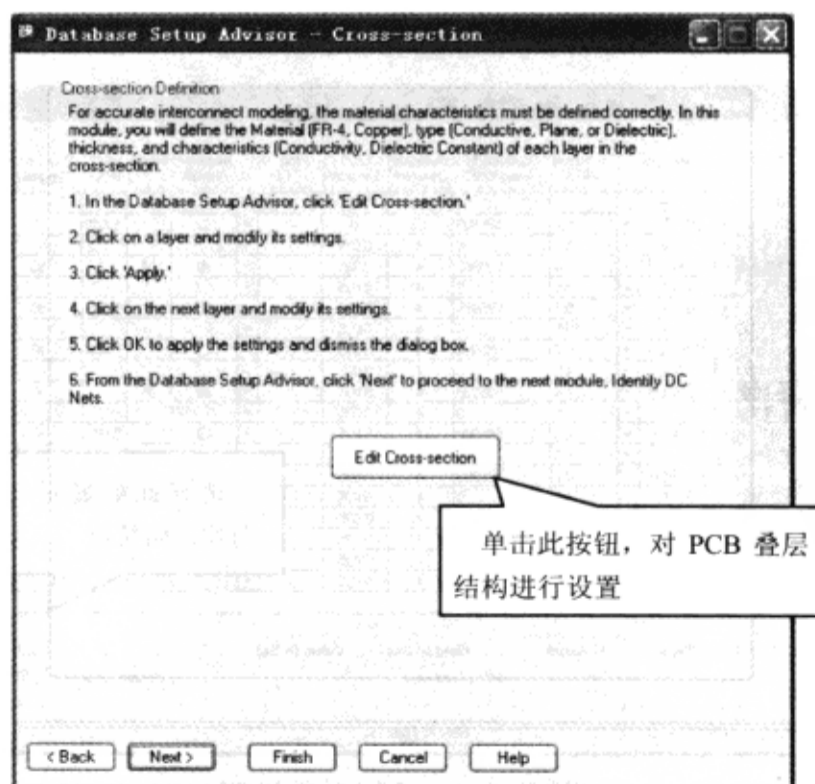


图 2-6-2 “Database Setup Advisor-Cross-section”窗口



(2) 单击“Edit Cross-section”按钮→弹出“Layout Cross Section”窗口→选中右下角的“Show Single Impedance”前的复选框，显示阻抗，如图 2-6-3 所示。



PCB 厚度为 122.3mils，顶层和底层的阻抗为 72.847Ω，其他层面的阻抗也各不相同。

现在需要改变层厚度满足 50Ω 的阻抗要求。通过改变绝缘层的厚度来达到期望的阻抗和 PCB 厚度。

- Mode: 当“Differential Mode”被选择时，线宽、阻抗（单线）、差分阻抗、差分间距、差分耦合的类型都是相关联的。依据改变的值，编辑器都会弹出菜单，允许进一步进行准确设置。当不选择“Autosolve Mode”时，不计算阻抗（单线），默认情况下“Autosolve Mode”被选择。
- Material: 从下拉列表中选择材料，当“Layout Cross-Section”窗口中的“Differential Mode”没有被选择时才根据绝缘层的功率因数补偿角的正切，指定当前选择的绝缘层的介电损失。
- Type 层面会弹出“Material”栏。在 Top 的上面和 Bottom 的下面添加 Conformal Coating 层。
- Loss Tangent（介质损耗因数）的类型包含 SURFACE（表面）、CONDUCTOR（信号布线层）、DIELECTRIC（电介质）、PLANE（电源平面）4 个选项。
- Etch Subclass: 在 PCB 的 Cross-Section 中指定层。
- Thickness: 分配给每个层的厚度。
- Line Width: 确定布线层的布线线宽。
- Impedance 分配给每个层的阻抗。



图 2-6-3 叠层参数设置

(3) 在“Layout Cross Section”窗口中选择 TOP 和 L2\_GND1 间的“Dielectric”的“Thickness”栏, 改变厚度为 2.7mil→按“Tab”键。可以看到 TOP 层的阻抗值为 50.991Ω。

(4) 在“Layout Cross Section”窗口中选择 BOTTOM 和 L17\_PWR13 间的“Dielectric”的“Thickness”栏, 改变厚度为 2.7mil→按“Tab”键。可以看到 BOTTOM 层的阻抗值为 50.991Ω。整个 PCB 的厚度已经改变, 现在是 117.1mils。

(5) 在“Layout Cross Section”窗口中选择 L3\_IS1 和 L4\_IS2 间的“Dielectric”的“Thickness”栏, 改变厚度为 4.5mil→按“Tab”键, 可以看到 L3\_IS1 和 L4\_IS2 的阻抗都变为 50.813Ω。

(6) 在“Layout Cross Section”窗口中选择 L9\_IS5 和 L10\_IS6 间的“Dielectric”的“Thickness”栏, 改变厚度为 4.5mil→按“Tab”键, 可以看到 L9\_IS5 和 L10\_IS6 的阻抗都变为 50.813Ω。

(7) 在“Layout Cross Section”窗口中选择 L12\_IS7 和 L13\_IS8 间的“Dielectric”的“Thickness”栏, 改变厚度为 4.5mil→按“Tab”键, 可以看到 L12\_IS7 和 L13\_IS8 的阻抗都变为 50.813Ω。

(8) 在“Layout Cross Section”窗口中选择 L15\_IS9 和 L16\_IS10 间的“Dielectric”的“Thickness”栏, 改变厚度为 4.5mil→按“Tab”键, 可以看到 L15\_IS9 和 L16\_IS10 的阻抗都变为 50.813Ω, 如图 2-6-4 所示。整个 PCB 的厚度已经改变, 现在是 89.7 mils。

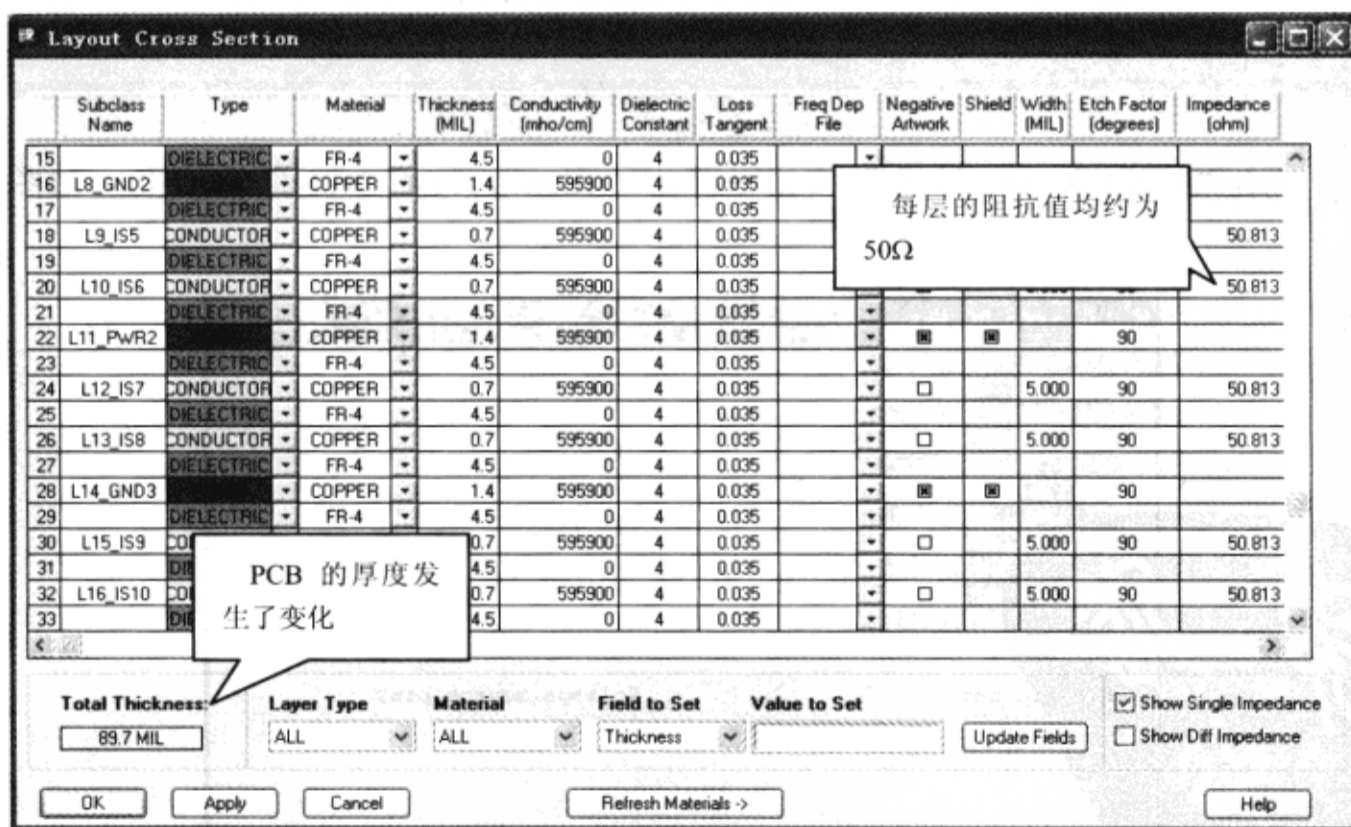
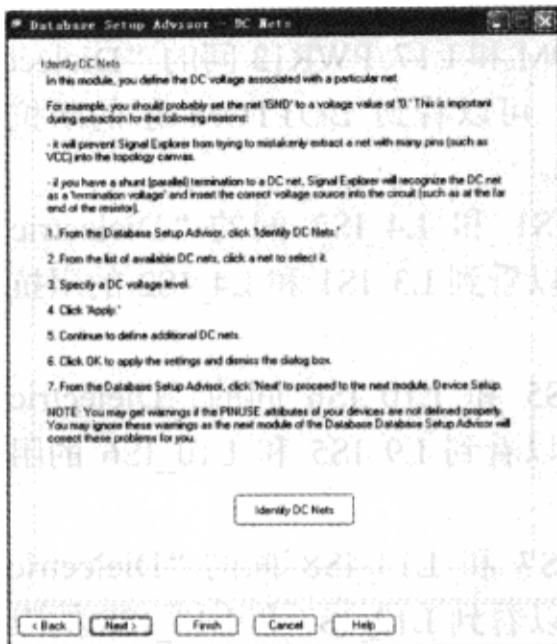


图 2-6-4 “Layout Cross Section”窗口

(9) 单击“OK”按钮, 关闭“Layout Cross Section”窗口。“Database Setup Advisor-Cross-Section”窗口将再次显示。

## 2. 设置 DC 电压值

确定 DC 电压加在网络上。执行 EMI 仿真时，必须确定一个或更多电压源引脚。信号模型包含仿真过程使用的参考电压信息。但是，PCB SI 需要知道仿真过程中终端负载使用的电压值。信号模型能够包含与电压公差相关的数据。在这些公差水平下仿真能够被执行，但仿真器无法知道终端负载的电压值是多少，所以必须提供这些 DC 电压值。



(1) 单击“Next”按钮→弹出“Database Setup Advisor-DC Nets”窗口，如图 2-6-5 所示。

在窗口中会显示“Identify DC Nets”的说明。如果试着提取一个与电源/地相连的分立元件的网络，这个工具需要知道与元器件连接的 DC 电压值。

图 2-6-5 “Database Setup Advisor-DC Nets”窗口的 DC 电压值。



注意

这会影晌仿真的驱动端和接收端。这些元器件的电压值包含在信号模型 (IBIS 模型) 描述中。确认已经分配到电路板 DC 网络有正确的电压值。

(2) 单击“Identify DC Nets”按钮→弹出“Identify DC Nets”对话框，如图 2-6-6 所示。

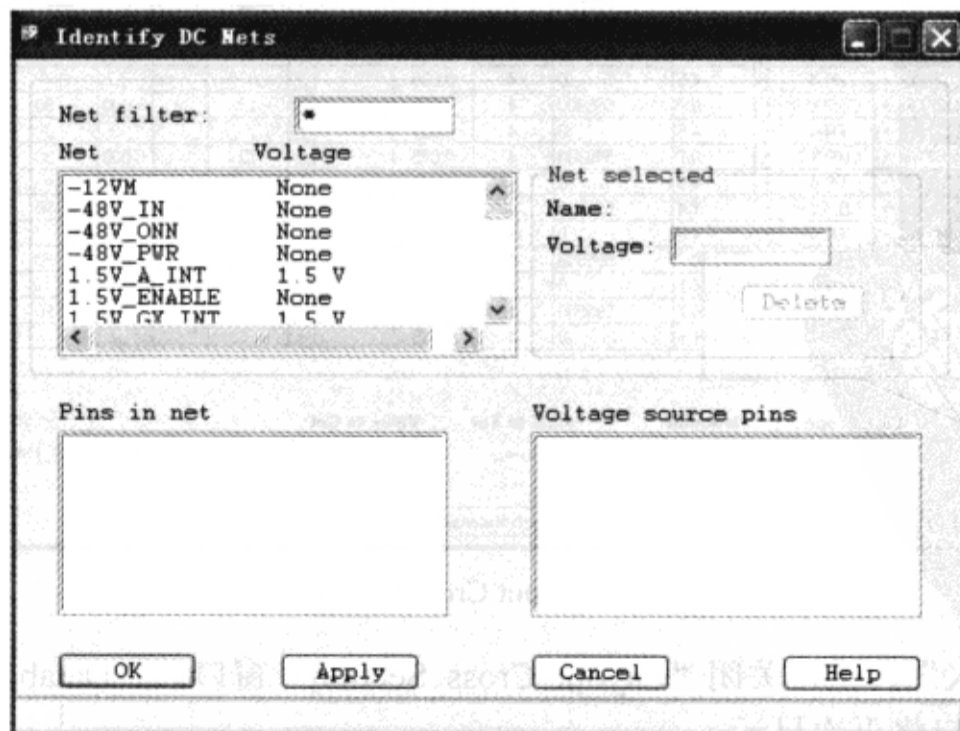


图 2-6-6 “Identify DC Nets”对话框

- Net filter: 过滤在“DC Nets”列表框中显示的网络。
- Net: 按照 Net filter 显示的网络, 这些网络能够被分配 DC 电压。
- Pins in net: 显示与从“Net”区域选择的网络有关的所有引脚。在这个区域选取一个引脚使它成为电压源引脚。
- Voltage source pins: 显示在“Pins in net”中选择的引脚。必须指定一个或更多的电压源引脚以执行 EMI 仿真。从“Voltage source pins”列表选取一个引脚并移除它。
- Voltage: 用于设置选择网络(或引脚)的 DC 电压值。输入“NONE”移除原先分配的电压。

(3) 从“Identify DC Nets”对话框选择网络名“1.5V\_ENABLE”, “Voltage”栏有“NONE”显示, 这个网络连接的引脚显示在“Pins In net”列表框中, “Voltage source pins”列表框显示这个电压值对应的引脚。在“Voltage”栏双击“None”, 输入 1.5 并按“Tab”键→弹出一个警告提示窗口, 该窗口提示分配电压值的该网络没有电源和地引脚, 如图 2-6-7 所示。

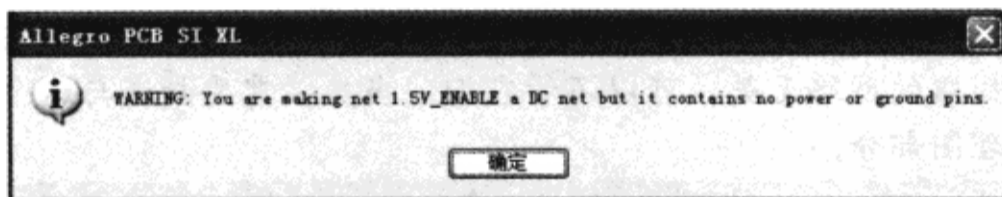


图 2-6-7 警告提示窗口

(4) 单击“确定”按钮, 关闭该提示窗口。

(5) 在“Identify DC Nets”对话框的“Net filter”栏中输入“1.5\*”并按“Tab”键, 如图 2-6-8 所示。

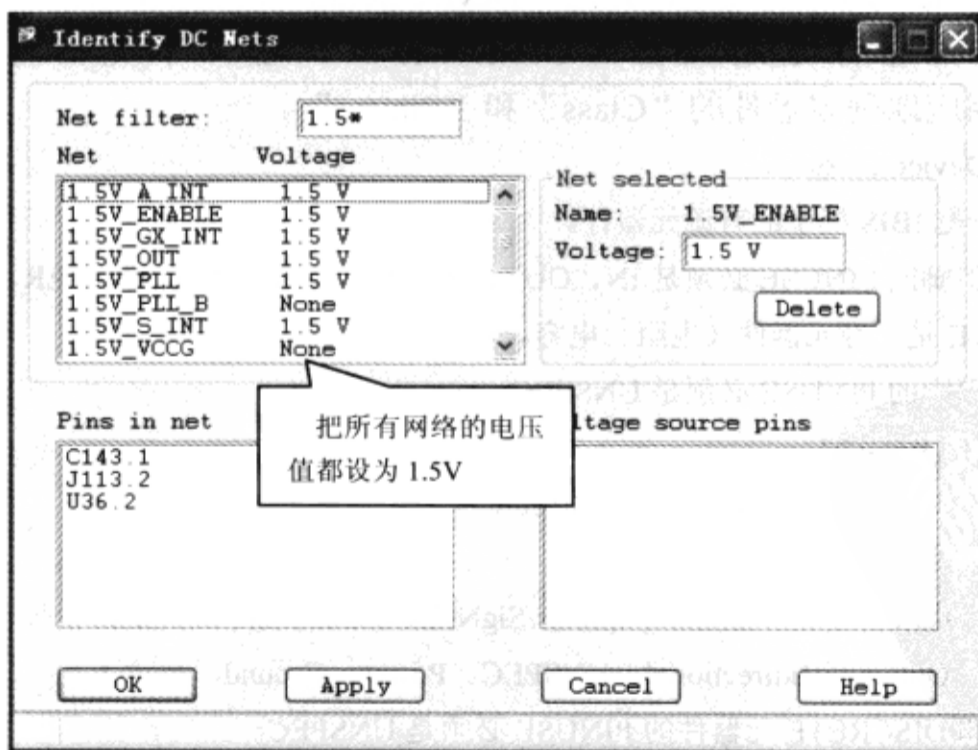


图 2-6-8 “Identify DC Nets”对话框

(6) 将在网络列表框部分显示的所有网络的电压值都设置为 1.5V。

(7) 在“Net filter”栏中输入“1.25\*”并按“Tab”键, 将在网络列表框部分显示的所

有网络的电压值都设置为 1.25V。

(8) 在“Net filter”栏中输入“2.5\*”并按“Tab”键，将在网络列表框部分显示的所有网络的电压值都设置为 2.5V。

(9) 在“Net filter”栏中输入“3.3\*”并按“Tab”键，将在网络列表框部分显示的所有网络的电压值都设置为 3.3V。

(10) 在“Net filter”栏框中输入“5\*”并按“Tab”键，将在网络列表框部分显示的所有网络的电压值都设置为 5V。

(11) 在“Net filter”后面的文本框中输入“GND\*”并按“Tab”键，将在网络列表框部分显示的所有网络的电压值都设置为 0V。

(12) 单击“OK”按钮，再次弹出警告提示窗口，关闭该对话框。“Database Setup Advisor - DC Nets”窗口被显示。



注意

有一些网络没有分配电压属性，如 12V\_DIV。因为这些网络与将要提取的网络无关，可以不管它们。当然，需要知道与这个信息有关的原理图部分。

### 3. 元器件设置 (Device Setup)

(1) 单击“Next”按钮，弹出“Database Setup Advisor - Device Setup”窗口，如图 2-6-9 所示。这个窗口简述了提取一个包含连接器的网络时必需的内容。

(2) 单击“Device Setup”按钮，弹出“Device Setup”对话框，如图 2-6-10 所示。

确定哪一个元器件是连接器 (Connectors)，哪一个元器件是分立元器件 (Discretes)，并相应地确定器件的“Class”和“Pinuse”。

➤ 元器件类 (Device Class)：

◇ IC 是能分配 IBIS 模型的有源元器件。

➤ 每个引脚的 PINUSE 必须是 IN、OUT、BI、NC、GROUND、POWER、OCA 或 OCL。

◇ DISCRETE 是无源元器件 (电阻、电容、电感)。

➤ 每个引脚的 PINUSE 必须是 UNSPEC。

◇ IO=INPUT/OUTPUT。

➤ 每个引脚的 PINUSE 必须是 UNSPEC。

➤ PINUSE:

◇ PCB SI 使用 PINUSE 来确定 SigXplorer/SigNoise 仿真的缓冲器类型。

➤ Input、Output、Bidirectional、UNSPEC、Power、Ground。

◇ 对于 IO 和 DISCRETE 元器件的 PINUSE 必须是 UNSPEC。

➤ 都是无源元器件。

◇ 其他方式的提取和分析将失败。

◇ 当模板被选定时，拓扑图和设计的 PINUSE 必须匹配。



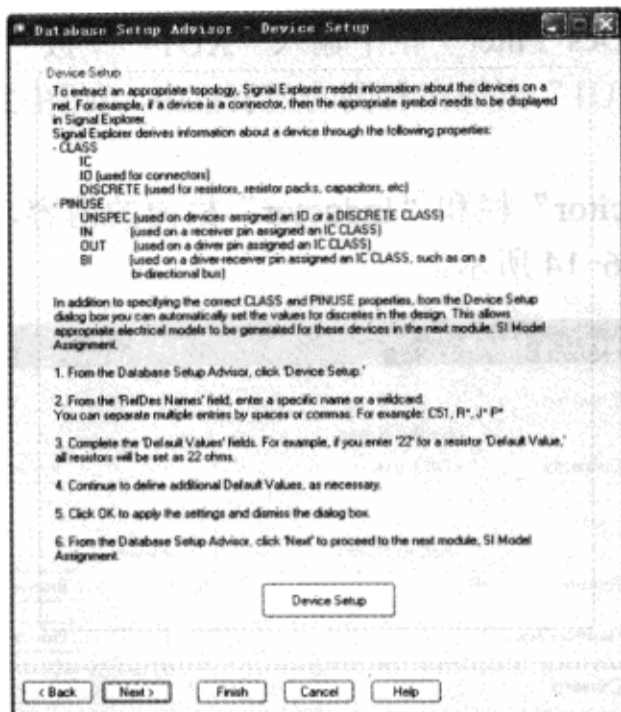


图 2-6-9 “Database Setup Advisor - Device Setup” 窗口

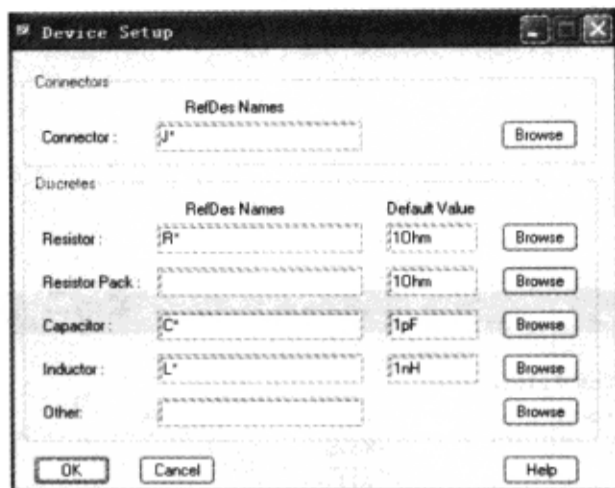


图 2-6-10 “Device Setup” 对话框

PCB SI 使用 Device Class 来确定元器件类型。IC 的类指定为有源元器件，如驱动器或接收器。DISCRETE 的类指定为无源元器件，如电阻、电感和电容。IO 的类指定为输入或输出器件，如连接器。

对于仿真，处理这些信息是很重要的。当执行仿真时，PCB SI 使用 PINUSE 属性值。例如，如果不小心把电阻 PINUSE 属性分配为“OUT”，PCB SI 会假定电阻是一个驱动元件并为电阻分配一个默认的信号模型。在电阻的 Allegro 元器件文件创建过程中，Device Class 分配不正确，上述错误就可能发生。

PCB SI 使用仿真模型中的这些信息更新数据库中的 PINUSE 信息。PINUSE 使用时，仿真模型通常比 Allegro 的元器件文件更准确。对 PINUSE 和 CLASS 所作的变化仅在当前电路板数据库中更改，最初的 Allegro 符号没有改变。

(3) 单击“Connectors”区域的“Browse”按钮，打开“Select Component”对话框，如图 2-6-11 所示。

(4) 在“Select Component”对话框中的“RefDes Filter”栏中输入“con3”→按“Tab”键，并单击过滤出的元器件“CON3”，可以看到“CON3”出现在右侧的列表框中，如图 2-6-12 所示。

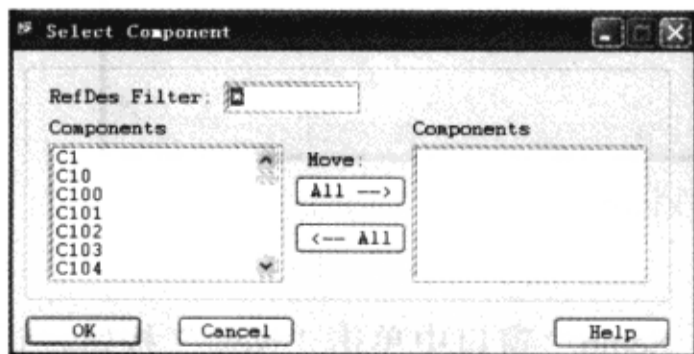


图 2-6-11 “Select Component” 对话框

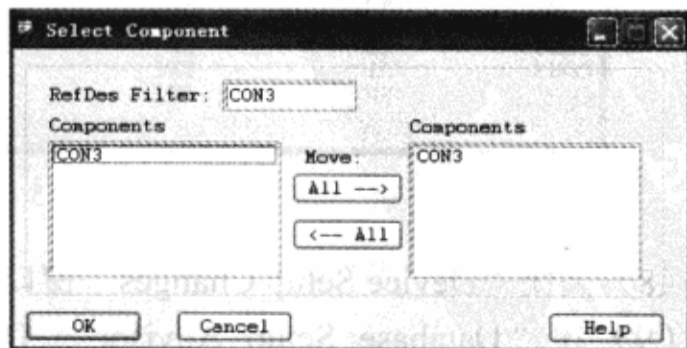


图 2-6-12 “Select Component” 对话框

(5) 在“Select Component”对话框中的“RefDes Filter”栏中输入“XU1”→按“Tab”键，并单击过滤出的元器件“XU1”，可以看到“XU1”出现在右侧的列表框中，如图 2-6-13 所示。

(6) 在“Device Setup”对话框中删除“Capacitor”栏和“Inductor”栏内的内容，并在“Other”栏内输入“Q\*, F\*, D\*, C\*, L\*”，如图 2-6-14 所示。

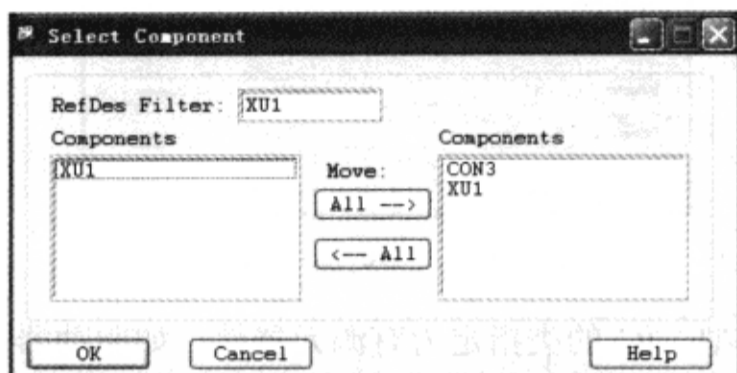


图 2-6-13 “Select Component”对话框

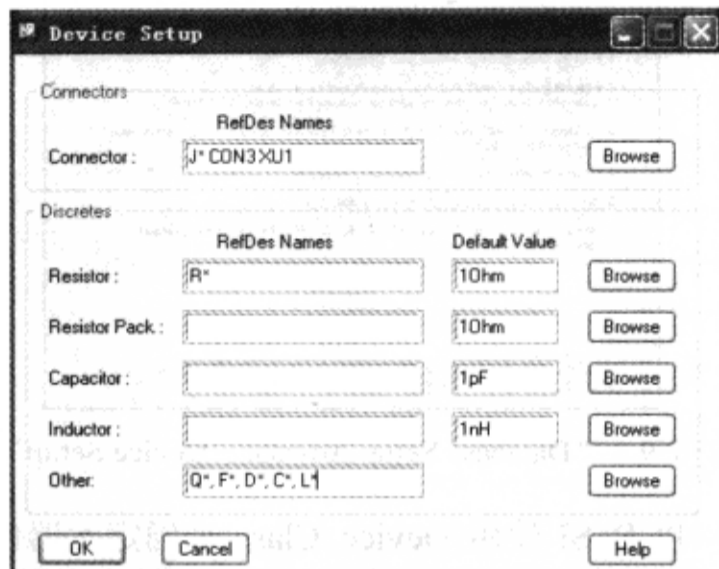


图 2-6-14 “Device Setup”对话框

(7) 单击“OK”按钮，保存修改返回“Database Setup Advisor - Device Setup”窗口，弹出一个元器件变化的状态报告，如图 2-6-15 所示。

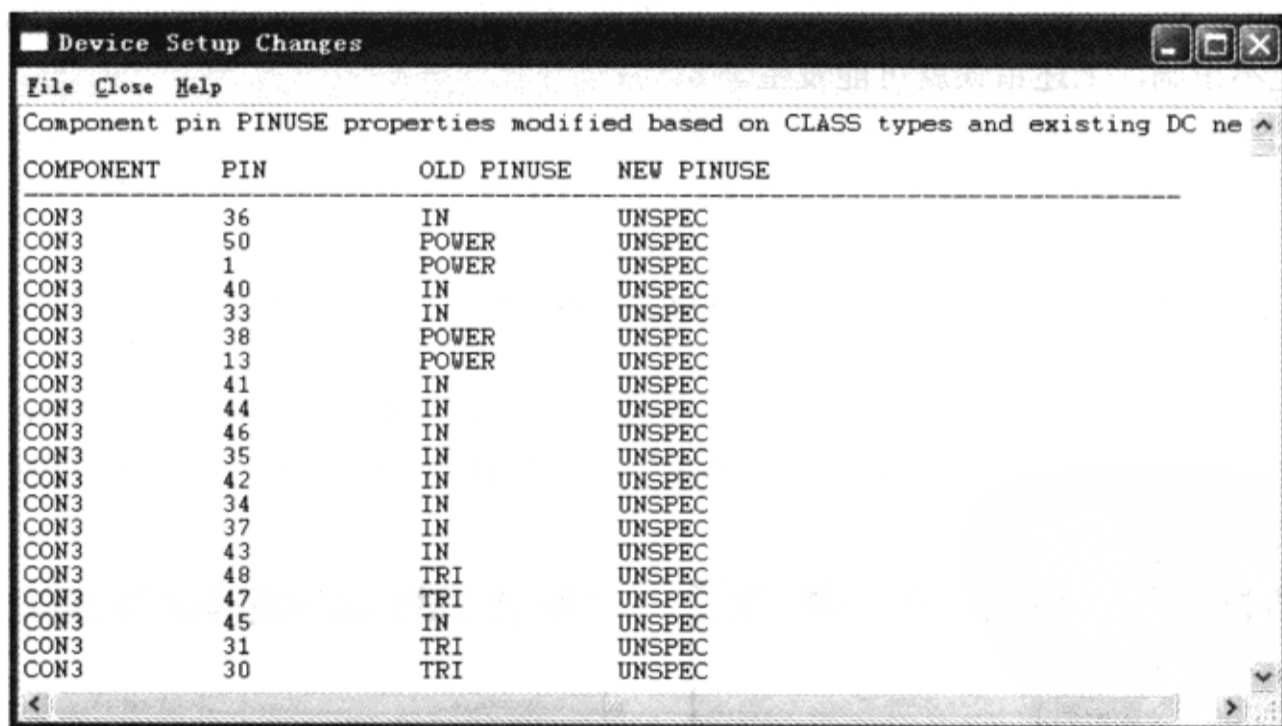


图 2-6-15 元器件状态报告

(8) 关闭“Device Setup Changes”窗口。

(9) 在“Database Setup Advisor - Device Setup”窗口中单击“Next”按钮，进入“Database Setup Advisor - SI Models”窗口，如图 2-6-16 所示。

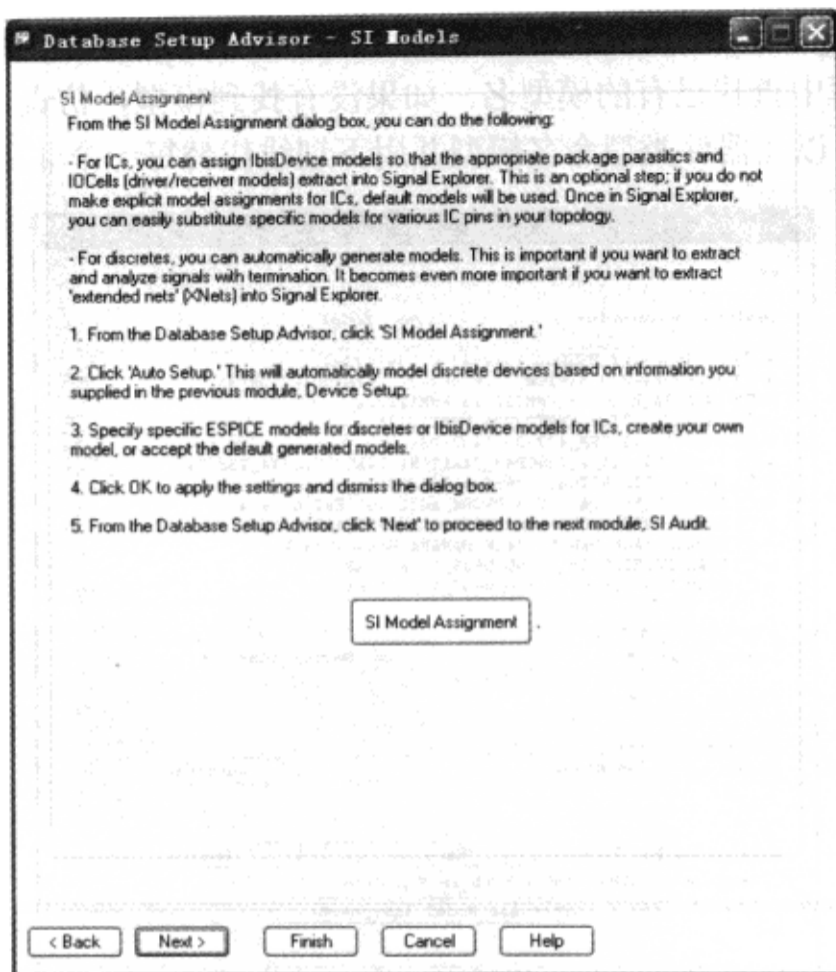


图 2-6-16 “Database Setup Advisor – SI Models” 窗口

#### 4. SI 模型分配

##### 1) 打开“Signal Model Assignment”窗口

(1) 在“Database Setup Advisor–SI Models”窗口中单击“SI Model Assignment”按钮→弹出提示信息→选择继续对没有分配电压值的 DC 网络 12V\_DIV 等网络进行模型分配，如图 2-6-17 所示。

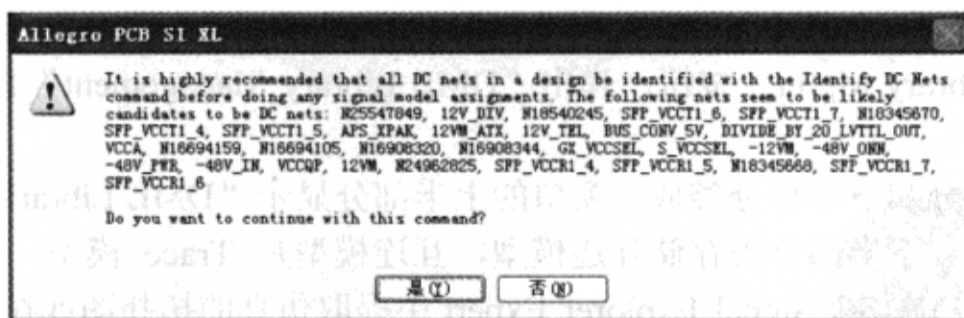


图 2-6-17 提示信息

(2) 单击“是”按钮，弹出“Signal Model Assignment”窗口，如图 2-6-18 所示。

- Devices: 可以手动或自动为元器件分配器件模型。可以访问 Model Browser 查找元器件模型，在分配前修改它们并建立新模型。也能够加载或保存设计的 Assignment Mapping 文件。
- BondWires: 定位并为 Bondwire 连接分配 Trace 模型。也能够通过“Model Browser”窗口修改 Trace 模型。
- RefDesPins: 为指定引脚分配 IOCell 模型。也能够为选择的可编程缓冲模型的引脚分配模型。

在“SI Model Assignment”窗口，指定每个元器件使用的SI模型。仿真器使用元器件类型前缀作为参考首先在库中查找已有的模型名。如果没有找到模型，仿真器会在当前的元器件库中建立一个新的模型，以元器件类型命名模型并用下划线代替每一个非文字数字符号。

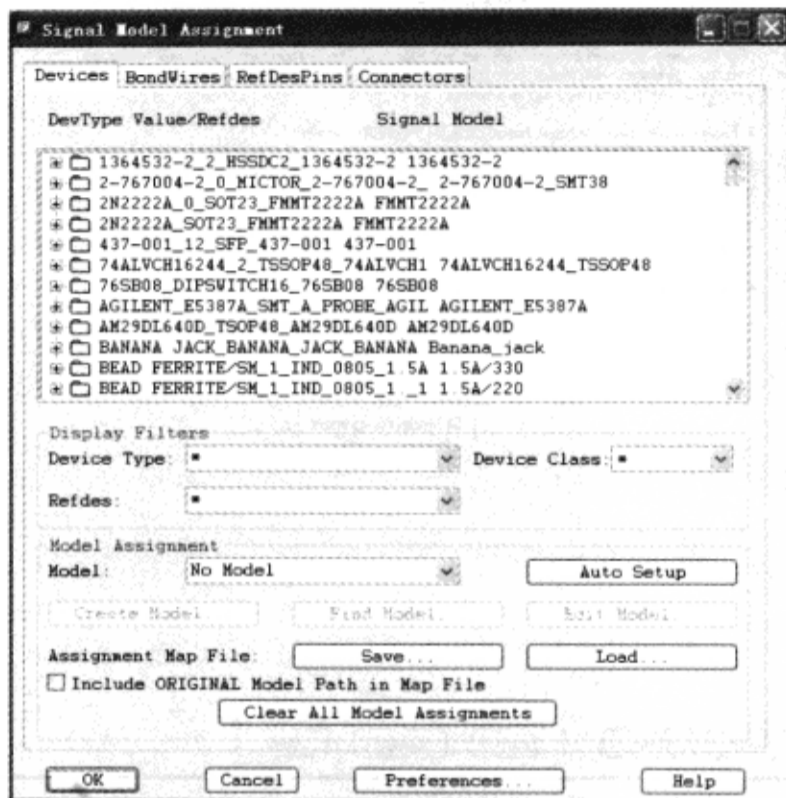


图 2-6-18 “Signal Model Assignment”窗口

模型建立如下：当“Value”属性大于 1.0 时，一个电阻的 ESpiceDevice 模型被建立。当“RefDes”是“L”并且  $Value \leq 1.0$  时，一个电感的 ESpiceDevice 模型被建立。此外，对于所有的“RefDes”或“Value”属性一个电容的 ESpiceDevice 模型被建立。

## 2) 新建库文件

(1) 执行菜单命令“Analyze”→“SI/EMI Sim”→“Model Browser...”，弹出“SI Model Browser”窗口，如图 2-6-19 所示。

(2) 单击“Library Mgmt”按钮，弹出“DML Library Management”窗口，如图 2-6-20 所示。

窗口的上半部分和下半部分类似。窗口的上半部分显示“DML Libraries”部分，元器件库在这一部分列出。下半部分为存储互连模型，互连模型是 Trace 模型，包括耦合的 Trace 模型和 Via 模型。当在 SQ Signal Explorer Expert 中提取仿真的拓扑图或在 SPECCTRAQuest 中仿真时，互连模型被自动创建。



注意

在“Device Library Files”部分有两个库。当第 1 次在一个目录下访问库浏览器时，将加载那个目录上的所有的文件。无论何时在一个新的目录下第一次访问库浏览器，devices.dml 和 cds\_models.ndx 作为默认库被加载。devices.dml 是空的，被设置为工作库。所有新库的信号模型都将写入工作库。cds\_models.ndx 文件是使用的默认库信号模型的索引文件。



图 2-6-19 “SI Model Browser” 窗口

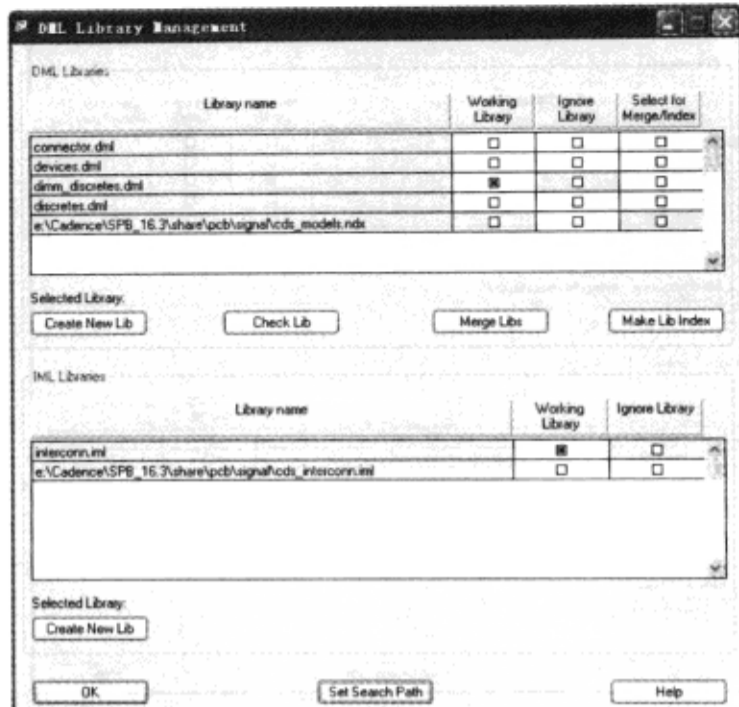


图 2-6-20 “DML Library Management” 窗口

(3) 从“DML Library Management”窗口上半部分单击“Create New Lib”按钮，打开“另存为”对话框，如图 2-6-21 所示。



图 2-6-21 “另存为”对话框

(4) 输入“dimm\_discretesnew”到“文件名(N):”栏→单击“保存(S)”按钮保存。新的库文件被加到“DML Library Management”窗口上半部分的“DML Libraries”部分的库列表中，如图 2-6-22 所示。

(5) 在“DML Library Management”窗口上半部分的“DML Libraries”部分，设置 dimm\_discretesnew.dml 库为工作库，如图 2-6-23 所示。任何新建的信号模型将被写进 dimm\_discretesnew.dml 库中。在接下来的设计中，仍使用 dimm\_discretes.dml 库作为工作库。



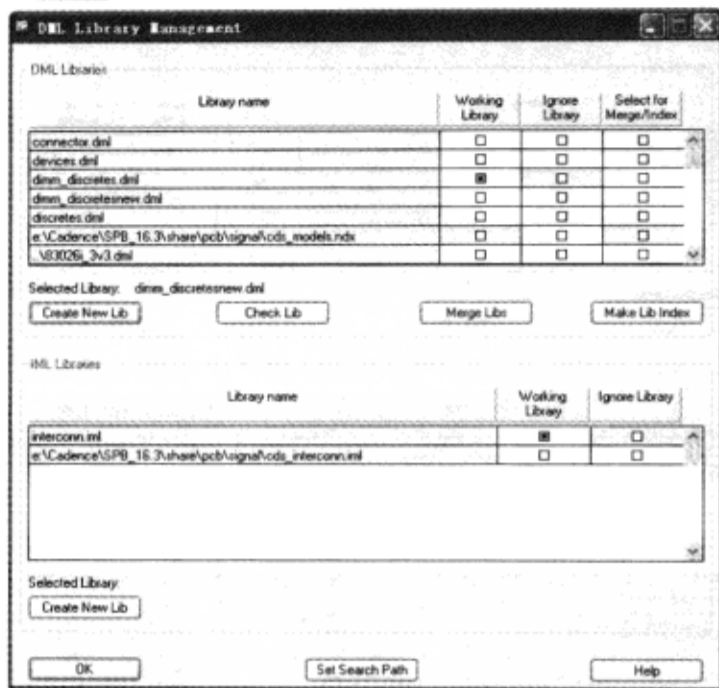


图 2-6-22 “DML Library Management” 窗口

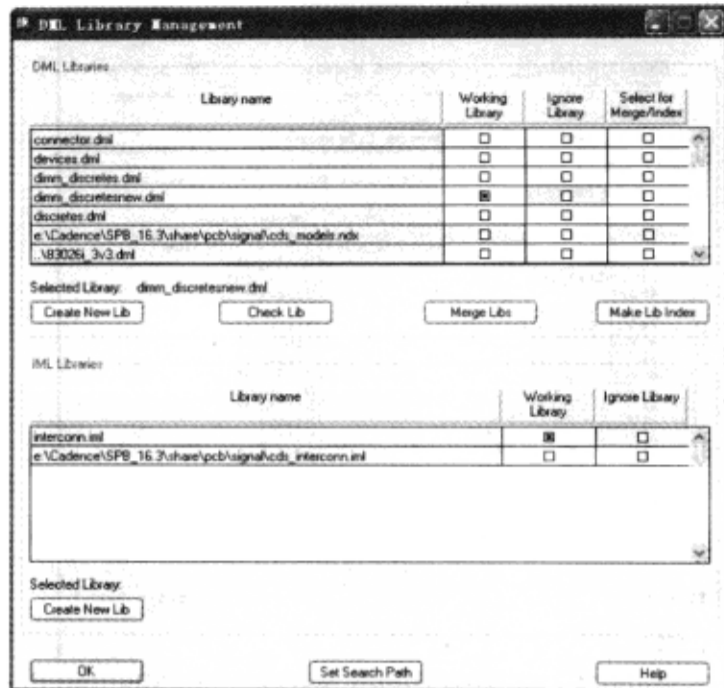


图 2-6-23 模型库

(6) 在“DML Library Management”窗口下半部分，单击“Set Search Path”按钮，打开“Set Model Search Path”对话框，如图 2-6-24 所示。

(7) 从“Set Model Search Path”对话框上半部分单击“Add Directory...”按钮，打开“Select New Search Directory”对话框，如图 2-6-25 所示。



图 2-6-24 “Set Model Search Path” 对话框

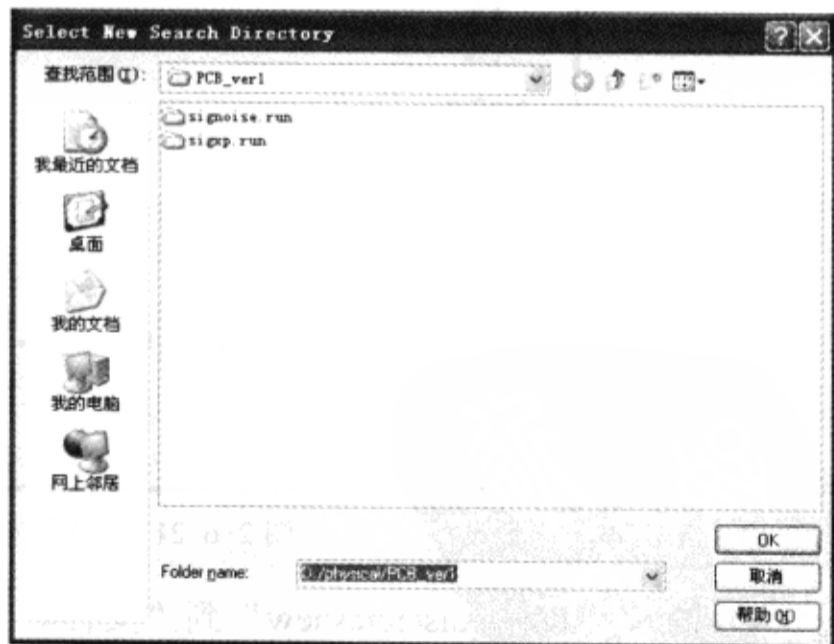


图 2-6-25 “Select New Search Directory” 对话框

(8) 在对话框中打开路径“D:\physical”，单击“OK”按钮，在“Set Model Search Path”对话框中单击“OK”按钮，可以看到该路径下的所有“.dml”文件已经被添加到“DML Library Management”窗口上半部分中，如图 2-6-26 所示。

## 3) 手动分配元器件模型

(1) 执行菜单命令“Analyze”→“SI/EMI Sim”→“Model Assignment”，打开“Signal Model Assignment”对话框，如图 2-6-27 所示。

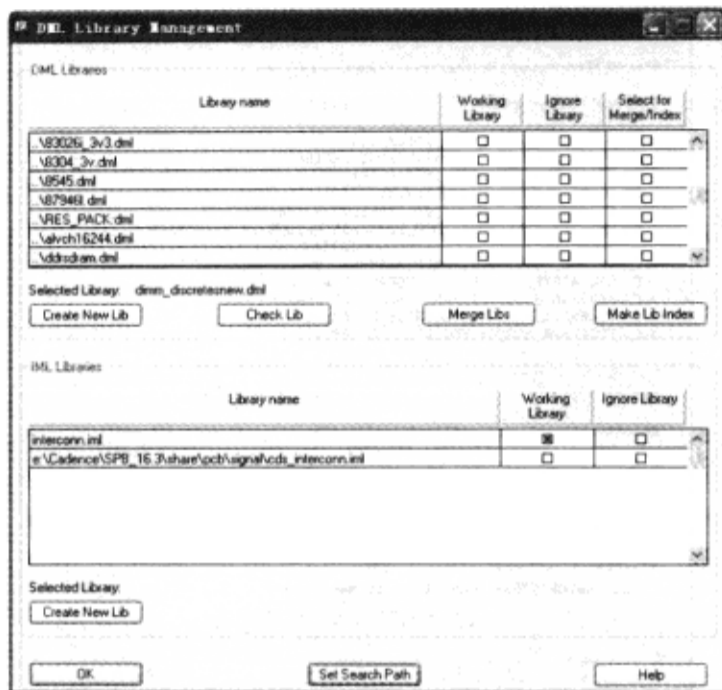


图 2-6-26 “DML Library Management”对话框



图 2-6-27 “Signal Model Assignment”对话框

(2) 选择“EP1SGX25F\_11\_FPGA\_1020\_EP1SGX25 EP1SGX25F”，如图 2-6-28 所示。

(3) 单击“Find Model...”按钮，打开“SI Model Browser”对话框，如图 2-6-29 所示。

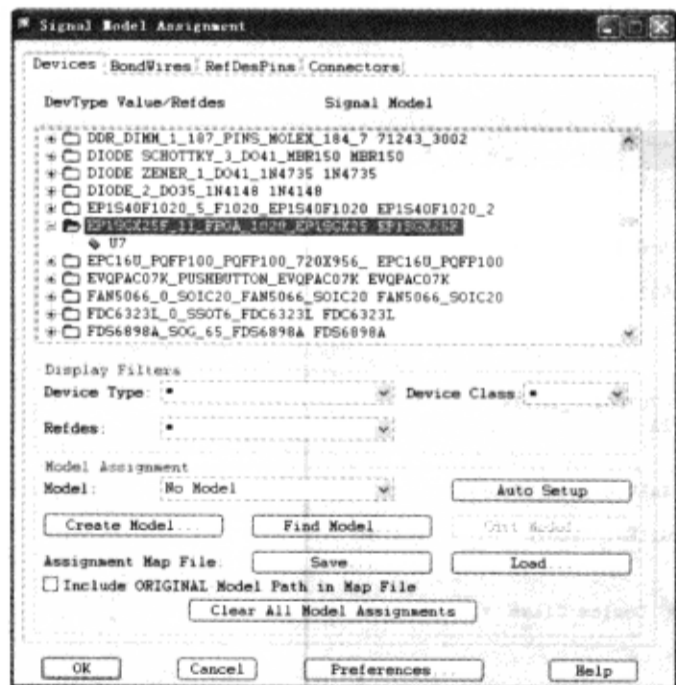


图 2-6-28 “Signal Model Assignment”对话框



图 2-6-29 “SI Model Browser”对话框

(4) 在“Model Name Pattern”栏中输入“\*”并按“Tab”键，模型列表框中显示一个名为“EP1SGX25F”的 IbisDevice 模型类型。显示的其他模型类型是元器件驱动端或接收端引脚的单独的缓冲模型。IBIS 定义引脚与哪一个缓冲模型相关，分配给元器件的信号模型名不必与 Allegro 元器件名匹配，名称匹配的优点体现在使用 Auto Setup 功能时。在窗口的底

部显示预期相关联的 DML 文件为“ep1sgx25f\_11.dml”，如图 2-6-30 所示。

(5) 单击“Assign”按钮为元器件分配模型，在“Signal Model Assignment”对话框中就可看到为元器件分配的模型，如图 2-6-31 所示。



图 2-6-30 “SI Model Browser”对话框



图 2-6-31 “Signal Model Assignment”对话框

#### 4) 为元器件建立模型

(1) 在“Signal Model Assignment”对话框中向下滚动到列表的下半部分，单击元器件类型“1364532-2\_2\_HSSDC2\_1364532-2\_1364532-2”上的“+”号，可以看到元器件 J11、J15、J23 和 J32 没有模型分配，如图 2-6-32 所示。

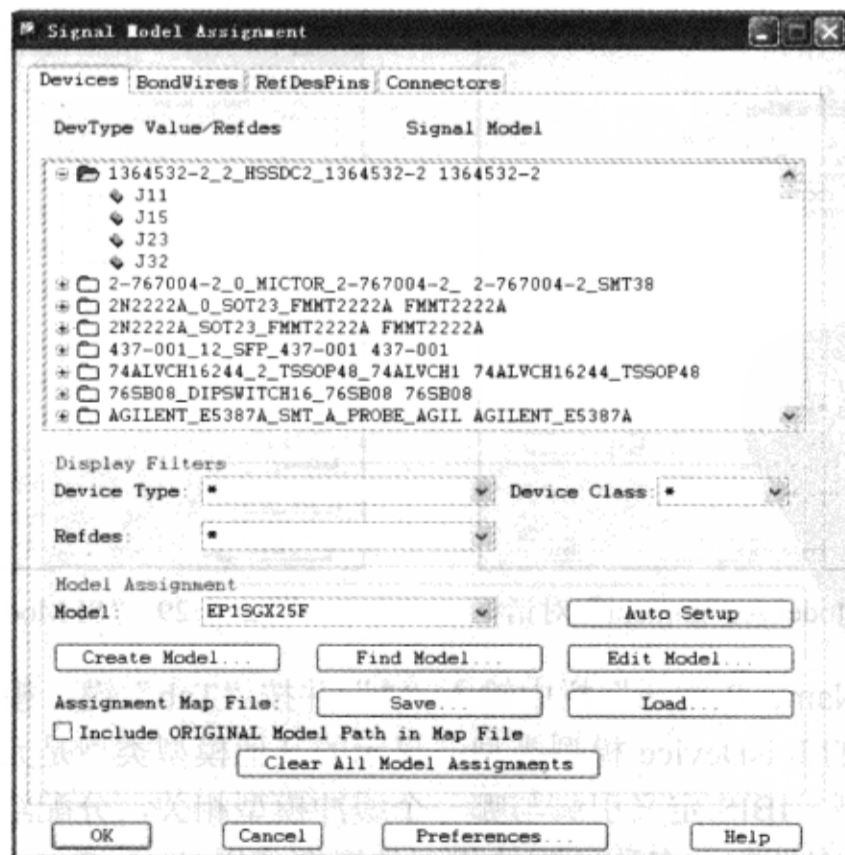


图 2-6-32 “Signal Model Assignment”对话框

(2) 在“Signal Model Assignment”对话框中选择“J11”。连接器 J11 在 PCB SI 中被高亮显示，并被定位在 PCB 右上角，如图 2-6-33 所示。

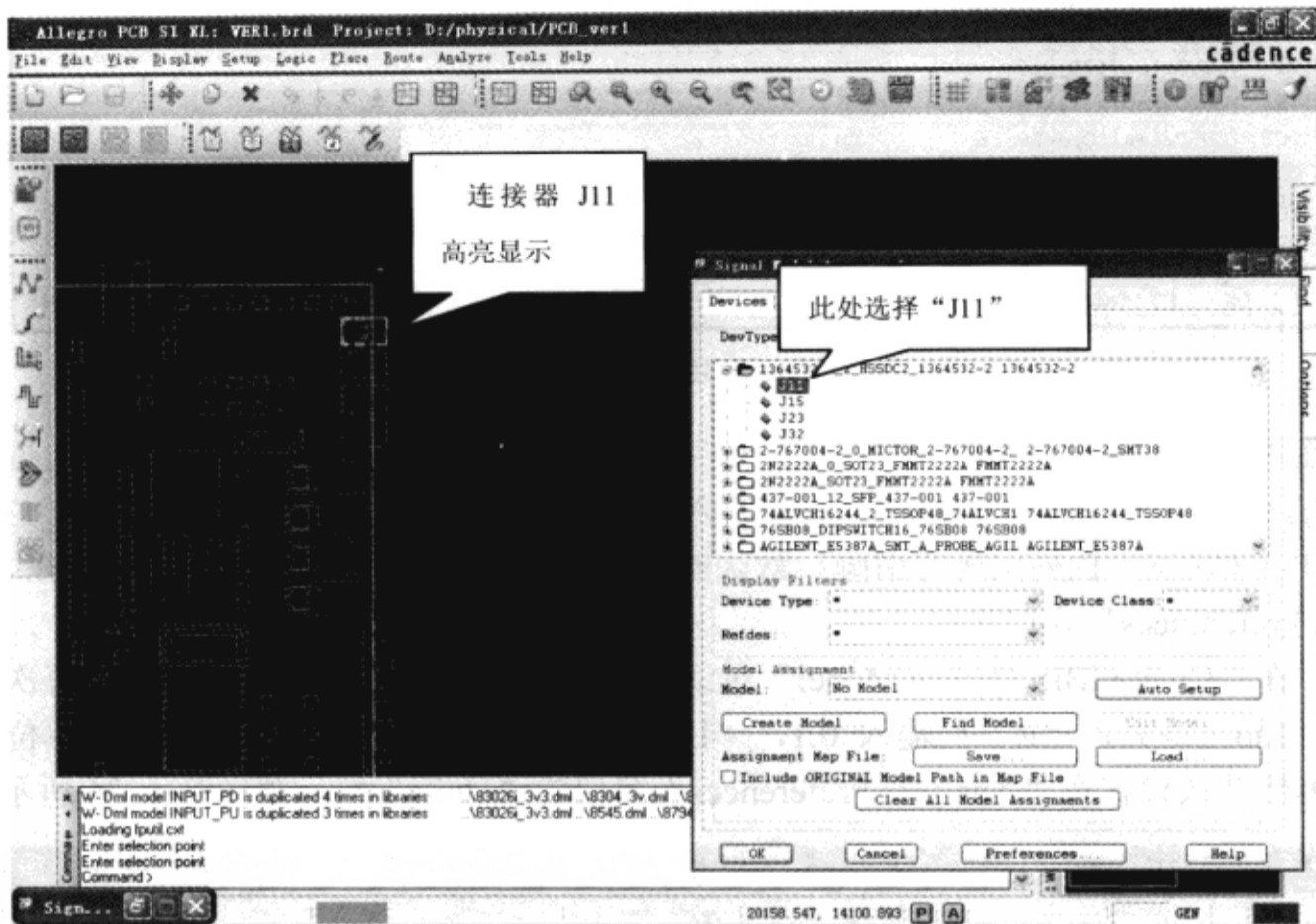


图 2-6-33 交互查看功能

(3) 在“Signal Model Assignment”对话框中单击“Create Model”按钮，弹出“Create Device Model”窗口，如图 2-6-34 所示。

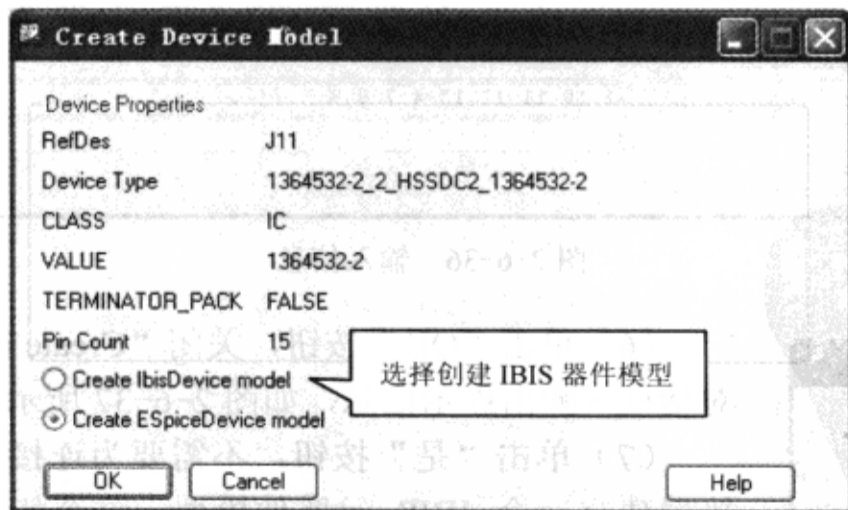


图 2-6-34 建立新器件模型

(4) 在“Create Device Model”窗口选中“Create IbisDevice model”→单击“OK”按钮→弹出“Create IBIS Device Model”对话框，如图 2-6-35 所示。

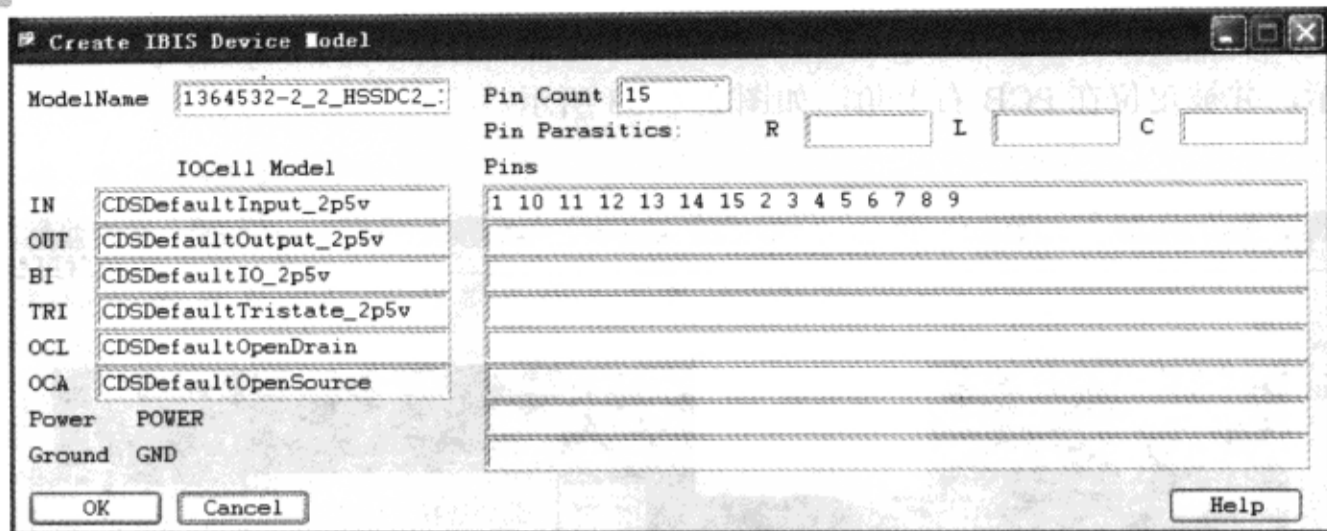


图 2-6-35 “Create IBIS Device Model”对话框

为连接器建立IBIS 元器件模型，这个连接器包含电源和地连接，所以需要确定连接到电源和地的引脚。“Model Name”栏中输入“1364532-2\_2\_HSSDC2\_1364532-2\_1364532-2”。“Pin Count”栏列出所有引脚。默认的 IOCell 模型被列在适当的位置，会在“Signal Analysis Preferences”窗口显示。

(5) 在“Create IBIS Device Model”对话框的“Pin Parasitics”各项输入值（每次输入后按一下“Tab”键），“R”栏输入 0.1，“L”栏输入 0.5，“C”栏输入 0.01。单位被自动输入，单位默认设置在“Analysis Preferences”窗口的“Units”栏，如图 2-6-36 所示。

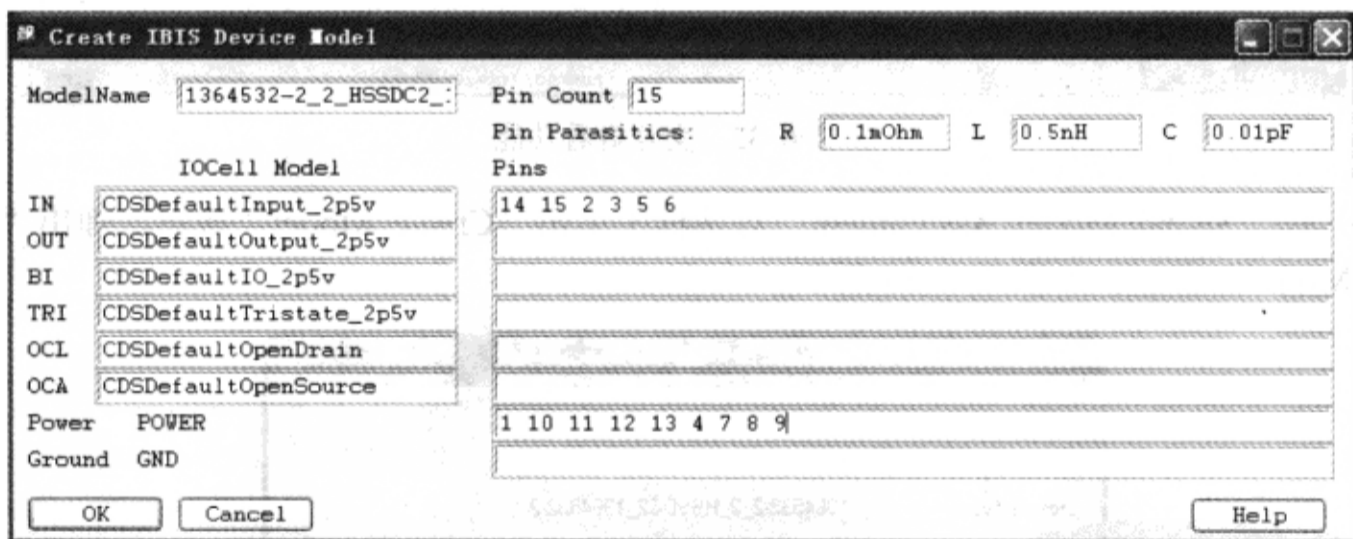


图 2-6-36 输入信息

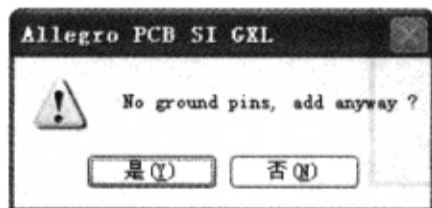


图 2-6-37 提示信息

(6) 单击“OK”按钮，关闭“Create IBIS Device Model”对话框→弹出提示信息，如图 2-6-37 所示。

(7) 单击“是”按钮，不需要为连接器添加地引脚。为连接器建立一个 IBIS 元器件模型。这个特殊的连接器模型没有考虑引脚间的耦合。为其他 3 个连接器也分配新建的模型，如图 2-6-38 所示。

(8) 单击“OK”按钮，关闭“Signal Model Assignment”对话框→弹出“SigNoise Errors/warning”窗口和“Signal Model Assignment Changes”窗口。“SigNoise



Errors/warning”窗口显示从 Package 模型引用的缓冲模型的缺少。这些模型和将要分析的网络无关，不需要现在添加它们。“Signal Model Assignment”窗口显示所有新分配的信号模型。可以看到 IC 的 PINUSE 属性已经依照信号模型正确地分配给器件。

(9) 关闭“SigNoise Errors/warning”窗口和“Signal Model Assignment”窗口。

### 5) 为元器件自动分配模型

(1) 再次打开“Signal Model Assignment”对话框，单击“Auto Setup”按钮，为元器件分配模型，如图 2-6-39 所示。DevType 名称与信号模型名称匹配才可以自动分配模型。

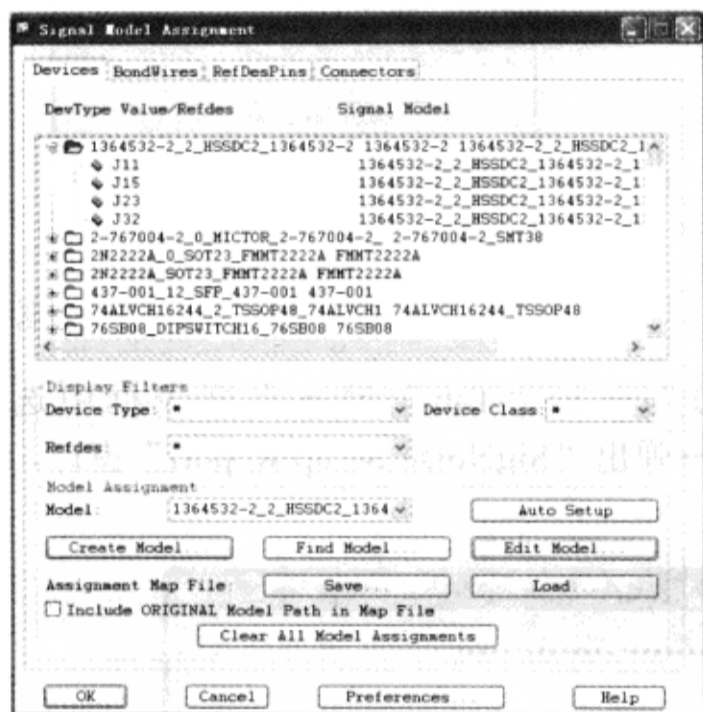


图 2-6-38 “Signal Model Assignment”对话框



图 2-6-39 “Signal Model Assignment”对话框

(2) 单击“OK”按钮→弹出“Signal Model Assignment Changes”窗口和“SigNoise Errors/ Warnings”窗口，提示有些元器件缺少模型，这些模型和将要分析的网络无关。不需要现在添加它们，关闭这两个窗口，返回到“Database Setup Advisor - SI Model Assignment”窗口。

仿真器使用元器件模型为设计中的网络建立电路仿真模型。这意味着必须为设计中每个仿真的元器件分配一个元器件模型，信号模型如图 2-6-40 所示。

### 5. SI 检查 (SI Audit)

SI Audit 功能允许确认一个特殊的网络或一群网络是否能够被提取来分析。

(1) 单击“Next”按钮，弹出“Database Setup Advisor - SI Audit”窗口，如图 2-6-41 所示。

(2) 单击“SI Audit”按钮，弹出“Net Audit”对话框，如图 2-6-42 所示。

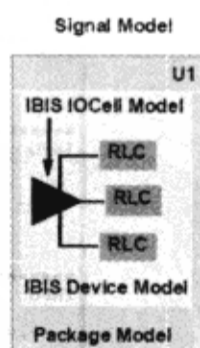


图 2-6-40 信号模型

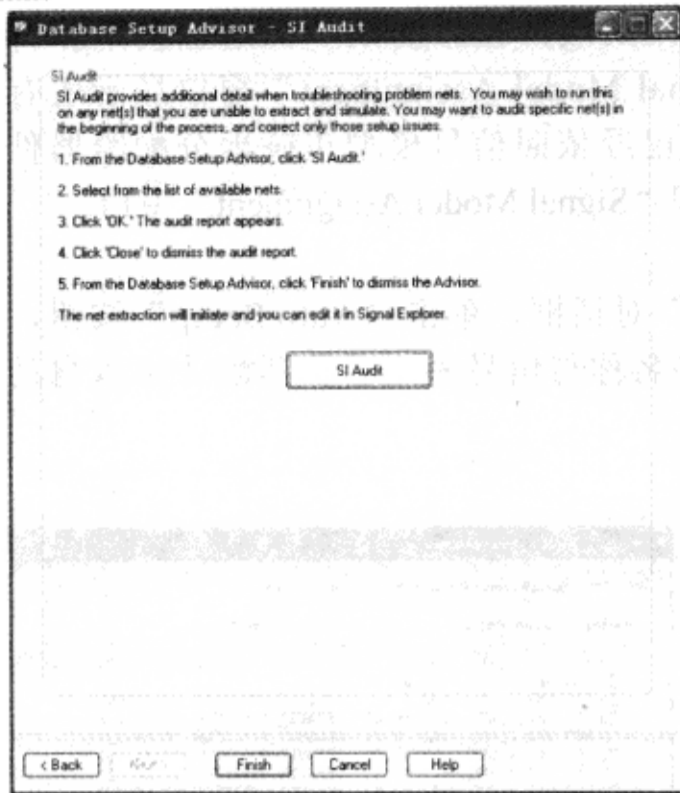


图 2-6-41 “Database Setup Advisor - SI Audit” 窗口

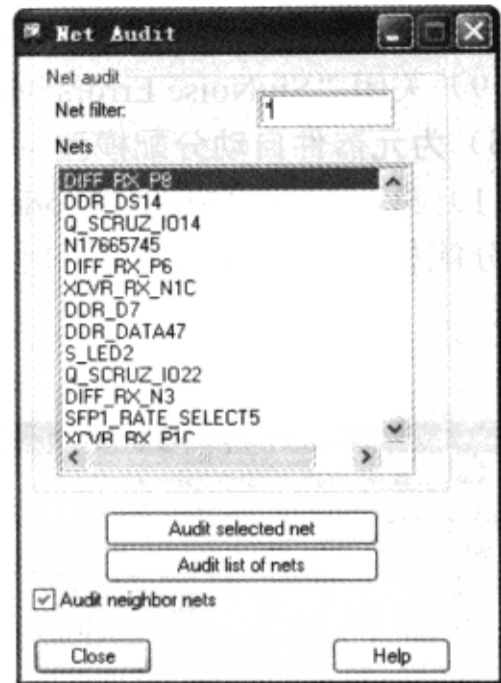


图 2-6-42 “Net Audit” 对话框

(3) 在 “Net filter” 栏输入 “DDR\_DS0” → 按 “Tab” 键 → 在列表框中选择 “DDR\_DS0” → 单击 “Audit selected net” 按钮 → 弹出 “SigNoise Setup Report” 窗口，如图 2-6-43 所示。

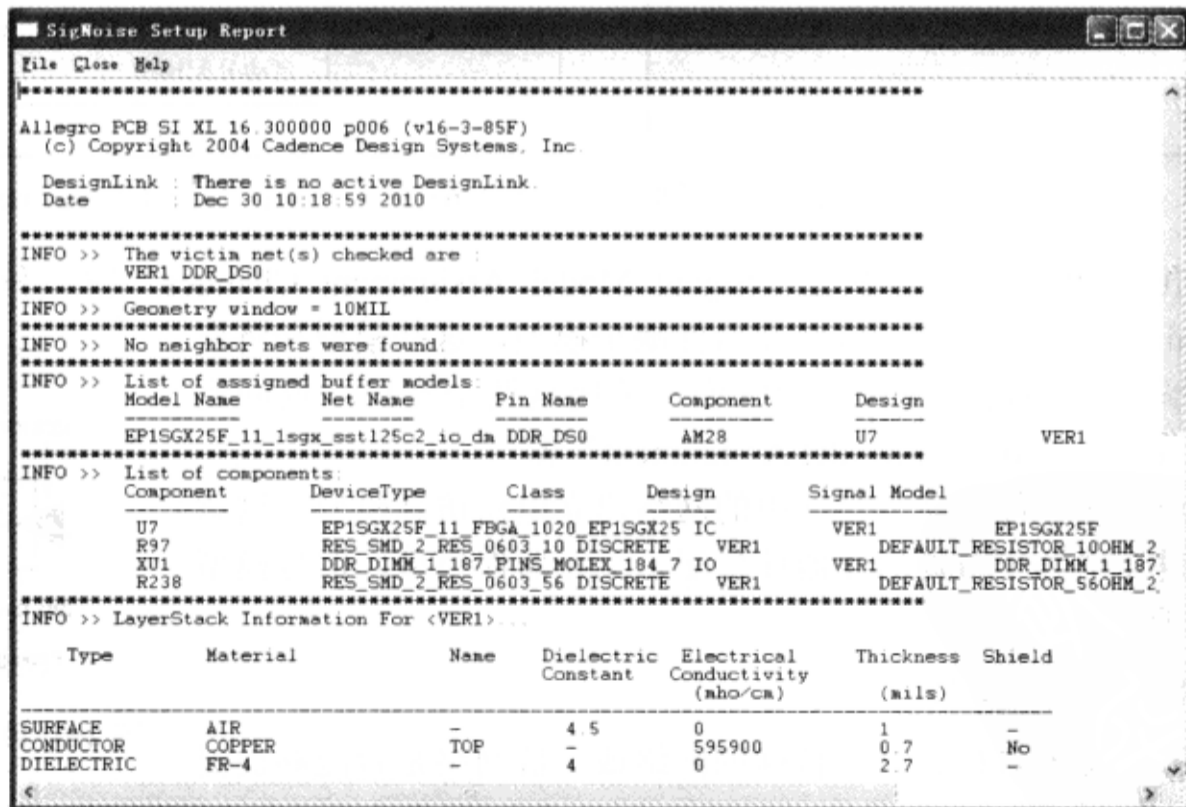


图 2-6-43 “SigNoise Setup Report” 窗口

这个报告显示选择的网络的名称、几何窗口的宽度，以及是否有邻近网络。PCB 没有布线，所以这个信息现在完全没有意义。分配缓冲模型列表报告哪一个 IO 模型已经分配给驱动端和接收端。元器件列表报告与这个网络有关的元器件的 “CLASS” 属性和分配给每一个元器

件的信号模型名称。这个网络已经被正确设置，因为没有错误所以能够提取它进行分析。

(4) 关闭“SigNoise Setup Report”对话框。

(5) 单击“Close”按钮，关闭“Net Audit”对话框。

(6) 在“Database Setup Advisor - SI Audit”窗口单击“Finish”按钮，完成设置。

(7) 执行菜单命令“File”→“Save as”，保存文件于 D:\physical\PCB\_ver1 目录，文件名为“hidesign”。

## 2.7 基本的 PCB SI 功能

**【本节目的】** 学习摆放某一网络内的元器件。

**【使用软件】** Allegro PCB SI GXL。

**【使用文件】** physical\PCB\_ver1\hidesign。

### 1. 设置显示内容

(1) 启动“Allegro PCB SI GXL”→执行菜单命令“Display”→“Color/Visibility...”，打开“Color Dialog”窗口，如图 2-7-1 所示。

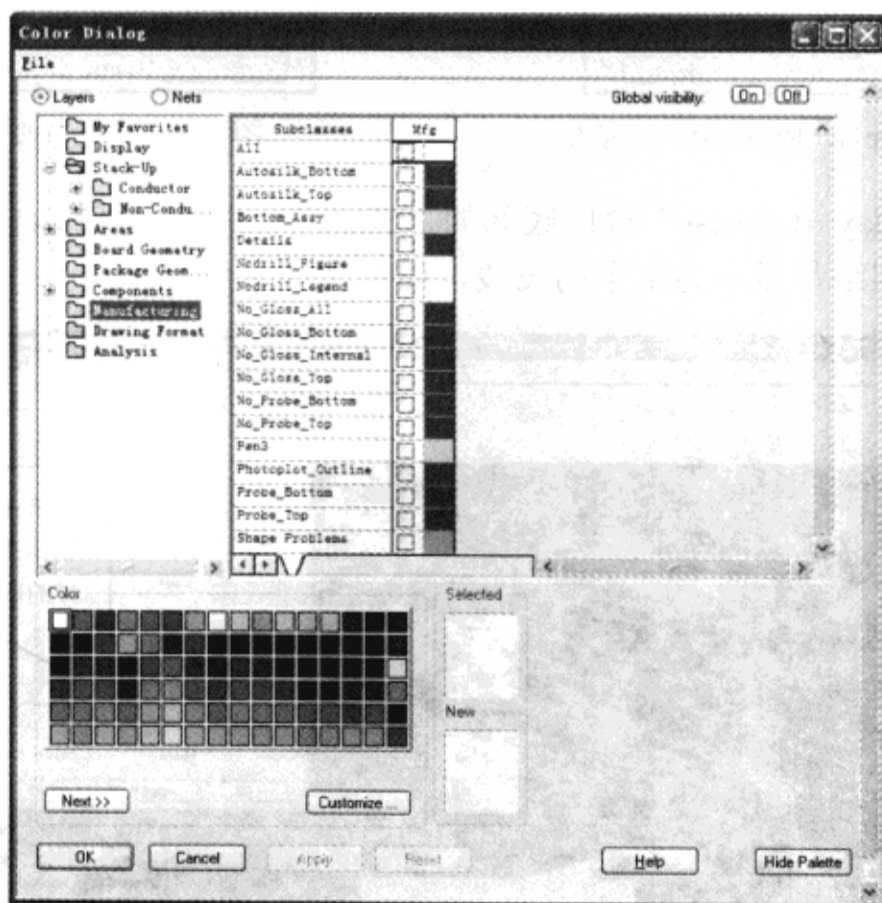


图 2-7-1 “Color Dialog”窗口

(2) 在“Color Dialog”窗口左侧窗口选择“Board Geometry”栏→选中“Outline”复选框，打开板框的显示→从“Color Dialog”窗口的“Color”部分选择一个颜色→在“Color Dialog”窗口单击“Outline”旁边的颜色框。

(3) 单击“OK”按钮，关闭“Color Dialog”窗口。

## 2. 显示网络飞线

(1) 执行菜单命令“Display”→“Ratsnest...”，弹出“Display-Ratsnest”对话框，如图 2-7-2 所示。

(2) 在“Selection Area”区域的“Select By”部分选中“Net”，在“Net Filter”栏中输入“DDR\_DS\*”→按“Tab”键→所有以“DDR\_DS”开头的网络都显示在“Display-Ratsnest”窗口列表框中，如图 2-7-3 所示。

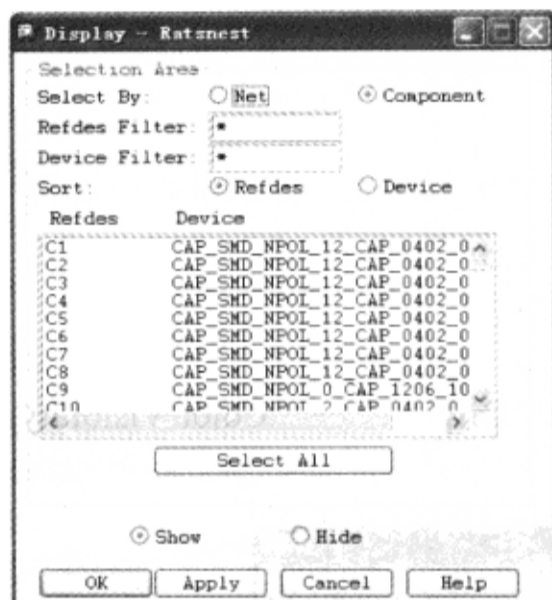


图 2-7-2 “Display-Ratsnest”对话框



图 2-7-3 选择要显示飞线的网络

(3) 选中“Display-Ratsnest”窗口底部的“Show”→单击“Select All”按钮，所有以“DDR\_DS”开头的网络都显示为单个的飞线，如图 2-7-4 所示。

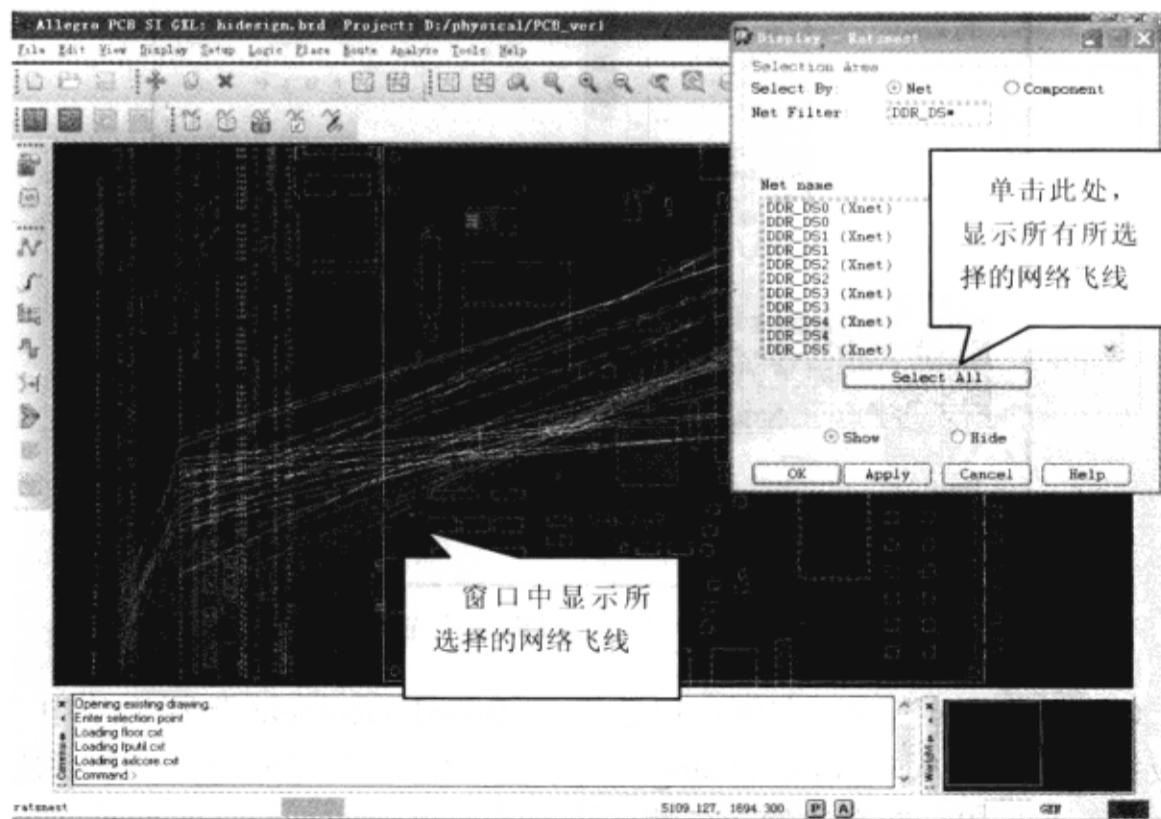


图 2-7-4 显示飞线

(4) 选中“Display-Ratsnest”窗口底部的“Hide”→单击“Select All”按钮，不再显示飞线，如图2-7-5所示。

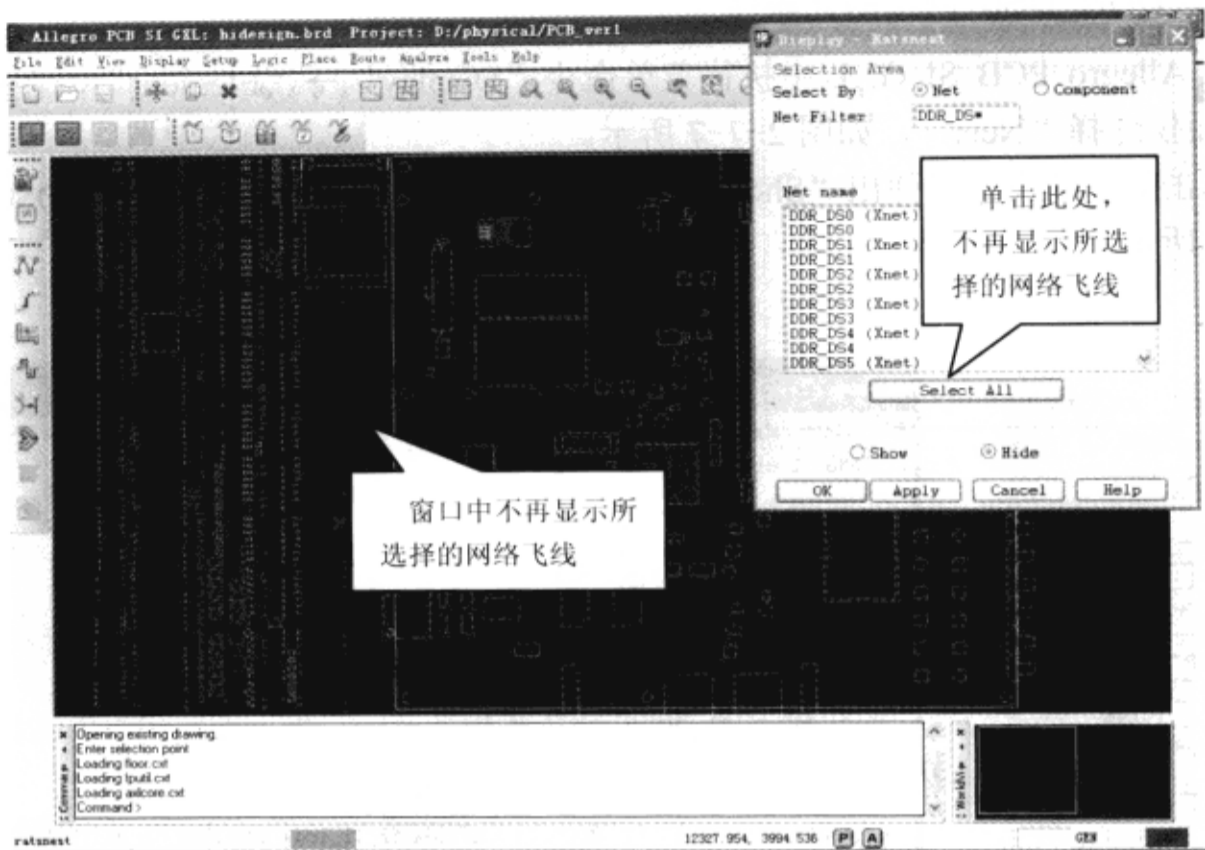


图2-7-5 隐藏飞线

(5) 选中“Display-Ratsnest”窗口底部的“Show”→在列表框中选择“DDR\_DS0”和“DDR\_DS0 (Xnet)”，仅显示DDR\_DS0网络的飞线，如图2-7-6所示。

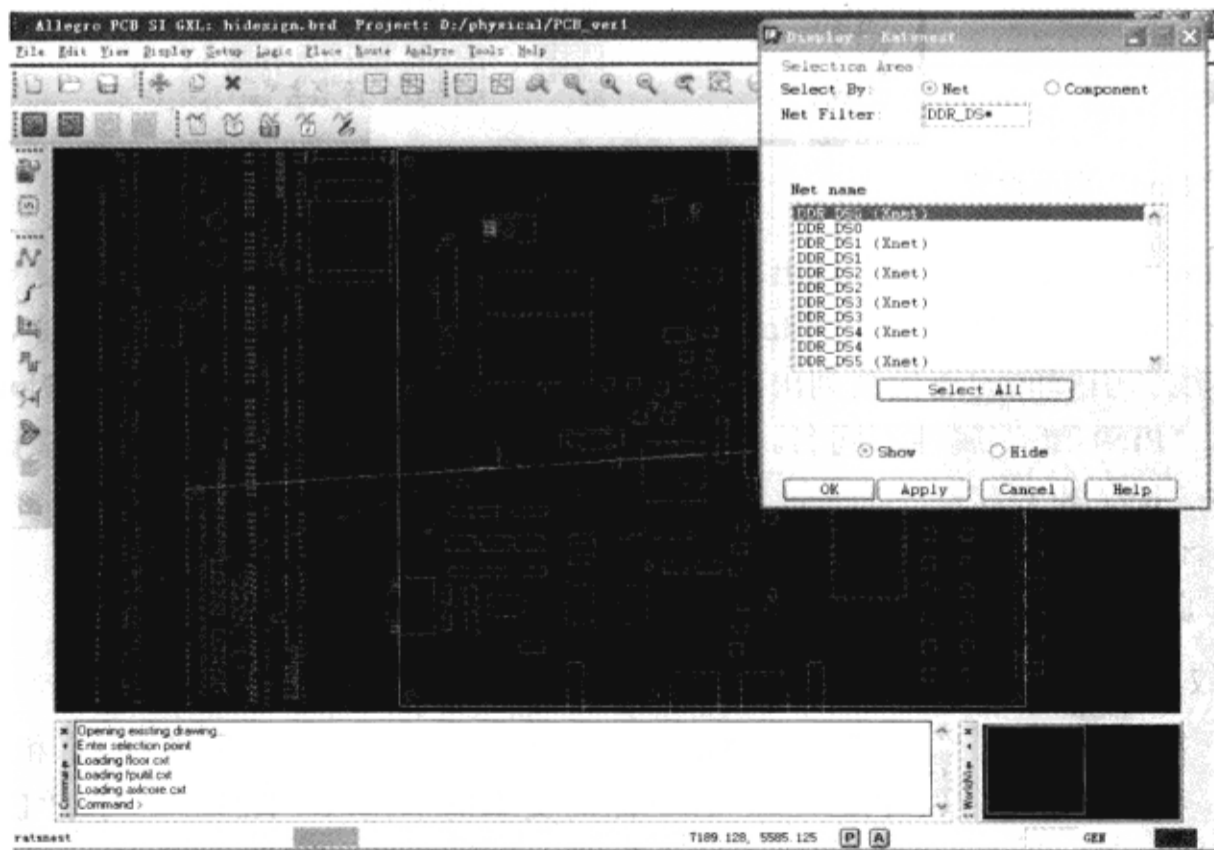


图2-7-6 显示DDR\_DS0网络的飞线



(6) 在“Display-Ratsnest”对话框中，单击“OK”按钮。

### 3. 确定 DDR\_DS0 网络的元器件

(1) 在 Allegro PCB SI GXL 中执行菜单命令“Display”→“Element”，在控制面板的“Find”页面仅选择“Nets”，如图 2-7-7 所示。

(2) 单击显示的飞线→弹出“Show Element”窗口，显示关于网络 DDR\_DS0 的信息，如图 2-7-8 所示。

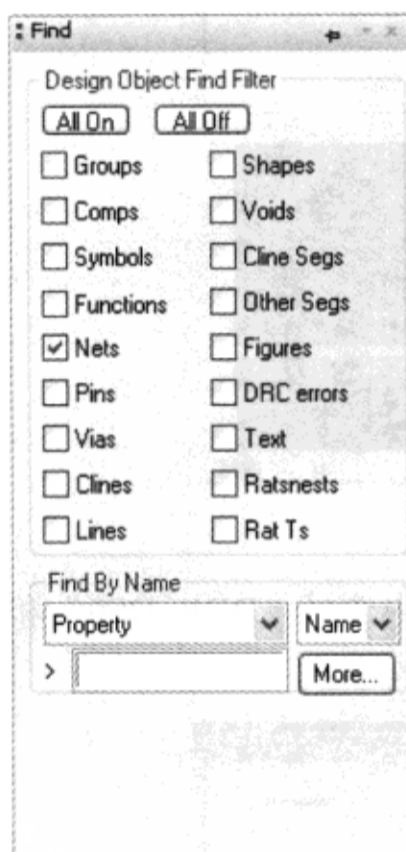


图 2-7-7 “Find”页面设置

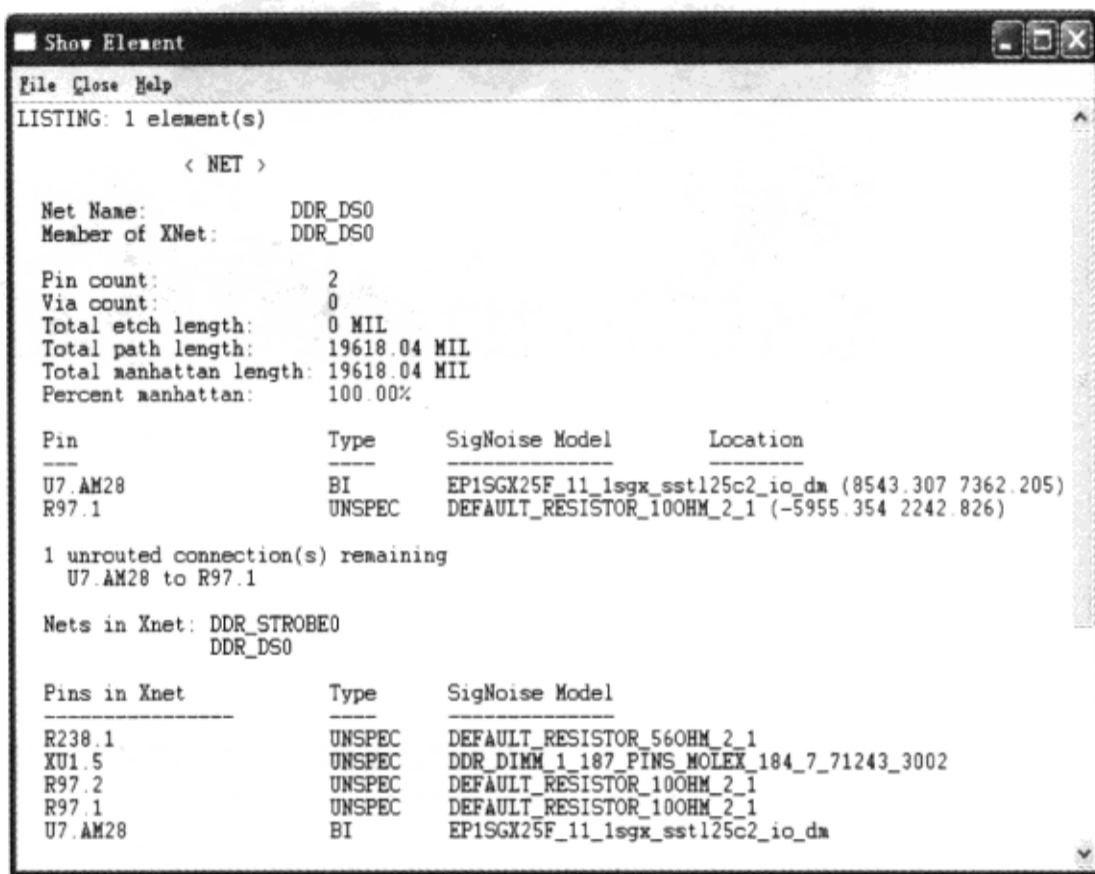


图 2-7-8 DDR\_DS0 网络的信息

在“Show Element”窗口中列出了网络名和网络是否定义为总线的部分，还有与这个网络有关的电气和物理规则的名称。Etch、Path 和 Manhattan 长度。Etch 长度为零，是因为网络没有被布线。引脚间的连接被列出，每个引脚都显示管脚类型和分配的 SigNoise 模型。引脚类型和“PINUSE”属性不同名。SigNoise 模型和信号模型等价。网络连接的元器件是 R238、XU1、R97 和 U7。

(3) 关闭“Show Element”窗口。

(4) 在编辑窗口单击鼠标右键→从弹出菜单中选择“Done”。

### 4. 摆放元器件于板框内

(1) 执行菜单命令“Edit”→“Move”，在控制面板的“Find”页面和“Find By Name”栏选择“Symbol (or Pin)”，在下面的文本框中输入“R238”→按“Enter”键→在命令窗口输入“x 6820 5475”→按“Enter”键，如图 2-7-9 所示。

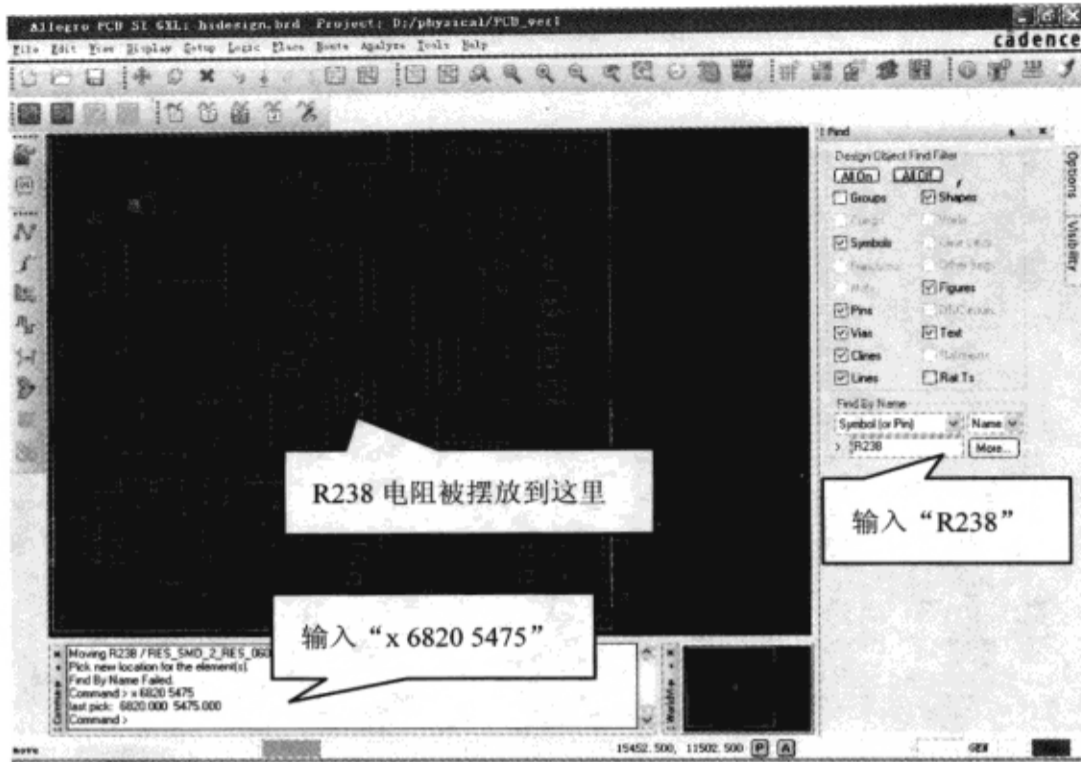


图 2-7-9 摆放电阻 R238

(2) 在“Find”页面下面的文本框中输入“R97”→按“Enter”键→在命令窗口输入“x 7725 5525”→按“Enter”键，如图 2-7-10 所示。

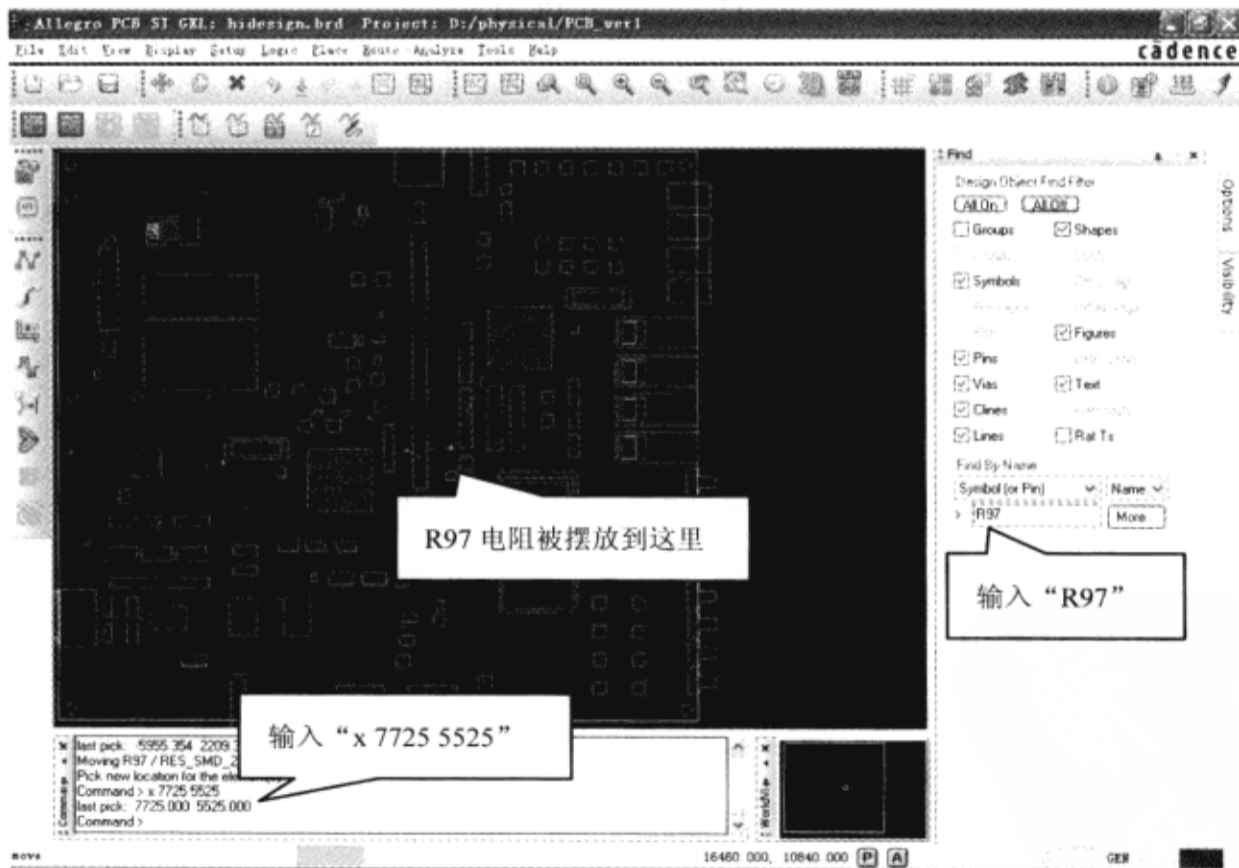


图 2-7-10 摆放电阻 R97

(3) 单击鼠标右键→选择“Done”完成，如图 2-7-11 所示。

(4) 执行菜单命令“File”→“Save As”，保存文件于 D:\physical\PCB\_ver1 目录，文件名为“hidesign2.brd”。

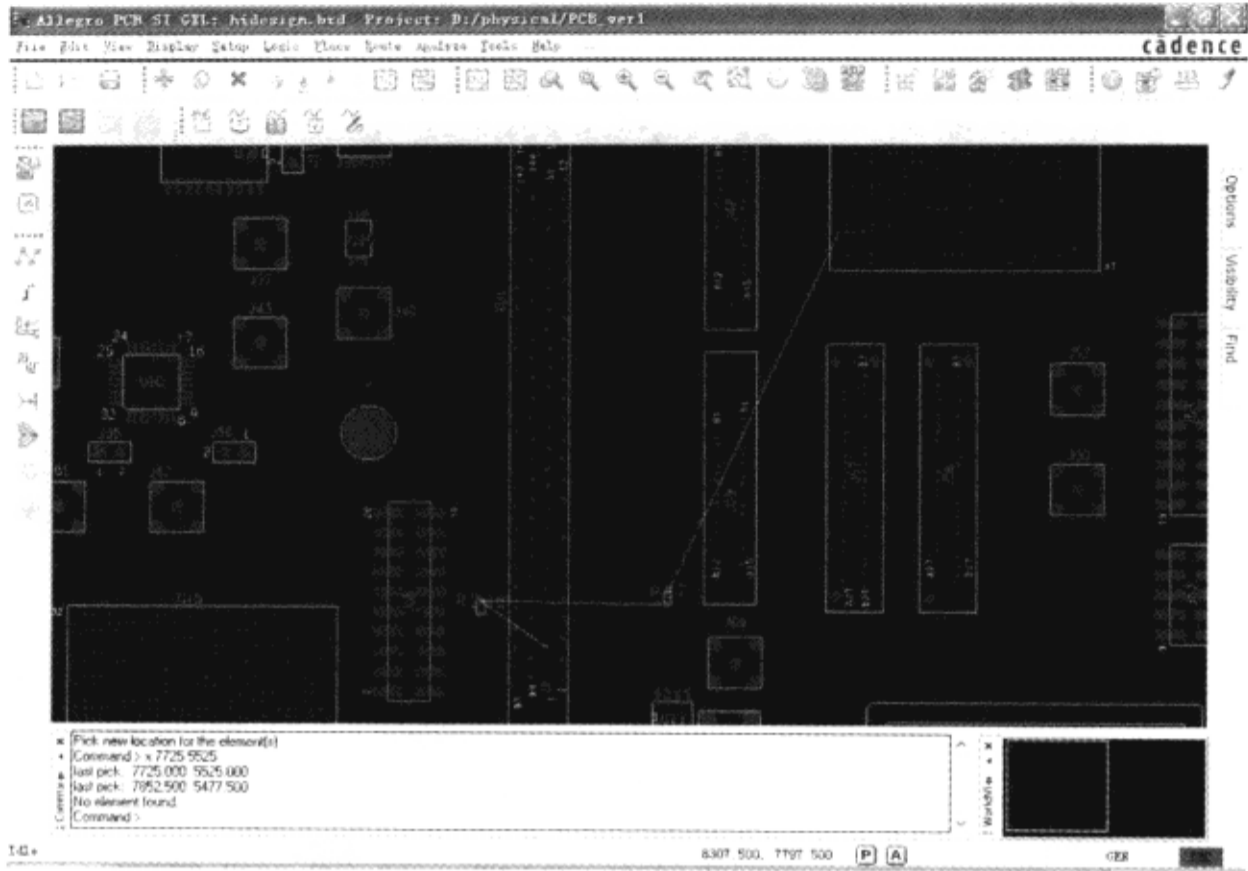


图 2-7-11 摆放元器件

(5) 执行菜单命令“File”→“Exit”，退出 PCB SI。

## 第3章 约束驱动布局

### 3.1 学习目标

本章主要学习提取和建立电路拓扑结构，通过执行反射仿真和窜扰仿真，根据仿真结果建立电气约束规则，完成 PCB 的预布局。通过本章的学习，应该掌握以下内容。

- 创建总线；
- 提取预布局拓扑结构，并执行反射仿真；
- 运行参数扫描；
- 建立拓扑结构，并执行窜扰仿真；
- 建立电气约束规则，完成预布局。

### 3.2 相关概念

1) 上升/下降时间 (Rise/Fall Time) 信号从低电平跳变为高电平所需要的时间，通常是量度上升/下降沿在 10%~90%电压幅值之间的持续时间，记为  $T_r$ 。

2) 截止频率 (Knee Frequency) 这是表征数字电路中集中了大部分能量的频率范围 ( $0.5/T_r$ )，记为  $f_{knee}$ ，一般认为超过这个频率的能量对数字信号的传输没有任何影响。

3) 特征阻抗 (Characteristic Impedance) 交流信号在传输线上传播中的每一步遇到不变的瞬间阻抗称为特征阻抗，也称为浪涌阻抗，记为  $Z_0$ 。可以通过传输线上输入电压对输入电流的比率值 ( $U/I$ ) 来表示。

4) 传输延迟 (Propagation Delay) 指信号在传输线上的传播延时，与线长和信号传播速度有关，记为  $t_{PD}$ 。

5) 微带线 (Micro-Strip) 指只有一边存在参考平面的传输线。

6) 带状线 (Strip-Line) 指两边都有参考平面的传输线。

7) 反射 (Reflection) 指由于阻抗不匹配而造成的信号能量的不完全吸收，发射的程度可以有反射系数  $\rho$  表示。

8) 过冲/下冲 (Over Shoot/Under Shoot) 过冲就是指接收信号的第一个峰值或谷值超过设定电压——对于上升沿是指第一个峰值超过最高电压；对于下降沿是指第一个谷值超过最低电压，而下冲就是指第二个谷值或峰值。

9) 振荡 在一个时钟周期中，反复出现过冲和下冲，就称为振荡。振荡根据表现形式可分为振铃 (Ringing) 和环绕振荡。振铃为欠阻尼振荡，而环绕振荡为过阻尼振荡。

10) 匹配 (Termination) 指为了消除反射而通过添加电阻或电容元件来达到阻抗一致的效果。因为通常采用在源端或终端，所以也称为端接。

11) 窜扰 窜扰是指当信号在传输线上传播时, 因电磁耦合对相邻的传输线产生的不期望的电压噪声干扰, 这种干扰是由于传输线之间的互感和互容引起的。

12) 信号回流 (Return Current) 指伴随信号传播的返回电流。

13) 前向窜扰 (Forward Crosstalk) 指干扰源对被干扰源的接收端产生的第一次干扰, 也称为远端干扰(Far-end crosstalk)。

14) 后向窜扰 (Forward Crosstalk) 指干扰源对被干扰源的发送端产生的第一次干扰, 也称为近端干扰(Near-end Crosstalk)。

15) 建立时间 (Setup Time) 建立时间就是接收器件需要数据提前于时钟沿稳定存在于输入端的时间。

16) 保持时间 (Hold Time) 为了成功锁存一个信号到接收端, 器件必须要求数据信号在被时钟沿触发后继续保持一段时间, 以确保数据被正确操作。这个最小的时间即为保持时间。

17) 飞行时间 (Flight Time) 指信号从驱动端传输到接收端, 并达到一定的电平之间的延时, 与传输延迟和上升时间有关。

18)  $T_{CO}$  是指信号在器件内部的所有延迟总和, 一般包括逻辑延迟和缓冲延迟。

19) 缓冲延迟 (Buffer Delay) 指信号经过缓冲器达到有效的电压输出所需要的时间。

20) 时钟抖动 (Jitter) 是指两个时钟周期之间存在的差值, 这个误差是在时钟发生器内部产生的, 与后期布线没有关系。

21) 时钟偏移 (Skew) 是指由同样的时钟产生的多个子时钟信号之间的延时差异。

22) 假时钟 假时钟是指时钟越过阈值 (Threshold) 无意识地改变了状态 (有时在  $V_{IL}$  或  $V_{IH}$  之间)。通常由于过分的下冲 (Undershoot) 或窜扰 (Crosstalk) 引起。

23) 同步开关噪声 (Simultaneous Switch Noise) 指当器件处于开关状态, 产生瞬间变化的电流 ( $di/dt$ ), 在经过回流途径上存在的电感时, 形成交流压降, 从而引起噪声, 简称 SSN。也称为  $\Delta i$  噪声。

### 3.3 信号的反射

当一个信号在一个媒介中向另外一个媒介传播时, 由于媒介阻抗变化而导致信号在不同媒介交接处产生信号反射, 导致部分信号能量不能通过交界处传输到另外的媒介中。情况严重时, 还会引起信号不停地在媒介两端反射, 随之就会产生一系列的信号完整性问题。由于在实际电路设计中不能完全保持信号在传输过程中在一条恒定阻抗的传输线上传输, 如驱动端的阻抗较低, 而接收端的阻抗较高, 因此由反射现象引起的振铃、过冲、下冲、过阻尼、欠阻尼等信号完整性问题就成为高速设计中必须解决的问题。

#### 1. 反射导致信号的失真问题

如果源端、负载端和传输线的阻抗不匹配将会引起线上信号的反射, 即信号能量不能被负载完全接收而将其中一部分反射回源端。如果负载阻抗小于传输线阻抗, 反射电压为负; 反之, 如果负载阻抗大于传输线阻抗, 反射电压为正。在实际问题中, PCB 上传输线不规



则的几何形状，不正确的信号匹配，经过连接器的传输及电源平面的不连续等因素均会导致反射情况的发生，而表现出诸如过冲/下冲及振荡等信号失真的现象。

## 2. 过冲和下冲

图 3-3-1 (a) 所示的是一个 DDR 内存地址线的仿真波形，从中可以看到接收端的信号存在一定的反射，这就是经常说的过冲/下冲现象；如果过冲过大，就可能会大大降低噪声裕量，甚至会损坏器件，如图 3-3-1 (b) 所示。

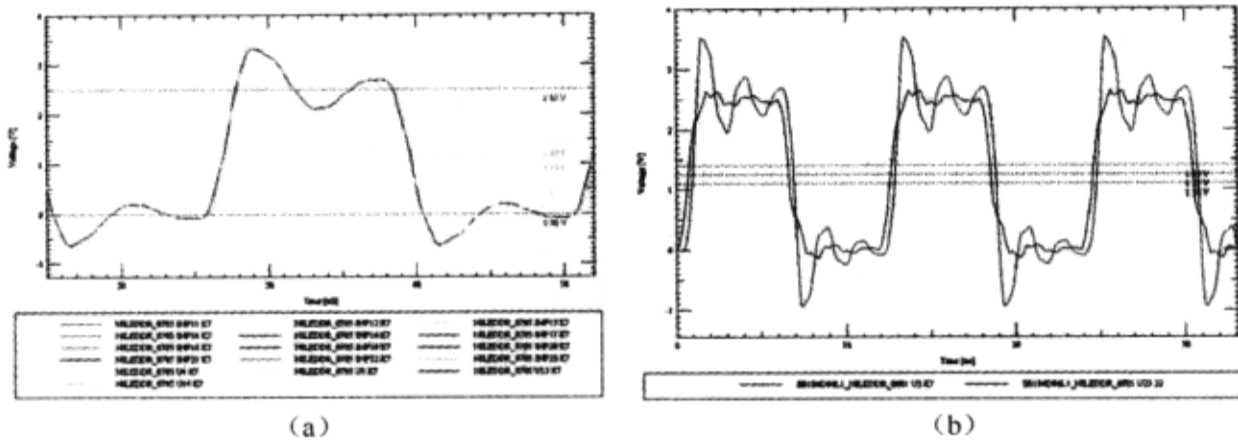


图 3-3-1 过冲和下冲

从定义上来说，过冲就是指接收信号的第一个峰值或谷值超过设定电压——对于上升沿是指第一个峰值超过最高电压；对于下降沿是指第一个谷值超过最低电压。过大的过冲将会损坏元器件中的保护二极管，导致过早失效。而下冲，就是指第二个谷值或峰值，严重时将可能产生假时钟信号，导致系统的误读/写操作。

如果过冲过大，可以采用适当的端接技术使源/终端达到匹配，如图 3-3-2 所示。

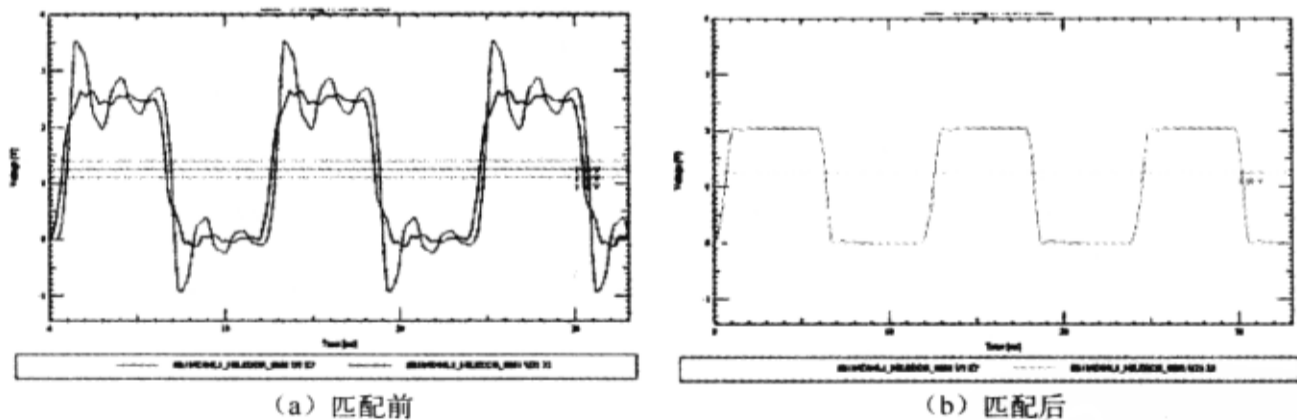


图 3-3-2 经过匹配前、后电路的仿真波形

从图 3-3-2 中的仿真波形可以看出，本来的电路中并没有进行匹配，结果信号存在严重的过冲，当接入终端匹配电阻后，波形就十分完美了。

## 3. 振荡

振荡现象也是反射引起的症状之一，图 3-3-3 所示的波形就是一个存在明显振荡的例子。

振荡和过冲在本质上是相同的，在一个时钟周期中，反复出现过冲和下冲，就称为振荡。振荡是电路中因为反射而产生的多余能量无法被及时吸收的结果。振荡根据表现形式可分为振铃和环绕振荡。振铃为欠阻尼振荡，而环绕振荡为过阻尼振荡。

在任何设计中都不可能做到很完美的匹配，因而振荡现象是每个电路设计者都会遇到的事情，它可以通过适当的端接来尽量减小，但是不可能完全消除。

如果振荡幅度过大，将会导致信号在逻辑电平门限附近来回跳跃，这样就会导致逻辑功能的紊乱。实际布线时，对于不同的布线长度，一定要考虑反射的影响。一般对于短距离的布线，可以不加匹配电阻，其振荡现象不是很严重，如图 3-3-4 所示；但当布线长度过长，造成严重的波形失真时（见图 3-3-5），就必须考虑如何匹配的问题。从图 3-3-6 中很明显地看出，在加了串联电阻匹配后，信号非常稳定。除了串联电阻匹配的方式外，还有终端并联电阻匹配的方式。

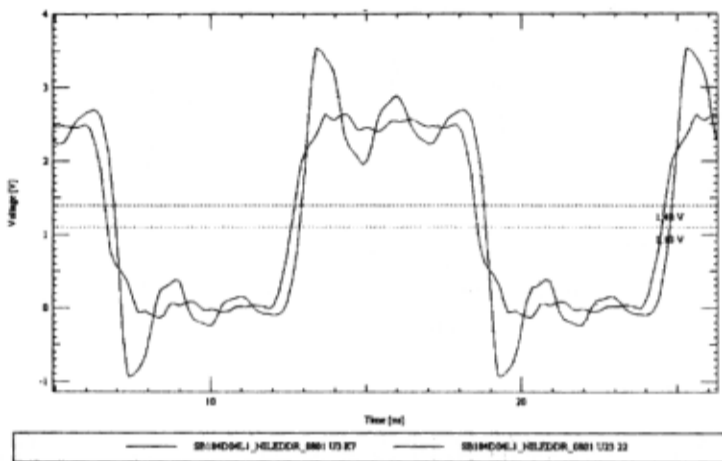


图 3-3-3 振荡波形

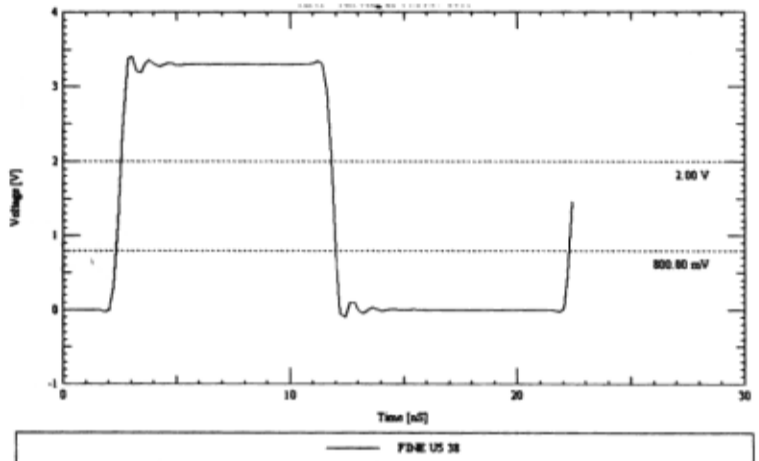


图 3-3-4 短距离布线信号的波形

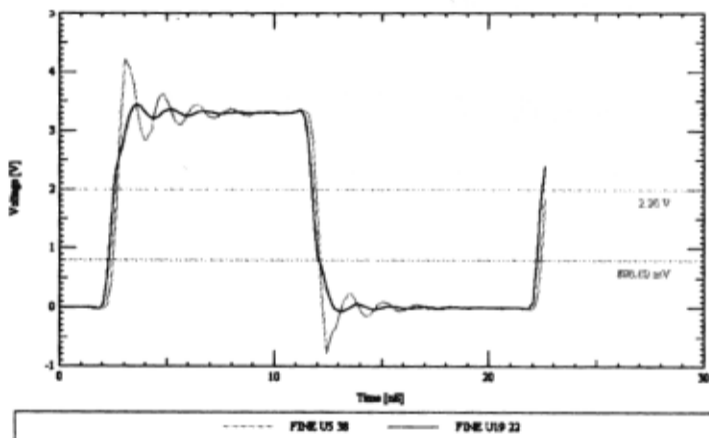


图 3-3-5 长距离布线信号的波形

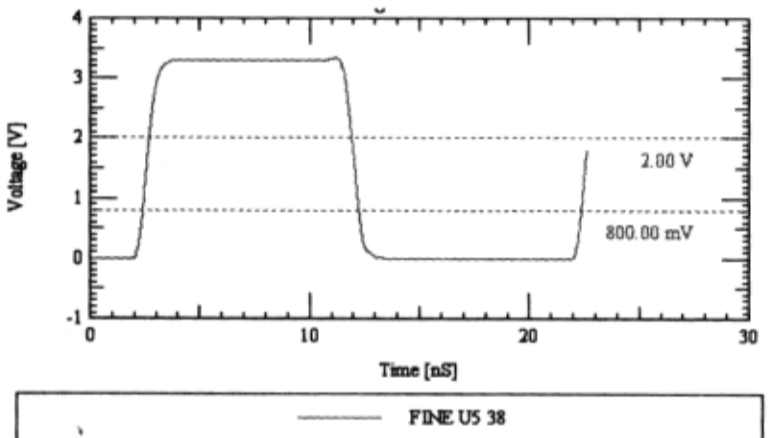


图 3-3-6 串联电阻匹配后信号的波形

#### 4. 反射的抑制和匹配

由上面的分析可以看到，信号的反射是由于传输线和负载的阻抗不匹配造成的，因此减小和消除反射的方法是根据传输线的特性阻抗在其发送端或接收端采取一定的匹配，从而使源端反射系数或负载端反射系数为零来达到抑制反射的作用。

传输线的匹配通常采用以下两种策略：

- 使负载阻抗与传输线阻抗匹配，即并行端接；
- 使源阻抗与传输线阻抗匹配，即串行端接。

理论上说，如果负载反射系数或源反射系数二者任一为零，反射将被消除。在实际应用中，要根据具体情况来选择串行匹配还是并行匹配，有时也会同时采用两种匹配形式。不过

一般情况下，很少会让源端和终端都保持完全的匹配，因为这种情况下，接收端将无法靠反射来达到足够的电压幅值。并行匹配还包含多种形式，下面就简要介绍一下各种匹配方式及其优缺点。

1) 串行匹配 串行端接是通过在尽量靠近源端的位置（防止电源和电阻之间形成局部反射）串行插入一个电阻  $R_S$ 。这种串行端接的原理是消除从负载端反射回来的电压，阻止传输线的二次反射。

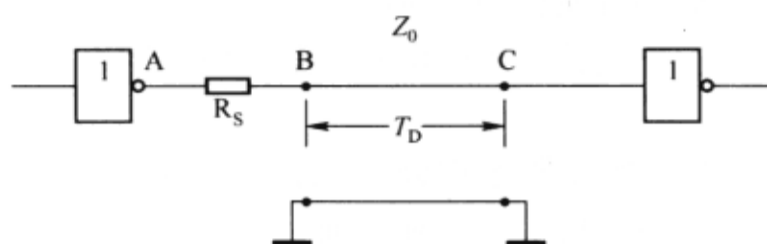


图 3-3-7 串行端接

根据反射系数公式： $\rho = \frac{Z_1 - Z_0}{Z_1 + Z_0}$ ，串联电阻和驱动端的阻值之和应等于传输线的阻抗，且串联电阻越靠近驱动端越好，以免驱动器和电阻之间的传输线又造成信号的反射。从图 3-3-8 可以看到，在信号没有到达终端前，传输线上的传输电压只有正常高电位的 1/2，接收端靠反射现象达到了满电平（终端近似看做正相全反射）。

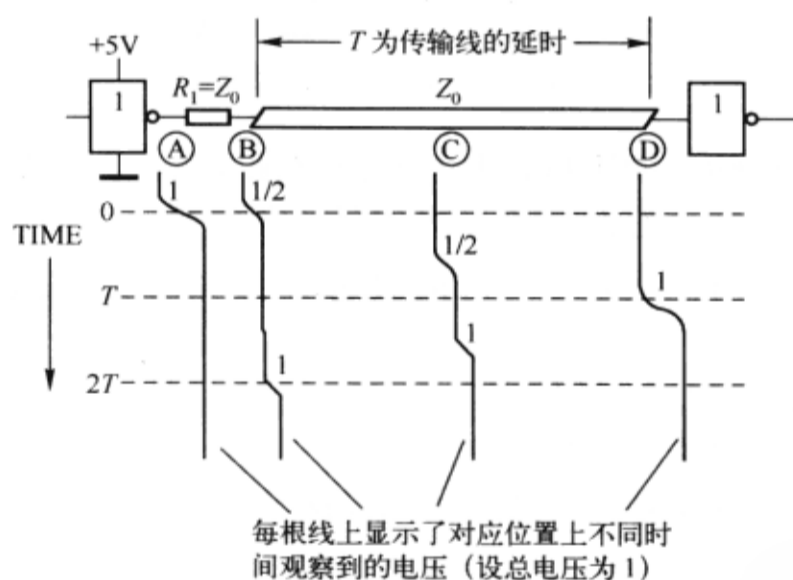


图 3-3-8 串行匹配的电压传播示意图

总结下来，串联电阻匹配有以下 4 个优点。

- 实现简单，一般只需在电路上加一个电阻，节省了 PCB 的空间。
- 这种形式的匹配不增加任何直流负载，不增加电源消耗。
- 当驱动高容性负载时可提供限流作用，这种限流作用可以帮助减小地弹噪声。
- 不增加对地的阻抗。

同时，串行匹配也存在如下若干问题。

- 由于驱动端的输出阻抗可能随着输出状态、电源电压、频率、温度等诸多因素的影响而改变，设

计者很难精准地调节串联电阻的最佳匹配值。

- 当信号逻辑转换时，由于  $R_S$  的分压作用，在源端会出现半波幅度的信号，这种半波幅度的信号沿传输线传播至负载端，又从负载端反射回源端，持续时间为  $2T_p$  ( $T_p$  为信号源端到终端的传输线延迟)，这意味着沿传输线不能加入其他信号接收端，因为在上述  $2T_D$  时间内会出现不正确的逻辑态（如果存在多个负载，一定要让这些负载尽量靠近）。同时，在这种情况下，串联电阻不能消除多个负载之间的反射。
- 增加了  $RC$  时间常数从而减缓了负载端信号的上升时间，因而不适合于很高速的信号传输。

鉴于以上的讨论，可以得出结论：串联电阻匹配一般适用于单个负载的情况，有时也用于星形连接的多接收端。

**2) 并行匹配** 并行端接主要原理是在传输线的末端并联  $Z_0$  大小的电阻元件，使终端负载的等效阻抗和传输线的特性阻抗接近，以到达抑制反射的效果。根据不同的应用环境和效果，并行端接一般可分为以下 5 种类型：

(1) 单电阻并行端接：这种端接方式是靠近终端负载使用一个并联的接地电阻，如图 3-3-9 所示。

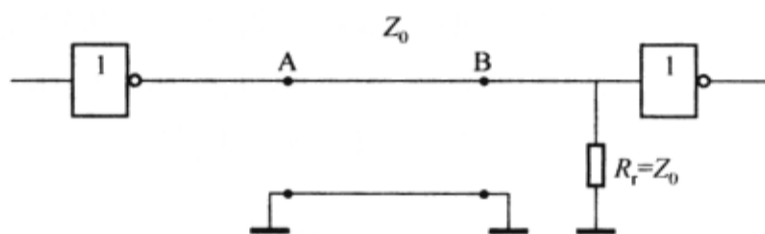


图 3-3-9 单电阻并行端接

选取的电阻值等于传输线的阻抗，且越靠近终端越好。与串联电阻一样，它是一种比较简单的单电阻匹配形式，它给电路带来的延时为  $Z_0 C/2$ 。与串联电阻匹配相比，它没有过多的降低电路的上升速度，而且它能快速地向突变的开关电流通过，因此更适用于高速的情况。

同样，并联匹配也存在如下一些缺点。

- 与串联电阻相比，终端电阻上消耗了更多的能量。
- 增加了直流负载，驱动端要提供额外的直流电流给终端电阻。
- 终端匹配电阻接地会造成下降沿过快（接电源上升沿变快），这样会导致波形的占空比不平衡。
- 它降低了高输出时的电平值。

(2) 戴维南 (Thevenin) 并行端接：考虑到使用单个的并联电阻匹配会导致占空比的失调，还有一种比较流行的并联匹配方式——戴维南匹配，如图 3-3-10 所示。

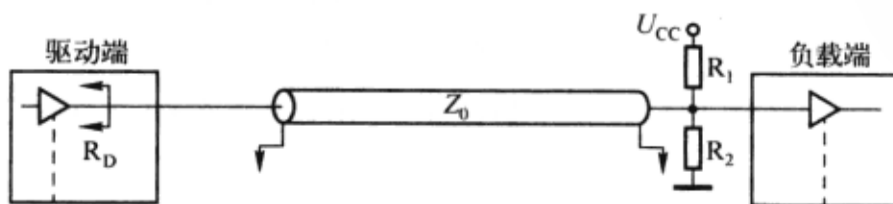


图 3-3-10 戴维南匹配

这种终端匹配方式使用了两个电阻，一个接地，另一个接电源。 $R_1$ 和 $R_2$ 的阻值满足关系式： $Z_0 = \frac{R_1 R_2}{R_1 + R_2}$ 。戴维南匹配综合了使用上拉/下拉电阻匹配的优势，弥补了它们的缺点。

例如，它平衡了输出的高低电平，提高了电路的扇出能力，减小了因为占空比失调引起的能量消耗。但它也存在一个很大的问题，就是静态时的直流功耗太大了，所以一般在TTL和CMOS电路中不大采用。另外，与前几种匹配形式相比，戴维南匹配要使用的器件也较多。

(3) 主动并行端接：在此端接策略中，端接电阻 $R_T$  ( $R_T = Z_0$ )将负载端信号拉至一偏置电压 $U_{BIAS}$ ，如图3-3-11所示。 $U_{BIAS}$ 的选择依据是使输出驱动源能够对高/低电平信号有汲取电流能力。这种端接方式需要一个具有吸、灌电流能力的独立的电压源来满足输出电压的跳变速度的要求。这种端接方式也会带来一定的直流消耗，当偏置电压 $U_{BIAS}$ 为正电压，输入为逻辑低电平时有直流功率损耗；同样，当偏置电压 $U_{BIAS}$ 为负电压，则输入为逻辑高电平时，有直流功率损耗。总的来说，这种匹配还不够完善，而且还需要提供交流源，在高频下，交流源的高低变化会给传输线造成窜扰和EMI影响。

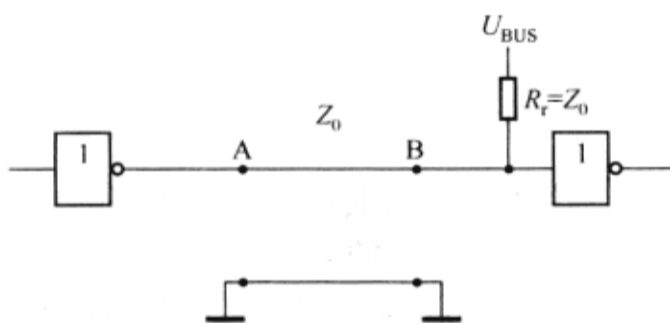


图 3-3-11 主动并行端接

(4) 并行交流端接：上面介绍的几种终端匹配形式不可避免地有较多的电源消耗。图3-3-12所示的交流终端匹配则可以有效地解决这一问题。

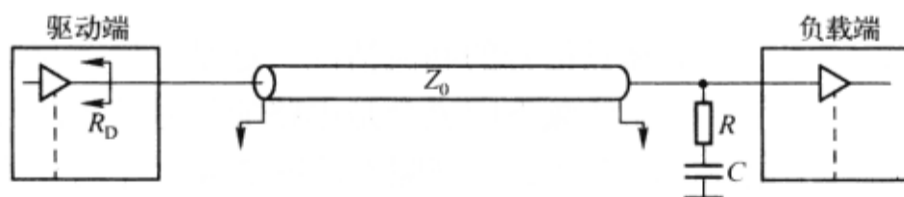


图 3-3-12 交流终端匹配

交流终端匹配结合了电阻和电容的作用，匹配了终端的同时，阻止了直流的通过，降低了能量的耗损。不过，由于它增加了一个电容负载，会延长电路的上升时间。而且电容的值很难确定，大的电容能吸收较大的电流，但也增加了电源的损耗，但用太小的电容则会减弱终端匹配的效果，所以，电容值的选择要通过仿真来确定。一般情况下，电容的值为

$$C = 3T_r / Z_0$$

式中， $T_r$ 代表信号上升时间， $Z_0$ 为传输线的阻抗。

并联交流匹配主要使用在多接收端的情况，时钟信号线也经常使用这种匹配形式。

(5) 肖特基二极管端接（二极管并行端接）：在面包板和底板等线阻抗不好确定的情况



下, 使用二极管端接即方便又省时。如果在系统调试时发现振铃问题, 可以很容易地加入二

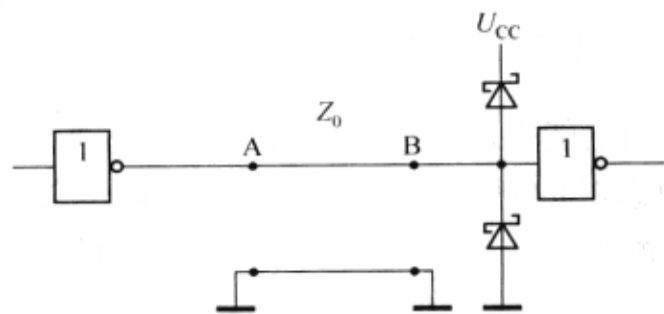


图 3-3-13 肖特基二极管端接

极管来消除。因为二极管的单向传输性, 首先可以保证负载电压值可以近似恒定于  $-U_f$  和  $U_{CC} + U_f$  ( $U_f$  为二极管的电压降) 之间。这样就显著减小了信号的过冲 (正尖峰) 和下冲 (负尖峰)。在某些应用中也可只用一个二极管, 二极管端接的优点在于, 二极管替换了需要电阻和电容元件的戴维南端接或 RC 端接, 通过二极管

钳位减小过冲与下冲, 不需要进行线的阻抗匹配。尽管二极管的价格要高于电阻, 但系统整体的布局、布线开销也许会减少, 因为不再需要考虑精确控制传输线的阻抗匹配。二极管端接的缺点在于, 由于二极管本身不消耗反射回来的振铃信号, 而直接传给与其相连的电源或地, 这就会在  $U_{CC}$  和 GND 上产生噪声; 同时由于二极管的开关速度一般很难做到很快, 因此对于较高速的系统不适用。

### 3.4 窜扰的分析

#### 1. 窜扰的基本概念

窜扰是指当信号在传输线上传播时, 因电磁耦合对相邻的传输线产生的不期望的电压噪声干扰。而这种干扰是由于两条信号线之间的耦合, 即信号线之间的互感和互容耦合引起的, 容性耦合引发耦合电流, 而感性耦合则引发耦合电压。容性耦合是由于干扰源上的电压变化在被干扰对象上引起感应电流从而导致的电磁干扰, 而感性耦合则是由于干扰源上的电流变化产生的磁场在被干扰对象上引起感应电压从而导致的电磁干扰。因此, 信号在通过一个导体时, 会在相邻的导体上引起两类不同的噪声信号, 即容性耦合信号和感性耦合信号, 统称为窜扰。

在理解窜扰之前, 首先要了解高频信号的回流情况。这是分析窜扰等一系列信号完整性问题的一个重要基础。高频下回流和低频下回流会是电路的信号发生两种完全不同的影响, 那么在低频下回流和高频下电流回路有什么不同呢? 从图 3-4-1 中可以看出, 在低频下, 电流是沿电阻最小的路径流回, 而在高频情况下, 电流是沿着电感最小的回路流回, 也是阻抗最小的路径, 表现为回路电流集中分布在信号布线的正下方。高频下, 当一根信号布线直接在接地层上布置时, 即使存在更短的回路, 回路电流也要沿着信号路径下方的参考平面层流回信号源, 这条路径必须具有回流电流所能通过的最小阻抗, 即电感最小和电容最大 ( $Z = \sqrt{L/C}$ )。这种靠大电容耦合抑制电场, 靠小电感耦合抑制磁场来维持低电抗的方法称为自屏蔽。每个回流信号将产生一个磁场, 如果同时有很多传输线在传输, 那么它们产生的回流区域将叠加从而产生区域性的磁场, 这些磁场将对与其场强范围内的传输线产生感应电压, 这样, 就会对这些传输线的信号产生噪声影响, 造成传输信号的失真。由于参考平面的感应电压引起的窜扰大小和回流区域叠加的数量成正比例关系, 具体地说, 其大小和信号线之间的距离  $D$ 、地平面的高度  $H$  及系数  $k$  有关, 如图 3-4-2 所示。

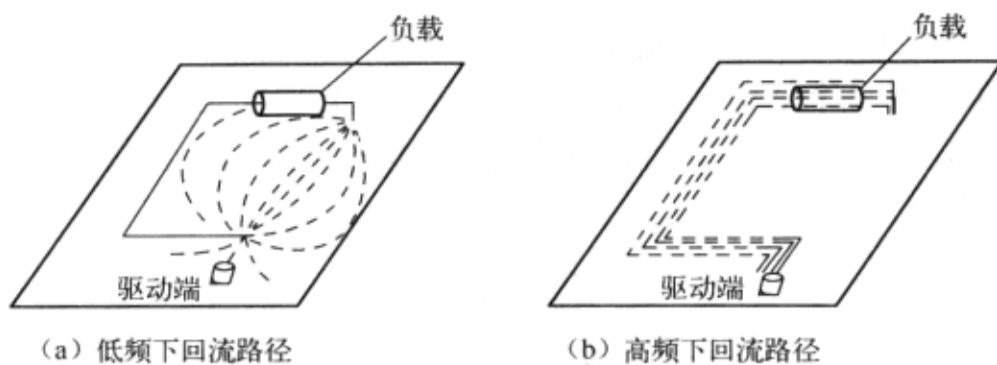


图 3-4-1 高低频率下回流特性

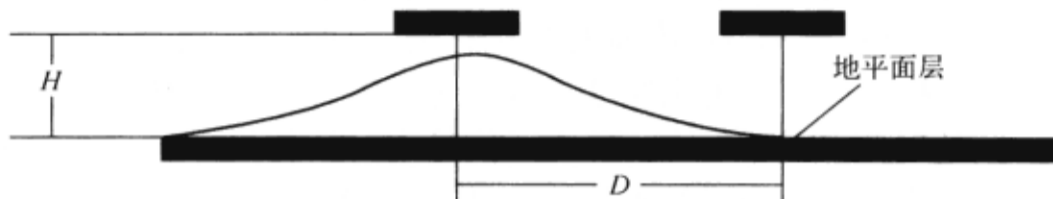


图 3-4-2 参考平面上的窜扰 (crosstalk)

$$\text{crosstalk} = \frac{k}{1 + (D/H)^2}$$

式中,  $k$  与信号的上升时间及相互干扰的信号线的长度有关。

所以, 从这个角度来说, 尽量减少这些回流区域的叠加, 从而减少传输线之间的互感, 这对于抑制窜扰是一个很好的想法。当然, 窜扰的产生是一个很复杂的过程, 本书在下面将会有较为详细的阐述。



本章提到的传输线的长度如果没有特殊说明, 均指平行的耦合长度。

### 2. 前向窜扰和后向窜扰

窜扰可以分为前向窜扰和后向窜扰。下面分别从感性耦合和容性耦合两方面来具体分析一下窜扰的本质。

两根平行线在高频下可以等效成图 3-4-3 所示的电路。被干扰系统的终端 D 称为远端, 信号输入端 C 称为近端。因为终端的接受负载主要受前向窜扰影响, 所以有时也称前向窜扰为远端窜扰(Far-end Crosstalk); 同样, 后向窜扰也被称为近端窜扰(Near-end Crosstalk)。

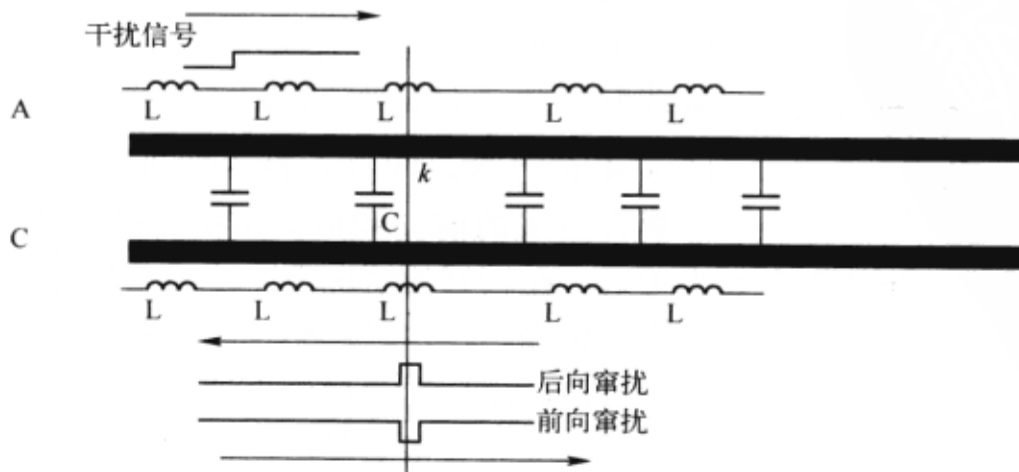


图 3-4-3 窜扰分析示意图

首先分析一下由于感性耦合而引起的窜扰。

当传输线 A-B 上有一个低电平到高电平的信号从 A 传向 B 传输时，由于电压(电流)的变化将产生一个磁场，传输线 C-D 将包括在这个磁场里面，变化的磁场也会使传输线 C-D 产生感应电流，其中产生的互感系数为

$$L_m = L \frac{di}{dt}$$

微观分析干扰信号由 A 向 B 方向传输时，在被干扰源传输线 C-D 上将产生一对感应电流。如果把这个感应电流考虑为分别向 C 和 D 两个方向传播，则把朝近端 C 方向的窜扰称为后向窜扰，另外一个向着远端 D 传播的窜扰称为前向窜扰，它们的大小相等，极性相反。感性耦合产生的窜扰可以形象地由图 3-4-4 表示，在干扰信号传输的每个点，它产生的向后的电流是分不同的时间到达 C 的，而由于信号本身的传播方向与前向窜扰方向一致，所以每一点的前向窜扰将在同一个时间到达 D。因此，前向窜扰的波峰比后向窜扰大，但后向窜扰的持续时间长（持续  $2T_p$ ， $T_p$  为传输线的延时）。由于前向窜扰是纵向叠加，后向窜扰是横向叠加，而每个叠加量是相等的，所以后向窜扰和前向窜扰在  $U-T$  图上包含的面积是相等的。在一定的传输线长度范围内，如果增加线长，前向窜扰的波峰将增大，但窜扰持续的时间不变，而后向窜扰的波峰不变，波峰保持时间将变大。图 3-4-5 所示的是感性窜扰的时序图。

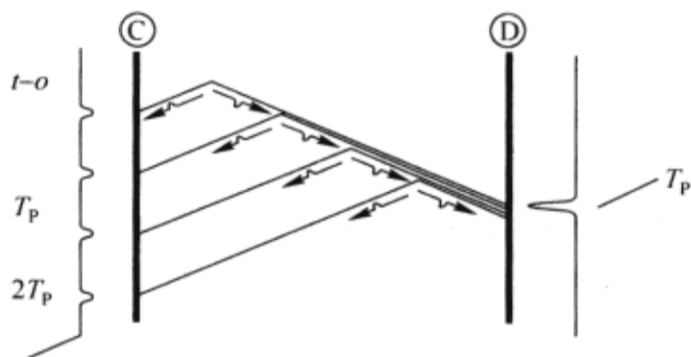


图 3-4-4 感性窜扰的分析图

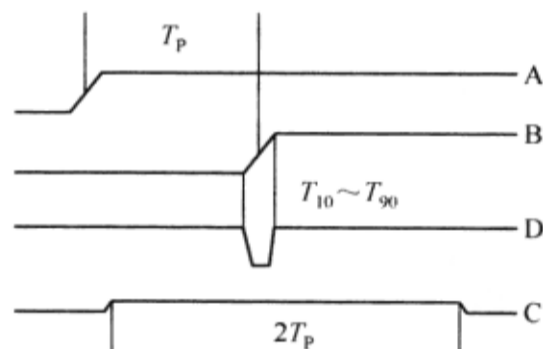


图 3-4-5 感性窜扰的时序分析

下面再来探讨一下由容性耦合引起的窜扰。

当一个电压经过图 3-4-3 所示的分布电容时，从微分的观点来看，也会在另一条传输线

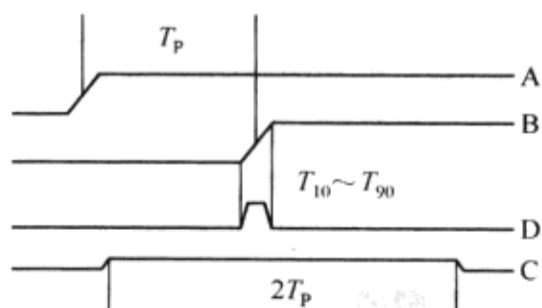


图 3-4-6 容性窜扰的时序分析

上产生两个极性相同的小脉冲电压，分别向近端和远端传输，和感性一样，到达远端的部分是同一时间，由于叠加的结果，将产生一个波峰较高的脉冲电压，而朝近端的方向，由于到达的时间有所不同，因此将产生一个持续的波峰电压，持续时间为  $2T_p$ 。它们作用的结果时序如图 3-4-6 所示。同样，两个波形的面积是一样的，且容性耦合造成的前向和后向窜扰的极性是相同的。

再把感性和容性的窜扰综合起来考虑。在较好的情况下，即两条信号布线具有完美的参考平面，并处于均匀的介质当中，如带状传输线，这时，感性耦合和容性耦合所产生的前向窜扰的大小相等，极性相反，正好相互抵消，而后向窜扰则表现为相同极性，就是两种感应产生窜扰电流（电压）的叠加。所以，此时关注更多的是后向窜扰的影响。但对于非理想的地平面或微带传输线，由于互感的增加或介质的不均匀，造成感性耦合的影响要大于容性耦

合，从而使得前向窜扰不能完全抵消。例如，在遇到参考平面开槽或者沟壑时，感性耦合产生的窜扰就比容性产生的大很多，前向窜扰呈负极性，窜扰电压的波峰值可能要比后向窜扰大得多。此时，前向窜扰给电路带来的影响是巨大的，所以在高速 PCB 设计中，设计者要尽量避免这些情况的出现。

### 3. 后向窜扰的反射

在前面的讨论中，都没有考虑到反射的情况，在窜扰到达 C、D 两端后都假设它消失了。但是在实际情况中，源端和终端往往都没有得到完美的匹配，这会造成窜扰反射的复杂情况。这里举一个后向窜扰在源端全反射的例子。

假设图 3-4-7 中，驱动端 C 的输出阻抗很小，则反射系数近似考虑为-1，也就是说，在 C 端，干扰源 AB 产生的后向窜扰将以大小相同，但极性完全相反的发射波向 D 传输过去。如图 3-4-7 所示， $3T_p$  时刻时（ $T_p$  是传输线的延时），D 端将接收到的后向窜扰的发射波。因此，适当的源端匹配也有利于降低窜扰对信号质量的影响。

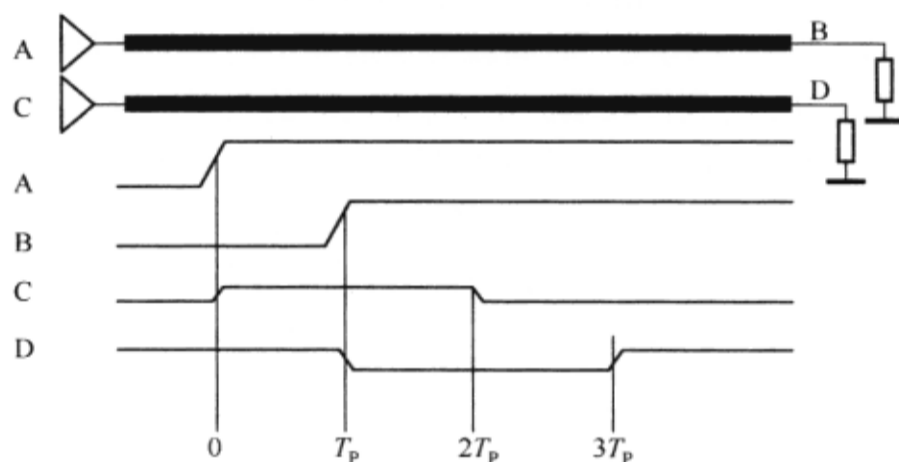


图 3-4-7 后向窜扰在源端的反射

## 3.5 时序分析

### 1. 时序信号简介

根据芯片间信号传递方式的不同，信号类型可分为同步和异步两种。同步信号是通过时钟来同步数据传输的，有严格的时序关系，时序仿真主要针对的就是同步信号。根据时钟传递方式不同，同步信号可以分为外同步、内同步和源同步。

异步信号没有时钟作为基准，而且工作频率较低，时序容易满足，一般不需要时序仿真，主要关注信号质量，如单调性、过冲和噪声容限。但异步信号的各个信号间也是有时序关系的，如片选、读写、地址和数据等，可以确定一个合适的信号作为基准，用相同的方法进行时序仿真。同步信号中的时钟信号本身实际上也是异步信号。

时序仿真的目的是通过电路原理、元器件手册来获得一个最坏情况（Worst Case）下的时序最大可用空间，并通过 Cadence 仿真软件计算出在满足这个条件下的元器件布局、布线约束。

外同步、内同步和源同步的差别在于时钟和数据的相对关系上。本节根据 3 种信号类型

的原理图来说明时序计算方法。

在 slow 和 fast 两种状态下, 仿真结果应满足以下条件。

➤ slow:  $T_{settle} < T_{flight\_time\_max}$

➤ fast:  $T_{switch} > T_{flight\_time\_min}$

◇  $T_{settle}$ : 建立时间就是振荡的信号稳定到指定的最终值所需要的时间。

◇  $T_{switch}$ : 开关时间

◇  $T_{flight\_time\_min}$  和  $T_{flight\_time\_max}$ : 信号从缓冲器出来后, 就要经过传输线到接收终端, 信号在传输线

上的传输的延时称为传播延迟 (Propagation Delay), 它仅与信号的传播速度和线长有关。然

而在大多数时序设计中, 最关键的并不是传播延迟这个参数, 而是飞行时间 (Flight Time) 参数, 包括最大飞行时间 (Max Flight Time)  $T_{flight\_time\_max}$  和最小飞行时间 (Min Flight Time)

$T_{flight\_time\_min}$ 。飞行时间包含了传播延迟和信号上升沿变化这两部分因素。

在较轻的负载 (如单负载) 情况下, 驱动端的上升沿几乎和接收端的信号的上升沿平行, 此时平均飞行时间和传播延迟相差不大; 但若在重负载 (如多负载) 的情况下, 接收信号的上升沿明显变缓, 此时平均飞行时间就会远远大于信号的传播延迟。这里说的平均飞行时间是指驱动端波形的  $U_{meas}$  到接收端波形  $U_{meas}$  之间的延时, 这个参数只能用于时序的估算, 准确的时序分析一定要通过仿真测量最大/最小飞行时间来计算。

上面只是对信号上升沿的分析。对于下降沿来说, 同样存在着最大/最小飞行时间的参数。在时序计算时实际取的最大飞行时间是在上升沿和下降沿中取最长的那个飞行时间, 而最小飞行时间则是取上升沿和下降沿中最短的那个飞行时间。

在上面两个不等式中,  $T_{flight\_time\_max}$ 、 $T_{flight\_time\_min}$  是通过时序计算得到的, 如图 3-5-1 所示; 而  $T_{settle}$ 、 $T_{switch}$  是通过时序仿真软件得到的, 如图 3-5-2 所示。

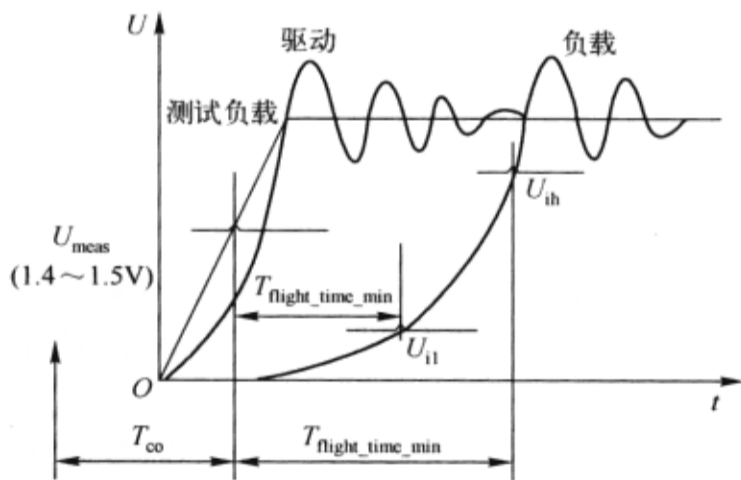


图 3-5-1  $T_{flight\_time}$  示意图

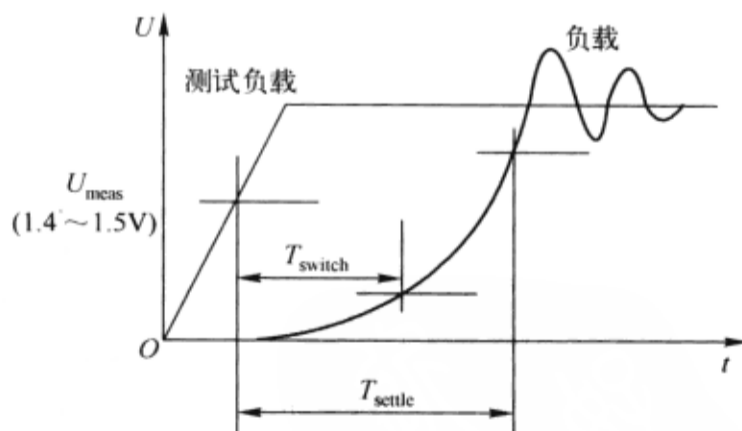


图 3-5-2  $T_{switch}$  和  $T_{settle}$  的定义示意图

对于速度很高的网络或复杂拓扑, 有时会难以同时满足 slow 条件和 fast 条件, 此时应保证满足 slow 条件, fast 条件可适当放宽。

1) 外同步 外同步是指数据在两个芯片间传输时, 时钟由另一块芯片提供的信号类型。同步时钟不是由发送数据或接收数据的芯片提供的, 一般有独立的时钟驱动器。外同步方式时序分析的要点是用发送数据时钟的下一个时钟来接收数据。这种拓扑结构的应用场合非常多, 如 FPGA 的外接存储器 SSRAM, 如图 3-5-3 所示。图 3-5-4 所示的是外同步时序



示意图。

$$\text{slow: } T_{\text{flight\_time\_max}} + T_{\text{co\_max}} + T_{\text{setup}} + T_{\text{jitter}} + T_{\text{skew}} + T_{\text{margin\_slow}} = T_{\text{cycle}}$$

$$\text{fast: } T_{\text{flight\_time\_min}} + T_{\text{co\_min}} - T_{\text{skew}} - T_{\text{margin\_fast}} = T_{\text{hold}}$$

- ◇  $T_{\text{hold}}$  和  $T_{\text{setup}}$ ：信号经过传输线到达接收端后，就涉及建立时间和保持时间这两个时序参数，它们是接收器本身的特性，表征了时钟边沿触发时数据需要在锁存器的输入端持续的时间。通俗地说，时钟信号到来时，要求数据必须已经存在一段时间，这就是器件需要的建立时间（Setup Time）；而时钟边沿触发后，数据还必须要继续保持一段时间，以便能稳定地读取，这就是器件需要的保持时间（Hold Time）。如果数据信号在时钟沿触发前后持续的时间均超过建立时间和保持时间，那么超过量就分别被称为建立时间裕量和保持时间裕量。这与时钟周期无关，因此时钟抖动  $T_{\text{jitter}}$  对  $T_{\text{hold}}$  没有影响
- ◇  $T_{\text{skew}}$ ：时钟偏移（skew）是指两个相同的系统时钟之间的偏移。它的表现形式是多种多样的，既包含了时钟驱动器的多个输出之间的偏移，也包含了由于 PCB 布线误差造成的接收端和驱动端时钟信号之间的偏移。时钟驱动器不同的使用方法对  $T_{\text{skew}}$  影响很大。例如，由两个不同的时钟驱动器来提供时钟，那么  $T_{\text{skew}}$  可以达到 1ns；如果由同一个芯片的两个引脚来提供时钟，那么一般可以控制在 500ps 以内；进一步减小偏离可以使用同一个引脚来提供时钟，一般可以控制在 50ps 以内。时钟驱动器的引脚到引脚之间的偏离，芯片到芯片之间偏离可以从时钟驱动器的数据手册上查到；时钟线 PCB 分叉产生的偏离可以通过时钟线仿真得到
- ◇  $T_{\text{jitter}}$ ：所谓抖动，就是指两个时钟周期之间存在的差值，这个误差是在时钟发生器内部产生的，与晶体振荡器或 PLL 内部电路有关，布线对其没有影响。除此之外，还有一种由于周期内信号的占空比发生变化而引起的抖动，称为半周期抖动。总的来说，抖动（jitter）可以认为是时钟信号本身在传输过程中的一些偶然和不定变化之总和。时钟驱动器的数据手册上可以查到时钟抖动。普通的时钟驱动器的抖动一般为 100~200ps
- ◇  $T_{\text{co}}$ ：指时钟触发开始到有效数据输出的器件内部所有延时的总和
- ◇  $T_{\text{cycle}}$ ：时钟信号周期
- ◇  $T_{\text{margin}}$ ：时间裕量

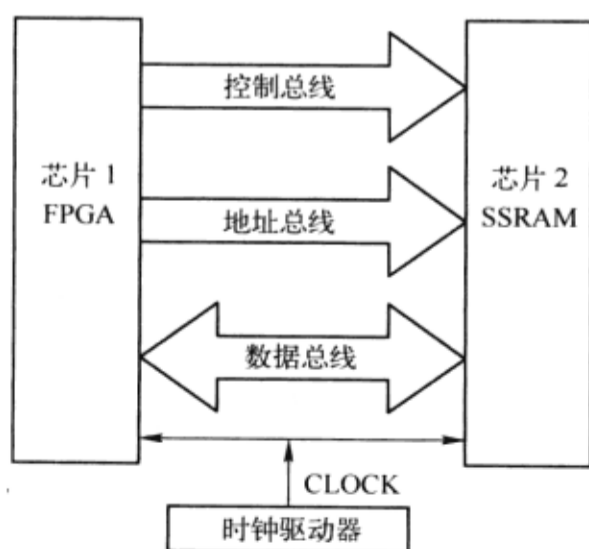


图 3-5-3 外同步原理图

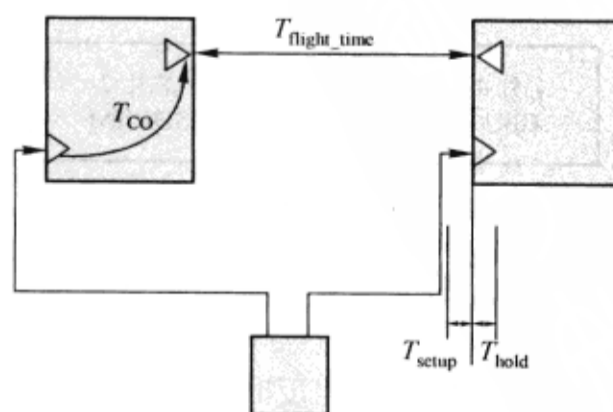


图 3-5-4 外同步时序示意图

- ◇ 工作频率越高,  $T_{\text{setup}}$  越难满足, 而  $T_{\text{hold}}$  与工作频率无关
- ◇ 读、写两种状态的时序计算公式相同。对于双向信号, 如果某一个方向的裕量大, 可以通过时钟 PCB 布线等方法, 将时钟调偏一点, 前提是满足读、写两个方向的时序要求

2) 内同步 内同步是指时钟与数据同时在两个芯片间传输的信号类型, 时钟由主芯片提供。内同步原理图如图 3-5-5 所示。这种同步方式最典型的代表就是 CPU 和 SDRAM 的连接, 其中 CPU 为主芯片。图 3-5-6 所示的是内同步时序示意图。内同步方式中, 数据通过寄存器输出, 时钟由缓冲器输出, 时钟链路上的缓冲器相当于外时钟同步方式中的外部缓冲器, 这样芯片内部数据链路上的缓冲器和时钟链路上的缓冲器正好匹配并抵消一部分的时序不确定性, 减小  $T_{\text{co}}$  的范围, 可以提高工作频率。例如, 一般的 TTL 器件, 采用外时钟同步方式  $T_{\text{co}}$  为 2~5ns, 采用内时钟同步方式  $T_{\text{co}}$  为 3~4ns。

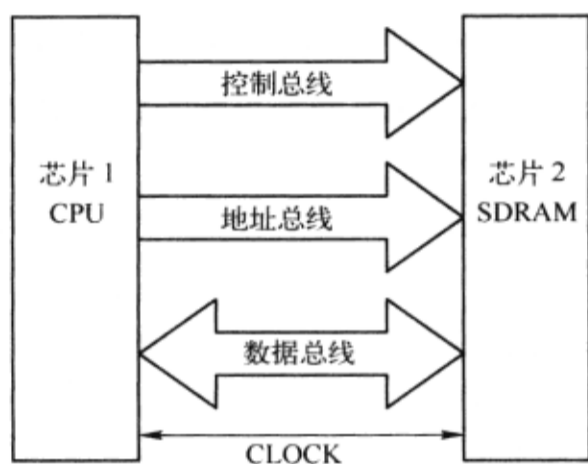


图 3-5-5 内同步原理图

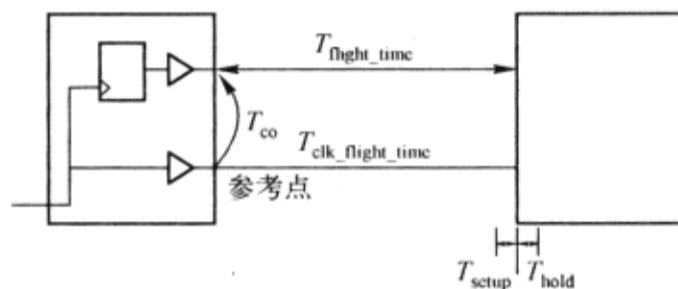


图 3-5-6 内同步时序示意图

在图 3-5-5 中, CPU 的时钟、地址总线、控制总线、数据总线连接到 SDRAM, 时钟是所有信号时序的基准, 其他信号根据传输方向可分为如下两组。

- 时钟与信号同向, CPU 发出、SDRAM 接收, 包括控制总线、地址总线、CPU 写 SDRAM 时的数据总线。
- 时钟与信号反向, SDRAM 发出、CPU 接收, 包括 CPU 读 SDRAM 时的数据总线。

(1) 时钟与信号同向, 如图 3-5-7 所示。

- slow:  $T_{\text{flight\_time\_max}} + T_{\text{co\_max}} + T_{\text{setup}} + T_{\text{jitter}} + T_{\text{margin\_slow}} = T_{\text{cycle}}$
- fast:  $T_{\text{flight\_time\_min}} + T_{\text{co\_min}} - T_{\text{margin\_fast}} - T_{\text{clk\_flight\_time\_fast}} = T_{\text{hold}}$

(2) 时钟与信号反向, 如图 3-5-8 所示。

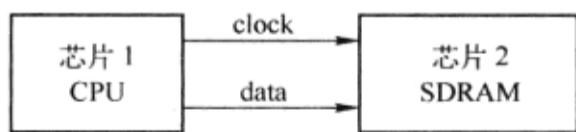


图 3-5-7 内同步时钟与信号同向

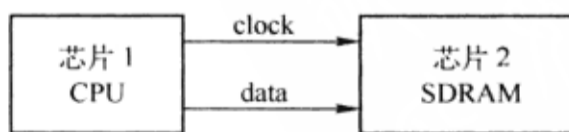


图 3-5-8 内同步时钟与信号反向

- slow:  $T_{\text{flight\_time\_max}} + T_{\text{co\_max}} + T_{\text{setup}} + T_{\text{jitter}} + T_{\text{margin\_slow}} + T_{\text{clk\_flight\_time\_slow}} = T_{\text{cycle}}$
- fast:  $T_{\text{flight\_time\_min}} + T_{\text{co\_min}} - T_{\text{margin\_fast}} + T_{\text{clk\_flight\_time\_fast}} = T_{\text{hold}}$

在时钟与信号方向相反时, 时钟时延产生的效应是使 SDRAM 输出数据的时间推后, CPU 接收数据的  $T_{\text{setup}}$  时间更短, 而  $T_{\text{hold}}$  时间更宽裕, 其效应正好和时钟与信号同向时相反。

内时钟同步方式中，通过调节  $T_{clk\_flight\_time}$ ，可以使时钟处于最佳位置。

(3) 收/发时钟独立，如图 3-5-9 所示。

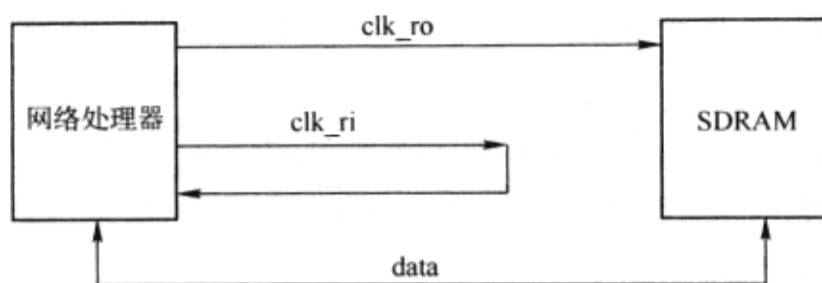


图 3-5-9 内同步收/发时钟独立

为满足数据时序要求，某些高速器件的收/发采用独立时钟，接收时钟  $clk\_ri$  的 PCB 布线要求与  $data$  的 PCB 布线匹配。

- 在网络处理器向 SDRAM 写数据时，SDRAM 根据  $clk\_ro$  存储数据  $T_{clk\_flight\_time} = T_{clk\_flight\_time\_ro}$ 。
- 在网络处理器从 SDRAM 读数据时，SDRAM 根据  $clk\_ro$  发出数据，网络处理器根据  $clk\_ri$  接收数据  $T_{clk\_flight\_time} = T_{clk\_flight\_time\_ro} - T_{clk\_flight\_time\_ri}$ 。

3) 源同步 源同步方式是在送数据信号的同时提供时钟信号或锁存信号。源同步和内同步从外端口看是一样的，但其内部结构并不相同。源同步方式中数据通过寄存器输出，时钟/锁存信号也通过寄存器输出，不过时钟/锁存信号寄存器的时钟是外部时钟的倍频，这样进一步抵消了不确定性，提高工作频率。图 3-5-10 所示为源同步示意图。图 3-5-11 所示为源同步输出数据与时钟的相位关系图，时钟正好在数据的中间，这样的信号就称为源同步，不满足这种相位关系的就不是源同步。

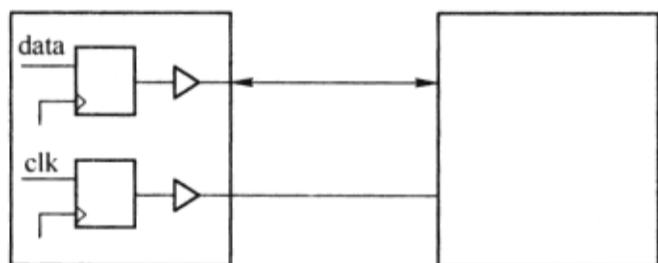


图 3-5-10 源同步示意图

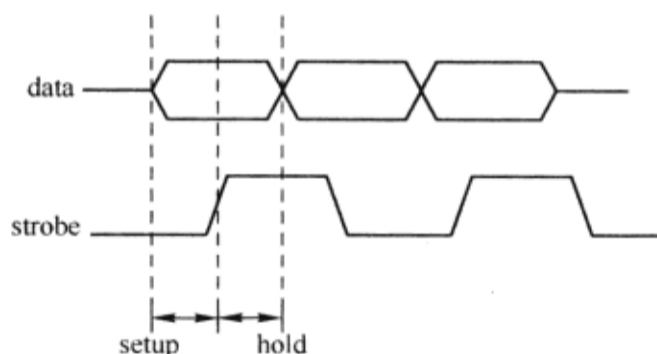


图 3-5-11 源同步相位关系图

在内、外时钟同步方式中，时钟和数据的相位关系是不确定的，而在源同步中时钟可以跟着数据变，始终在数据中间，这时就没有  $T_{co}$  的概念，而是使用输出的  $setup$  和  $hold$  参数来表示时钟和数据的相位关系。

由于芯片输出时已经保证了  $T_{setup}$  和  $T_{hold}$  时间，那么设计时主要是要保证时钟到达接收端后，也满足接收芯片的  $T_{setup}$  和  $T_{hold}$  时间要求，发送和接收的两个采样窗口能匹配（最好在中间），那么时序就满足了。

首先定义一下方向，若  $T_{clk\_flight\_time} > T_{data\_flight\_time}$ ，则  $T_{clk\_data\_skew} = T_{clk\_flight\_time} - T_{data\_flight\_time}$  为正，时序计算公式为

$$T_{\text{setup\_out}} - T_{\text{setup\_in}} + T_{\text{clk\_data\_skew}} = T_{\text{hold\_out}} - T_{\text{hold\_in}} - T_{\text{clk\_data\_skew}}$$

$$T_{\text{clk\_data\_skew}} = ((T_{\text{hold\_out}} - T_{\text{hold\_in}}) - (T_{\text{setup\_out}} - T_{\text{setup\_in}})) / 2$$

通过调节时钟和数据之间的偏移量  $T_{\text{clk\_data\_skew}}$ ，可以将采样窗口正好落在数据中间。



说明

$T_{\text{clk\_data\_skew}}$  包括了从驱动端到接收端的总偏移量，包括所有的封装、接插件和任何会改变信号延时的因素，而不仅是由于 PCB 布线不等引起的时延差。

## 2. 时序计算

在时序仿真中，时钟信号的  $T_{\text{flight}}$  是一个很重要的参数，需要通过仿真得到。时钟信号仿真方法和其他信号是相同的，但时钟信号与其他信号相比有其特殊性。对于时钟信号，从时钟信号本身来说是一种异步信号，主要关心的是信号完整性问题。但时钟信号又是其他信号的同步基准，在靠数据信号的延时控制无法满足时序的情况下，时钟信号的延时控制就非常重要，尤其是在源同步双向数据信号的传输中，这种现象比较多。

时钟信号的质量包含时钟抖动、时钟偏斜、单调性、上升/下降时间、噪声容限、过冲和下冲。在时钟设计时，特别需要注意的一点是时钟信号在逻辑电平门限附近的多次穿越。当信号在逻辑电平门限附近发生振荡，且噪声容限小的情况下，这种现象可能发生。在同步系统中数据发生这种现象时，可以通过调整采样窗口来躲避；而时钟信号是绝对不能出现这种现象的。

基于时钟信号的上述特点，仿真中应优先保证良好的单调性；其次是有较大的噪声容限，尽量抑制过冲和下冲。值得注意的是，时钟信号的上升时间和下降时间也应符合接收端器件的要求，这一点在仿真中经常被忽略。

图 3-5-12 所示为时钟信号  $T_{\text{flight}}$  的测量方法。时钟信号一般来说只有一个阈值  $U_{\text{meas}}$ ，无  $T_{\text{switch}}$  和  $T_{\text{settle}}$  之分。在设置仿真模型的时候将  $U_{\text{il}}$  和  $U_{\text{ih}}$  的值设置为同一个值，即输入信号测量参考电压值  $U_{\text{meas}}$ 。

本例中处理器  $U_{15}$  的引脚间距和芯片  $U_{27}$

的引脚的间距从 3~6in 变化。理想情况下，想要这个拓扑应用到 Host 总线的所有位。必须确保这个拓扑工作在最近和最远的引脚连接。

处理器 ( $U_{15}$ ) 和芯片 ( $U_{27}$ ) 能够运行在快速和慢速模式。总线的每一位都有允许的过冲值。High Side 的过冲值设定为 200mV，Low Side 过冲值设定为 -300mV。从元器件数据手册中得到的  $U_{15}$  和  $U_{27}$  的参数见表 3-5-1 和表 3-5-2。

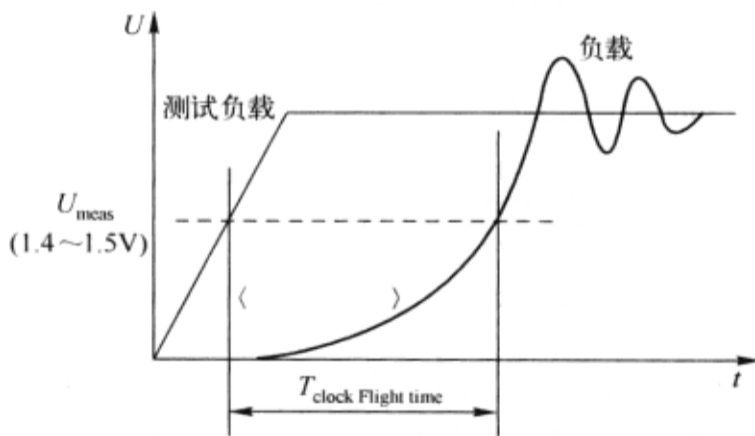


图 3-5-12 时钟信号  $T_{\text{flight}}$  的测量方法

表 3-5-1 设计要求的变量值

参 数	最 小 值	典 型 值	最 大 值
处理器速度 (U <sub>15</sub> )	fast	—	slow
芯片集速度 (U <sub>27</sub> )	fast	—	slow
TL <sub>1</sub> Impedance/Ω	60	65	70
TL <sub>1</sub> Velocity/ (mil/ns)	5400	5600	5800
TL <sub>1</sub> Length/ (mil)	3000	4500	6000
TL <sub>2</sub> Impedance/Ω	60	65	70
TL <sub>2</sub> Velocity/ (mil/ns)	5400	5600	5800
TL <sub>2</sub> Length/ mil	0	—	2000
TL <sub>3</sub> Impedance/Ω	60	65	70
TL <sub>3</sub> Velocity/ (mil/ns)	5400	5600	5800
TL <sub>3</sub> Length/ mil	0	—	2000
RP <sub>54</sub> /Ω	67	68	69
RP <sub>123</sub> /Ω	67	68	69
终端电压/V	1.425	1.5	1.575

表 3-5-2 时序参数

处理器到 440FX, U <sub>15</sub> ~U <sub>27</sub>			
CLK Period	Receiver Setup	Receiver Hold	Skew
15.15ns	4.30ns	0.30ns	0.70ns
Jitter	Crosstalk	Tco_min	Tco_max
0.40ns	0.40ns	1.20ns	5.10ns
440FX 到处理器, U <sub>27</sub> 到 U <sub>15</sub>			
CLK Period	Receiver Setup	Receiver Hold	Skew
15.15ns	4.50ns	0.35ns	0.70ns
Jitter	Crosstalk	Tco_min	Tco_max
0.40ns	0.40ns	1.15ns	5.30ns

飞行时间的计算公式为

$$T_{\text{flight\_time\_max}} \leq \text{CLKPeriod} - (T_{\text{co\_max}} + \text{Skew} + \text{Jitter} + \text{Crosstalk} + \text{ReceiverSetup})$$

$$T_{\text{flight\_time\_min}} \geq \text{ReceiverSetup} - T_{\text{co\_max}} + \text{Skew} + \text{Crosstalk}$$

上升沿时序图如图 3-5-13 所示, 下降沿时序图如图 3-5-14 所示。

- 最长飞行时间  $T_{\text{flight\_time\_max}}$  对应于报告中看到的 Settle time, 最短飞行时间  $T_{\text{flight\_time\_min}}$  对应于报告中的 Switch time。
- Skew (偏斜) 是指同时发生的两个信号在到达时间上的差异, 包括驱动器件自身的输出偏斜 (内



部偏斜)和由 PCB 线路的布线差异引起的 PCB 延时的差异(外部偏斜),偏斜通过改变时钟边沿的到达来直接影响系统时序裕度,系统工作速度越高,偏斜在时钟周期占用比例越大,此时必需将时钟偏斜减小。

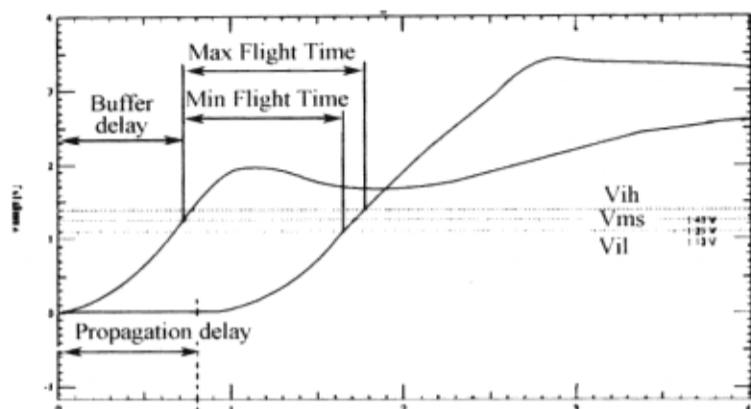


图 3-5-13 上升沿时序图

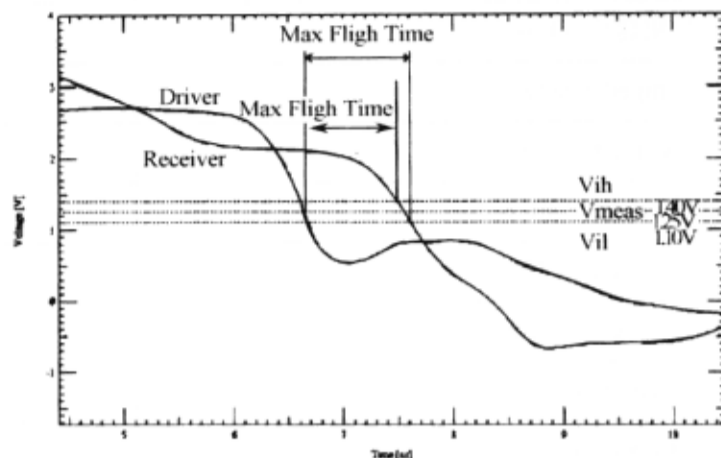


图 3-5-14 下降沿时序图

- Jitter（抖动）是指脉冲的输出边缘与其理想位置的偏差，从产生原因上可分为两种基本类型，即随机抖动和非随机抖动（即确定性抖动），总抖动为二者之和。从表现形式上可分为 3 种基本类型，即周期差抖动、周期抖动和长期抖动。
- $T_{CO}$ （Clock to Output）是指时钟触发开始到有效数据输出的器件内部所有延时的总和。
- Setup time（建立时间）是指在触发器的时钟信号上升沿到来前，数据稳定不变的时间。如果建立时间不够，数据将不能在这个时钟上升沿被送入触发器。
- Hold time（保持时间）是指在触发器的时钟信号上升沿到来后，数据稳定不变的时间。如果保持时间不够，数据同样不能被送入触发器。
- BufferDelay（缓冲延迟）是指信号经过缓冲器达到有效的电压输出所需要的时间。

对于  $U_{15}$  到  $U_{27}$ :

$$T_{flight\_time\_max} \leq 15.15 - 5.10 - 0.70 - 0.40 - 0.40 - 4.50 = 4.05(\text{ns})$$

$$T_{flight\_time\_min} \geq 0.35 - 1.20 + 0.70 + 0.40 = 0.25(\text{ns})$$

对于  $U_{27}$  到  $U_{15}$ :

$$T_{flight\_time\_max} \leq 15.15 - 5.30 - 0.70 - 0.40 - 0.40 - 4.30 = 4.05(\text{ns})$$

$$T_{flight\_time\_min} \geq 0.30 - 1.15 + 0.70 + 0.40 = 0.25(\text{ns})$$

## 3.6 分析工具

### 1. 约束条件管理器

约束条件管理器（Constraint Manager）提供了一个基于当前设计状态的高速规则及其状态的实时显示。它通过一个电子数据表接口使用户能够层次化地捕获、管理和验证各种不同的规则。约束条件管理器使设计者能够聚合某一（组）信号所有的高速约束条件，形成一个电气约束条件集，这个集可用来管理这一（组）信号或其他信号的实际执行——在 PCB 上的物理实现。

设计者可以通过约束条件管理器图形化地新建、编辑和检查约束条件集。一旦约束条件存在于数据库中，它们就会被用于驱动信号的布局、布线进程。等级化的约束条件管理意味着同一个约束条件可以运用在一个信号集上，也能用在其他信号集甚至是其他项目上。约束条件管理器完全集成于 Allegro 设计规则检查系统；不同的高速规则能够在设计程序进行过程中被实时地检查，而且检查的结果会在约束条件管理器电子数据表上呈现出来，任何不符合相关约束值的设计参数会被高亮显示。约束条件管理器也集成了信号完整性分析的结果，允许设计者管理基于仿真的电气约束条件。通过结合约束条件管理器电子数据表的信号完整分析所得出的时序结果及总线运行速度的知识，设计者可以据此了解到设计是否满足了系统级的时序要求。

在物理设计期间任何一点，可以调用约束条件管理器来察看与设计相关的高速约束条件信息。这个电子数据表提供了两种约束条件信息的察看方式。一种允许察看数据库中的不同的约束条件集及其相关的约束值；另一种方式显示系统中所包含的不同网络，和这些网络对应的约束条件集的名字及其相关的约束值。约束条件管理器在电子数据表里约束值的旁边显示了实时的设计分析结果，并用颜色代码区分结果的成败。设计的任何改动将立刻反映到电子数据表中，使设计者能看到改动带来的影响。

在 Allegro PCB SI 中就可调用约束条件管理器，约束条件管理器窗口如图 3-6-1 所示。

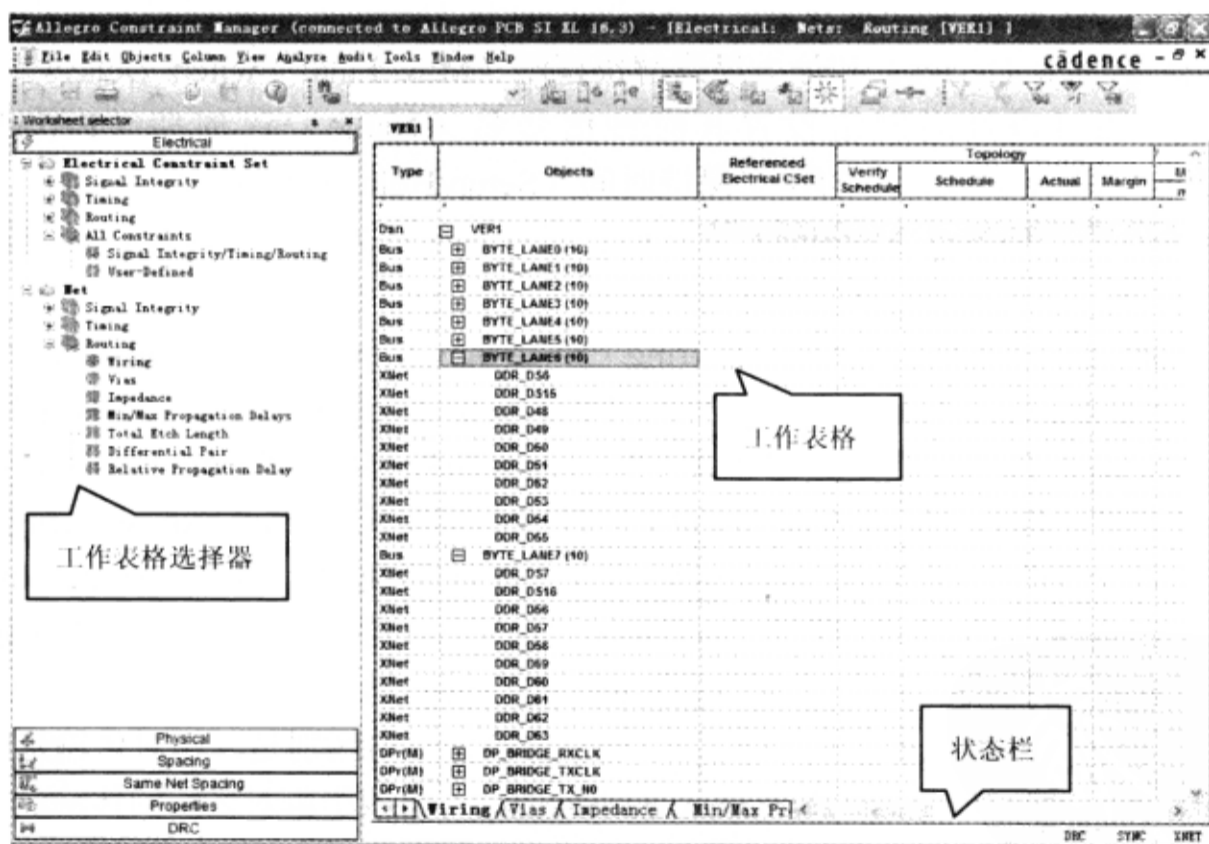


图 3-6-1 约束条件管理器窗口

约束条件管理器窗口的左边一栏为工作表格选择器 (Worksheet Selector) 用于选择右方的工作表格栏里显示的内容。正如前面所提到的，约束条件管理器有两种显示方式，一种是于电气约束条件集 (Electrical Constraint Set, ECSet)，另一种基于 Net 信号，这两种方式已经在工作表格选择器这一栏里很好地呈现出来了。层次化的约束条件可通过选项前面的“+/-”符号展开和收拢。无论是基于 ECSet 的，还是基于 Net 的，均包含 3 个主要的子集，

即信号完整性（Signal Integrity）、时序（Timing）和布线（Routing）。

约束条件管理器窗口的右边一栏就是工作表格（Worksheet）所有约束条件都在这里新建、编辑和检查。图 3-6-1 所示的是以 Net 方式显示的，可以看到在“Objects”一栏的“VER1”即当前项目名，再下面的“DDR\_DS6”等就是此项目包含的所有网络。如果以 ECSets 方式显示，在项目名下将是此项目包含的所有电气约束条件集。

约束条件管理器窗口的下方一栏为状态栏（Status Bar）显示了约束条件管理器当前所处的状态（软件反馈给用户的信息），可以视为一个实时的帮助系统。

上面已经提到，电气约束条件集包含 3 个子集：信号完整性的、时序和布线。下面介绍电气约束条件集的各个子集的内容。

信号完整性子集包含反射（Reflection）、边缘失真（Edge Distortions）、串扰（Crosstalk）、同步开关噪声（SSN）4 个子集。其中反射子集可设置过冲（Overshoot）比例和最小噪声裕量（Min Noise Margin）；边缘失真子集可设置边缘灵敏度（Edge Sensitivity）及最初开关事件（First Incident Switch），这两项与上升沿/下降沿的单调性有关；串扰子集可对活动串扰窗口（Active Xtalk Window）、敏感串扰窗口（Sensitive Xtalk Window）、最大串扰值（Max Xtalk，指附近所有 Net 带来的串扰）和最大峰值串扰（Max Peak Xtalk，指单 Net 带来的最大串扰）进行设置；同步开关噪声子集可设置最大同步开关噪声值（Max SSN）。

时序子集包含开关延时和解决延时（Switch/Settle Delays），可以设置最小初次开关延时（Min First Switch Delays）和最大最终解决延时（Max Final Switch Delays）；在以 Net 方式显示时，还可以针对网络设置其时钟信号名（Name）、周期（Period）、抖动（Jitter）、偏差（Skew）及信号的建立保持时间（Setup/Hold Time）等，并据以上数据计算出信号的时序裕量（Timing Margins），从而让设计者能够方便、实时地察看设计是否满足时序上的要求。

布线（Routing）子集包含布线（Wiring）、阻抗（Impedance）、最大/最小传输延时（Max/Min Propagation Delays）、总线长（Total Etch Length）、相对传输延时（Relative Propagation Delays）5 个子集。其中布线子集可设置拓扑结构（Topology）、截线长（Stub Length）、最大过孔数量（Max Via Count）、最大暴露线长（Max Expose Length）、最大平行线长（Max Parallel）；阻抗子集下定义想要达到的阻抗值及容差（Target Impedance, Tolerance）；最大/最小传输延时子集可设置任意两引脚间的最大或最小的传输延时；总线长子集定义的是这个 Net/Xnet（Xnet 指 Differential Net）上所有实际布线线段的长度之和的最大/最小值；相对传输延时子集和上面最大/最小传输延时的区别是，相对传输延时是比较了一组 Net/Xnet（如总线）或是同一 Net/Xnet 的不同驱动、接收引脚对之间的传输延时之差。

从上面的设置选项中可以看到，Allegro PCB SI 为用户提供了比较详细的约束条件，这些设置选项和高速电路设计所带来的诸多问题息息相关。



说明

上述约束条件并没有包括诸如线宽、线间距等布线规则，这类规则需要在 Allegro PCB SI 的 Constraint System Master 中定义。

## 2. SigXplorer

SigXplorer 是一个图形化的环境，用于探测、分析和定义信号互联策略，提供了物理互联的电子视图。它允许电气工程师从电气的立场探究不同的布局、布线策略，并制定一套全面的设计规则。SigXplorer 可以从布局阶段（布线前）和完成阶段（布线后）的.brd 文件中提取网络的电子视图，各元器件的模型能够被详细地分析和编辑。

SigXplorer 将网络电气模型及其相关地仿真结果显示在一个独立的窗口中。窗口的上端显示了网络的拓扑模型，而窗口下面的部分包含了一系列的电子数据表，这些电子数据表显示可编辑的电路参数，控制仿真所运行的模式和测量单位，以及对应的仿真结果。图 3-6-2 所示为 SigXplorer 的界面图。

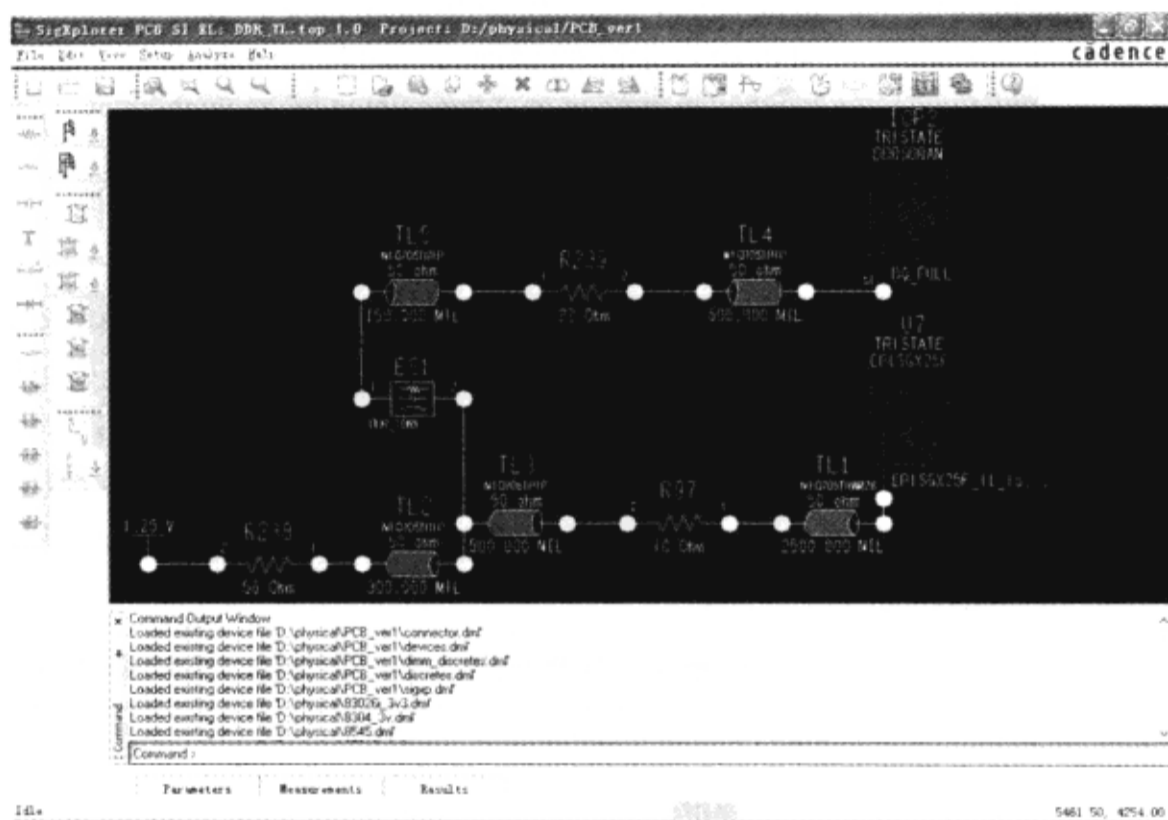


图 3-6-2 SigXplorer 的界面图

一旦适当的电气设计规则确定下来，SigXplorer 允许捕获设计的约束条件作为一个 ECSet (Electrical Constraint Set, 电气约束条件集)，并将其输入到约束条件管理器中，驱动 PCB 物理设计进程。

在 Allegro PCB SI 的高速设计过程中 SigXplorer 提供的 3 个功能如下所述。

1) 布线前拓扑结构的探究和解决方案的空间分析 SigXplorer 的仿真分析策略和几乎所有的 EDA 软件一样，并不能足够智能地自动搜寻出最佳的解决方案，而是在设计者设定好仿真的环境及给定参数的值后，给出软件的分析结果。这种被称为“what if”分析方式可以比较方便地探索不同的布线策略、元器件值和设计容差带来的影响。参数扫描分析适合于给一个非确定性的电路级行为建模，并为最终设计定义适宜的约束条件。例如，当工程师在某几个参数未确定的情况下，需要找出一个可行的解决方案，这时可以在一定范围内扫描其中的一些设计参数，如差分阻抗、线延迟等，然后通过仿真结果及设计的要求筛选出适宜的剩下参数的值，如差分信号的布线宽度、间隙 (Gap) 和最大无耦合长度等物理执行参数。

这正是前仿真需要完成的工作。

2) 用模板驱动设计 SigXplorer 允许布线策略以图形方式获取并输入到 PCB 数据库中 (.brd 文件)。SigXplorer 可以用于图形化定义包括引脚排列顺序, 任一“T-points” (虚拟引脚) 的位置, 终端位置, 和 Net 上的其他分离器件在内的期望的布线策略。高速布线规则包括物理或电气长度、目标阻抗、物理或电气长度的匹配要求、残余线长 (Stub Lengths)、EMI 约束条件和其他高速规则, 这些都被提取成为拓扑模板的一部分。上面对约束条件管理器的介绍中也提到了单个约束条件集是以 .top 文件的方式保存的, 而拓扑模板的文件格式则是 .top 文件。

3) 布线后分析 SigXplorer 所提取出的拓扑模板详细地描述了 Net 的物理实现方式, 包括详细的布线串扰特征模型、布线叠层、过孔模型和布线长度。设计者通过提取出布线后的 Net 模型, 并对其进行仿真, 可以检查实际的物理执行过程 (布局布线) 是否有与设计意图相违背的地方; 或者是已知某些不可避免的改动, 通过仿真来验证这种改动带来的关于高速设计问题的影响。这就是后仿真的仿真验证功能。

### 3. SigWave

SigWave 波形显示器作为 SigNoise 仿真子系统的一个组件, 可以被 Allegro PCB SI 中的多个工具调用以显示波形。SigWave 能够显示多种格式的仿真结果, 如 Hspice、Quad 等; 同时也可以将当前波形存为 .sim 格式文件或以 Bitmap (位图)、JPEG 等图形格式, 以及 Spreadsheet 表格文本格式输出。SigWave 支持对波形进行缩小或放大、显示或隐藏、添加或删除各种测量标志和注释, 更改显示的颜色, 还提供了诸如频谱图、眼图等显示模式。图 3-6-3 所示的是 SigWave 的标准界面。

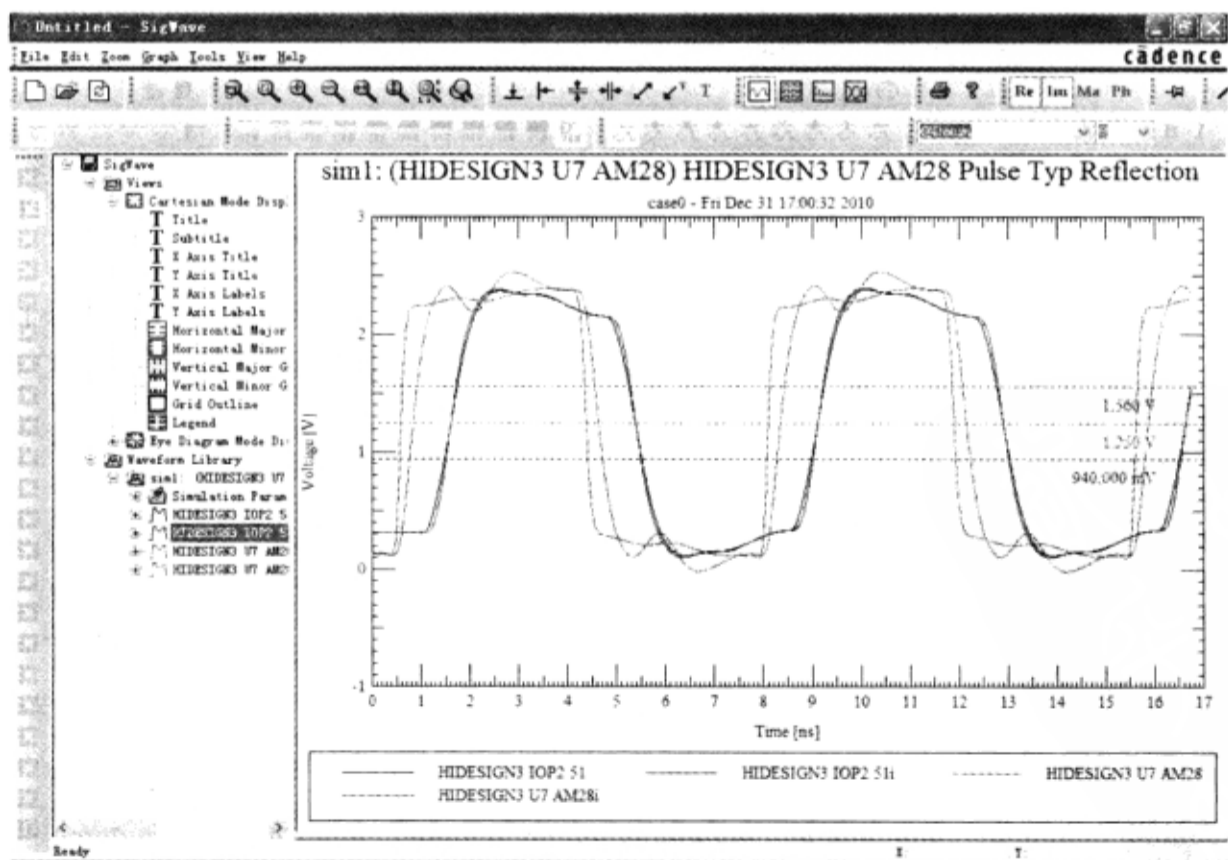


图 3-6-3 SigWave 标准界面



图 3-6-3 所示窗口的左边一栏是层次树区域 (Hierarchy Tree Area)，用于选择、编辑右方主窗口所显示的内容，窗口的右边一栏是波形显示窗口，包括 3 个部分，最上方是波形图的名称，中间是波形图，最下方显示了波形图中正在显示的所有信号的信号名。窗口的最下方同样是状态栏，显示了 SigWave 所处的状态和光标处于波形图的位置 (横坐标、纵坐标的值) 等。

### 3.7 创建总线 (Bus)

**【本节目的】** 学习创建总线的方法。

**【使用软件】** Allegro PCB SI XL 和 Allegro Constraint Manager

**【使用文件】** physical\PCB\_ver1\hidesign2.brd

**【操作步骤】**

(1) 启动 PCB SI → 选择 Allegro PCB SI XL 产品 → 执行菜单命令 “File” → “Open” → 打开 D:\physical\PCB\_ver1\hidesign2.brd 文件，如图 3-7-1 所示。

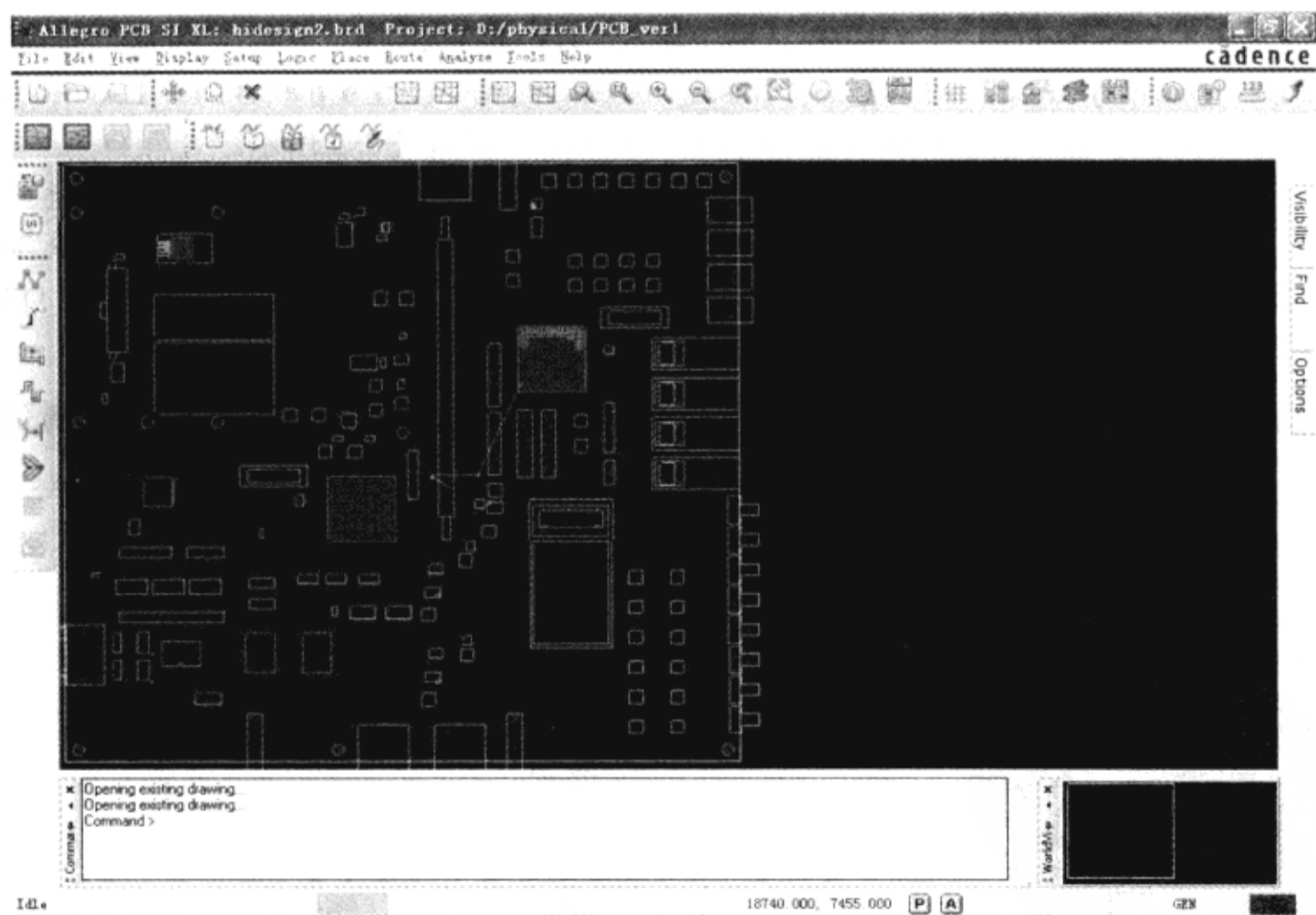


图 3-7-1 打开 PCB 文件

(2) 执行菜单命令 “Logic” → “Identify Buses”，弹出 “Identify Buses” 对话框，如图 3-7-2 所示。

(3) 在 “Identify Buses” 对话框的 “Buses” 区域单击 “Add Bus” 按钮，弹出 “Allegro PCB SI XL” 对话框 → 输入要创建的总线的名称，如图 3-7-3 所示。

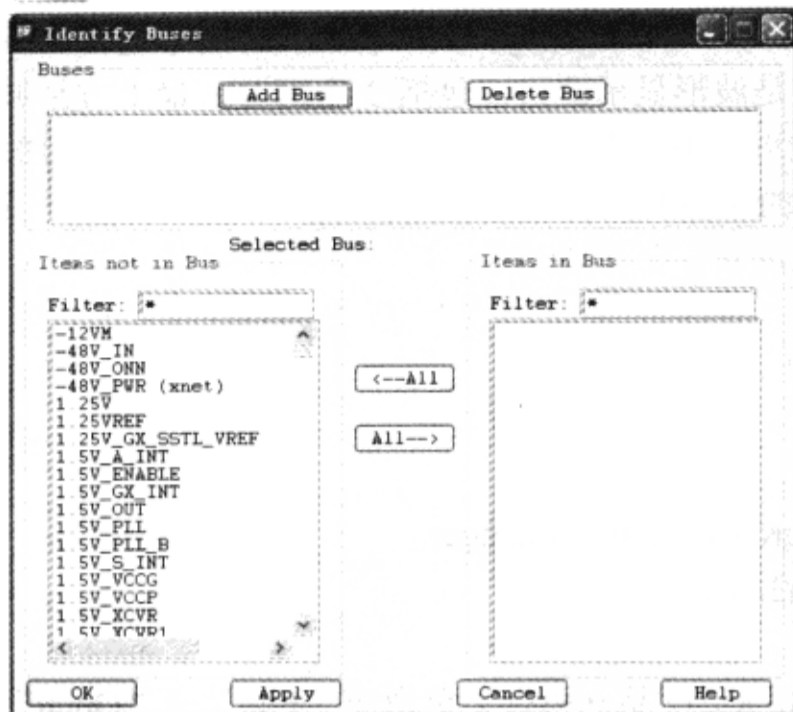


图 3-7-2 “Identify Buses” 对话框

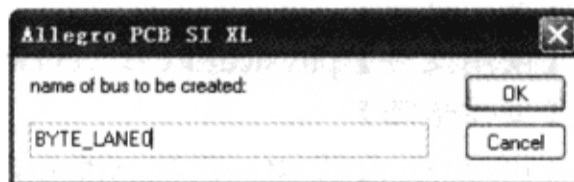


图 3-7-3 “Allegro PCB SI XL” 对话框

(4) 在“Allegro PCB SI XL”对话框中输入“BYTE\_LANE0”→单击“OK”按钮，可以看到在“Identify Buses”对话框的“Buses”区域的列表中已经显示“BYTE\_LANE0”，并且在列表框底部显示“Selected Bus: BYTE\_LANE0”，如图 3-7-4 所示。

(5) 在“Identify Buses”对话框的“Items not in Bus”区域的“Filter”栏输入“DDR\_D\*”→按“Tab”键。单击下面列表框中过滤出来的网络，选择网络 DDR\_D0、DDR\_D1、DDR\_D2、DDR\_D3、DDR\_D4、DDR\_D5、DDR\_D6、DDR\_D7、DDR\_DS0、DDR\_DS9，这些网络自动转移到“Items in Bus”的列表框中，如图 3-7-5 所示。

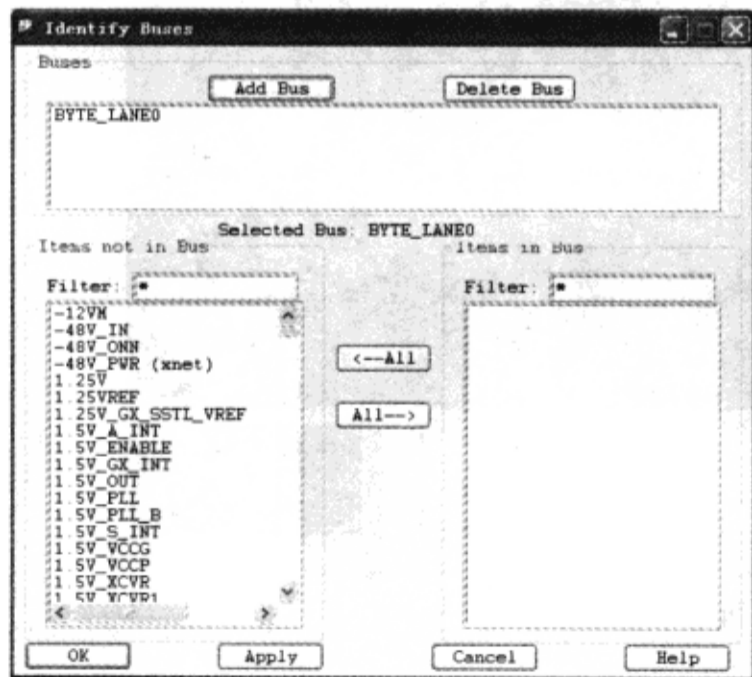


图 3-7-4 “Identify Buses” 对话框

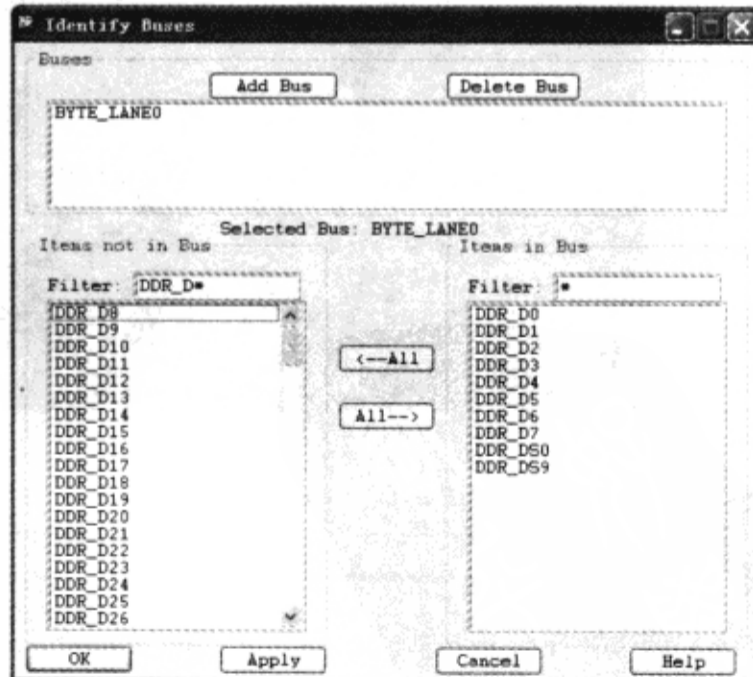


图 3-7-5 添加网络

(6) 在“Identify Buses”对话框中单击“Apply”按钮，现在已经添加了总线“BYTE\_LANE0”。

(7) 按照此方法再依次添加总线，如图 3-7-6 所示。

- DDR\_D8、DDR\_D9、DDR\_D10、DDR\_D11、DDR\_D12、DDR\_D13、DDR\_D14、DDR\_D15、DDR\_DS1、DDR\_DS10 组成总线 BYTE\_LANE1。
- DDR\_D16、DDR\_D17、DDR\_D18、DDR\_D19、DDR\_D20、DDR\_D21、DDR\_D22、DDR\_D23、DDR\_DS2、DDR\_DS11 组成总线 BYTE\_LANE2。
- DDR\_D24、DDR\_D25、DDR\_D26、DDR\_D27、DDR\_D28、DDR\_D29、DDR\_D30、DDR\_D31、DDR\_DS3、DDR\_DS12 组成总线 BYTE\_LANE3。
- DDR\_D32、DDR\_D33、DDR\_D34、DDR\_D35、DDR\_D36、DDR\_D37、DDR\_D38、DDR\_D39、DDR\_DS4、DDR\_DS13 组成总线 BYTE\_LANE4。
- DDR\_D40、DDR\_D41、DDR\_D42、DDR\_D43、DDR\_D44、DDR\_D45、DDR\_D46、DDR\_D47、DDR\_DS5、DDR\_DS14 组成总线 BYTE\_LANE5。
- DDR\_D48、DDR\_D49、DDR\_D50、DDR\_D51、DDR\_D52、DDR\_D53、DDR\_D54、DDR\_D55、DDR\_DS6、DDR\_DS15 组成总线 BYTE\_LANE6。
- DDR\_D56、DDR\_D57、DDR\_D58、DDR\_D59、DDR\_D60、DDR\_D61、DDR\_D62、DDR\_D63、DDR\_DS7、DDR\_DS16 组成总线 BYTE\_LANE7。

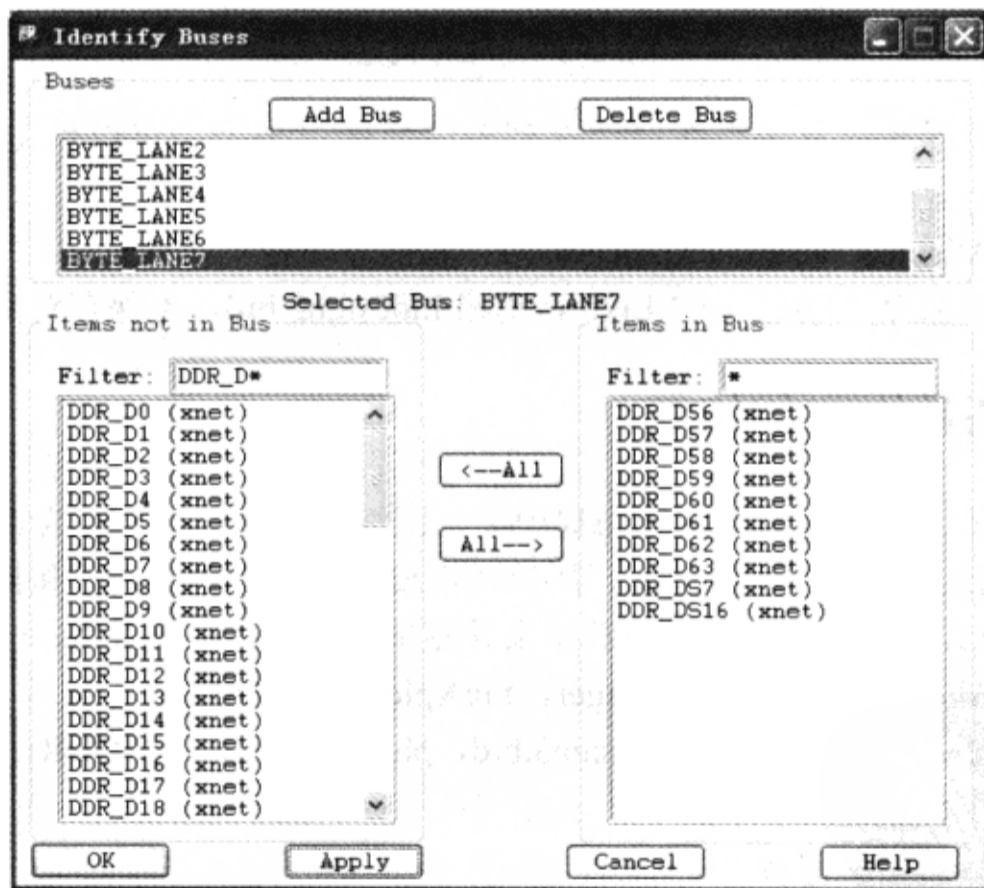


图 3-7-6 添加网络

(8) 单击“OK”按钮，关闭“Identify Buses”对话框。

(9) 在“Allegro PCB SI XL”窗口中执行菜单命令“Setup”→“Constraint”→“Electrical...”，弹出“Allegro Constraint Manager”窗口，单击“Net”层次下“Routing”前的“+”号→单击弹出的“Wiring”表格符号→右侧表格区域弹出网络列表，如图 3-7-7 所示。

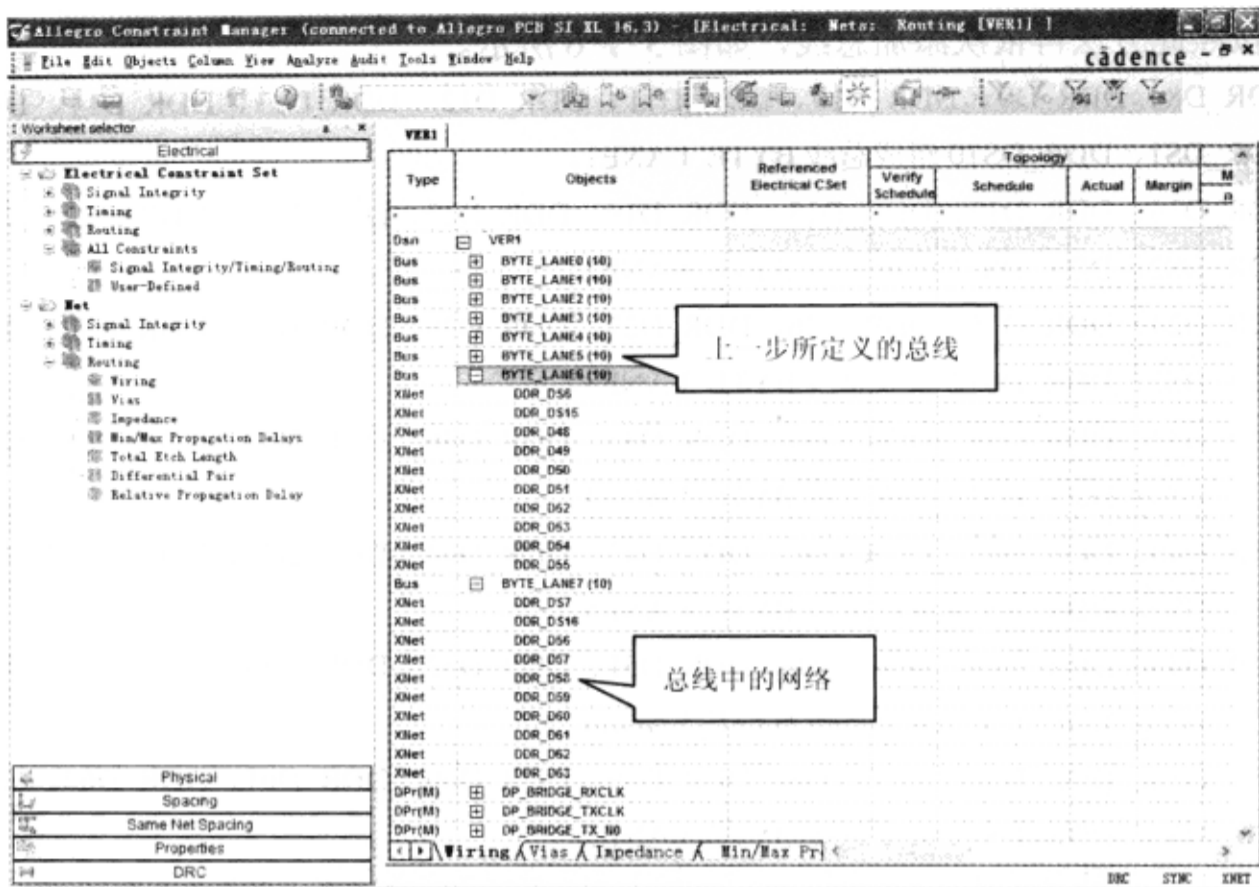


图 3-7-7 显示网络

可以看到刚刚定义的总线现在已经在列表中显示出来了，可以单击某个网络前面的“+”号来查看该总线中的网络。

(10) 关闭“Allegro Constraint Manager”窗口。

(11) 执行菜单命令“File”→“Exit”，退出 hidesign2.brd，不保存对文件的修改。

### 3.8 预布局拓扑提取和仿真

**【本节目的】** 本节主要学习提取预布局中某一网络的拓扑结构，因为是预布局拓扑结构的仿真，并不是高速 PCB 的实际情况，所以还需要对其进行网络调整和拓扑结构修改，然后对其进行反射仿真，最后观测反射仿真结果并测量各个仿真结果参数。

**【所用工具】** Allegro Constraint Manager, SigXplorer PCB SI XL。

**【所用文件】** physical\PCB\_ver1\hidesign3.brd, physical\PCB\_ver1\DDR\_DS0.top, physical\PCB\_ver1\DDR\_MS.top。

#### 1. 预布局拓扑提取的设置

(1) 打开 D:\physical\PCB\_ver1 目录下的 hidesign3.brd，执行菜单命令“Analyze”→“SI/EMI Sim”→“Preferences”，弹出“Analysis Preferences”对话框，如图 3-8-1 所示。

➤ “Buffer Delays”选项。

✧ From Library: 指定仿真器获得库中模型的缓冲器延迟（默认）。

✧ On the Fly: 指定仿真器测量缓冲延迟，并在以后的计算中使用这些延迟。

(2) 在“DeviceModels”标签页确保“Use Defaults For Missing Components Models”被

选中。当没有为元器件分配信号模型时，PCB SI 使用在窗口中列出的默认的 IOCell 模型。可以分配希望作为默认的任何 IOCells，但是 PCB SI 必须知道库的位置。

(3) 单击“InterconnectModels”标签页，设置互连参数，如图 3-8-2 所示。

➤ Unrouted Interconnect Models

- ◇ Percent Manhattan: Manhattan 距离 (dx+dy) 函数作为 Trace 的长度，默认为 100%。
- ◇ Default Impedance: 被用于建立互连模型默认 Trace 阻抗值，典型值为 50~75Ω。
- ◇ Default Prop Velocity: 信号在 Trace 上传输的速度为光速  $c$  ( $3 \times 10^8$  m/s)， $\epsilon_{\text{reff}}$  是在互连中的有效的绝缘常数。
- ◇ Default Diff-Impedance: 未布线传输线的默认差分阻抗，默认值是 100Ω。

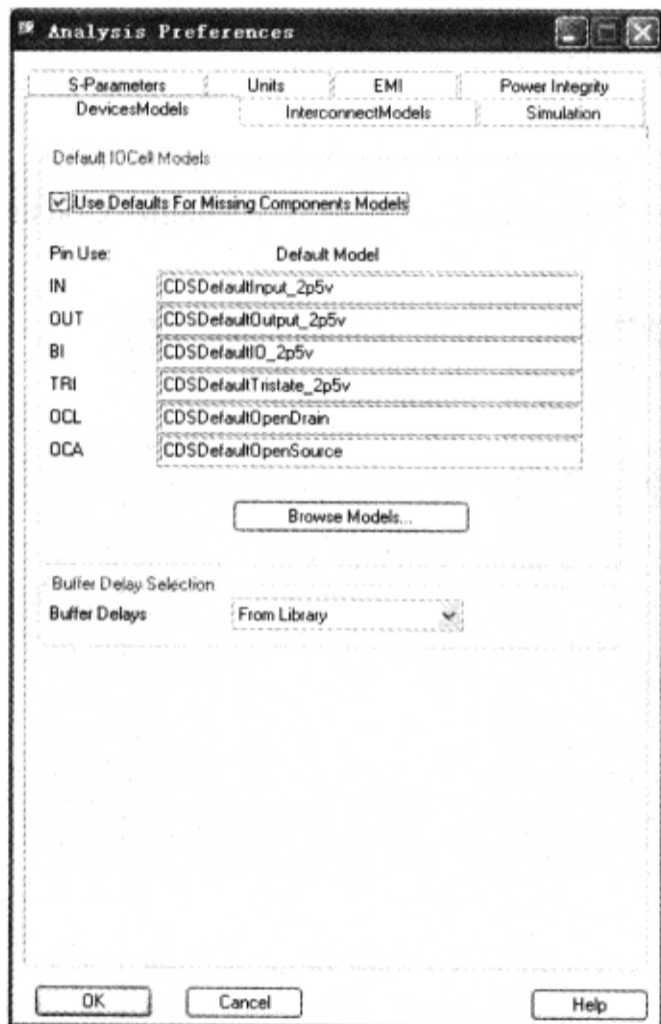


图 3-8-1 “Analysis Preferences” 对话框

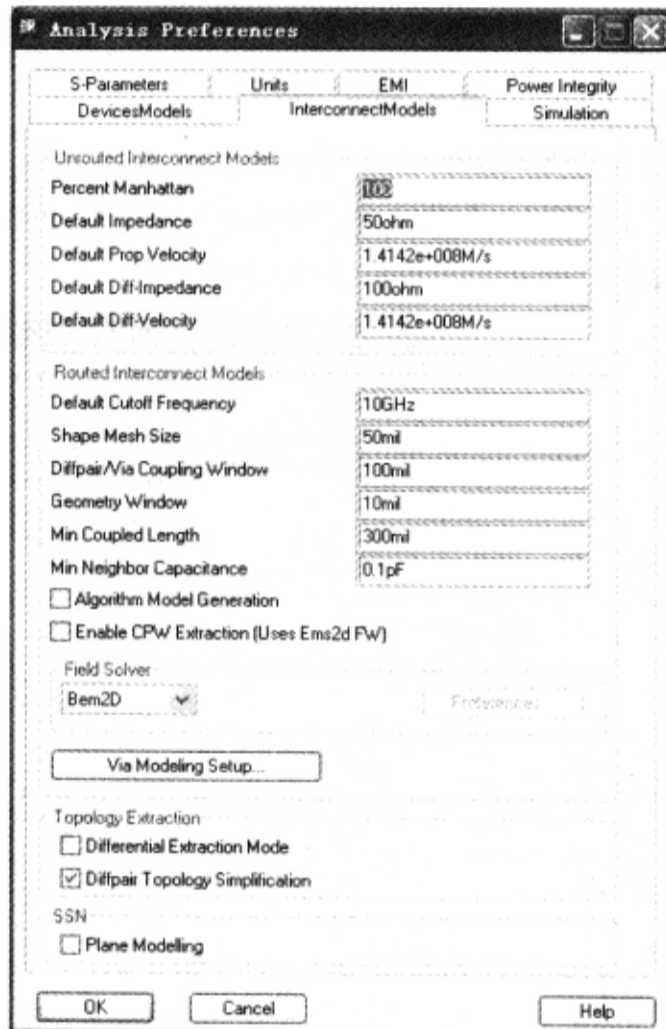


图 3-8-2 设置互连参数

- ◇ Default Diff-Velocity: 未布线传输线的默认差分速率，默认值是 1.4142e+008m/s。

➤ Routed Interconnect Models

- ◇ Cutoff Frequency: 截止频率，默认为 0GHz。
- ◇ Shape Mesh Size: Shape 网格的尺寸。
- ◇ Via Mode Setup: 过孔建模形式。

➤ Topology Extraction

- ◇ Differential Extraction Mode: 差分提取模式。
- ◇ Diffpair Topology Simplification: 差分对拓扑简化。



➤ SSN

◇ Plane Modeling 平面建模。

(4) “Unrouted Interconnect Models” 区域中，设置“Percent Manhattan”为100，“Default Impedance”为50，“Default Prop Velocity”为1.4142e+008M/s，截至频率设置为10GHz。

速率和传输延迟的计算公式为

$$\left( \text{velocity} = \frac{C}{\sqrt{\epsilon_r}} = \frac{3 \times 10^8}{\sqrt{\epsilon_r}} = 1.4142 \times 10^8 \text{ m/s} \right) \Rightarrow (\epsilon_r = 4.5)$$

$$\text{PropDelay} = t_{pd} = \frac{\text{length}}{\text{velocity}}$$

(5) 单击“OK”按钮，关闭“Analysis Preferences”对话框。

## 2. 预布局拓扑提取分析

### 1) 提取拓扑

(1) 执行菜单命令“Setup”→“Constraint”→“Electrical...”，弹出“Allegro Constraint Manager”窗口，如图3-8-3所示。

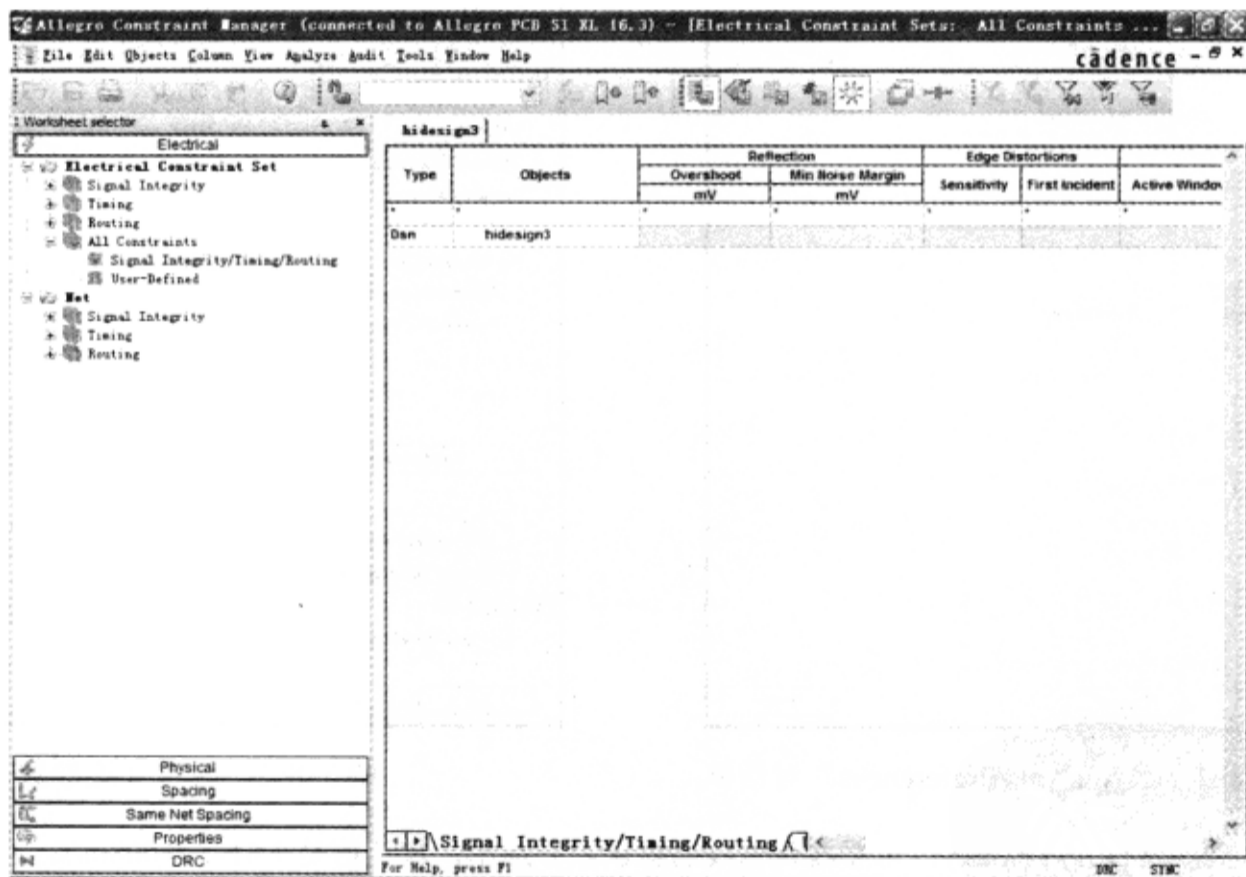


图 3-8-3 “Allegro Constraint Manager” 窗口

(2) 单击“OK”按钮，关闭“Tip of the Day”窗口。看到左侧“Electrical”部分有两个最高层次，即“Electrical Constraint Set”和“Net”。

(3) 单击“Net”层次下“Routing”前的“+”号→单击弹出的“Wiring”表格符号→右侧表格区域弹出网络列表→找到表格到 **BYTE\_LANE0** →单击前面的“+”号，显示这个总线包含的所有网络，如图3-8-4所示。

(4) 在“Allegro Constraint Manager”窗口，执行菜单命令“Tools”→“Options”，弹

出“Options”对话框，具体设置如图3-8-5所示。

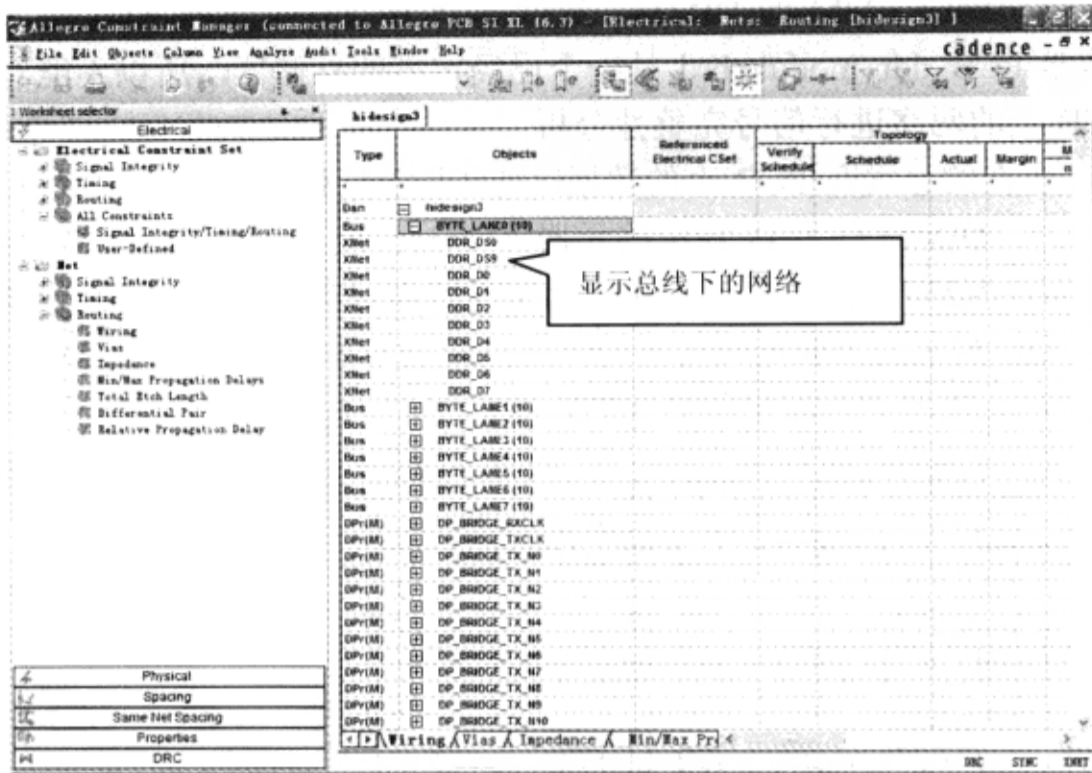


图 3-8-4 显示 BYTE\_LANE0 总线

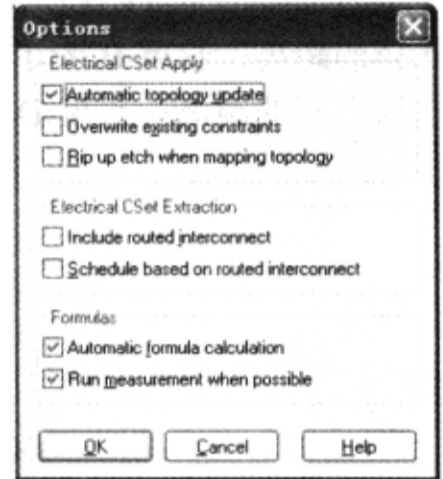


图 3-8-5 “Options”对话框

(5) 单击“OK”按钮，关闭“Options”对话框。

(6) 在表格中选择“DDR\_DS0”→单击鼠标右键→从弹出菜单选择“SigXplorer...”，弹出“SigXplorer PCB SI XL”窗口，DDR\_DS0的拓扑显示在该窗口中，如图3-8-6所示。

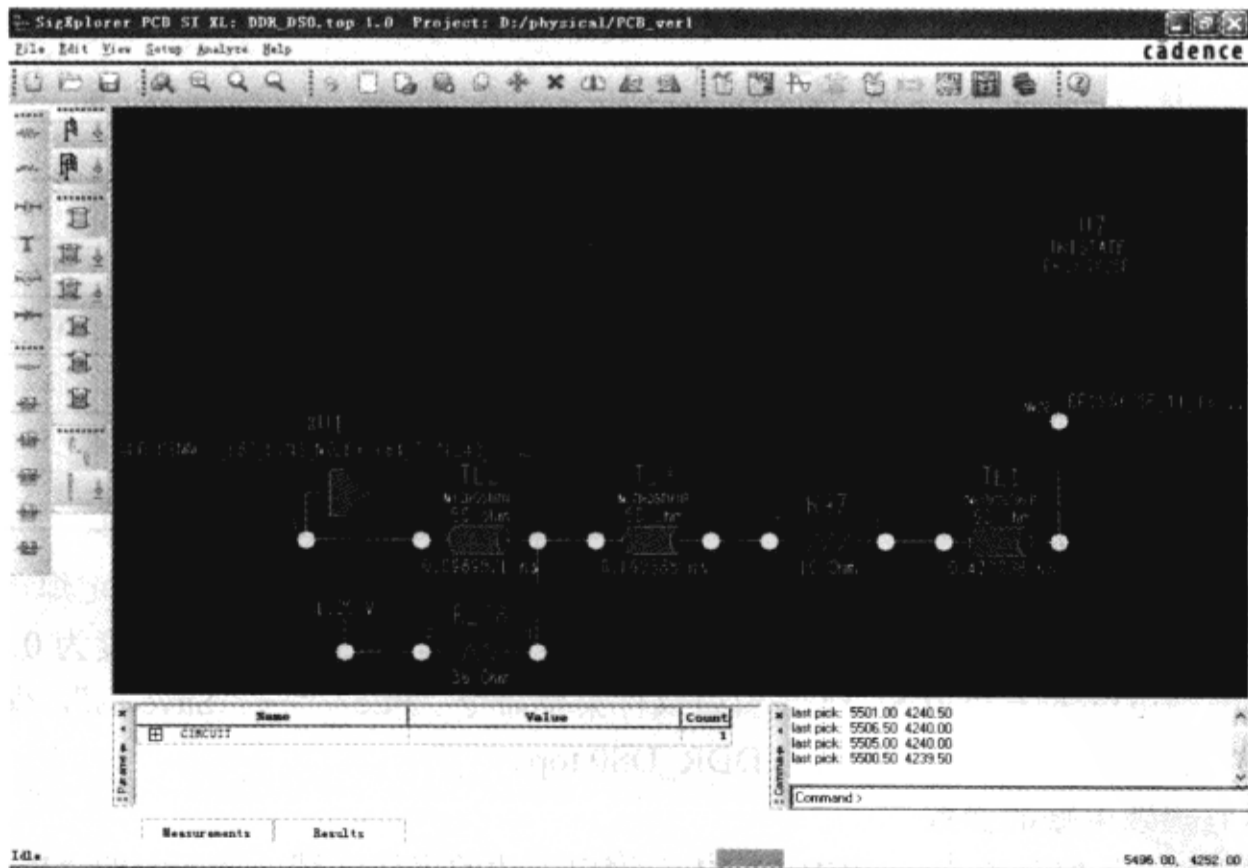


图 3-8-6 DDR\_DS0 网络的拓扑

该拓扑结构是该 PCB 中 133MHz DDR 数据总线的一部分, 存储器 PCB ddr\_module.brd 是由 Micron 公司生产的 184 个引脚的 128M 的 DIMM, 通过本 PCB 上的连接器 XU1 连接到本 PCB 上。但是由于存储器 PCB ddr\_module.brd 是一个已经定型的存储器, 所以不能对其有任何更改, 只能对本 PCB 上的网络进行信号完整性分析。

图 3-8-7 所示的是该拓扑所在的总线在 PCB 上的数据比特线拓扑结构。其中, DDR 存储控制器代表 PCB 中元器件 U7; DIMM 代表 PCB 中的元器件 XU1;  $R_s$  代表 PCB 中的元器件 R97;  $R_p$  代表 PCB 中的元器件 R238; 长度 A 表示 U7 元器件固定焊盘到 ASIC 封装的球状体的距离; 长度 B 表示从 ASIC 封装到串联电阻之间的距离; 长度 C 表示从串联电阻到连接器之间的距离; 长度 D 表示从连接器到终端电阻之间的距离。

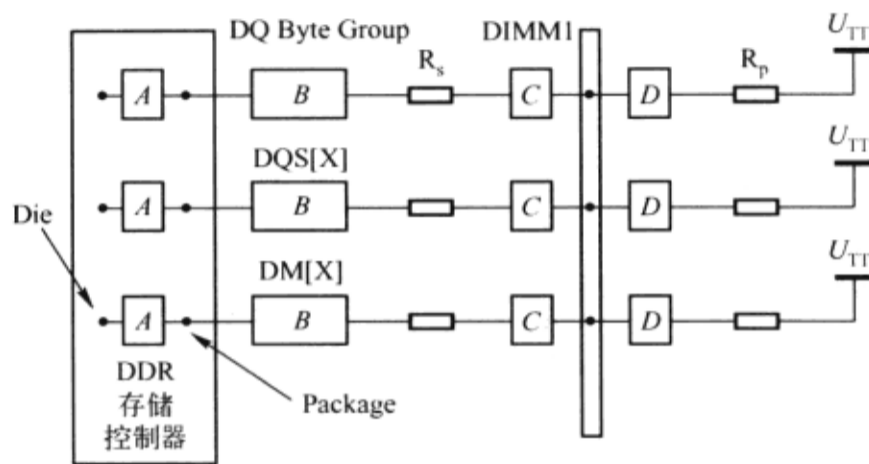


图 3-8-7 PCB 数据比特线拓扑结构

从 Micron 公司的设计指南中可以得到对与该拓扑方案的约束, 见表 3-8-1。

表 3-8-1 拓扑方案的约束

参 数	最 小 值	典 型 植	最 大 值
A	从控制器的生产商处得到		
B/in	1.5	—	2.8
C/in	0.4	—	0.6
D/in	0.2	—	0.55
总长度 (A+B+C)	2.4	—	3.2
Trace 阻抗/ $\Omega$	45	50	55
终端电压/V	1.0	1.25	1.5

通常不能得到 A 的长度, 但是在元器件的 IBIS 模型中, 包含有描述固定焊盘和引脚之间的寄生效应的 RLC 模型。为本实验目的, 在计算总长度时都假定 A 的长度为 0。

(7) 在“SigXplorer PCB SI XL”窗口执行菜单命令“File” → “Save as”, 保存拓扑于 D:\physical\PCB\_ver1 目录, 文件名为 DDR\_DS0.top。

## 2) 查看提取电路的参数

(1) 调整显示“SigXplorer PCB SI XL”窗口下边的表格区域, 最下面的“Parameters”栏被选择 → 单击“CIRCUIT”前面的“+”号, 如图 3-8-8 所示。

CIRCUIT		1
autoSolve	On	1
tlineDelayMode	time	1
userRevision	1.0	1

图 3-8-8 表格参数

(2) 单击“HIDESIGN3”前面的“+”号，列出了在 PCB hidesign3.brd 中组成这个电路拓扑的所有元器件，如图 3-8-9 所示。

HIDESIGN3		1
1.25V		1
R97		1
R238		1
TL1		1
TL2		1
TL3		1
U7		1
XU1		1

图 3-8-9 拓扑参数

(3) 单击电路元器件 TL1、TL2 和 TL3 前面的“+”号，每个传输线的约束见表 3-8-2。

表 3-8-2 传输线的约束

Parameter	TL1	TL2	TL3
impedance/ $\Omega$	50	50	50
propDelay/ns	0.470938	0.0980571	0.165585
traceGeometry	Microstrip	Microstrip	Microstrip
velocity/(mil/ns)	5567.68	5567.56	5567.87

(4) 单击“tlineDelayMode”的“Value”区域，一个带箭头的下拉菜单显示在文本框中→单击下拉箭头选择“length”→按“Tab”键，传输延迟以长度单位显示，如图 3-8-10 所示。

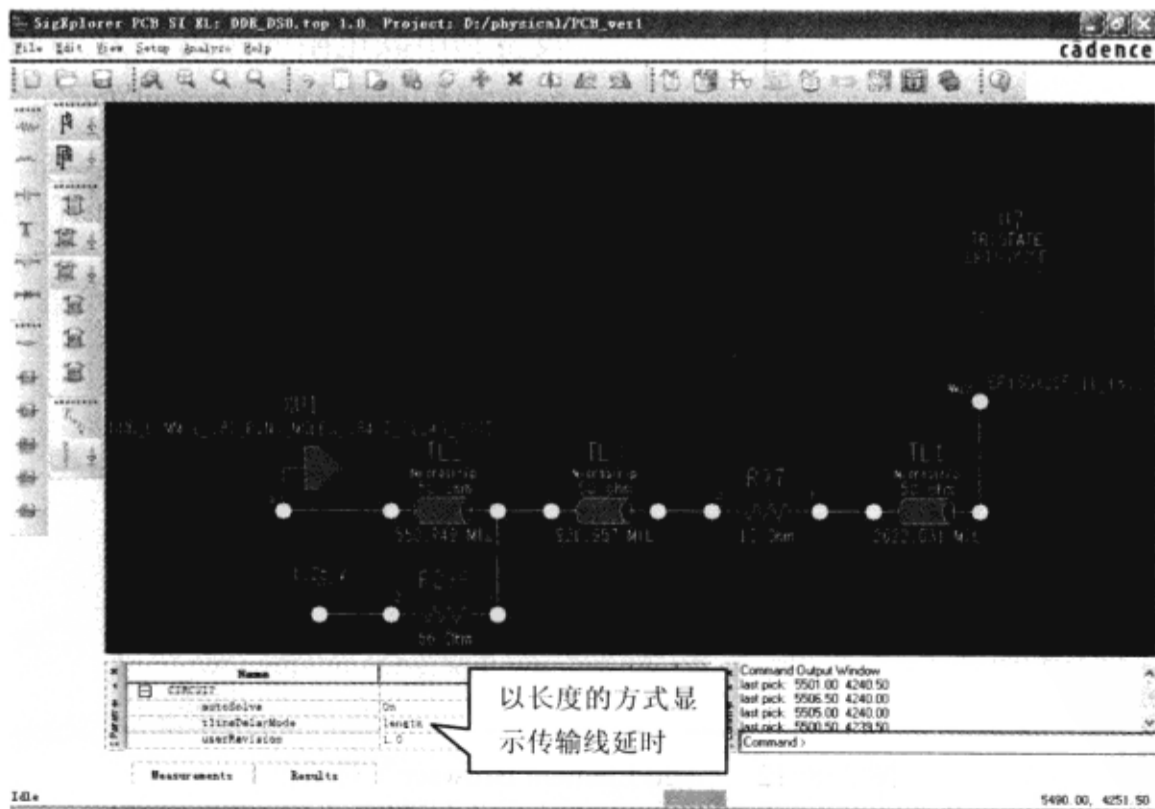


图 3-8-10 DDR\_DS0 网络拓扑

传输线的参数见表 3-8-3。

表 3-8-3 传输线的参数

Parameter	TL1	TL2	TL3
impedance/ $\Omega$	50	50	50
length/mil	2622.031	550.949	921.957
traceGeometry	Microstrip	Microstrip	Microstrip
velocity/(mil/ns)	5567.68	5567.56	5567.87

3) 网络调整 (Net Scheduling) 当前的拓扑中缺少驱动器/接收器对, 拓扑中可能用做驱动器或接收器的是 U7.AM28, 原因是 U7 的 AM28 引脚是一个 IOCell, 其“pinuse”属性是“BI”; 而 XU1 是 IO 元器件, 其引脚“pinuse”属性是“UNSPEC”; 其他元器件是 DISCRETE 元器件, 相应的引脚“pinuse”属性是“UNSPEC”; 引脚“pinuse”属性为“UNSPEC”的元器件不能作为驱动器或接收器。

仿真器在定义驱动器模型时, 该 IOCell 模型的“pinuse”属性应该是“OUT”、“BI”、“TRI”、“OCL”或“OCA”; 仿真器在定义接收器模型时, 该 IOCell 模型的“pinuse”属性应该是“IN”、“BI”或“TRI”。

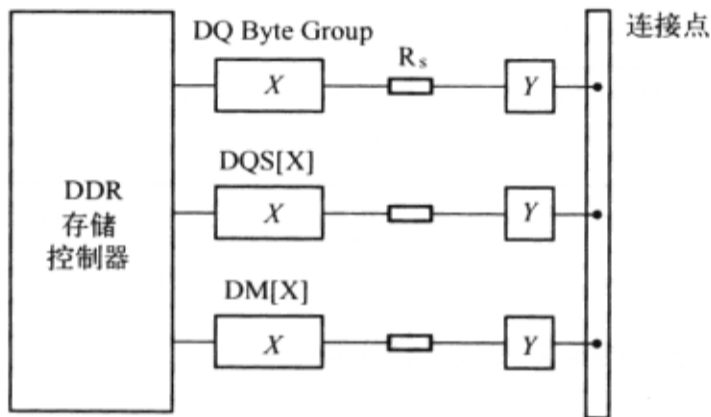


图 3-8-11 存储器数据比特线拓扑结构

为了进行仿真, 需要有一个驱动器/接收器对, 所以也需要连接器 XU1 到存储器 PCB 上的拓扑结构。因此, 需要添加存储器上的元器件模型、传输线模型和串联电阻模型。存储器的模型由生产商提供, 其数据比特线拓扑结构如图 3-8-11 所示, 其中长度  $X$  表示存储器设备到串联电阻的距离, 为 600mils; 长度  $Y$  表示串联电阻到电阻器的距离, 为 150mils; 串联电阻的阻值为  $22\Omega$ 。

(1) 在 SigXplorer 窗口执行菜单命令“Edit”→“Add Element...”, 打开“Add Element Browser”对话框, 如图 3-8-12 所示。

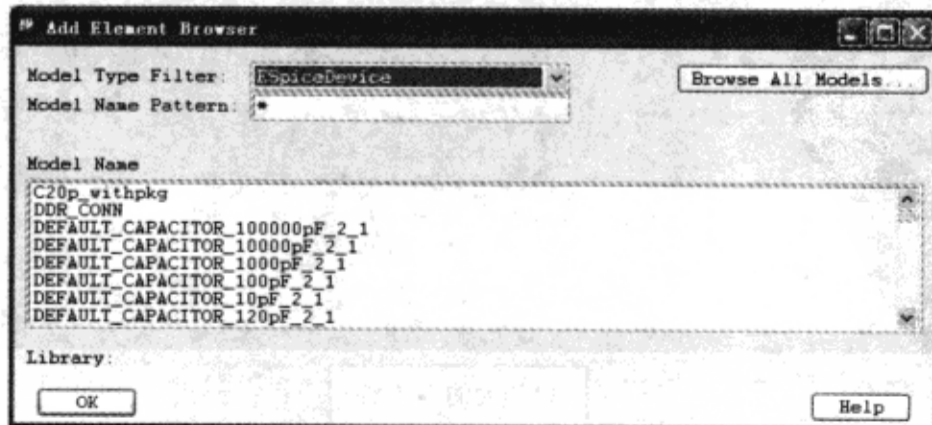


图 3-8-12 “Add Element Browser”对话框

(2) 在“Model Type Filter”栏的下拉菜单中选择“IbisDevice”, 如图 3-8-13 所示。



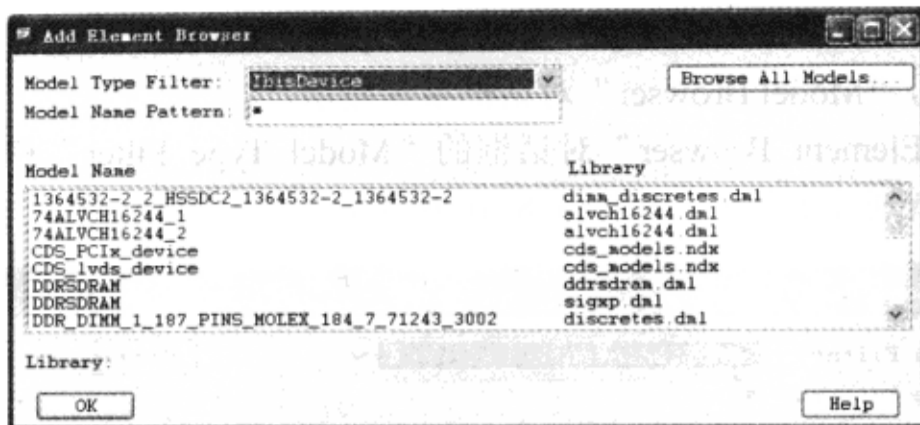


图 3-8-13 “Add Element Browser”对话框

(3) 在列表框中双击“DDRSDRAM”，打开“Select IBIS Device Pin”对话框，如图 3-8-14 所示。

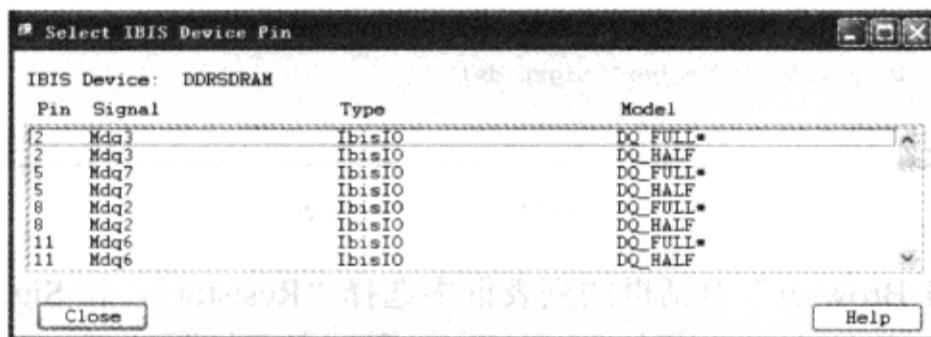


图 3-8-14 “Select IBIS Device Pin”对话框

(4) 在“Select IBIS Device Pin”对话框的列表框中选择包含“Pin51”和“DQ\_FULL”的那一行，这时，有一个模型附着在光标上，在 SigXplorer 窗口的适当位置单击鼠标左键，将该模型放置在 SigXplorer 窗口中，如图 3-8-15 所示。单击鼠标右键，在弹出的菜单中选择“End Add”。

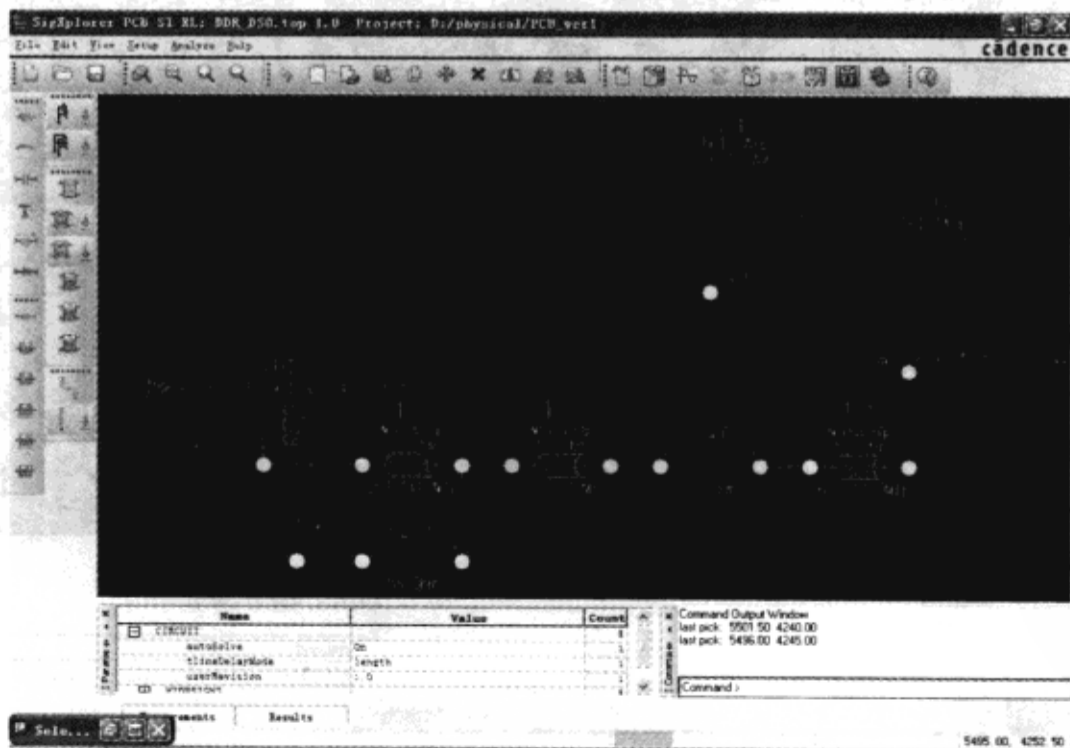


图 3-8-15 添加模型

(5) 在“Select IBIS Device Pin”对话框中单击“Close”按钮，关闭“Select IBIS Device Pin”对话框，“Model Browser”对话框重新显示。

(6) 在“Add Element Browser”对话框的“Model Type Filter”栏的下拉菜单中选择“GenericElement（普通元器件）”，如图3-8-16所示。

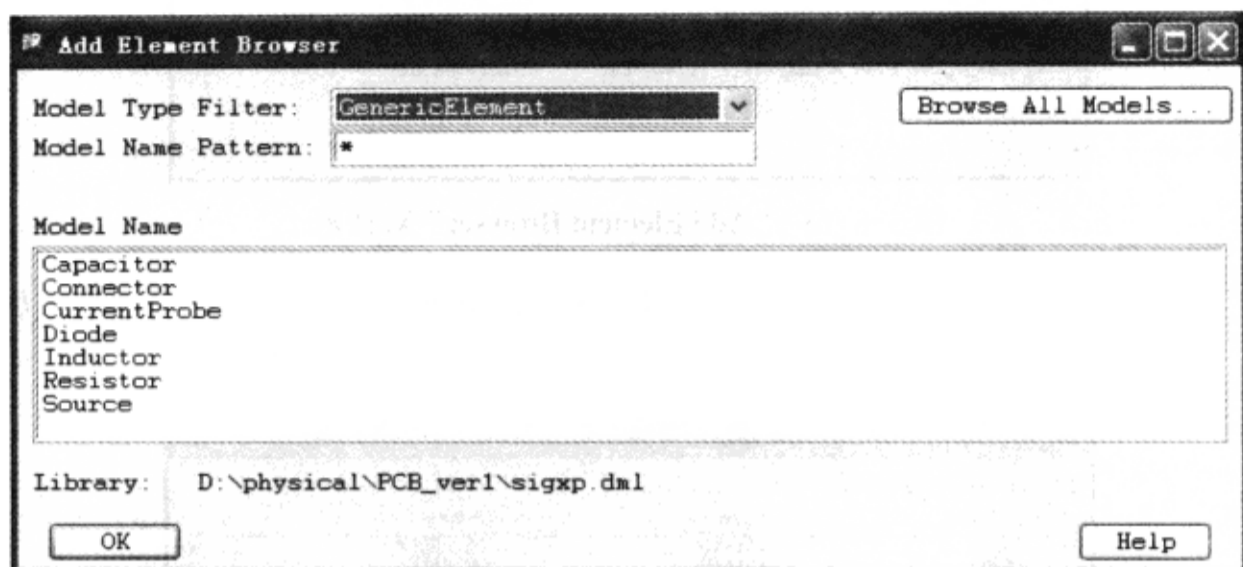


图 3-8-16 “Add Element Browser”对话框

(7) 在“Model Browser”对话框的列表框中选择“Resistor”，在 SigXplorer 窗口的适当位置单击鼠标左键，将该模型放置在 SigXplorer 窗口中，如图3-8-17所示。单击鼠标右键，在弹出的菜单中选择“End Add”。

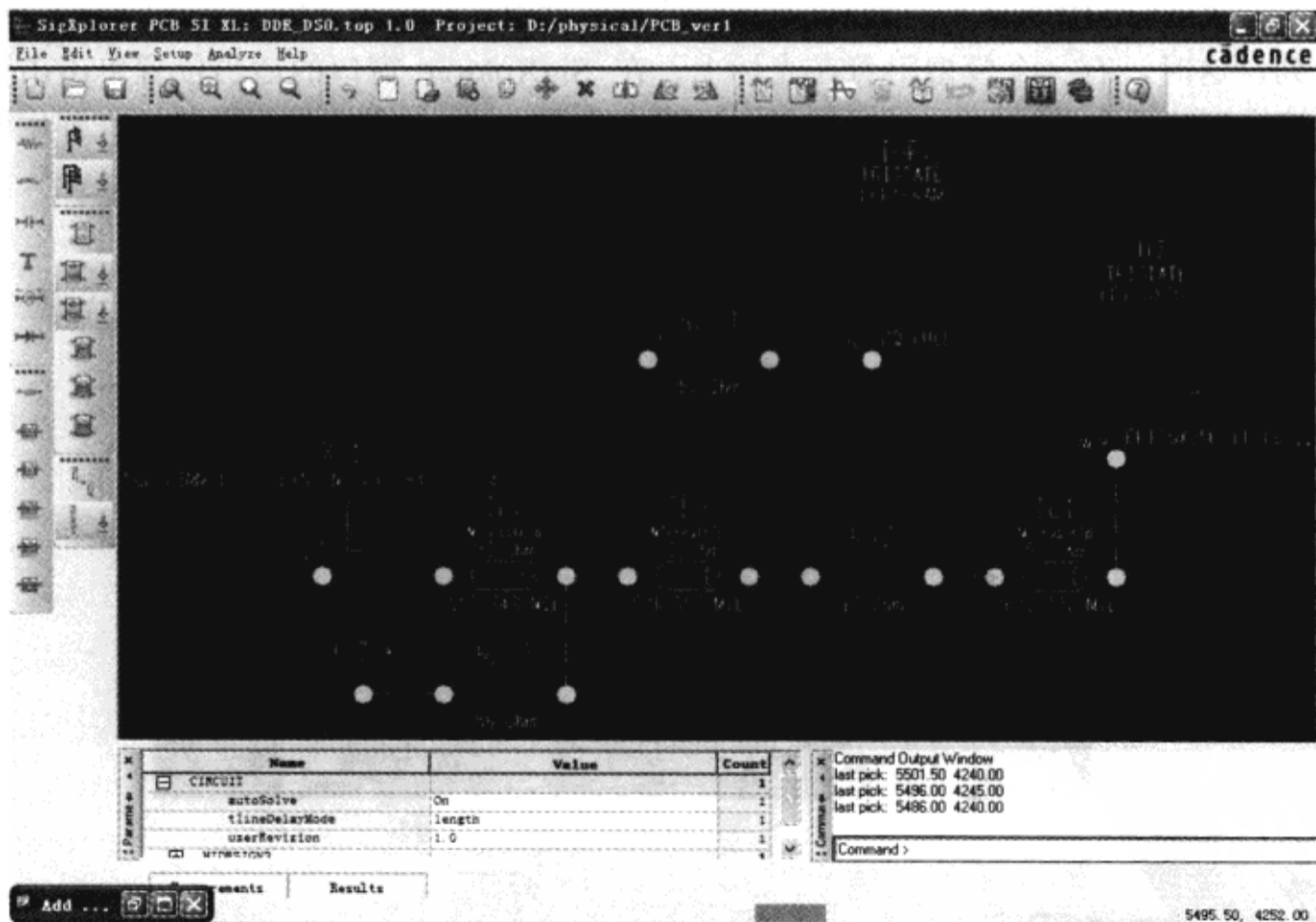


图 3-8-17 添加模型

(8) 在“Add Element Browser”对话框的“Model Type Filter”栏的下拉菜单中选择“Interconnect”，如图 3-8-18 所示。

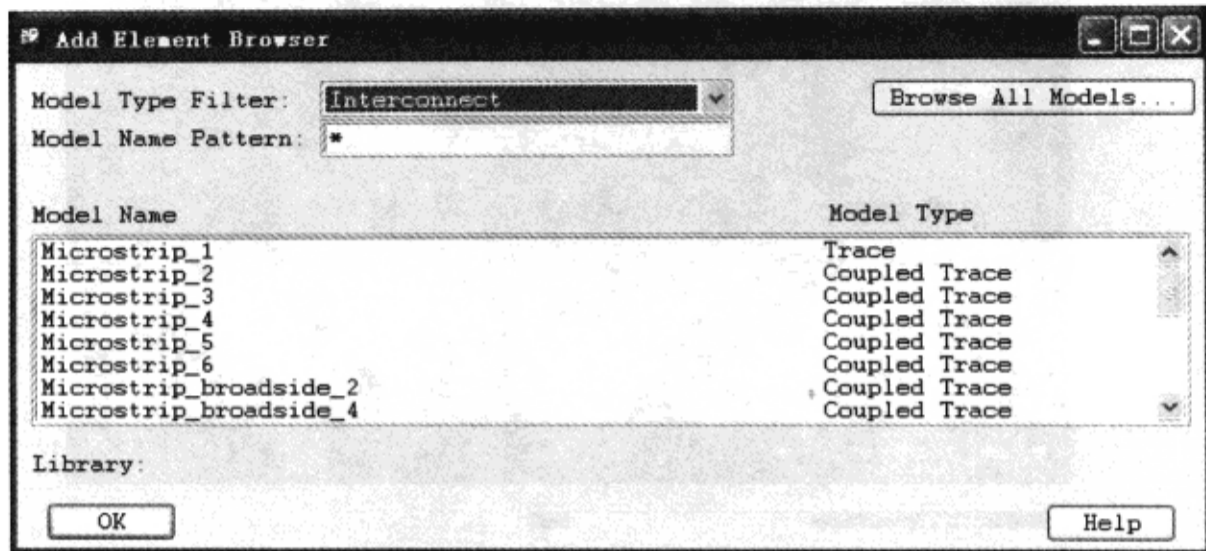


图 3-8-18 “Add Element Browser”对话框

(9) 在“Add Element Browser”对话框的列表框中选择“Tline”，在 SigXplorer 窗口刚添加的电阻模型两侧各摆放一个“Tline”，如图 3-8-19 所示。

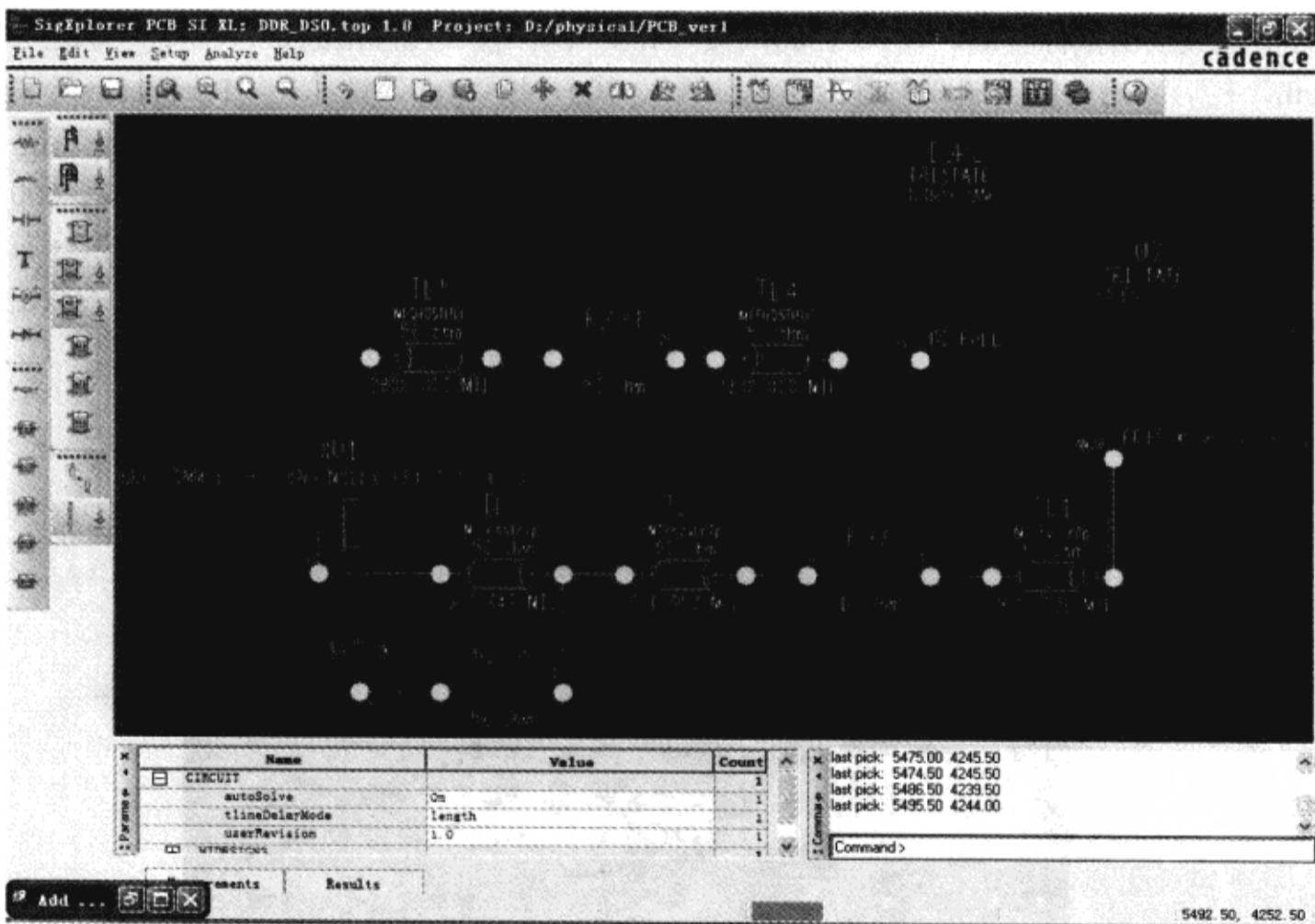


图 3-8-19 添加模型

(10) 在“Add Element Browser”对话框中单击“OK”按钮，关闭对话框。

(11) 移动并连接 SigXplorer 窗口中的模型，如图 3-8-20 所示。

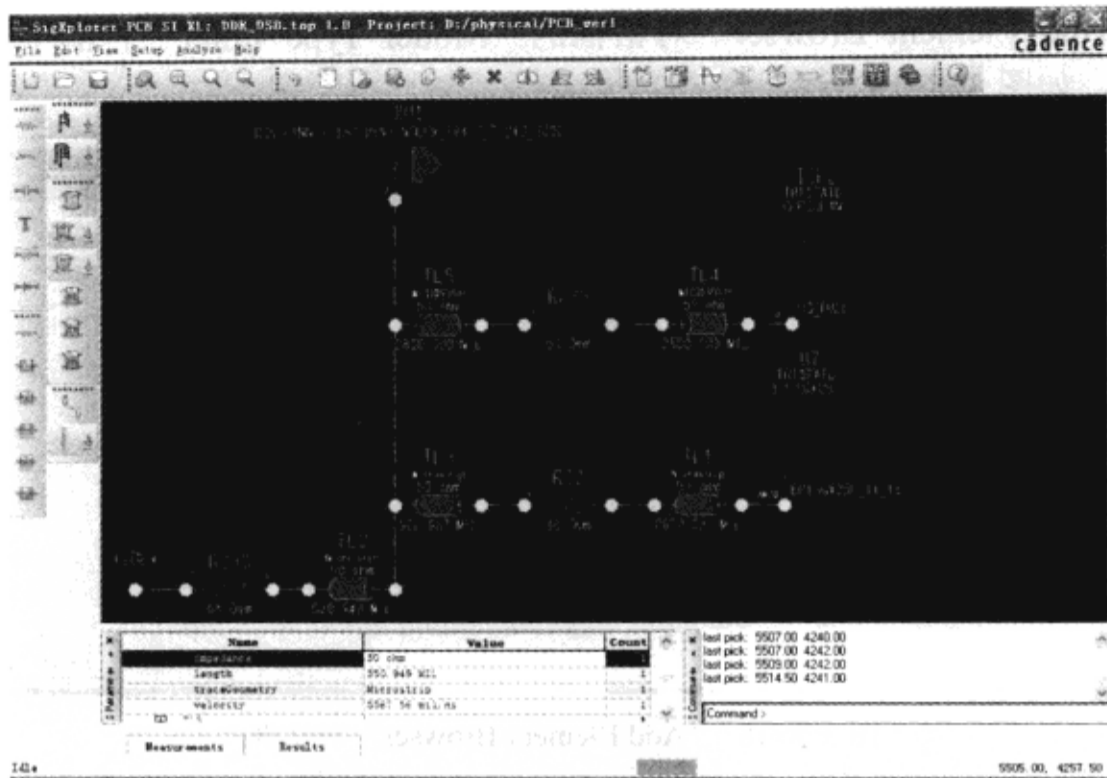


图 3-8-20 调整拓扑

(12) 单击传输线上的文本“TL1”，在“Parameters”表格的“TL1”下的“Length”栏后面的数值区域双击鼠标左键，输入 2500→按“Tab”键；在“Parameters”表格的“TL2”下的“Length”栏后面的数值区域双击鼠标左键，输入 300→按“Tab”键；在“Parameters”表格的“TL3”下的“Length”栏后面的数值区域双击鼠标左键，输入 500→按“Tab”键；在“Parameters”表格的“TL4”下的“Length”栏后面的数值区域双击鼠标左键，输入 600→按“Tab”键；在“Parameters”表格的“TL5”下的“Length”栏后面的数值区域双击鼠标左键，输入 150→按“Tab”键；在“Parameters”表格的“R239”下的“resistance”栏后面的数值区域双击鼠标左键，输入 22→按“Tab”键。调整后的拓扑结构如图 3-8-21 所示。

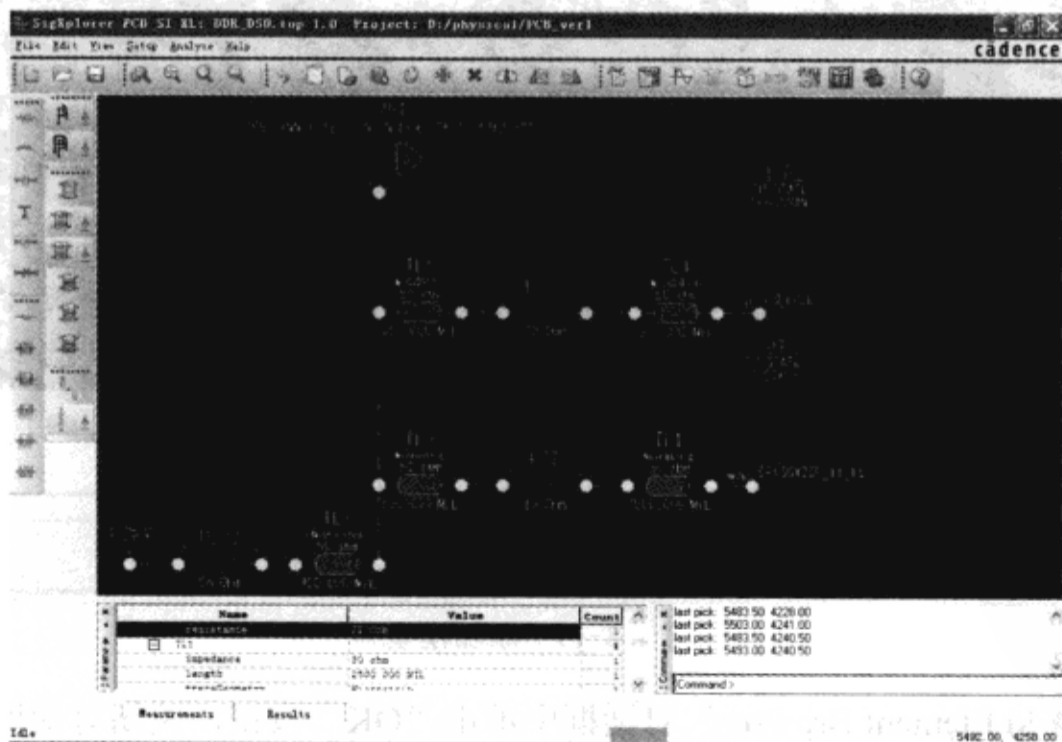


图 3-8-21 修改拓扑属性

4) **创建连接器模型** 在当前的拓扑结构中, 所给出的连接器 XU1 模型只有一个连接引脚, 这与实际电路中的模型并不相符, 所以需要创建一个连接两个 PCB 的连接器模型。这样就可以仿真连接器引脚的寄生信息, 为此, 现在创建一个简单的单线连接器模型。

该单线连接器模型创建所需的参数应该从相应的生产商的网站上查找, 本例中所用到的连接器模型是 AMP 公司的 184 个引脚的 DDR 连接器, 相应的文件这里已经给出, 文件保存的地址为 D:\physical\GoodModelFiles\AMP\_Model.pdf, 有兴趣的读者可自行查阅。

(1) 在“SigXplorer PCB SI XL”窗口执行菜单命令“Analyze”→“Model Browser...”, 打开“SI Model Browser”对话框, 如图 3-8-22 所示。

(2) 单击“Library Mgmt”按钮, 打开“DML Library Management”窗口, 如图 3-8-23 所示。



图 3-8-22 “SI Model Browser”对话框

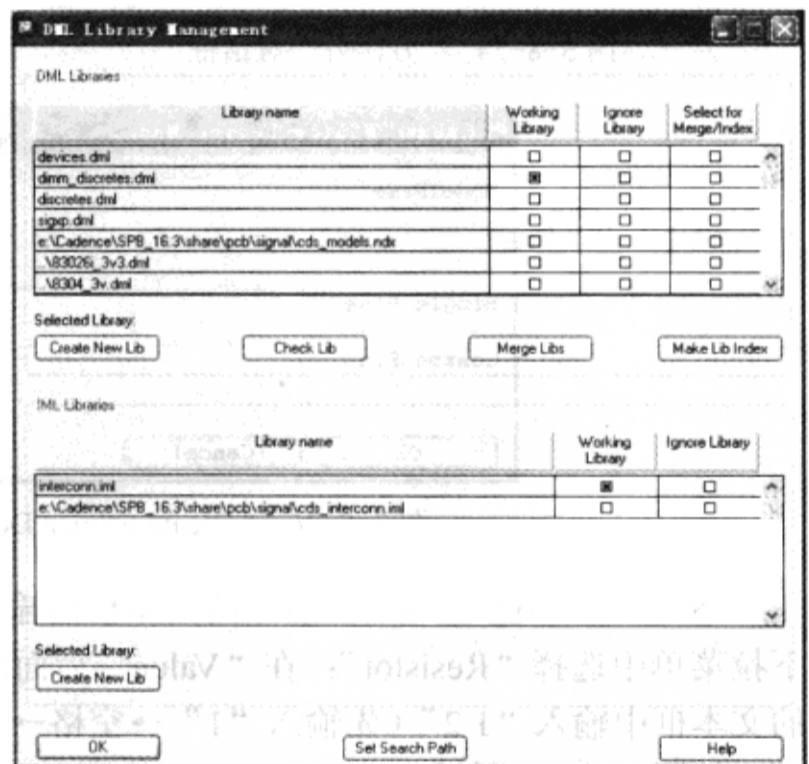


图 3-8-23 “DML Library Management”窗口

(3) 单击“Signal Analysis Library Browser”对话框中间部分的“Create new library”按钮, 打开“另存为”对话框, 如图 3-8-24 所示。

(4) 在文件名的文本框中输入“connector”, 并单击“保存”按钮。

(5) 在“DML Library Management”窗口单击“OK”按钮, 保存改变。

(6) 在“SI Model Browser”窗口上半部分的“Library Filter”下拉列表中选择“connector.dml”, 如图 3-8-25 所示。

(7) 单击“Add->”按钮, 选择“ESpiceDevice”, 打开“Create Espice Device Model”对话框, 如图 3-8-26 所示。



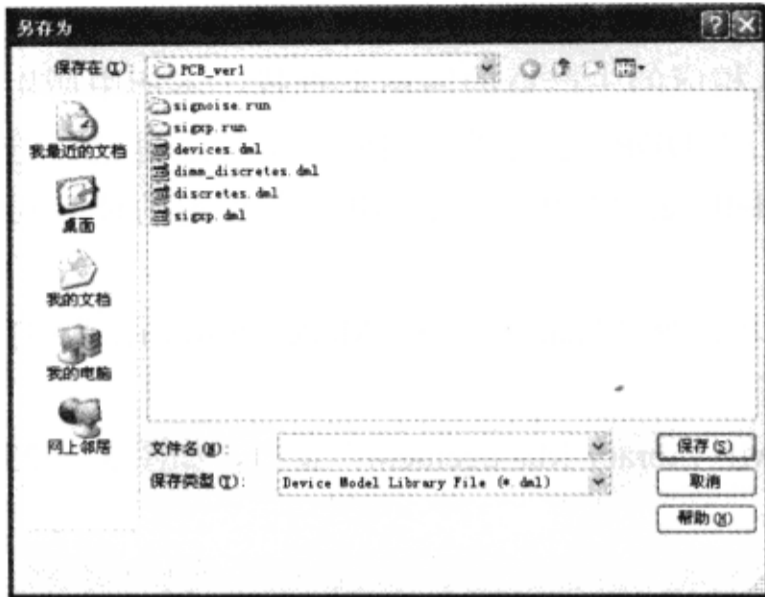


图 3-8-24 “另存为”对话框

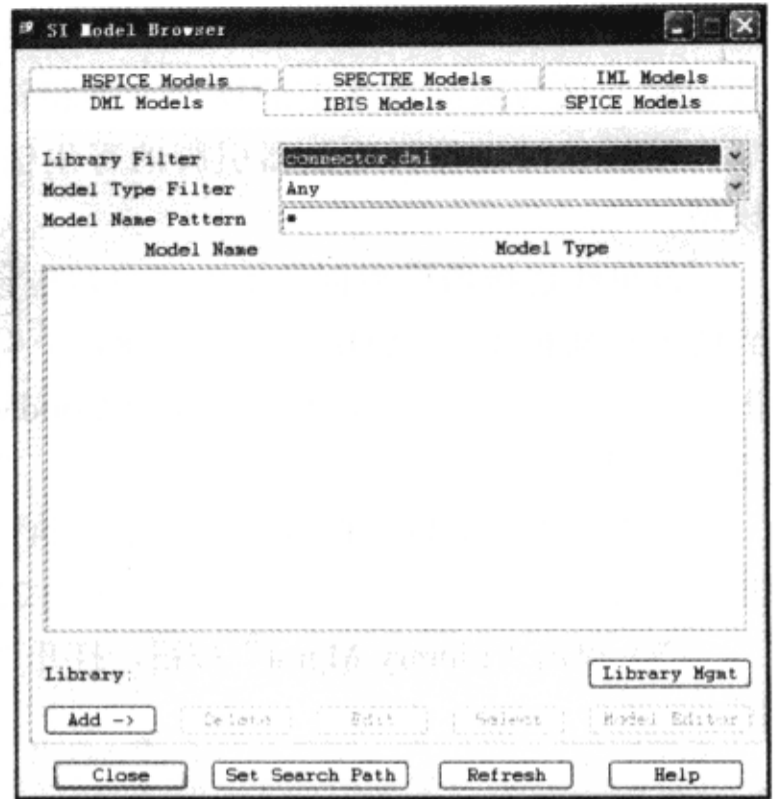


图 3-8-25 “SI Model Browser”对话框

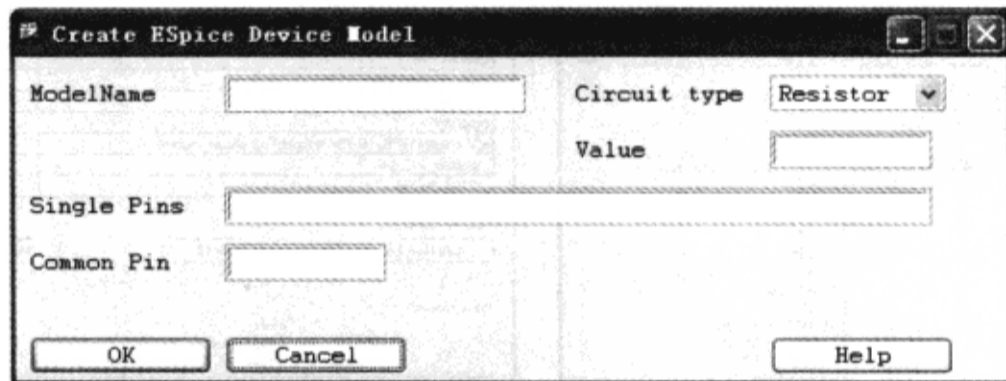


图 3-8-26 “Create ESpice Device Model”对话框（一）

(8) 在“Model Name”后面的文本框内输入“DDR\_CONN”；在“Circuit type”后面的下拉菜单中选择“Resistor”；在“Value”后面的文本框中输入“1”；在“Single Pins”后面的文本框中输入“1 2”（先输入“1”→空格→“2”）；确认“Common Pin”后面的文本框为空，如图 3-8-27 所示。

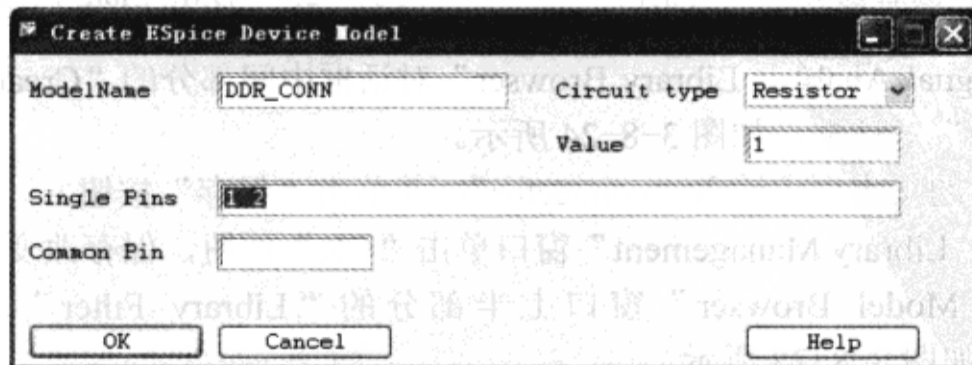


图 3-8-27 “Create ESpice Device Model”对话框（二）

(9) 单击“OK”按钮，关闭“Create ESpice Device Model”对话框。

刚刚为电阻创建了 ESpice 模型，下一步要转换在该模型中的 SPICE 模型，并创建单线连接器模型。单线连接器模型的电路结构图如图 3-8-28 所示。

(10) 在“Dml Model Browser”对话框的“Show Models From”栏的下拉菜单中选择“Working Device Library”，如图 3-8-29 所示。

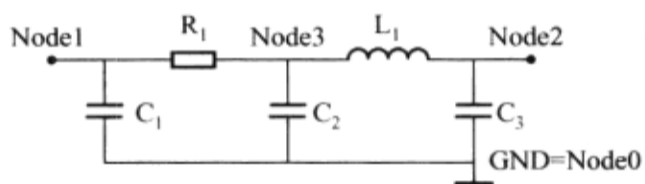


图 3-8-28 单线连接器模型的电路结构图



图 3-8-29 “Dml Model Browser”对话框

(11) 在列表中双击“DDR\_CONN”打开编辑窗口，如图 3-8-30 所示。

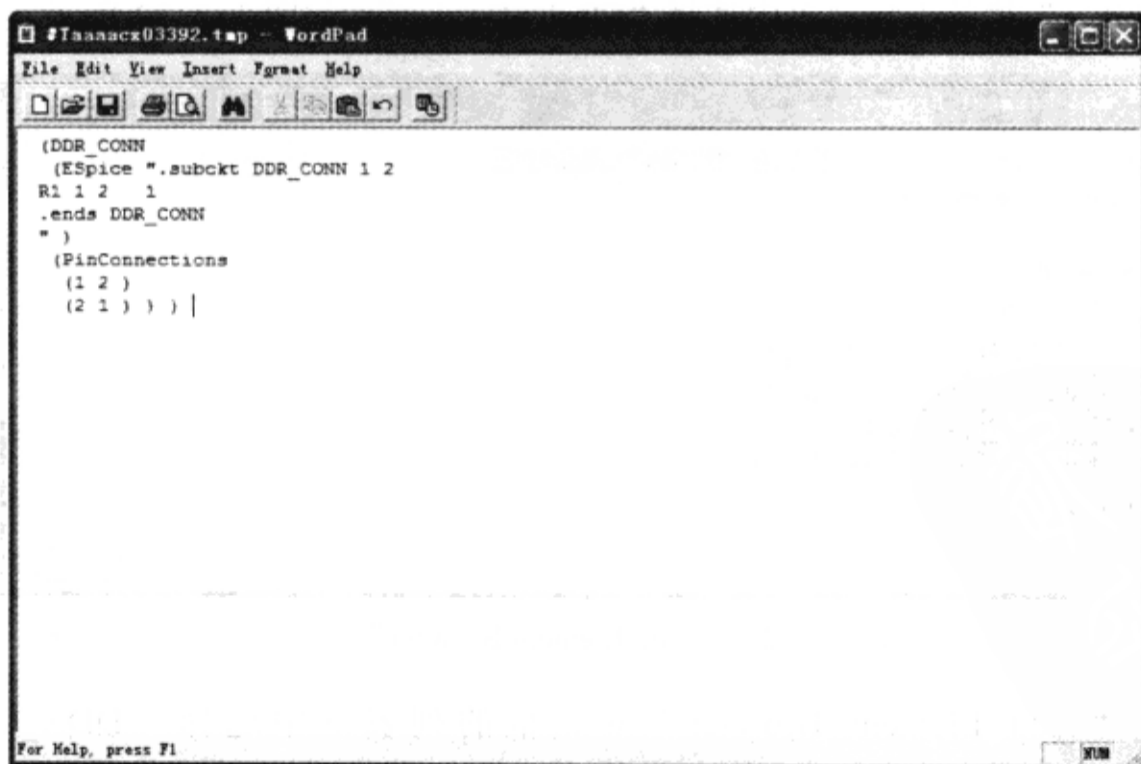


图 3-8-30 编辑窗口

(12) 更改编辑窗口的内容，如图 3-8-31 所示。

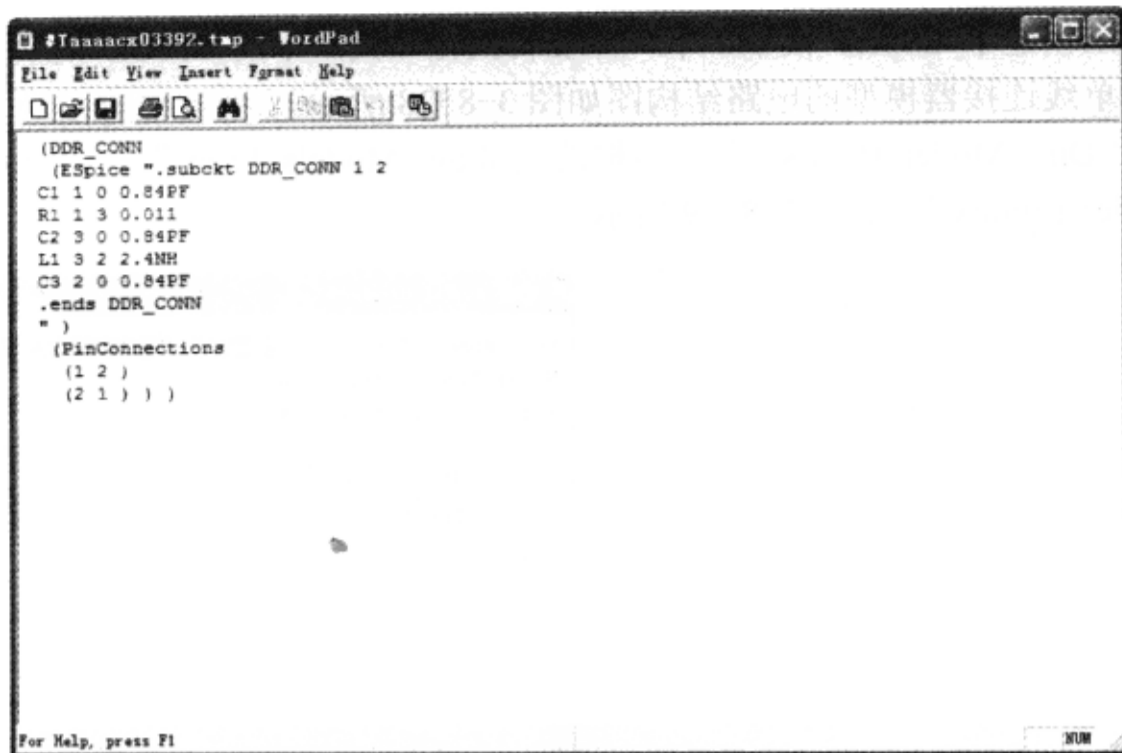


图 3-8-31 编辑窗口

(13) 执行菜单命令“File”→“Save”，保存所做的修改。

(14) 关闭编辑窗口。

(15) 在“SI Model Browser”对话框中单击“Close”按钮。

(16) 在“SigXplorer PCB SI XL”窗口执行菜单命令“Edit”→“Delete”，单击连接器XU1，删除该元器件。

(17) 执行菜单命令“Edit”→“Add Part”，打开“Add Element Browser”对话框，在“Model Type Filter”栏的下拉菜单中选择“ESpiceDevice”，如图 3-8-32 所示。

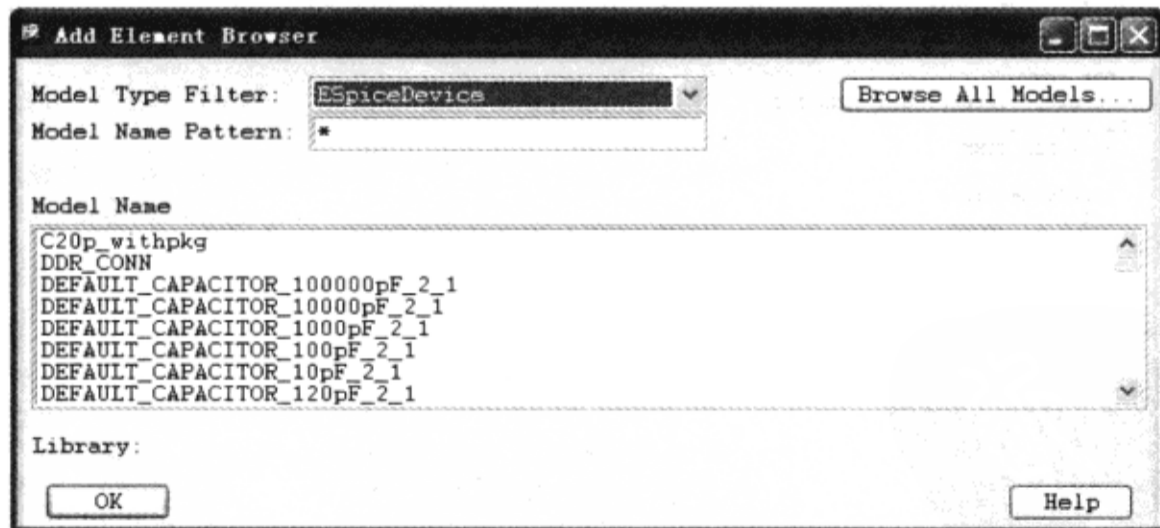


图 3-8-32 “Add Element Browser”对话框

(18) 在“Add Element Browser”对话框的列表框中选择“DDR\_CONN”，在 SigXplorer 的适当位置双击鼠标左键放置该模型，单击鼠标右键，在弹出的菜单中选择“End Add”，然后在模型上单击鼠标右键，在弹出的菜单中选择“Rotate Right”，如图 3-8-33 所示。

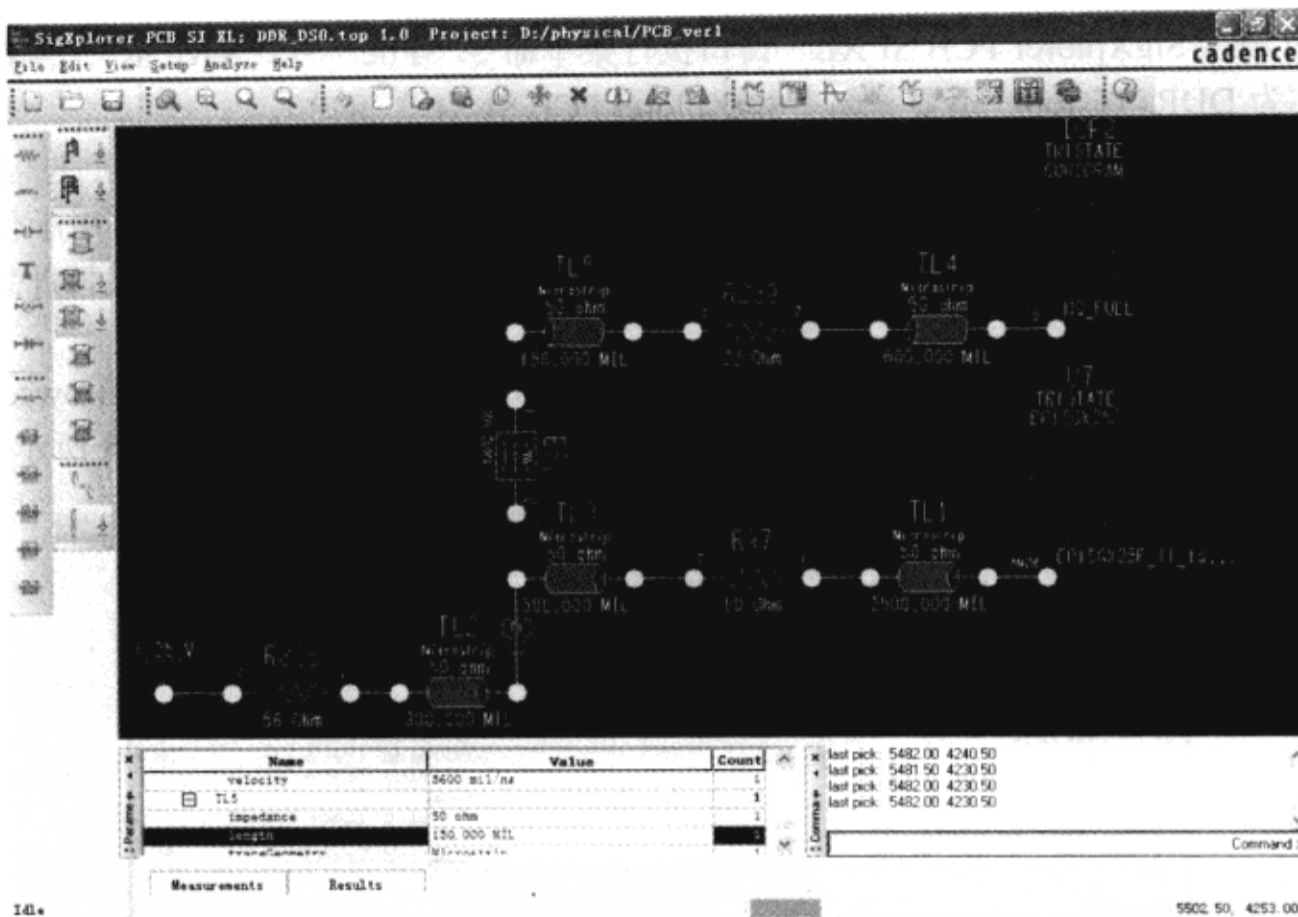


图 3-8-33 添加模型

(19) 在“End Element Browser”对话框单击“OK”按钮，关闭该对话框。

(20) 连接模型，如图 3-8-34 所示。

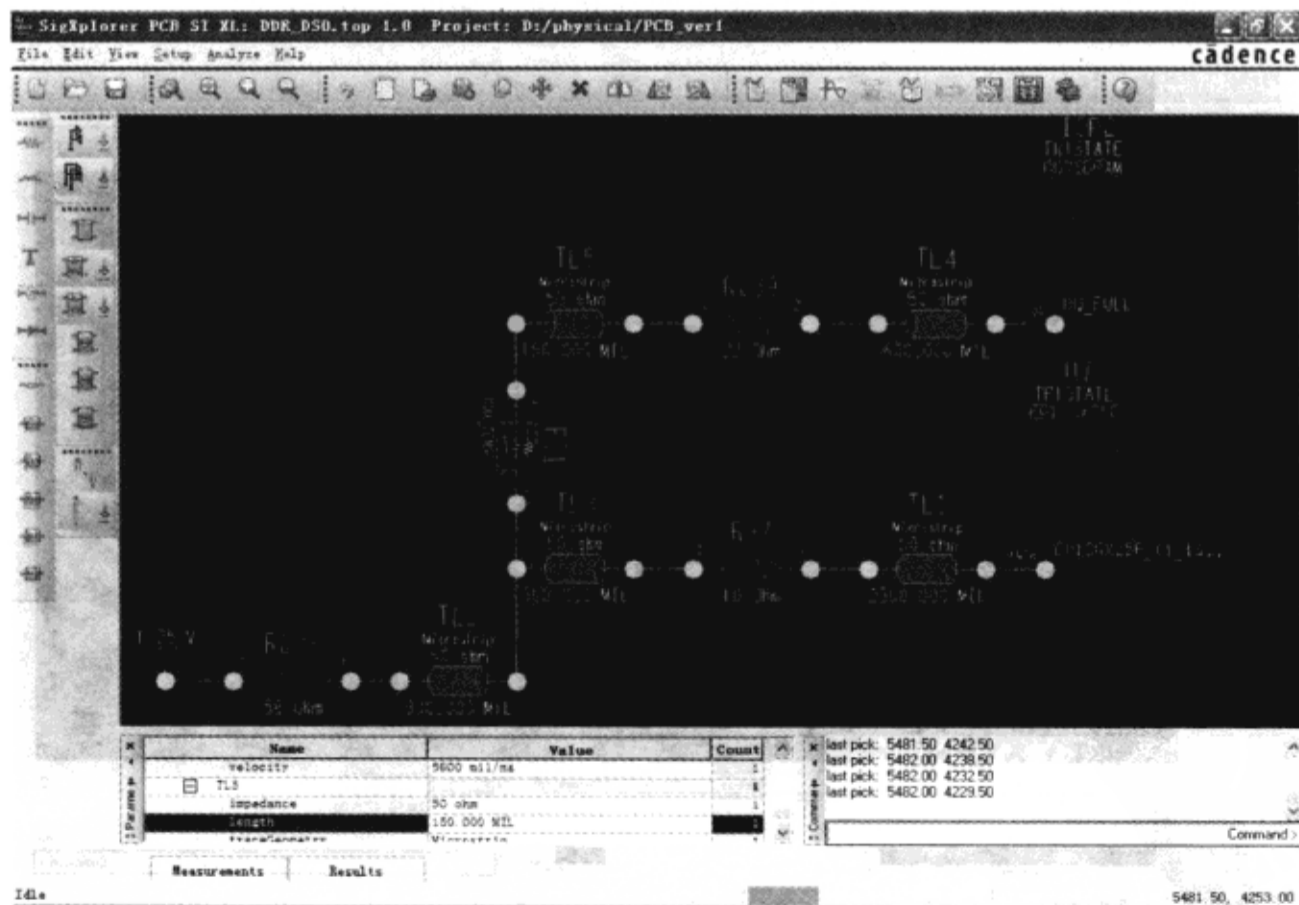


图 3-8-34 添加模型

(21) 在“SigXplorer PCB SI XL”窗口执行菜单命令“File”→“Save as”，保存拓扑，保存名称为 DDR\_TL.top（不要关闭“SigXplorer PCB SI XL”窗口）。

5) 使用有损传输线模型 到目前为止，已经从 PCB 中提取了拓扑结构，并根据 PCB 的实际情况，增加了驱动器/接收器对，而且创建并添加了单线连接器模型，用于仿真连接器的引脚寄生效应值。为了使仿真更加接近实际，下面使用有损传输线模型代替理想传输线模型。

(1) 执行菜单命令“Edit”→“Add Element...”，打开“Add Element Browser”对话框，在“Model Type Filter”栏的下拉菜单中选择“Interconnect”，如图 3-8-35 所示。

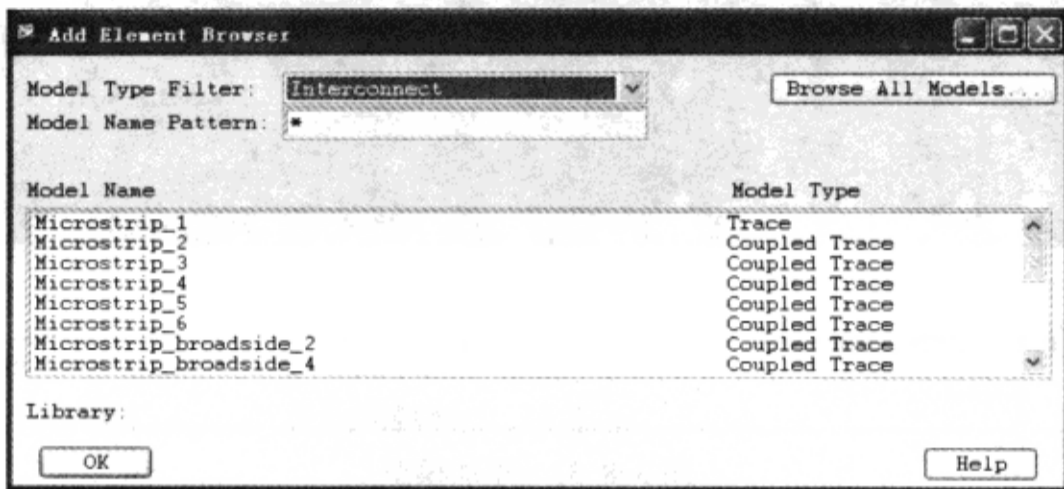


图 3-8-35 “Add Element Browser”对话框

(2) 在“Add Element Browser”对话框的列表框中选择“Microstrip\_1”，在 SigXplorer 窗口中的 TL1 附近适当位置双击鼠标左键放置该模型，如图 3-8-36 所示。

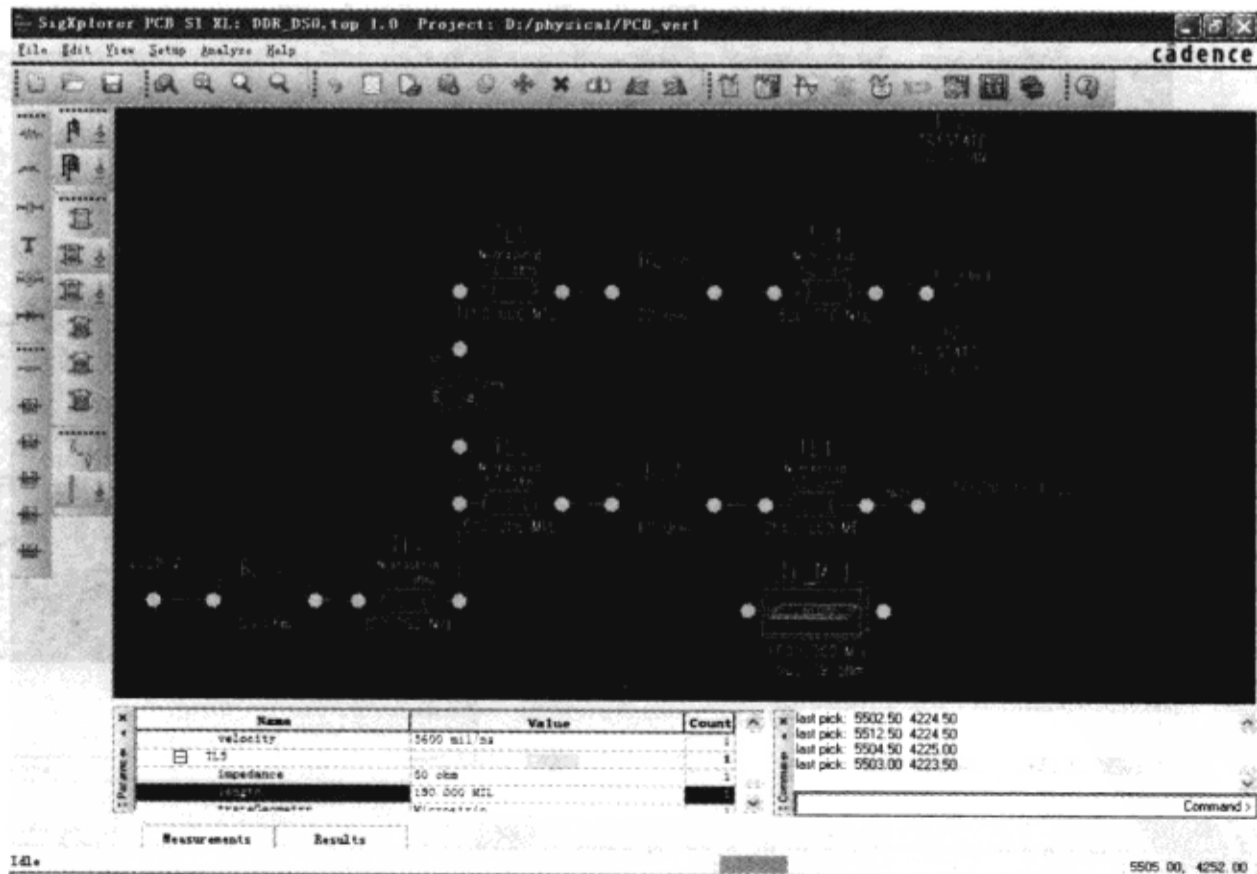


图 3-8-36 添加模型



(3) 在“Add Element Browser”对话框单击“OK”按钮，关闭该对话框。

接下来要设置刚刚摆放的模型 MS1 的阻抗为  $50\Omega$ ，相关的属性信息可以从 PCB 的层叠设置中的 TOP 层查看。

(4) 单击 SigXplorer 工作区间的文本“TL\_MS1”，SigXplorer 窗口底部的“Parameters”页面会高亮 TL\_MS1 的参数信息。在属性表格中，双击 TL\_MS1 的“d1Constant”属性的显示值为 4.5 的“Value”栏，将 4.5 更改为 4→按“Tab”键；双击“d1Thickness”的显示值为“10MIL”的“Value”栏，将“10MIL”更改为“2.7MIL”→按“Tab”键；双击“tracethickness”的显示值为“0.72MIL”的“Value”栏，将“0.72MIL”更改为“0.7MIL”→按“Tab”键；双击“length”的显示值为“1000MIL”的“Value”栏，将“1000MIL”更改为“2500MIL”→按“Tab”键，如图 3-8-37 所示。

TL_MS1		
d1Constant	4	1
d1LossTangent	0.035	1
d1Thickness	2.700 MIL	1
d1FreqDepFile		1
d2Constant	1	1
d2LossTangent	0	1
d2Thickness	0.000 MIL	1
d2FreqDepFile		1
length	2500.000 MIL	1
traceConductivity	595900 mho/cm	1
traceEtchFactor	90	1
traceThickness	0.700 MIL	1
traceWidth	5.000 MIL	1

图 3-8-37 更改属性

可以看到在 SigXplorer 工作区间的 TL\_MS1 的阻抗已经变成  $50.991\Omega$ ，接近期望的  $50\Omega$ 。

(5) 在传输线 TL1 模型上单击鼠标左键，选中该模型，执行菜单命令“Edit”→“Delete”，删除原来的传输线 TL1。单击鼠标左键选中 TL\_MS1，执行菜单命令“Edit”→“Move”，将刚添加的 TL\_MS1 移动到原来 TL1 的位置，并将 TL\_MS1 连接到拓扑结构中，如图 3-8-38 所示。

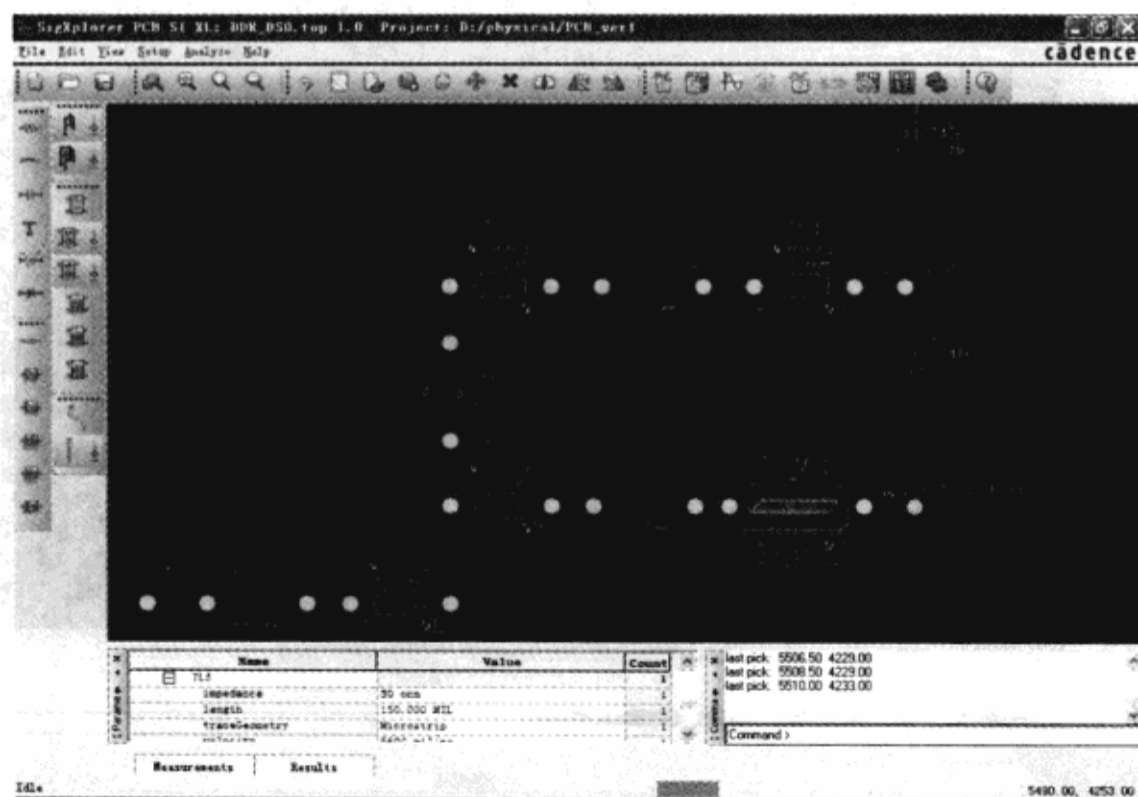


图 3-8-38 更改模型

(6) 单击 TL\_MS1 模型，执行菜单命令“Edit”→“Copy”，然后分别在原来拓扑结构中的理想传输线附近单击鼠标左键，复制 TL\_MS1 模型，如图 3-8-39 所示。

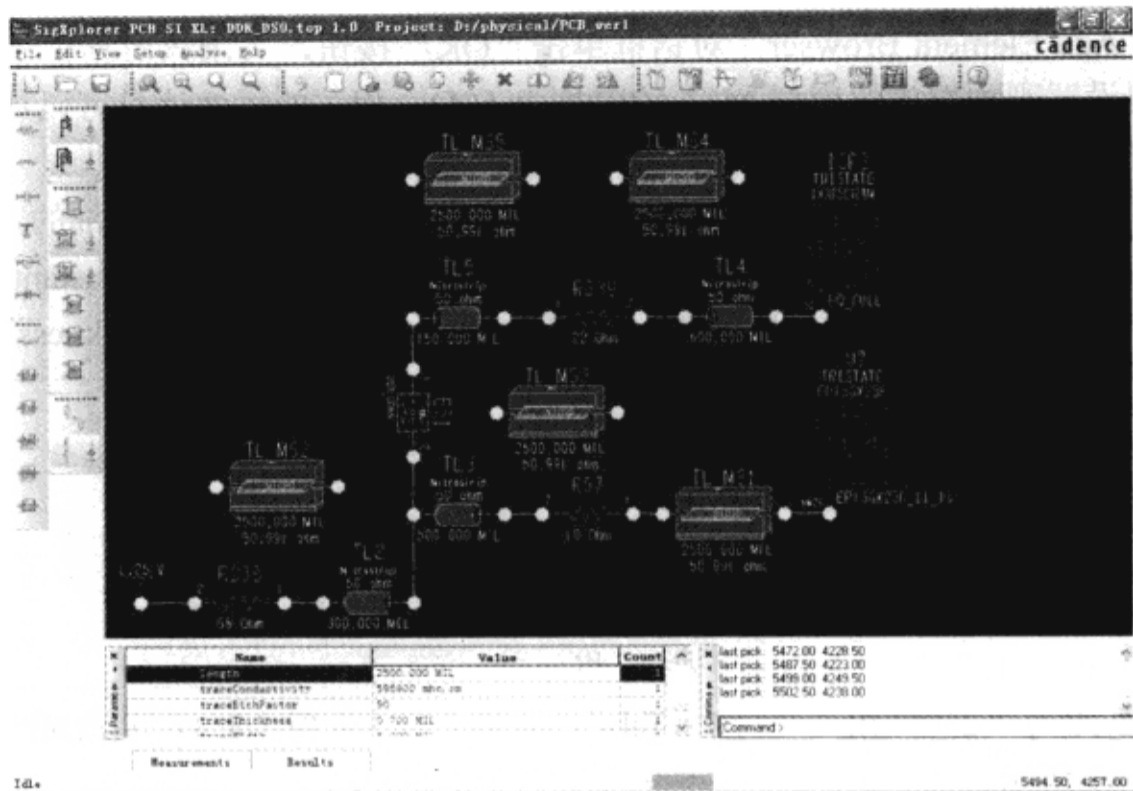


图 3-8-39 复制模型

(7) 单击鼠标右键，从弹出的菜单中选择“End Copy”，完成复制。

(8) 在 SigXplorer 工作区间单击文本 MS2，将其“length”属性设置为“300MIL”；将 MS3 的“length”属性设置为“500MIL”；将 MS4 的“length”属性设置为“600MIL”；将 MS5 的“length”属性设置为“150MIL”，设置完成后如图 3-8-40 所示。

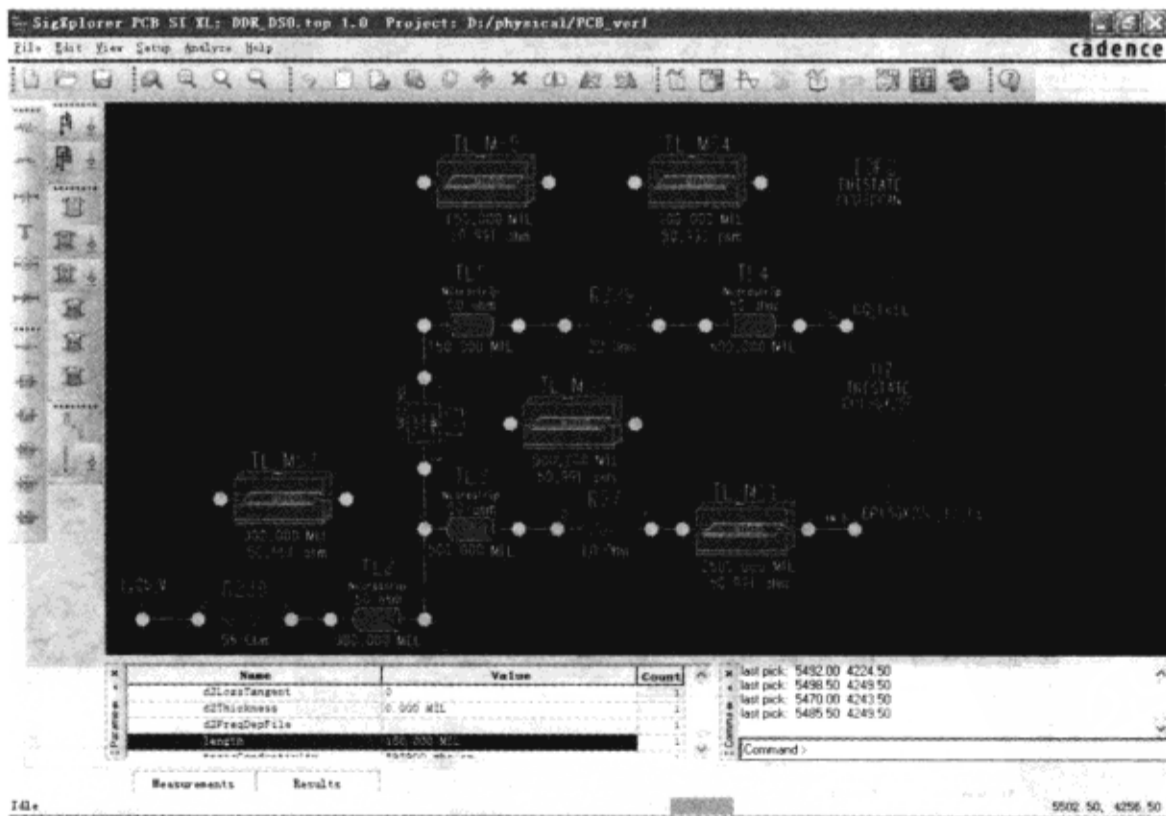


图 3-8-40 编辑更改模型参数

(9) 执行菜单命令“Edit”→“Delete”和“Edit”→“Move”，将新添加的模型代替原来拓扑中的理想传输线模型并连线，如图 3-8-41 所示。

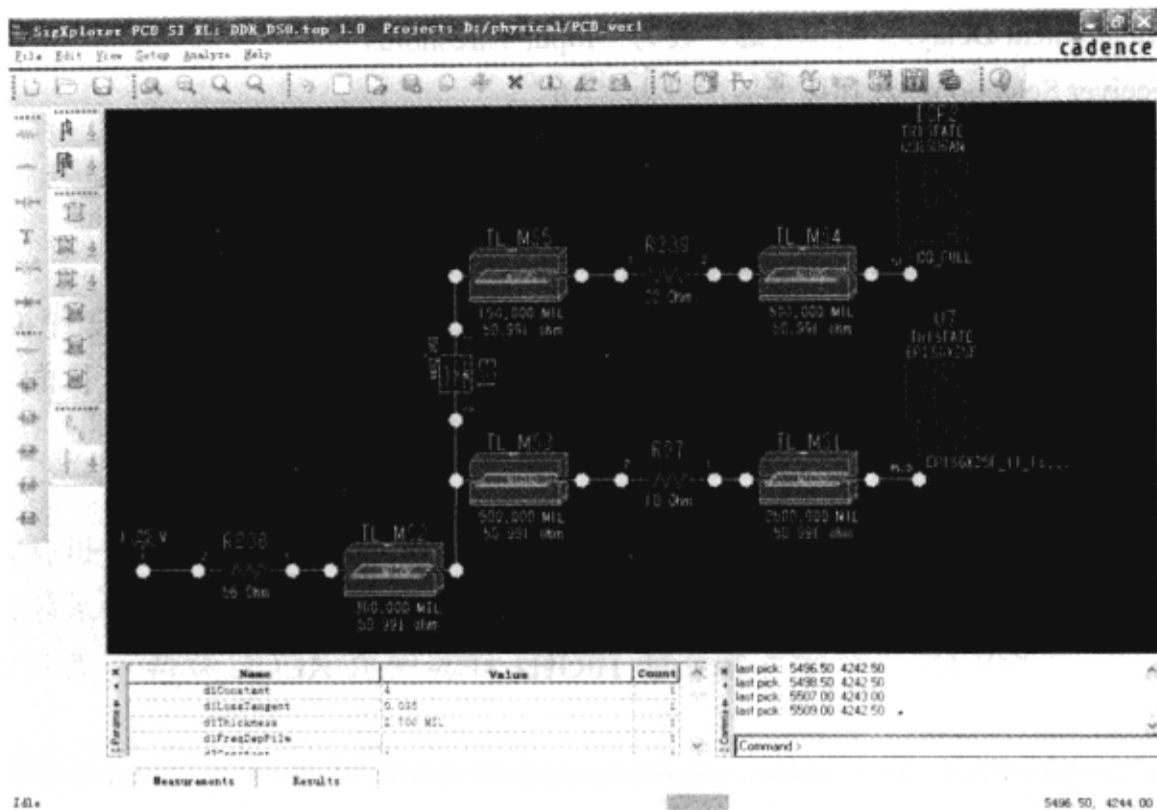


图 3-8-41 替换模型

(10) 在“SigXplorer PCB SI XL”窗口执行菜单命令“File”→“Save as”，保存拓扑，保存名称为“DDR\_MS.top”，不要关闭“SigXplorer PCB SI XL”窗口。

### 3. 执行反射仿真

#### 1) 设置参数

(1) 在“SigXplorer PCB SI XL”窗口执行菜单命令“Analyze”→“Preferences”，打开“Analysis Preferences”窗口，如图 3-8-42 所示。

##### ➤ Pulse Stimulus

- ✧ Measurement Cycle: 测量周期数，设为 2。
- ✧ Switching Frequency: 开关频率，设为 133MHz。
- ✧ Duty Cycle: 占空比，设为 0.5。
- ✧ Offset: 补偿值，设为 0ns。

##### ➤ Simulation Parameters

- ✧ Fixed Duration: 固定的仿真时间，确保前面的复选框为空。
- ✧ Waveform Resolution: 波形分辨率，设为 10ps。
- ✧ Cutoff Frequency: 截止频率，设为 10GHz。
- ✧ Buffer Delays: 缓冲器延迟 From Library。

##### ➤ Simulation Modes

- ✧ FTS Mode (s): 仿真模式，设为“Typical”。
- ✧ Driver Excitation: 驱动器激励，设为“Active\_Driver”。

##### ➤ Measurement Modes

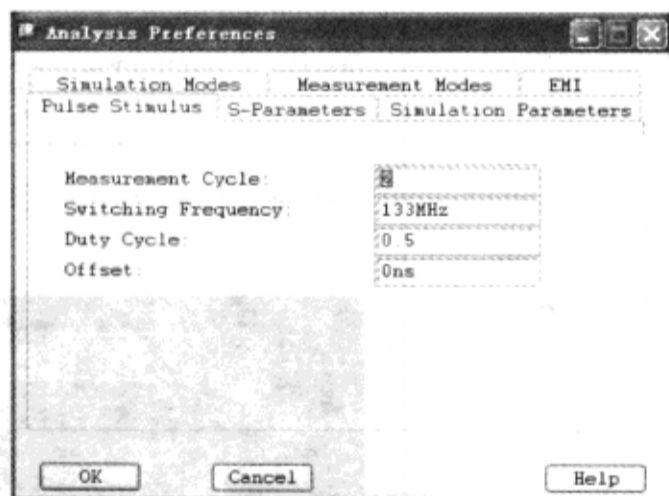


图 3-8-42 “Analysis Preferences”窗口

- ◇ Measurement Delays: 测量延迟, 设为 “Input Thresholds”。
- ◇ Receiver Selection: 选择接受器, 设为 “All”。
- ◇ Custom Simulation: 自定义仿真, 设为 “Reflection”。
- ◇ Drvr Measurement Location: 驱动器测量位置, 设为 “Model Defined”。
- ◇ Rcvr Measurement Location: 接收器测量位置, 设为 “Die”。

(2) 单击 “OK” 按钮, 关闭 “Analysis Preferences” 窗口。仿真设置被存储在名为 “case.cfg” 和 “signoise.cfg” 的文件中。signoise.cfg 文件能够通过下面路径访问: D:\physical\PCB\_ver1\sigxp.run\case0。



注意

设置了截至频率为 10GHz 而非 0GHz, 其目的是告诉仿真器要计算传输线的 RLGC 矩阵, 仿真器能精确计算到 50GHz。如果输入的频率大于 50GHz, 则仿真器会每 10GHz 计算一次 RLGC 矩阵, 直到包含到所输入的数值。

(3) 单击驱动元器件 U7 上面的文字 “TRISTATE” → 弹出 “IO Cell (07) Stimulus Edit” 窗口, 如图 3-8-43 所示。

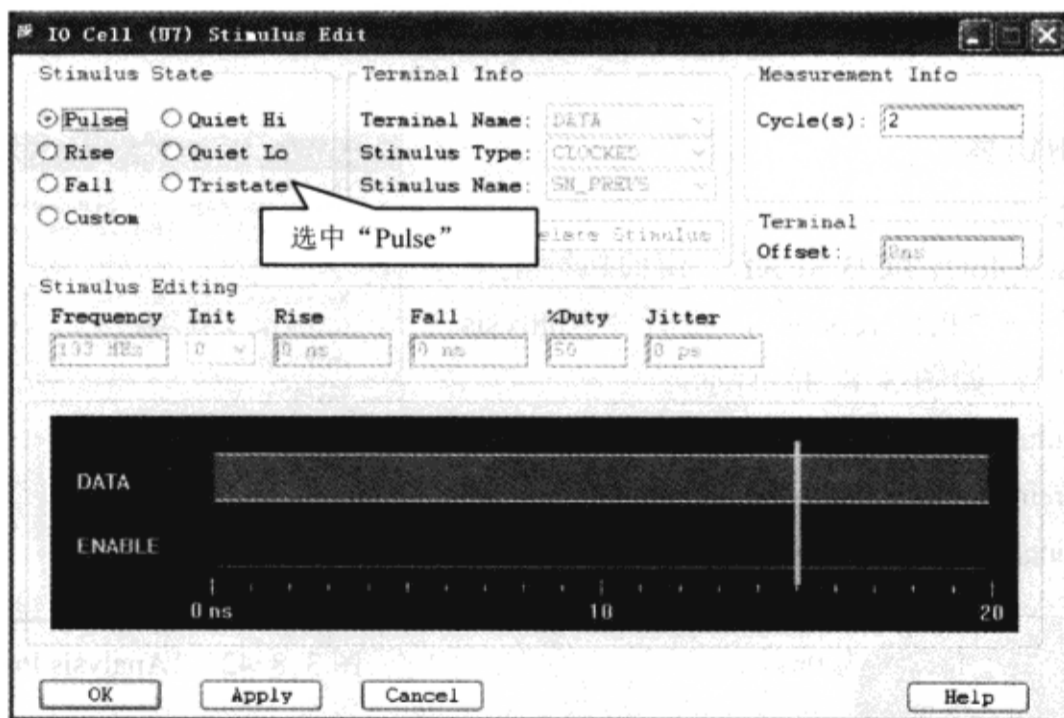


图 3-8-43 “IO Cell (07) Stimulus Edit” 窗口

#### ► Stimulus State

- ◇ Pulse: 数据终端有 1/2 个时钟周期的高电平和 1/2 个时钟周期的低电平。
- ◇ Rise: 数据终端从低电平到高电平并维持高电平传输。
- ◇ Fall: 数据终端从高电平到低电平并维持低电平传输。
- ◇ Quiet Hi: 数据终端是 1 个静止的高电平。
- ◇ Quiet Lo: 数据终端是 1 个静止的低电平。
- ◇ Tristate: 仿真持续时间中使能端维持在低电平, 如果缓冲器是三态, 促使输出浮动。

- ◇ Custom: 使用 Clocked\_IO 缓冲, 但能够使用任意的 IO Cell。
- Terminal Info
  - ◇ Terminal Name: 选择应用激励的输入终端 (时钟、数据和使能)。
  - ◇ Stimulus Type: 指定非时钟信号 (异步、同步和周期) 或时钟信号的激励类型。
  - ◇ Stimulus Name: 在拓扑中其他的 IO Cells 通过使用一个激励名保存激励实体。
- Measurement Info
  - ◇ Cycle (s): 设置测量时钟周期数, 仿真将以最小数目最高的指定周期数运行, 默认值是 1。
- Terminal
  - ◇ Offset: 设置 IO Cell 的输入引脚激励到达的等待时间。
- Stimulus Editing
  - ◇ Frequency: 运行频率。
  - ◇ Init: 设置激励的起始值 (状态 0 或 1)。
  - ◇ Rise: 设置信号从一个低电平到高电平传输的时间。
  - ◇ Fall: 设置信号从一个高电平到低电平传输的时间。
  - ◇ Switch Times: 指定激励类型为“ASYNC”时的开关时间。
  - ◇ %Duty: 占空比。
  - ◇ Jitter: 设置 IO Cell 引脚系统时钟周期期间不同的时间周期。

(4) 在“IO Cell (07) Stimulus Edit”窗口的“Stimulus State”区域选中“Pulse”。

(5) 单击“OK”按钮→关闭“IO Cell (07) Stimulus Edit”窗口。

## 2) 设置测量类型

(1) 在“SigXplorer PCB SI XL”窗口拓扑下面的表格区域选择“Measurements”栏, 表格现在显示 4 行, 这些行确定在 SigXplorer PCB SI XL 中执行的仿真类型。只选中“Reflection”后面的单选按钮, 这表明现在仅执行反射测量, 如图 3-8-44 所示。

(2) 单击“Reflection”前面的“+”号查看被报告的反射测量的不同类型, 如图 3-8-45 所示。

Name	
<input checked="" type="checkbox"/>	EMI
<input checked="" type="checkbox"/>	Reflection
<input checked="" type="checkbox"/>	Crosstalk
<input type="checkbox"/>	Custom

图 3-8-44 测量类型

Reflection		
<input type="checkbox"/>	BufferDelayFall	Buffer Delay for Falling edge
<input type="checkbox"/>	BufferDelayRise	Buffer Delay for Rising edge
<input type="checkbox"/>	EyeHeight	Eye Diagram Height
<input type="checkbox"/>	EyeJitter	Eye Diagram Peak-Peak Jitter
<input type="checkbox"/>	EyeWidth	Eye Diagram Width
<input type="checkbox"/>	FirstIncidentFall	First Incident Switching check of Falling edge
<input type="checkbox"/>	FirstIncidentRise	First Incident Switching check of Rising edge
<input checked="" type="checkbox"/>	Glitch	Glitch tolerance check of Rising and Falling waveform
<input type="checkbox"/>	GlitchFall	Glitch tolerance on the falling waveform
<input type="checkbox"/>	GlitchRise	Glitch tolerance on the rising waveform
<input type="checkbox"/>	Monotonic	Monotonic switching check of Rising and Falling edges
<input type="checkbox"/>	MonotonicFall	Monotonic switching check of Falling edge
<input type="checkbox"/>	MonotonicRise	Monotonic switching check of Rising edge
<input checked="" type="checkbox"/>	NoiseMargin	MIN(NoiseMarginHigh, NoiseMarginLow)
<input type="checkbox"/>	NoiseMarginHigh	Minimum voltage in High state - Vihmin
<input type="checkbox"/>	NoiseMarginLow	Vilmax - maximum voltage in Low state
<input checked="" type="checkbox"/>	OvershootHigh	Maximum voltage in High state
<input checked="" type="checkbox"/>	OvershootLow	Minimum voltage in Low state
<input checked="" type="checkbox"/>	PropDelay	Calculated transmission line propagation delay
<input checked="" type="checkbox"/>	SettleDelay	MAX(SettleDelayRise, SettleDelayFall)
<input type="checkbox"/>	SettleDelayFall	Last time below Vilmax - driver Fall BufferDelay
<input type="checkbox"/>	SettleDelayRise	Last time above Vihmin - driver Rise BufferDelay
<input checked="" type="checkbox"/>	SwitchDelay	MIN(SwitchDelayRise, SwitchDelayFall)
<input type="checkbox"/>	SwitchDelayFall	First time falling to Vihmin - driver Fall BufferDelay
<input type="checkbox"/>	SwitchDelayRise	First time rising to Vilmax - driver Rise BufferDelay

图 3-8-45 反射测量的类型



(3) 选择“Reflection”的表格单元→单击鼠标右键→从弹出菜单选择“All On”，执行所有默认的仿真测量。

(4) 单击表格区域“Reflection”前面的“-”号，收起反射测量内容。

### 3) 执行反射仿真并建立报告和波形

(1) 在“SigXplorer PCB SI XL”窗口执行菜单命令“Analyze”→“Simulate”，可以看到仿真过程中拓扑下面的表格区域“Command”栏被选择。“Command”栏显示当前仿真的信息。警告和错误都显示在这里。当仿真完成时，“Results”栏显示表格格式的仿真报告数据，仿真完成后调用 SigWave 显示仿真波形。

报告结果的表格栏的项目如下所述。

- SimID: 仿真号码。
- Driver: 驱动器序号。
- Receiver: 接收器序号。
- Cycle: 仿真周期数。
- FTS Mode: Fast、typical 和 slow 模式仿真选择。
- BufferDelayFall: 从高电平下降到测量电压值  $V_{meas}$  时的延时值。
- BufferDelayRise: 从低电平上升到测量电压值  $V_{meas}$  时的延时值。
- FirstIncidentFall: 第一次开关下降时间。
- FirstIncidentRise: 第一次开关上升时间。
- Monotonic: 波形的单调性检查，如果上升沿或下降沿中有非单调性现象，则检查结果为“False”。
- MonotonicFall: 下降沿单调性。
- MonotonicRise: 上升沿单调性。
- Noise Margin: 噪声容限。NoiseMarginHigh 和 NoiseMarginLow 中的最小值。
- Noise MarginHigh: 高电平噪声容限，即从  $V_{ihmin}$  到超过  $V_{inmin}$  后振荡波形的最低点的电压差。
- Noise MarginLow: 低电平噪声容限，即从  $V_{ilmax}$  到低于  $V_{ilmax}$  后振荡波形的最高点的电压差。
- OvershootHigh: 高电平过冲，即以 0V 为参考点，上升波形的最高点电压值。
- OvershootLow: 低电平过冲，即以 0V 为参考点，下降波形的最低点电压值。
- PropDelay: 传输线的传输延时值。
- SwitchDelay: SwitchDelayFall 和 SwitchDelayRise 最小值。
- SwitchDelayFall: 从 BufferDelay 下降沿的  $V_{meas}$  点开始到接收波形下降曲线第一次穿过高电平阈值时的延时值。
- SwitchDelayRise: 从 BufferDelay 上升沿的  $V_{meas}$  点开始到接收波形上升曲线第一次穿过低电平阈值时的延时值。
- SettleDelay: SettleDelayFall 和 SettleDelayRise 的最大值。
- SettleDelayFall: 从 BufferDelay 下降沿的  $V_{meas}$  点开始到接收波形下降曲线最后一次穿过低电平阈值时的延时值。
- SettleDelayRise: 从 BufferDelay 上升沿的  $V_{meas}$  点开始到接收波形上升曲线最后一次穿过高电平阈值时的延时值。

(2) 在“SigWave”窗口产生两个波形。一个代表驱动器的输出，另一个代表接收器的输入。每个波形都有一个颜色，如图 3-8-46 所示。仿真的报告数据写入 sigsimres.dat 文件中，存储在 D:\physical\PCB\_ver1\sigxp.run\case0 目录下。波形数据被写入 sim1.sim 文件中，存储在 D:\physical\PCB\_ver1\sigxp.run\case0\waveforms 目录下。

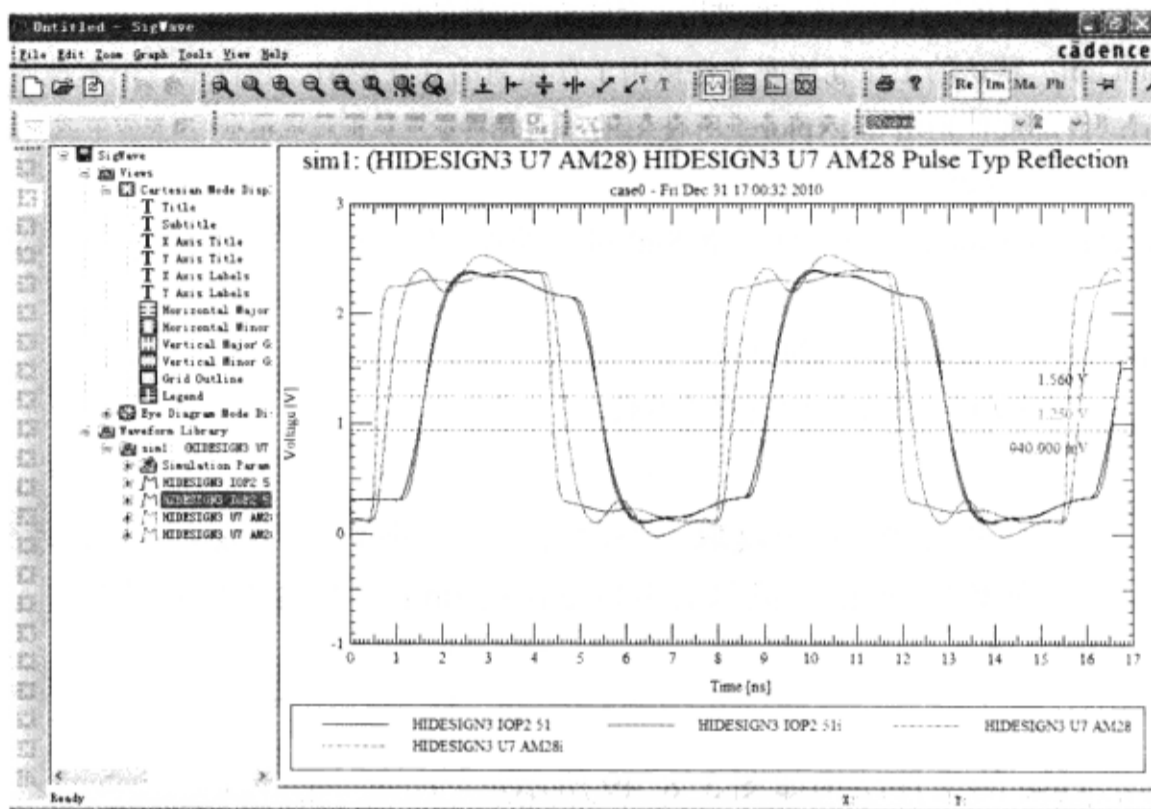


图 3-8-46 仿真波形

(3) 在 SigXplorer PCB SI XL 中执行菜单命令“File”→“Export”→“Spreadsheet”，弹出如图 3-8-47 所示窗口。

(4) 在文件名文本区域输入“basics\_rpt”→单击“Save”按钮，因为 SigXplorer 把每次仿真结果写入 sweep\_rpt\_tab.txt 中。如果想要保存报告数据，需要以一个不同的名字保存这个文件。



图 3-8-47 输出仿真结果

#### 4) 仿真目录和文件

(1) 仿真的目录结构如图 3-8-48 所示。

当启动 SigXplorer 时，有文件和目录写进工作目录中。

- `signoise.log`: SigNoise 日志包含诸如 SigNoise 使用的许可信息和加载的库信息。
- `devices.dml`: 默认的工作器件库文件被用于存储新的器件的信号模型。它仅是一个本地库。
- `interconn.iml`: 默认的工作互连库文件被用于存储新的互连模型。它仅是一个本地库。
- `sigxp.jrl`: 日志文件列出 SigXplorer 所使用的所有命令。
- `sigxp.run`: 目录内容。
- `signoise.cfg`: SigNoise 配置文件存储 SigNoise 的设置信息和添加的所有仿真共有的单个库文件路径。
- `case directory`: 当前仿真运行的目录。
- `cases.cfg`: 这个文件列出案例中设置的参数。



注意

当从 PCB 中提取一个拓扑时，一个新的 `sigxp.dml` 文件被建立在包含所有从 PCB 中提取的 IO Cells 的 dml 模型的工作目录下。

(2) 仿真的 case 的文件结构如图 3-8-49 所示。

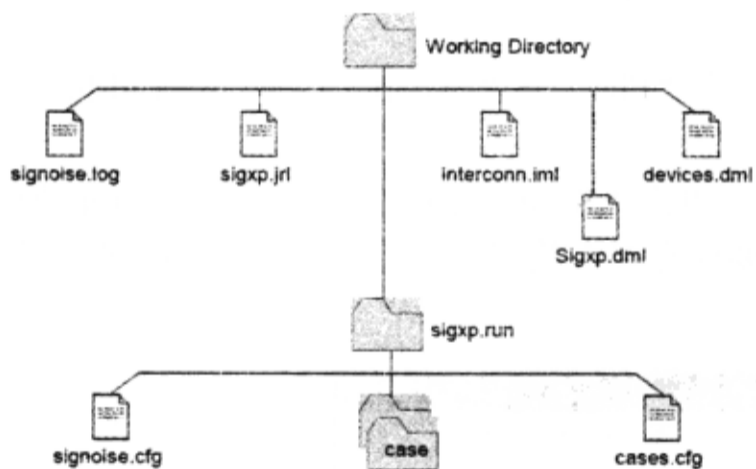


图 3-8-48 仿真的目录结构

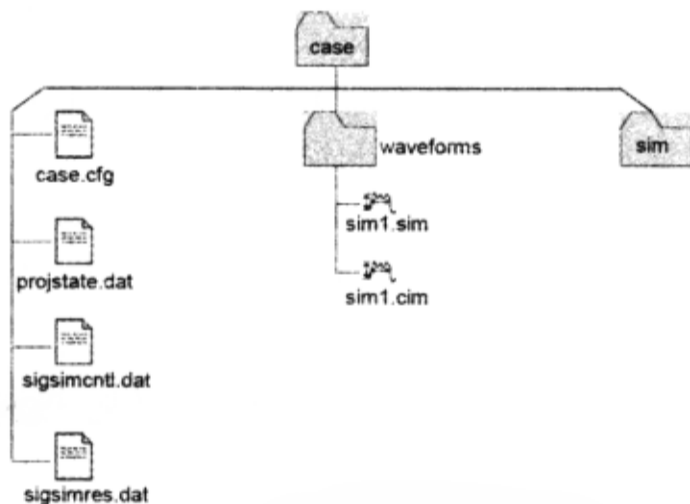


图 3-8-49 仿真的 Case 的文件结构

SigXplorer 建立一个 `sigxp.run` 目录。在 `sigxp.run` 目录下可以有几个单独仿真目录。每个事件目录下面都包含详细的目录和文件。Case 目录内容如下所述。

- `case.cfg`: 这个目录列出这个 Case 的参数设置。
- `projstate.dat`: 这个数据文件列出系统中每个 .brd 文件加上每个加载的 dml 时间记录。这些信息用于查明这些文件被修改的时间。每个文件最后修改时间都存储在这里，SigNoise 能够识别变化的文件，还包括 SigNoise 没有运行时的变化。
- `sigsimcntl.dat`: 这个数据文件将每次运行的仿真列成一行，甚至没有波形或电路保存。在 `sim1`、`sim2` 等列出参数。这就是先前的仿真如何获得定位的结果。这个文件每隔 50 个仿真就自动保存或

者程序退出时保存。

- sigsimres.dat: 这个数据文件将每次运行的仿真的每个测量引脚列成一行。每行列出那个引脚的测量数据。这个文件每隔 50 个仿真就自动保存, 或者程序退出时保存。
- Waveforms: 这个目录包含波形文件。
- sim Directory: 仿真过程中子目录 sim1 被建立。它包含当前仿真的所有 SPICE 文件。

(3) 仿真文件的 Sim 目录结构如图 3-8-50 所示。

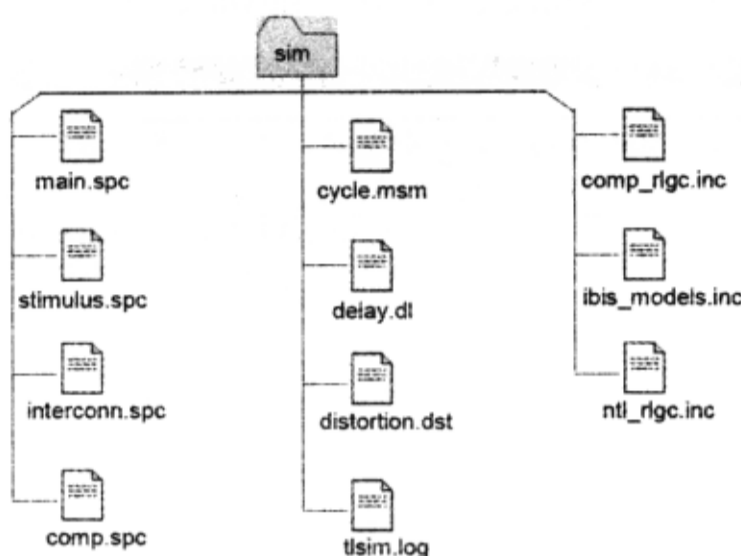


图 3-8-50 仿真文件的 Sim 目录结构

在 case 目录下是 sim 目录。sim 目录包含仿真拓扑必需的 SPICE 文件。sim 目录内容如下所述。

- comp\_rlgc.inc: 这个文件描述 Trace 模型 RLGC 矩阵的参数值。
- comp.spc: SPICE 文件描述和仿真的电源/地的值。
- cycle.msm: 这个文件描述元器件 I/O 极限和当前电路的线延迟, 也存储元器件的开关和稳定时间。
- delay.dl: 这个文件列出延迟仿真结果。
- distortion.dst: 这个文件列出失真的仿真结果。
- ibis\_models.inc: 这个文件记录 IbisIOCell 文件定义的参数值。
- interconn.spc: SPICE 文件记录互连模型支电路。
- main.spc: 这是主要的 SPICE 文件, 可以调用其他的 SPICE 支电路。
- ntl\_rlgc.inc: 这个文件记录传输线的分布参数值。
- stimulus.spc: 这是一个记录激励输入的 SPICE 文件。
- tlsim.log: 这是 Cadence 所有的 SPICE 仿真器的日志文件。

#### 4. 反射仿真测量

##### 1) 关掉驱动器波形的显示

(1) 在“SigWave”窗口单击左侧列表框中“SigWave”前面的“+”号, 显示两个目录“Views”和“Waveform Library”→单击“Waveform Library”前面的“+”号浏览其内容。Waveform Library 包含一个目录, 这个目录包含仿真参数和驱动器与接收器的仿真波形。

(2) 单击“sim1: (HIDESIGN3 U7 AM28) HIDESIGN3 U7 AM28 Pulse Typ Reflection”前面的“+”号浏览其内容。

(3) 单击“Simulation Parameters”前面的“+”号浏览其内容。设置的一些分析参数被列出。波形文件的路径也被列出→单击“Simulation Parameters”前面的“-”号关闭目录。

(4) 在“HIDESIGN3 U7 AM28, HIDESIGN3 U7 AM28i 和 HIDESIGN3 IOP2 51i”上单击鼠标右键，在弹出的菜单中选择“Display”，使两个波形符号使驱动波形不显示。可以看到波形符号上现在有一个红色标志，驱动波形不再在“SigWave”中显示，如图 3-8-51 所示。

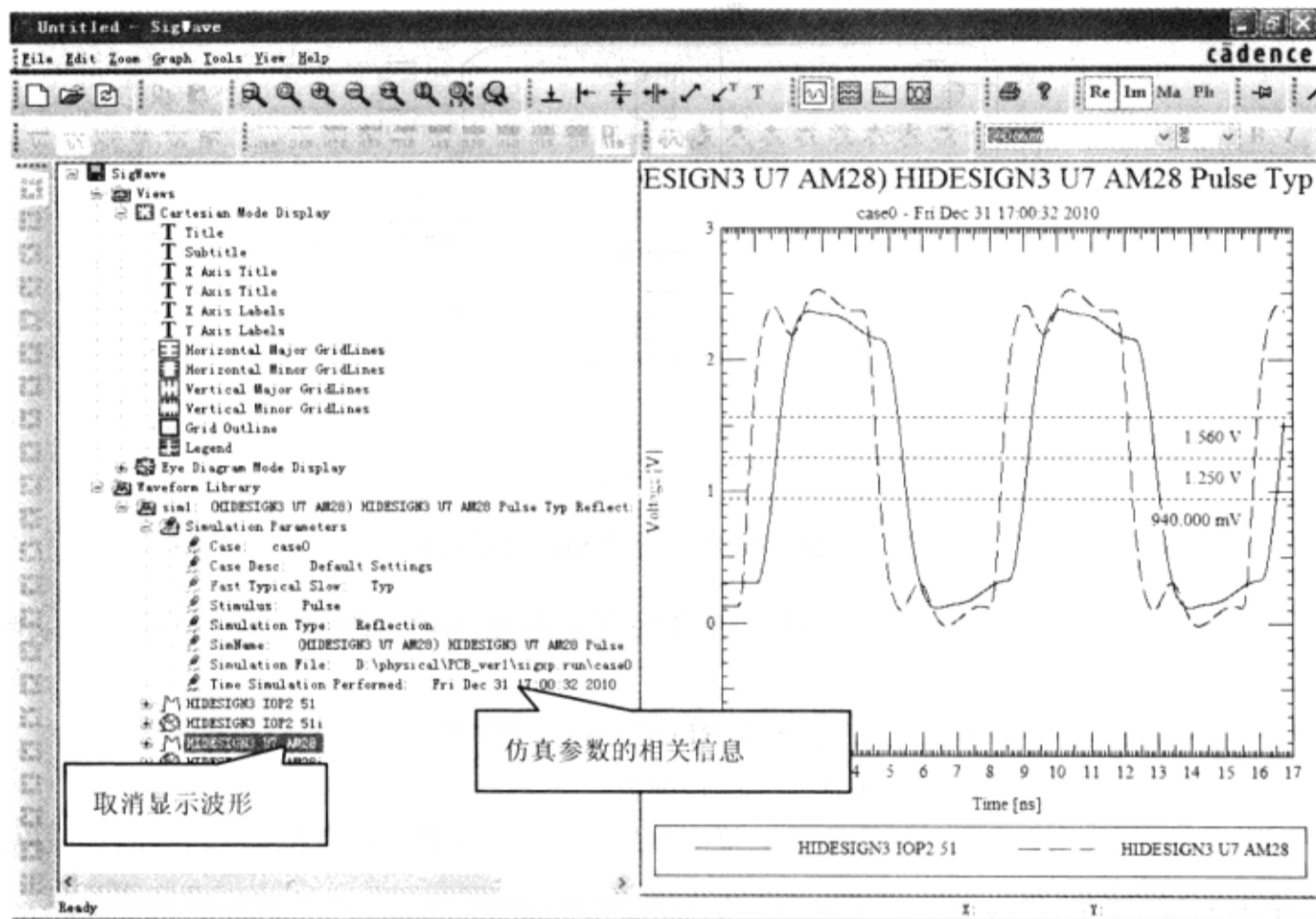


图 3-8-51 接收器波形

2) 单调性结果 单调信号是指在高、低门限间没有逆转。测量检查信号上升沿和下降沿在高门限和低门限间不改变方向转换。单调性测量如图 3-8-52 所示。

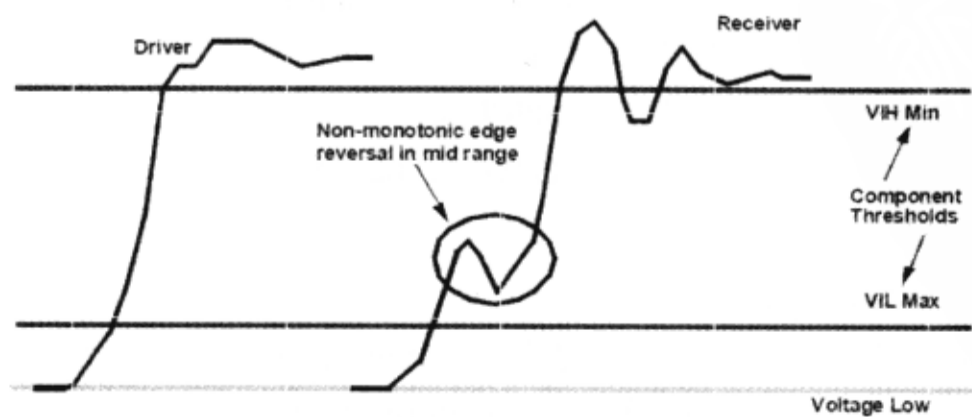


图 3-8-52 单调性测量



(1) 查看在上升沿和下降沿的低门限 (940mV) 和高门限 (1.56V) 间的接收器波形, 信号从低门限到高门限的平滑转换没有改变方向, 如图 3-8-53 所示。

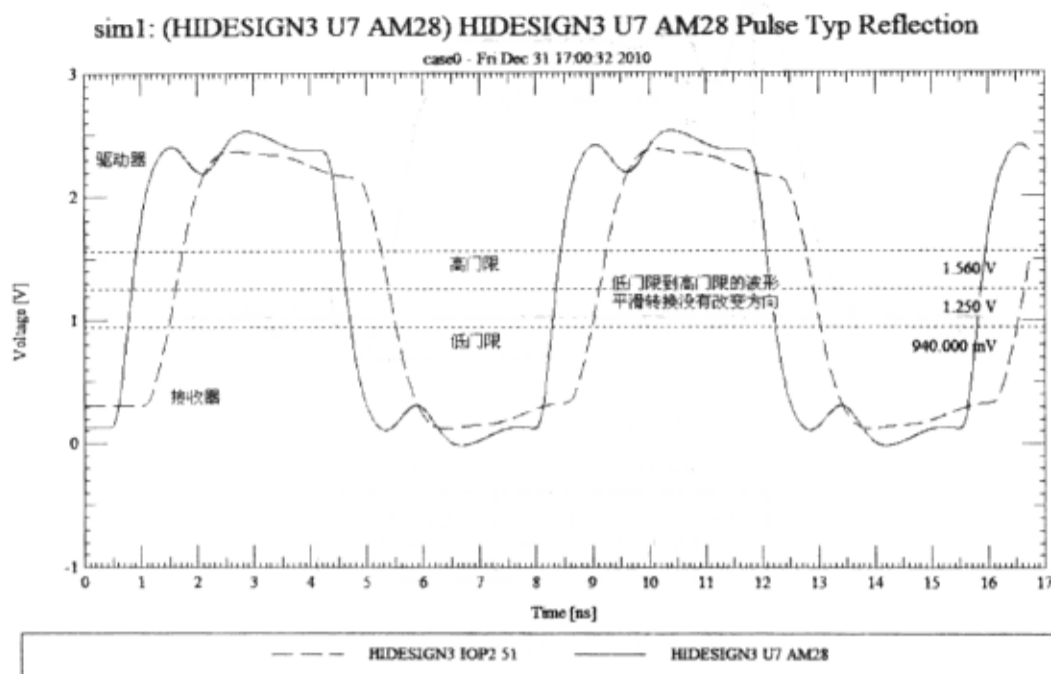


图 3-8-53 驱动器和接收器的信号仿真波形

(2) 在 SigXplorer PCB SI XL 的 “Results” 栏表格中按下鼠标左键→拖动指针选择 “Monotonic (单调性)”、“MonotonicRise (单调上升)” 和 “MonotonicFall (单调下降)” → 单击鼠标右键选择这些栏→从弹出菜单选择 “Hide Columns”, 如图 3-8-54 所示。

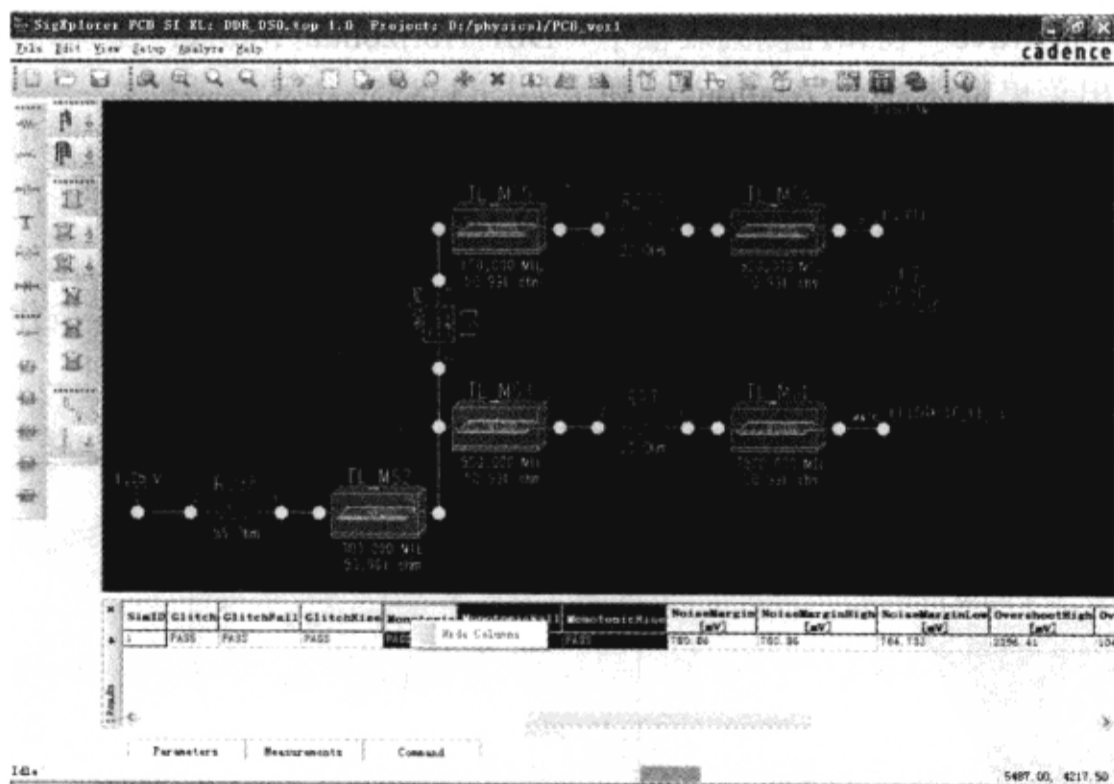


图 3-8-54 隐藏仿真结果

3) 报告噪声容限 波形的振铃能减小噪声容限值。噪声容限测量值报告高电平和低电平间的噪声容限的最小值。但是报告的 NoiseMargin 值没有确定是发生在 High Side 还是 Low Side。测量波形的 NoiseMarginHigh 和 NoiseMarginLow 值确定开关延迟的最小值发生

的地方, 如图 3-8-55 所示。

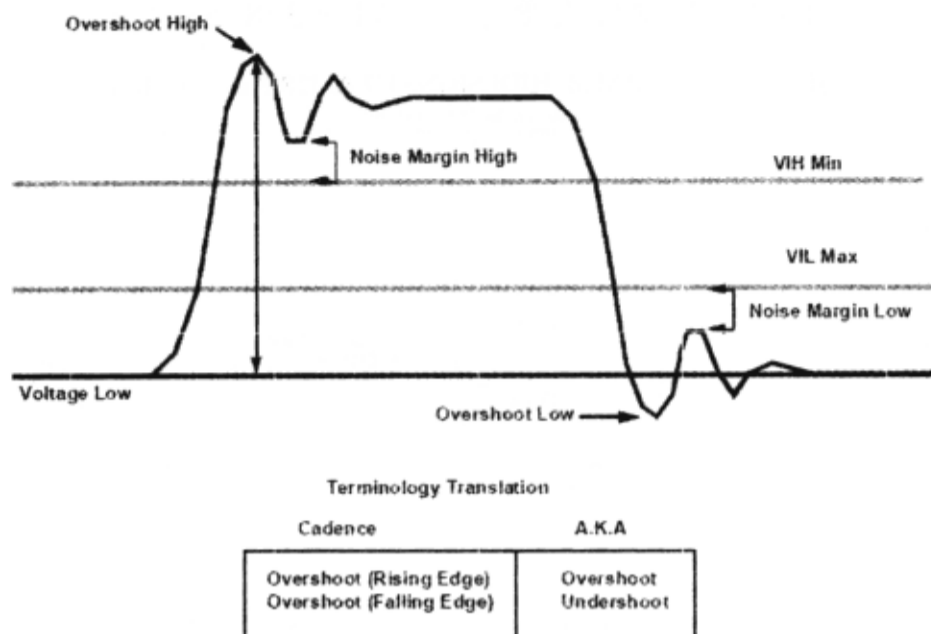


图 3-8-55 测量噪声容限

(1) 测量 Noise Margin High。

① 单击“SigWave”窗口左侧列表框中“HIDESIGN3 IOP2 51”的接收器波形符号。

② 单击工具栏中的按钮 ，增加“differential horizontal marker”。

③ 单击“SigWave”窗口左侧列表框中“diff Horizontal Marker”的标志符号→从最左边的调色板中选择蓝色→“differential horizontal marker”现在显示为蓝色。

④ 选择“SigWave”窗口左侧列表框中“Diff Horizontal Marker”的标志符号→单击鼠标右键→从弹出菜单中选择“Location”，弹出如图 3-8-56 所示对话框。

⑤ “Y Secondary”栏输入“1.56V”，“Y Primary”栏输入“2.5V”→单击“OK”按钮，关闭“Edit Location”对话框。报告的 NoiseMarginHigh 是上升波形超过逻辑高门限值最低的振铃点值减去逻辑高门限值。

⑥ 在蓝色的 2.5V 的“differential horizontal marker”单击鼠标左键并按住鼠标左键，滑动它到接收器上升波形的最低点，如图 3-8-57 所示。

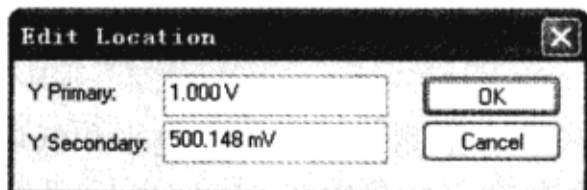


图 3-8-56 “Edit Location”对话框

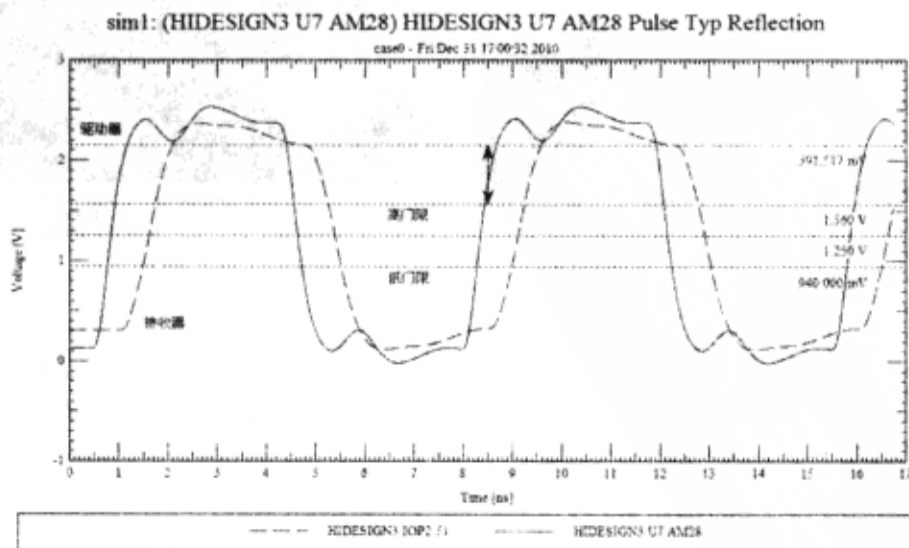


图 3-8-57 测量 NoiseMarginHigh



电压差值为 591.517mV，报告中“NoiseMarginHigh”值为 591.65mV。SigWave 中的测量值有 3 位小数。测量值与 SigXplorer 的表格中的结果不同。表格中“NoiseMarginHigh”值等于“NoiseMargin”值。显而易见，最坏情况的噪声容限发生在信号的高电平侧。噪声容限测量报告 NoiseMarginHigh 和 NoiseMarginLow 间的最小值。但是，不知道报告的 NoiseMargin 值是发生在 High Side 还是 Low Side。

(2) 测量 Noise Margin Low。

① 选择“SigWave”窗口的蓝色“differential horizontal marker”之一→单击鼠标右键→从弹出菜单选择“Location”，弹出如图 3-8-58 所示的“Edit Location”对话框。

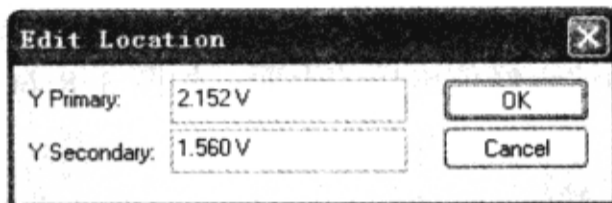


图 3-8-58 “Edit Location”对话框

② “Y Secondary”栏输入“940mV”→单击“OK”按钮，关闭“Edit Location”对话框。报告中的 NoiseMarginLow 是逻辑低门限值减去下降波形超过逻辑低门限的最高振铃点值。

③ 单击并按住鼠标左键，使“Differential Horizontal Marker”向下滑动到接收器上升波形的最高振铃点（标志值可能是一个负数，这是因为标志的第 1 部分比第 2 部分更小。只需考虑标志间的绝对值），如图 3-8-59 所示。



电压差值为 592.856mV，报告中“NoiseMarginLow”值是 593.983，报告中“NoiseMargin”值和“NoiseMarginLow”值相差较大。因此，NoiseMargin 测量报告了有最小噪声容限的信号的 High Side。

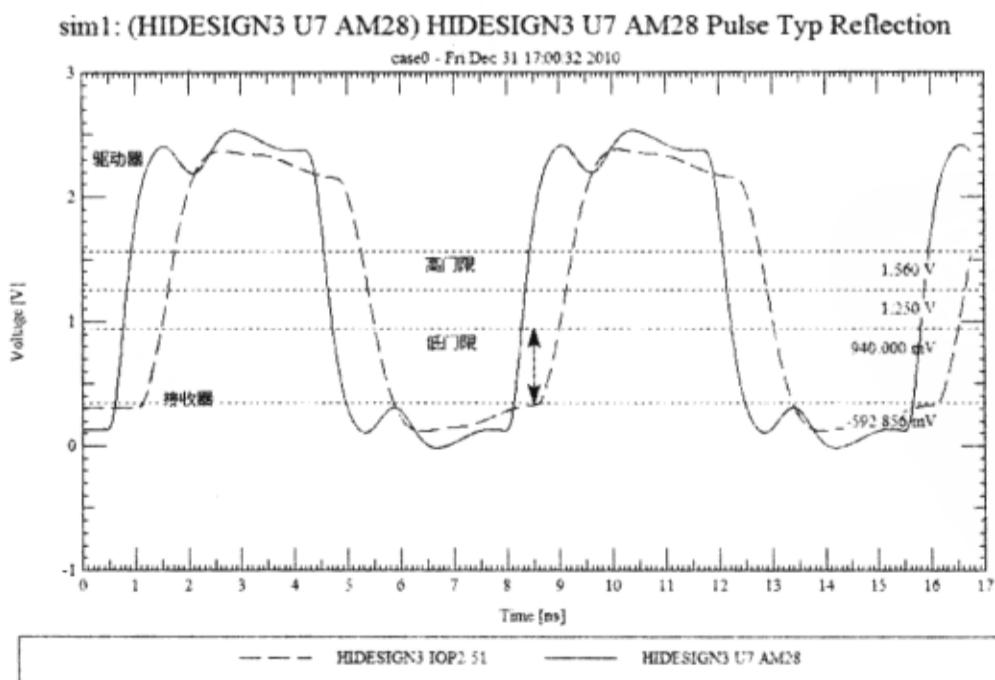


图 3-8-59 测量 NoiseMarginLow

④ 在 SigXplorer PCB SI XL 中的“Results”栏表格按住鼠标左键→拖动鼠标选择“Noise Margin”、“NoiseMarginHigh”和“NoiseMarginLow”栏→单击鼠标右键→从弹出菜单中选择“Hide Columns”，隐藏这3个栏。

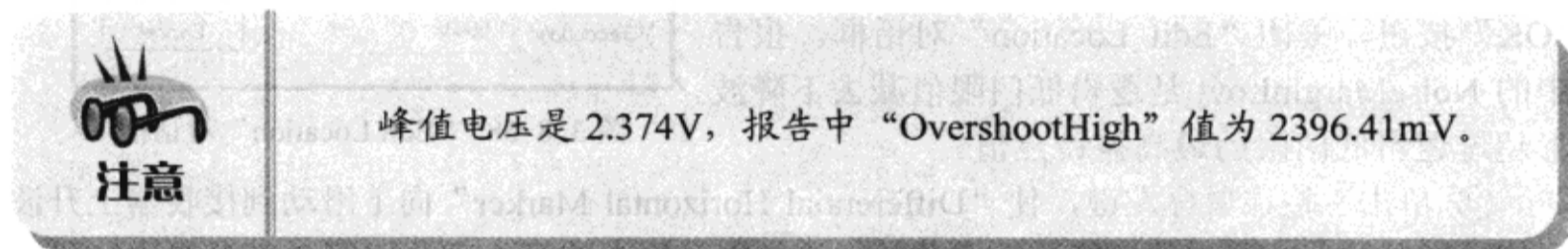
4) 报告过冲值 信号的振铃主要是由于电路中阻抗不匹配引起波形的反射。反射在波形的高边和高边都产生过冲。

(1) 测量 Overshoot High 值: 对于上升波形的过冲参考电压是 0V。OvershootHigh 是波形中的最大值。

① 选择“SigWave”窗口左侧列表框的“Diff Horizontal Marker”→单击鼠标右键→从弹出菜单中选择“Location”→弹出“Edit Location”对话框。

② “Y Secondary”栏输入“0V”→单击“OK”按钮。这个标志可能隐藏，是因为 X 轴是 0V，标志被 X 轴覆盖。

③ 单击并按住鼠标左键→从另一条“Differential Horizontal Marker”线滑动到接收器波形到达正峰值电压的上面，如图 3-8-60 所示。



(2) 测量“Overshoot Low”值: 这个接收器的波形没有值在 0V 下面。波形降至最低点开始上升到达 0V。不管波形的最低点在哪里，波形降到最低点的值被定义为“OvershootLow”。报告中为“OvershootLow”是下降波形的最大峰值。

① 从“SigWave”菜单中执行菜单命令“Zoom”→“Specific Size”，弹出“Zoom Specific Size”窗口，具体设置如图 3-8-61 所示→单击“OK”按钮，关闭该窗口。

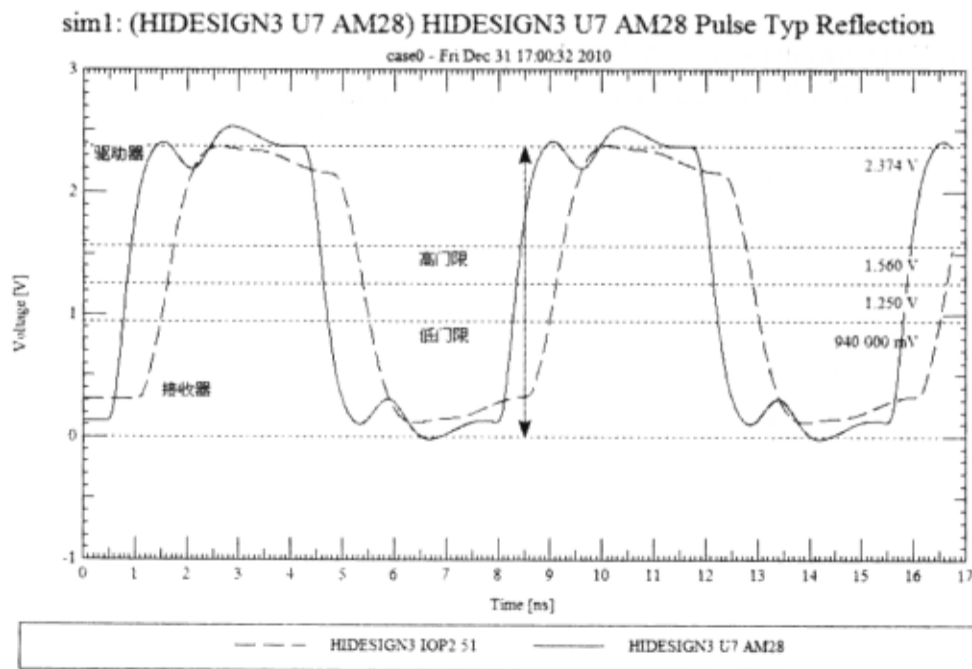


图 3-8-60 测量过冲

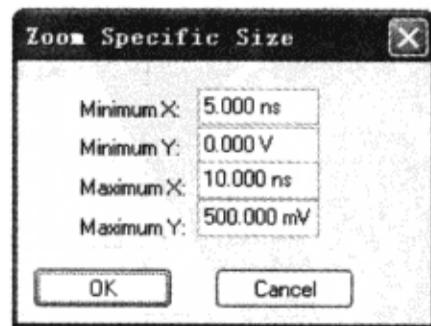


图 3-8-61 “Zoom Specific Size”窗口

② 选择“SigWave”窗口左侧列表框中“Diff Horizontal Marker”标志符号→单击鼠标右键→从弹出菜单中选择“Location”→弹出“Edit Location”对话框。

③ “Y Primary”栏输入“0.1V”→单击“OK”按钮，关闭“Edit Location”对话框。Overshoot low 参考电压为0V，已经设置“Y secondary”值为0V。

④ 单击并按住鼠标左键→将蓝色的“Differential Horizontal Marker”从0.1V移到接收器波形的低峰值电压，如图3-8-62所示。

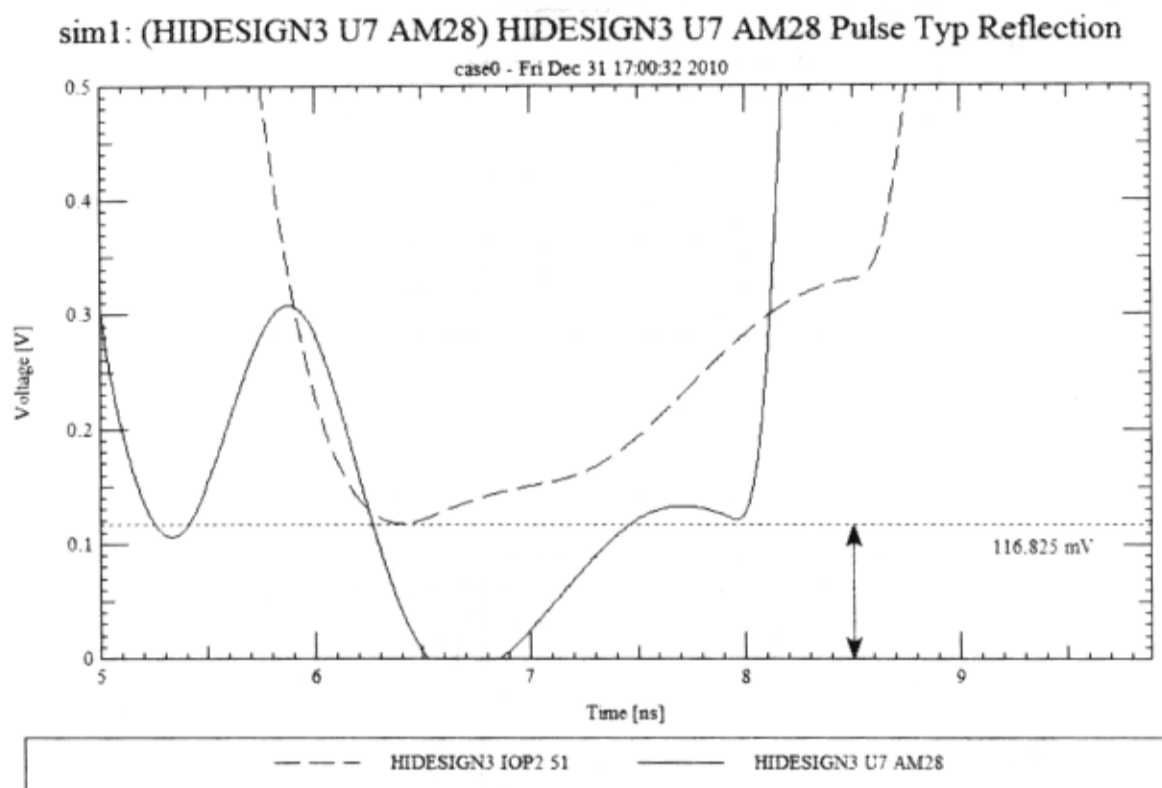


图 3-8-62 测量下冲



注意

峰值电压是 116.825mV，报告中“OvershootLow”值是 104.512mV。

⑤ 双击“SigWave”窗口左边的“Differential Horizontal Marker”符号，不再显示这个标志→单击显示波形的任何地方。

⑥ 从“SigWave”菜单中执行菜单命令“Zoom”→“Fit”，波形放大到合适的窗口显示。

⑦ 在 SigXplorer PCB SI XL 的“Results”栏表格中按住鼠标左键→拖动鼠标选择“OvershootHigh”和“OvershootLow”→单击鼠标右键→从弹出菜单中选择“Hide Columns”。

5) 报告开关延迟 (Switch Delay) SwitchDelay 测量报告上升沿和下降沿的开关延迟的最小值，如图 3-8-63 和图 3-8-64 所示。但是报告值没有确定是发生在上升沿还是下降沿。测量波形的 SwitchDelayRise 和 SwitchDelayFall 确定开关延迟的最小值发生在哪里。



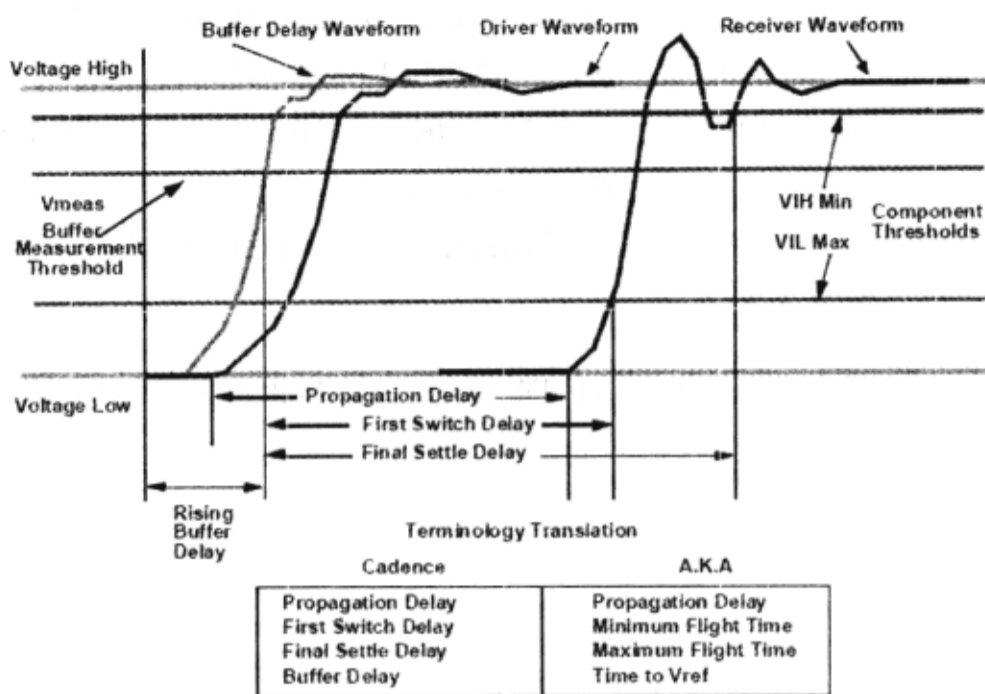


图 3-8-63 上升沿测量

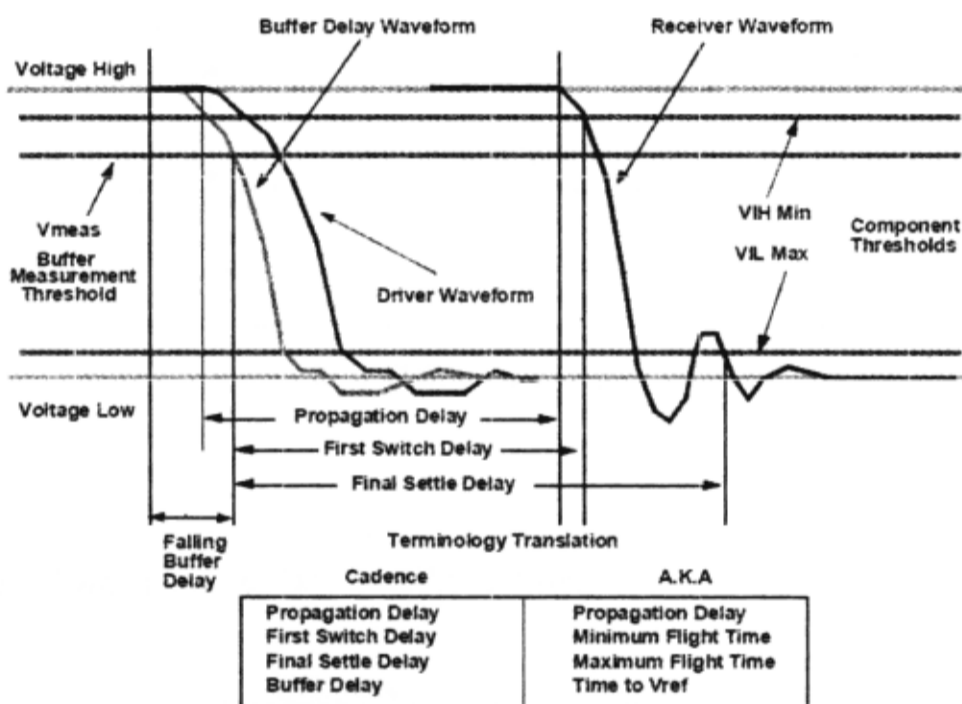



图 3-8-64 下降沿测量

(1) 测量 Rising Switch Delay: 上升沿开关延迟是指当接收器信号达到逻辑输入低门限电压 (VIL) 时, 上升波形的开关延迟参考驱动波形周期的开始。设置的驱动输入激励是 133MHz, 周期是 7.52ns。逻辑输入低门限电压信息包含在接收器 U1 的信号模型中。

① 从“SigWave”菜单中执行菜单命令“Zoom”→“In Region”, 单击并拖动指针框住第 1 个下降波形和第 2 个上升波形 (这个框将框住从 3~13ns、0~3V 的整个波形)。

② 在工具栏中单击按钮 , 增加“Differential Vertical Marker”。

③ 单击“SigWave”窗口左侧列表框的“Differential Vertical Marker”, 从最左侧的调色

板中选择绿色。

④ 选择“SigWave”窗口“Differential Vertical Marker”中的一个→从弹出菜单中选择“Location”→弹出“Edit Location”对话框。

⑤ “X Secondary”栏输入“7.52ns”→单击“OK”按钮。激励频率是133MHz，所以周期是7.52ns。

⑥ 单击并按住鼠标左键→从另一条“Differential Vertical Marker”线滑动到上升的接收器波形到940mV ( $U_{IL}$ )，如图3-8-65所示。

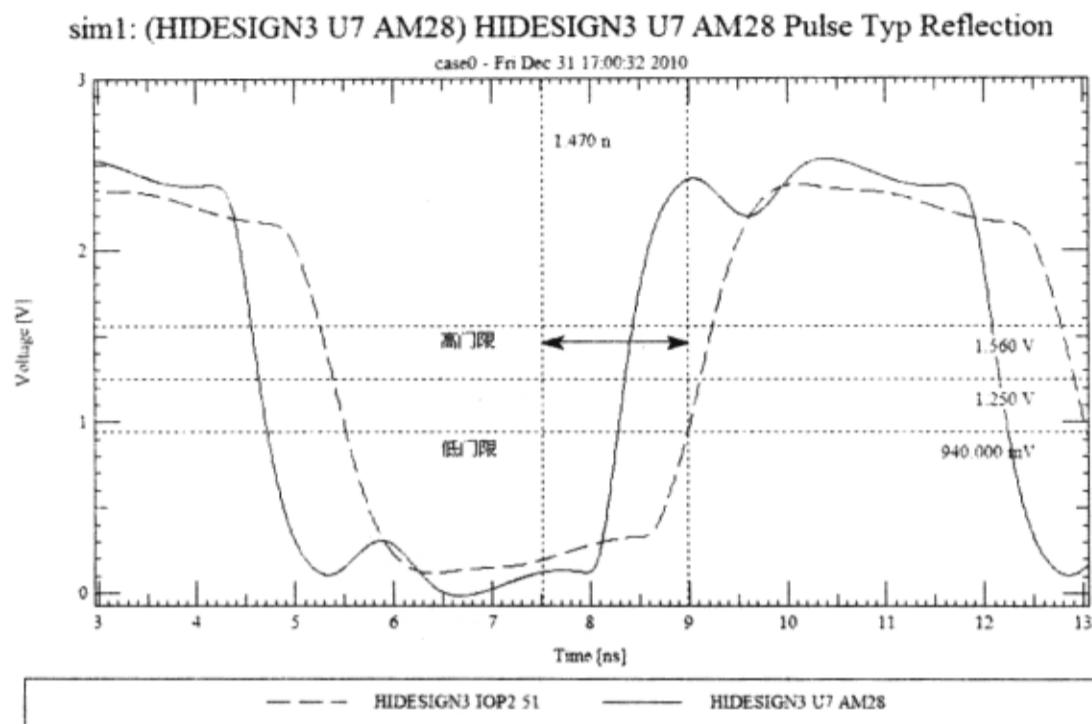


图 3-8-65 测量 SwitchDelayRise



两个标志间的差是 1.470ns，报告中“SwitchDelayRise”值是 1.49339ns。

(2) 测量 Falling Switch Delay: 下降沿的 Switch delay 是指接收器的信号达到它的逻辑输入高门限电压  $U_{IH}$ ，下降输入波形的驱动波形周期的 1/2。为驱动器输入激励设置的频率是 133MHz，周期是 7.52ns，1/2 个周期是 3.76ns。逻辑输入门限电压信息包含在接收器 IOP2 的信号模型中。

① 选择“SigWave”窗口的“differential vertical marker”之一→单击鼠标右键→从弹出菜单中选择“Location”→弹出“Edit Location”对话框。

② “X Secondary”栏输入“3.76ns”→单击“OK”按钮，关闭“Edit Location”对话框。

③ 按住鼠标左键→将不是 3.76ns 的“differential vertical marker”线移动到左边接收器下降波形通过 1.56V ( $U_{IH}$ )，如图 3-8-66 所示。

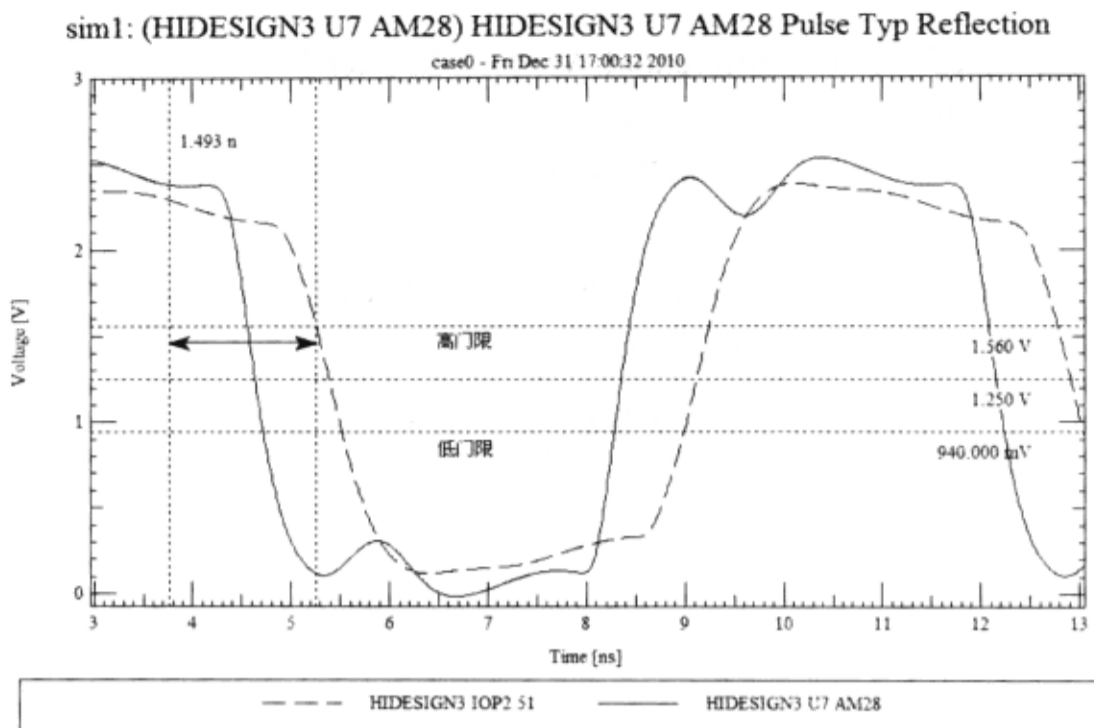


图 3-8-66 测量 SwitchDelayFall



两个标志的差是 1.493ns，而报告中“SwitchDelayFall”值是 1.52499ns，表格中的报告值近似于波形的测量值。

④ 在 SigXplorer 的“Results”栏表格中按住鼠标左键→拖动鼠标选择“SwitchDelay”、“SwitchDelayFall”和“SwitchDelayRise”栏→单击鼠标右键→从弹出菜单中选择“Hide Columns”。

6) 报告稳定延迟 (Settle Delay) SettleDelay 的测量报告上升沿和下降沿的稳定延迟间的最大值。但是，报告值没有确定是发生在上升沿还是下降沿。测量波形的 SettleDelayRise 和 SettleDelayFall 确定稳定延迟最大值发生在哪里。

(1) 测量 Rising Settle Delay: SettleDelayRise 是指当接收器的信号达到它的逻辑输入高门限电压  $U_{IH}$ ，上升输入波形的稳定延迟被参考作为驱动器波形周期的开始。逻辑输入高门限电压信息包含在接收器 IOP2 的信号模型。

① 单击波形的任意地方→从“SigWave”菜单中执行菜单命令“Zoom”→“Fit”，选择“SigWave”窗口左侧列表框中的“Diff Vertical Marker”符号→单击鼠标右键→从弹出菜单选择“Location”→弹出“Edit Location”对话框。

② 在“X Secondary”栏中输入“7.52ns”，在“X Primary”栏中输入“10ns”→单击“OK”按钮，关闭“Edit Location”对话框。

③ 单击波形的任意位置→从“SigWave”菜单中执行菜单命令“Zoom”→“In Region”，单击并拖动指针包围第 1 个下降波形和第 2 个上升波形（包围 6~12ns、0~3V 的区域）。

④ 单击并按住鼠标左键→将 10ns 的“differential vertical marker”移动到上升的接收器波形 (HIDESIGN3 IOP2 51) 通过 1.56V ( $U_{IH}$ ) 的地方, 如图 3-8-67 所示。



两个标志的差值是 1.704ns, 而报告中的 SettleDelayRise 值为 1.49339ns, 表格中的报告值接近波形测量值。

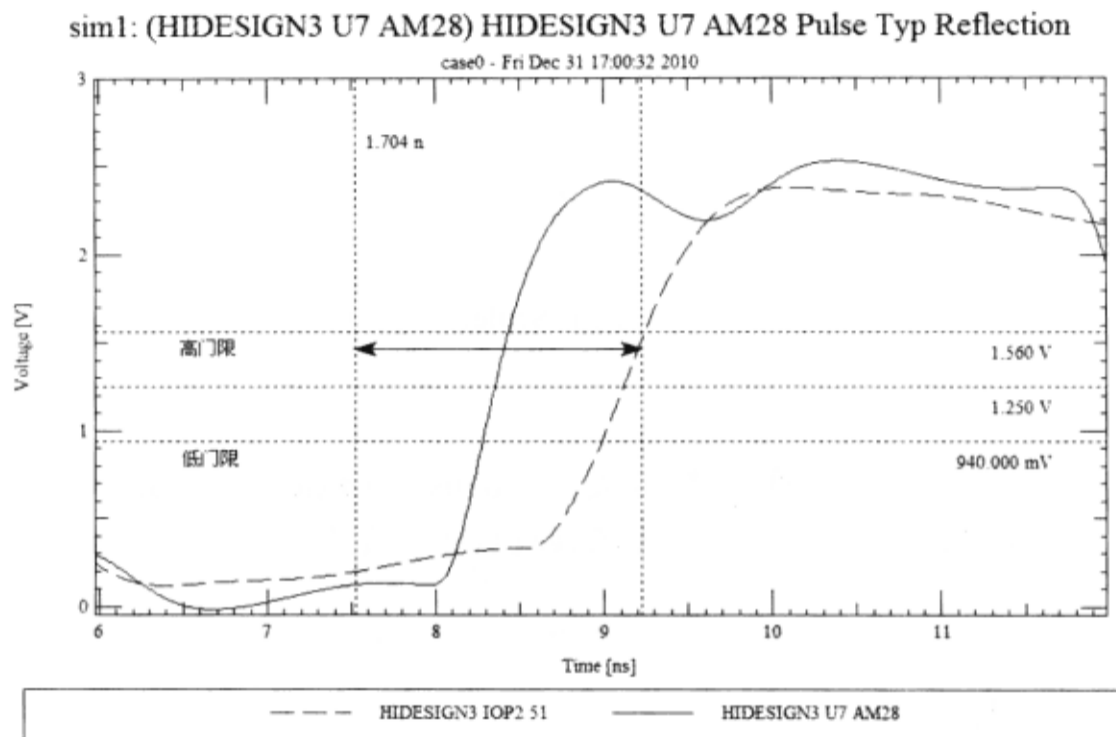


图 3-8-67 测量 SettleDelayRise

(2) 测量 Falling Settle Delay: 下降沿的 Settle delay 是指接收器的信号达到它的逻辑输入的低门限电压  $U_{IL}$ , 下降输入波形参考驱动器波形周期的 1/2。逻辑输入低门限电压信息包含在接收器 U1 的信号模型中。

① 单击波形的任意地方→从“SigWave”菜单中执行菜单命令“Zoom”→“Fit”, 选择“SigWave”窗口的“differential vertical marker”线之一→单击鼠标右键→从弹出菜单中选择“Location”→弹出“Edit Location”对话框。

② 在“X Secondary”栏中输入“3.76ns”, 在“X Primary”栏中输入“6ns”→单击“OK”按钮, 关闭“Edit Location”对话框。

③ 单击波形的任意地方→从“SigWave”菜单中执行菜单命令“Zoom”→“In Region”, 单击并拖动指针包围第 1 个下降波形和第 2 个上升波形 (这个框将包围 2~8ns 的区域和整个波形)。

④ 单击并按住鼠标左键→将不是 3.76ns 的“differential vertical marker”线移动到左边接收器波形通过 940mV ( $U_{IL}$ ) 的地方, 如图 3-8-68 所示。

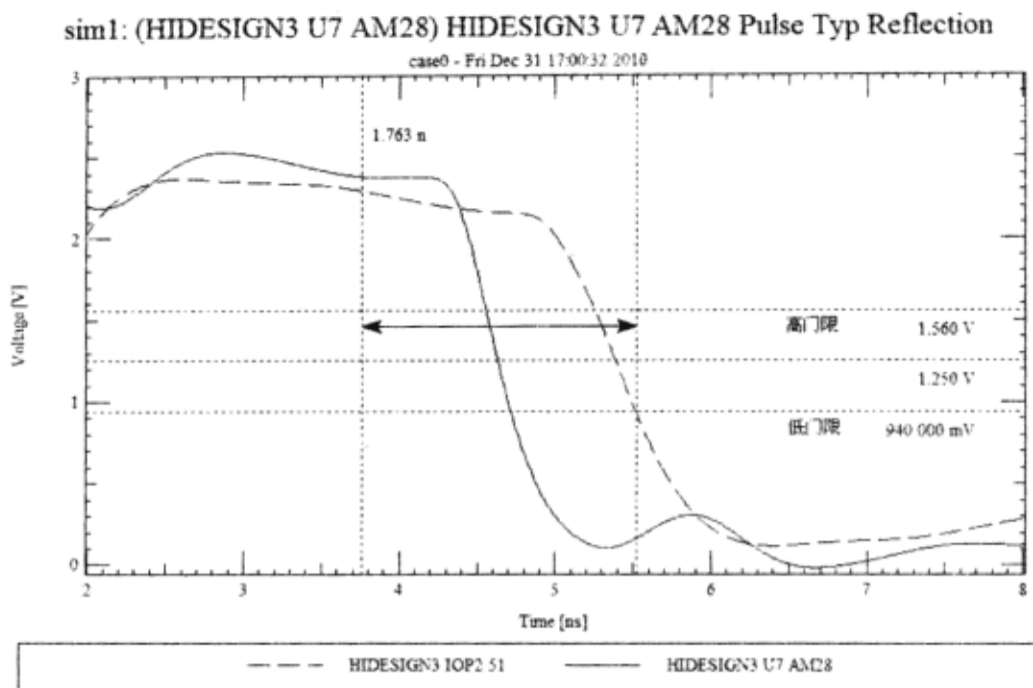


图 3-8-68 测量 SettleDelayFall



两个标志间的差值是 1.763ns，而报告中 SettleDelayFall 值是 1.74234ns，表格中的报告值接近波形测量值。

### 7) 保存拓扑并退出 PCB SI

(1) 从“SigXplorer PCB SI XL”窗口中执行菜单命令“File”→“Exit”，关闭“SigXplorer PCB SI XL”窗口和“SigWave”窗口。

(2) 从“Allegro PCB SI XL”窗口中执行菜单命令“File”→“Exit”，从弹出菜单中选择“No”，退出 PCB SI。

## 3.9 前仿真时序

**【本节目的】** 设定的拓扑是 PC 主板连接存储器的 133MHz DATA 总线的一部分。需要确保对电路运行的目标网络和长度、阻抗、驱动器速度等最小/最大条件做一些估测。然后运行最大/最小仿真或一些扫描仿真，以便掌握电路工作原理。

**【使用工具】** SigXplorer PCB SI XL。

**【使用文件】** physical\PCB\_ver1\DDR\_MS.top 和 physical\PCB\_ver1\DDR\_TL.top。

扫描变量通常分为如下两类。

- 加工变量：驱动器速度、传输线阻抗、电阻公差等必须考虑。电路必须工作在所有可能的条件下。设计者能够控制这些变量，如指定 PCB 的阻抗必须是  $50\Omega \pm 5\Omega$ ，但这些变量也必须考虑。加工变量的影响将被仿真。
- 设计变量：一旦加工变量被考虑，设计者必须寻找设计变量的最大范围（如布线长度）。产生的



约束（引脚排序、最小/最大布线长度、匹配长度）需要传送到后面的物理设计过程作为设计约束。这些约束包含在拓扑文件中，通过 PCB SI 应用到设计数据库中。假定 PCB 的阻抗是  $50\Omega \pm 5\Omega$ ，Traces 被布在速率期望是在 5400~5800mil/ns 之间的表面层，这大约等于绝缘常数  $4\Omega \pm 0.2\Omega$  的变化。

## 1. 运行参数扫描

### 1) 设置扫描参数

(1) 在程序文件夹中单击“SigXplorer”图标，弹出如图 3-9-1 所示的“Cadence Product Choices-16.3”对话框。

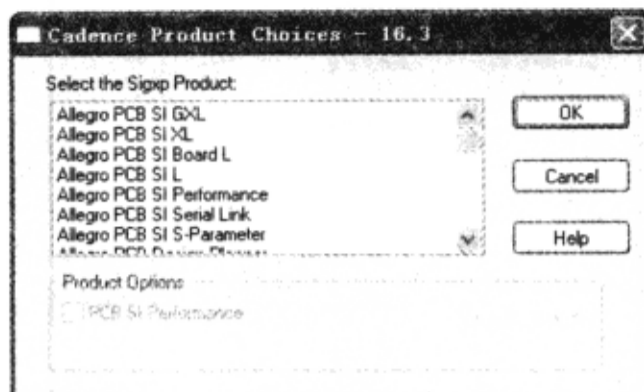


图 3-9-1 “Cadence Product Choices-16.3”对话框

(2) 选择“Allegro PCB SI XL”→单击“OK”按钮，打开“SigXplorer PCB SI XL”窗口。

(3) 执行菜单命令“File”→“Open”，打开 D:\physical\PCB\_ver1\ DDR\_MS.top 文件。

(4) 在 SigXplorer 工作空间单击 MS1 文本，下面的表格栏中 MS1 表格被打开，如图 3-9-2 所示。

MS1		
diConstant	4	1
diLossTangent	0.035	1
diThickness	2.700 MIL	1
diFreqDepFile		1
d2Constant	1	1
d2LossTangent	0	1
d2Thickness	0.000 MIL	1
d2FreqDepFile		1
length	1000.000 MIL	1
traceConductivity	595900 mho/cm	1
traceEtchFactor	90	1
traceThickness	0.700 MIL	1
traceWidth	5.000 MIL	1

图 3-9-2 TL1 参数

(5) 单击包含“1000.000MIL”的表格区域→在该区域的末端有一个向下的箭头显示→单击这个箭头→弹出“Set Parameter: length”窗口，如图 3-9-3 所示。

(6) 选中“Linear Range”→在“Start Value”栏中输入“2000”并按“Tab”键→在“Stop Value”栏中输入“3000”并按“Tab”键→在“Count”栏中输入“3”并按“Tab”键。注意“Step Size”区域，这个值基于“Start Value”值、“Stop Value”值和“Count Value”值。使用这些值，仿真将以 500mil 的增量运行。

(7) 单击“OK”按钮，关闭“Set Parameter: length”窗口。

(8) 单击“Parameters”表格“Name”栏“MS2”前面的“+”号→单击包含“300MIL”的表格区域→在该区域的末端有一个向下的箭头显示→单击这个箭头→弹出“Set Parameter: length”窗口。

(9) 在“Set Parameter: length”窗口选中“Linear Range”→在“Start Value”栏中输入“200”并按“Tab”键；在“Stop Value”栏中输入“600”并按“Tab”键；在“Count”栏

中输入“3”并按“Tab”键，如图3-9-4所示。

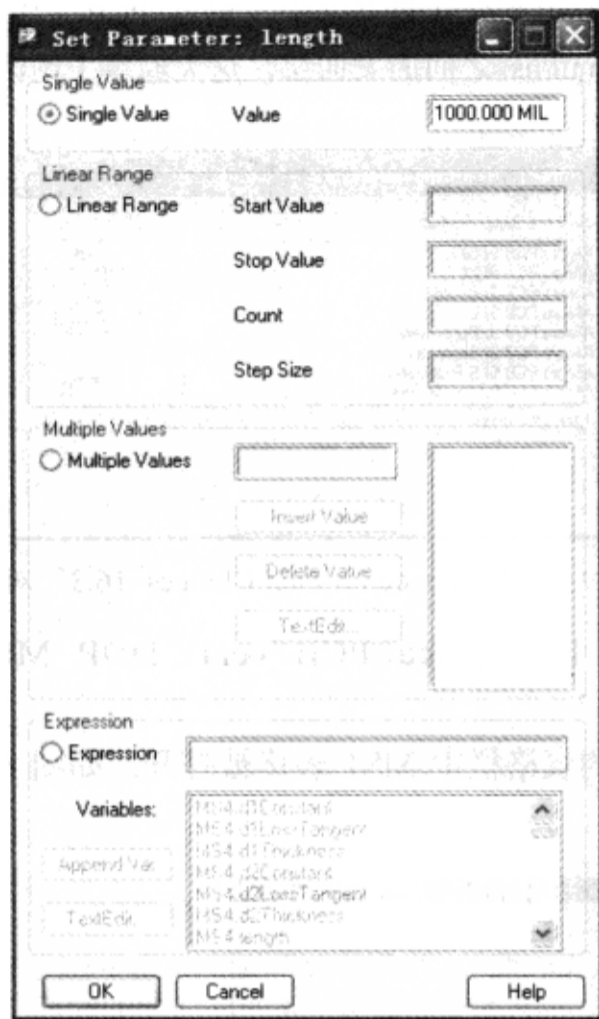


图 3-9-3 设置长度值 (1)

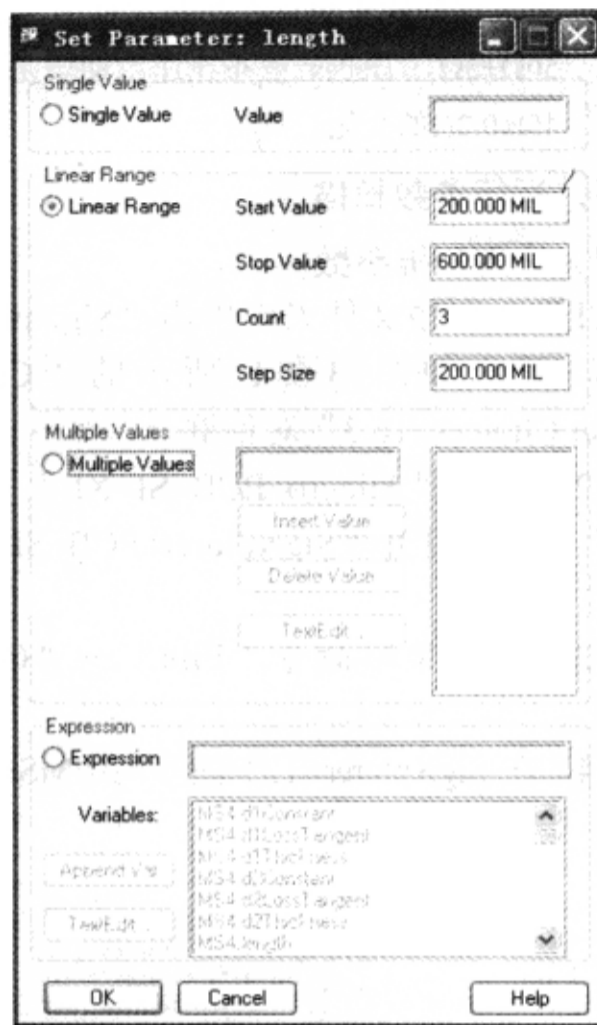


图 3-9-4 设置长度值 (2)

(10) 单击“OK”按钮，关闭“Set Parameter: length”窗口。

(11) 单击“Parameters”表格“Name”栏“MS3”前面的“+”号→单击包含“500 mil”的表格区域→在该区域的末端有一个向下的箭头显示→单击这个箭头，弹出“Set Parameter: length”窗口。

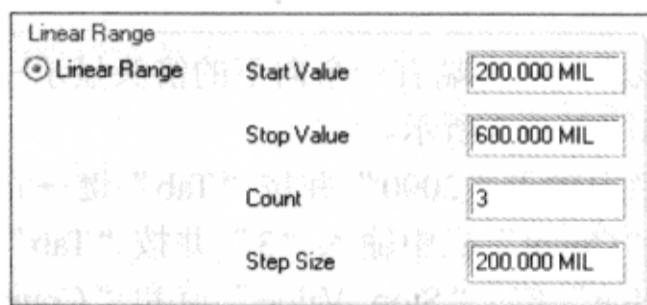


图 3-9-5 设置长度

(12) 在“Set Parameter: length”窗口选中“Linear Range”→在“Start Value”栏中输入“200”并按“Tab”键；在“Stop Value”栏中输入“600”并按“Tab”键；在“Count”栏中输入“3”并按“Tab”键，如图3-9-5所示。

(13) 单击“OK”按钮，关闭“Set Parameter: length”窗口。

## 2) 指定测量项目

(1) 在“SigXplorer PCB SI XL”窗口拓扑下面的表格中选择“Measurements”栏→单击“Reflection”前面的“+”号浏览能被报告的不同类型的反射测量。

(2) 选择包含“Reflection”的表格单元→单击鼠标右键→从弹出菜单选择“All Off”。

(3) 选择“OvershootHigh”、“OvershootLow”、“EyeHeight”、“EyeJitter”、“EyeWidth”

和“NoiseMargin” 6个测量，如图3-9-6所示。

Reflection	
BufferDelayFall	<input type="checkbox"/> Buffer Delay for Falling edge
BufferDelayRise	<input type="checkbox"/> Buffer Delay for Rising edge
EyeHeight	<input checked="" type="checkbox"/> Eye Diagram Height
EyeJitter	<input checked="" type="checkbox"/> Eye Diagram Peak-Peak Jitter
EyeWidth	<input checked="" type="checkbox"/> Eye Diagram Width
FirstIncidentFall	<input type="checkbox"/> First Incident Switching check of Falling edge
FirstIncidentRise	<input type="checkbox"/> First Incident Switching check of Rising edge
Glitch	<input type="checkbox"/> Glitch tolerance check of Rising and Falling waveform
GlitchFall	<input type="checkbox"/> Glitch tolerance on the falling waveform
GlitchRise	<input type="checkbox"/> Glitch tolerance on the rising waveform
Monotonic	<input type="checkbox"/> Monotonic switching check of Rising and Falling edges
MonotonicFall	<input type="checkbox"/> Monotonic switching check of Falling edge
MonotonicRise	<input type="checkbox"/> Monotonic switching check of Rising edge
NoiseMargin	<input checked="" type="checkbox"/> MIN(NoiseMarginHigh, NoiseMarginLow)
NoiseMarginHigh	<input type="checkbox"/> Minimum voltage in High state - Vihmin
NoiseMarginLow	<input type="checkbox"/> Vilmax - maximum voltage in Low state
OvershootHigh	<input checked="" type="checkbox"/> Maximum voltage in High state
OvershootLow	<input checked="" type="checkbox"/> Minimum voltage in Low state
PropDelay	<input type="checkbox"/> Calculated transmission line propagation delay
SettleDelay	<input type="checkbox"/> MAX(SettleDelayRise, SettleDelayFall)
SettleDelayFall	<input type="checkbox"/> Last time below Vilmax - driver Fall BufferDelay
SettleDelayRise	<input type="checkbox"/> Last time above Vihmin - driver Rise BufferDelay
SwitchDelay	<input type="checkbox"/> MIN(SwitchDelayRise, SwitchDelayFall)
SwitchDelayFall	<input type="checkbox"/> First time falling to Vihmin - driver Fall BufferDelay
SwitchDelayRise	<input type="checkbox"/> First time rising to Vilmax - driver Rise BufferDelay

图 3-9-6 选择测量范围

(4) 单击“SigXplorer”窗口“Measurements”表格的“Reflection”前面的“-”号。

### 3) 设置仿真参数

(1) 从“SigXplorer”窗口执行菜单命令“Analyze”→“Preferences”，弹出“Analysis Preferences”窗口，设置“Pulse Stimulus”栏，如图3-9-7所示。

(2) 设置“Simulation Parameters”栏，如图3-9-8所示。

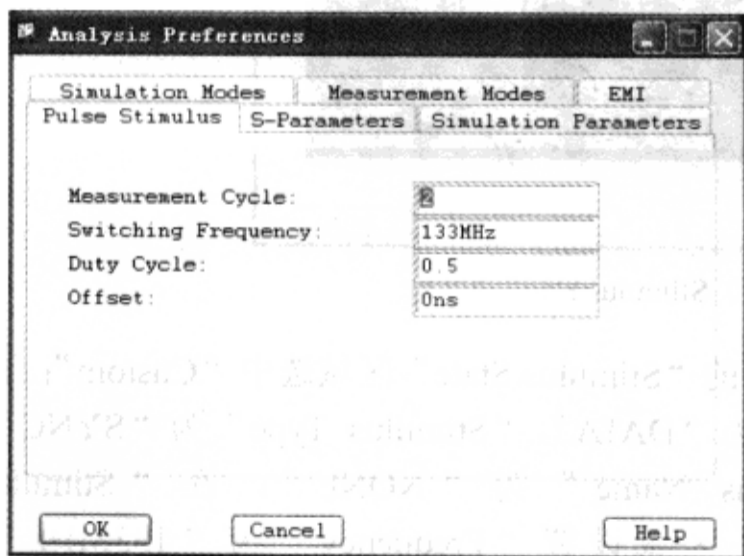


图 3-9-7 设置脉冲激励参数

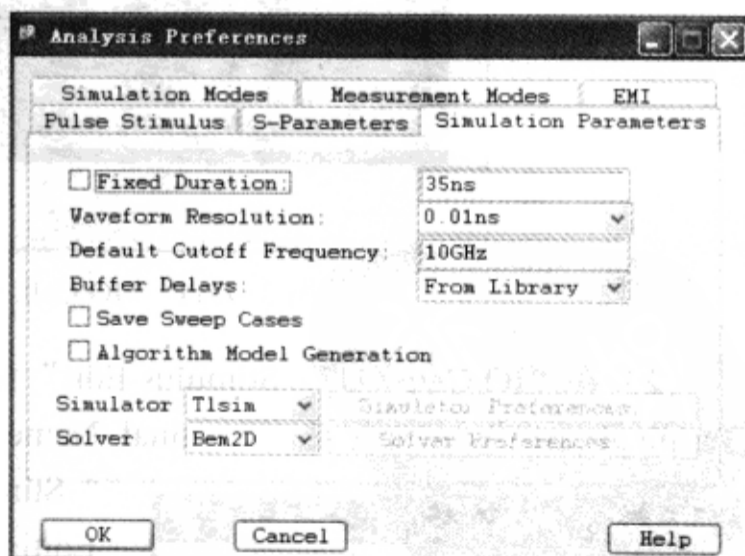


图 3-9-8 设置仿真参数

(3) 设置“Simulation Modes”栏，如图3-9-9所示。

(4) 设置“Measurement Modes”栏，如图3-9-10所示。

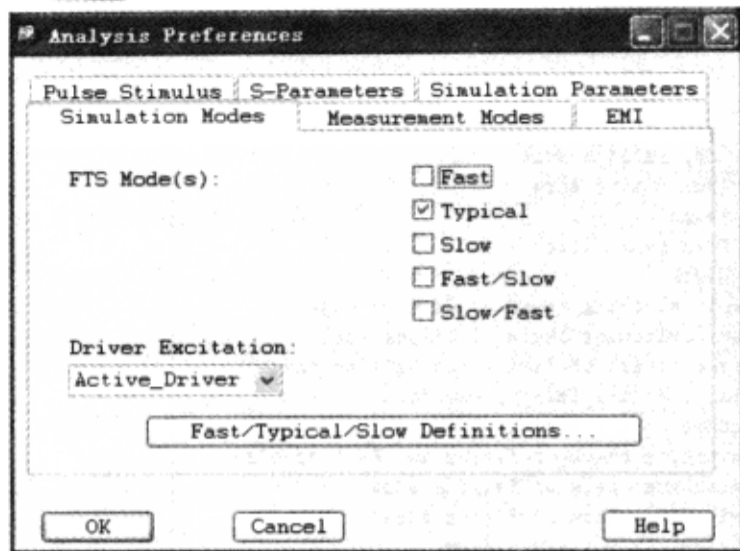


图 3-9-9 设置仿真模式

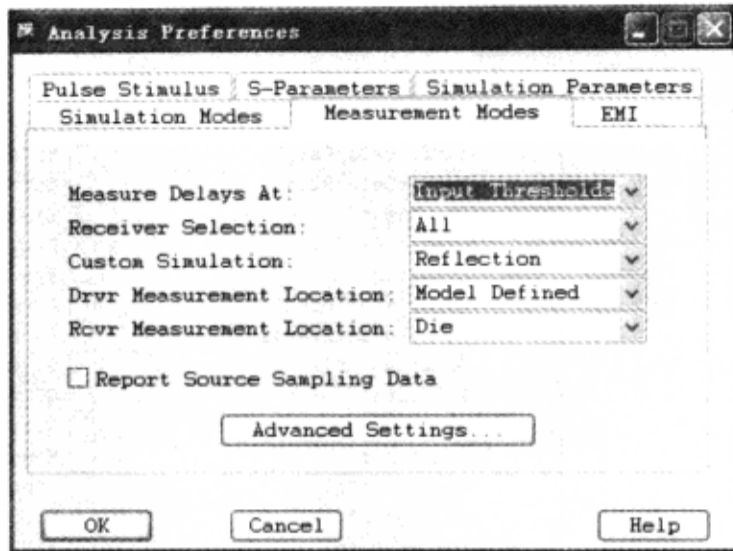


图 3-9-10 设置测量模式

(5) 单击“OK”按钮，关闭“Analysis Preferences”窗口。

4) 执行参数扫描仿真

(1) 单击驱动元件 U7 上面的文字“PULSE” → 弹出“IO Cell (U7) Stimulus Edit”窗口，如图 3-9-11 所示。

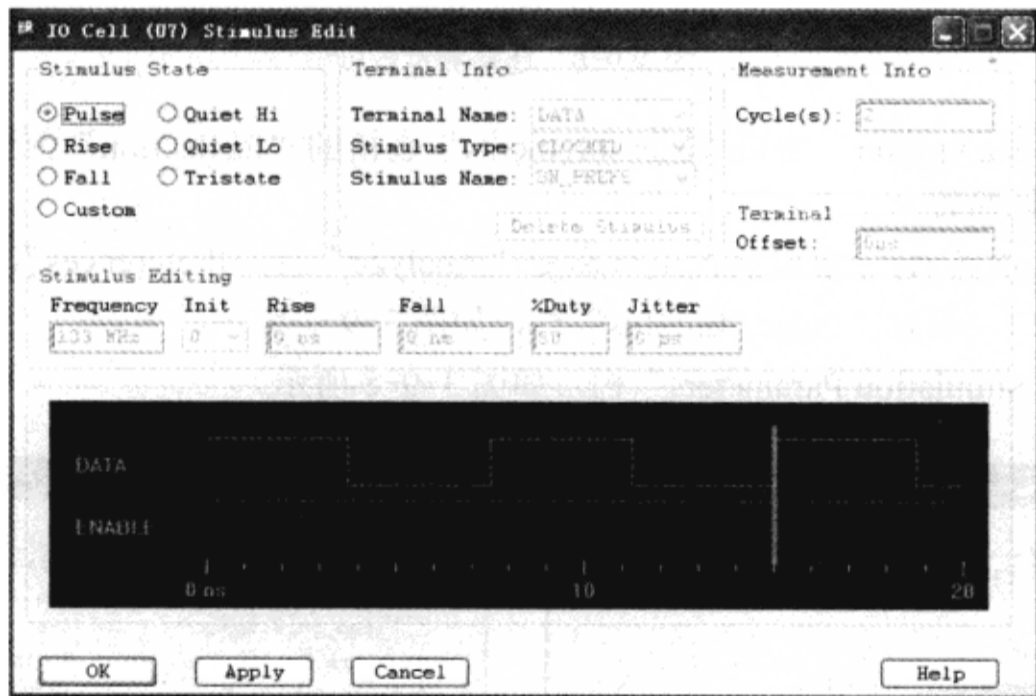


图 3-9-11 “IO Cell (U7) Stimulus Edit”窗口

(2) 在“IO Cell (U7) Stimulus Edit”窗口的“Stimulus State”区域选中“Custom”；在“Terminal Info”区域设置“Terminal Name”为“DATA”，“Stimulus Type”为“SYNC”，“Stimulus Name”为“NONE”；在“Stimulus Editing”区域设置“Frequency”为“133MHz”，“Init”设置为“1”，“Switch”设置为“BOTH”，单击“Pattern”后面的“Random”按钮，弹出输入参数对话框，如图 3-9-12 所示。

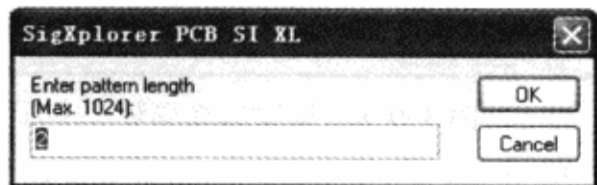


图 3-9-12 输入参数对话框

(3) 在输入参数对话框输入“64”，单击“OK”

按钮→关闭输入参数对话框，返回“IO Cell (U7) Stimulus Edit”窗口，设置完成后如图 3-9-13 所示。

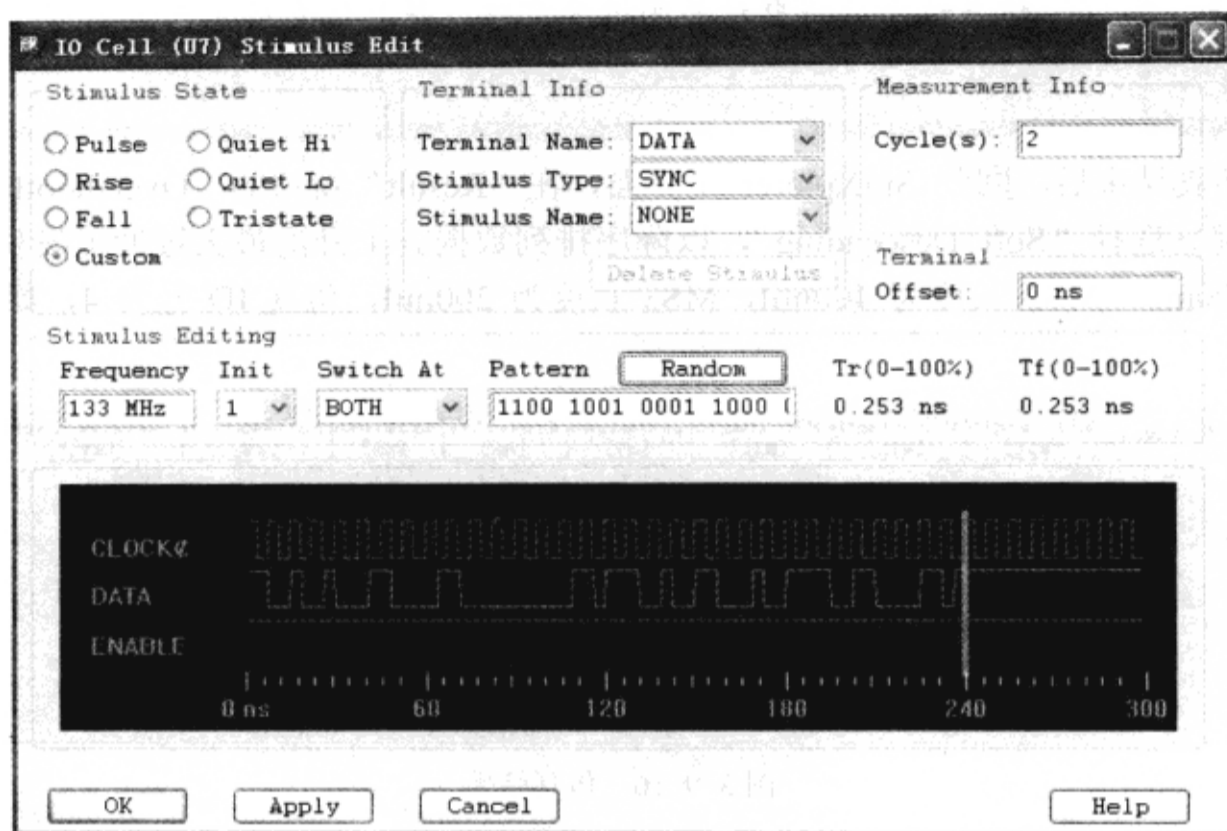


图 3-9-13 “IO Cell Stimulus Edit”窗口

(4) 在“SigXplorer PCB SI XL”窗口执行菜单命令“Analyze”→“Simulate”，开始扫描仿真→弹出“Sweep Sampling”对话框，如图 3-9-14 所示。

Sweep Sampling 允许控制扫描范围。“Sweep Sampling”对话框显示扫描的全部数目。由于仿真的复杂性，执行 27 个仿真需要花费一定的时间。所以，通过定义扫描取样为全部范围的百分比指定扫描范围。部分扫描范围从全部解空间随机取样 (Monte Carlo) 得到。为了改变取样点设置，SigXplorer 选择基于 Random Number Seed 的点。

(5) 在“Sweep Sampling”对话框中单击“Continue”按钮→弹出仿真进度窗口，如图 3-9-15 所示。

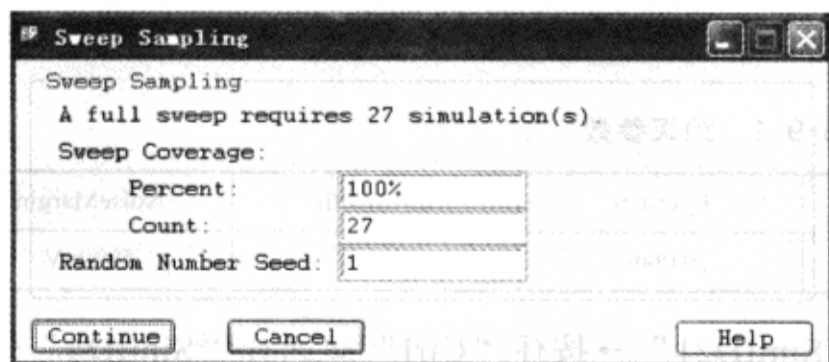


图 3-9-14 “Sweep Sampling”对话框

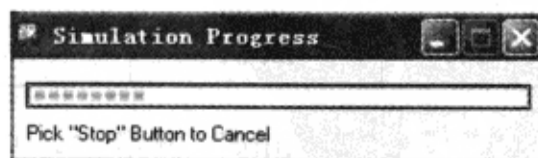


图 3-9-15 仿真进度窗口





注意

仿真结束后将自动关闭进度窗口，并且仿真后不产生波形。

(6) 仿真结束后，回到 SigXplorer 主界面，在“Result”窗口的“OvershootHigh”栏单击鼠标右键→选择“Sort Descending”，以降序排列数据。上升沿最大过冲值发生时，MS1 长度为 2000mil，MS2 长度为 400mil，MS3 长度为 200mil，仿真 ID 号为 4，如图 3-9-16 所示。

SimID	GlitchTol [ns]	FTSMode	MS3.length [MIL]	MS2.length [MIL]	MS1.length [MIL]	EyeHeight [mV]	EyeJitter [ns]	EyeWidth [ns]	NoiseMargin [mV]	OvershootHigh [mV]	OvershootLow [mV]
4	0.0152	Typ	200	400	2000	1873.87	0.0461933	3.71321	595.642	2415.3	101.074
1	0.0152	Typ	200	200	2000	1872.79	0.046207	3.71319	595.051	2415.1	101.75
7	0.0152	Typ	200	600	2000	1874.88	0.0461963	3.7132	596.33	2415.02	100.846
8	0.0152	Typ	200	600	2500	1868.85	0.0467179	3.71268	592.106	2411.18	101.629
5	0.0152	Typ	200	400	2500	1867.86	0.0466526	3.71275	591.385	2411.05	102.275
2	0.0152	Typ	200	200	2500	1866.87	0.0465565	3.71284	590.778	2410.59	103.281
13	0.0152	Typ	400	400	2000	1870.93	0.0464323	3.71297	595.661	2407.89	107.185
10	0.0152	Typ	400	200	2000	1869.89	0.0464401	3.71296	595.052	2407.73	107.851
16	0.0152	Typ	400	600	2000	1871.94	0.04644	3.71296	596.371	2407.67	106.908
9	0.0152	Typ	200	600	3000	1860.26	0.0481564	3.71124	587.08	2404.04	105.459
6	0.0152	Typ	200	400	3000	1859.46	0.0481623	3.71124	586.389	2403.33	106.762

图 3-9-16 仿真结果

(7) 在“OvershootLow”栏单击鼠标右键→选择“Sort Descending”，以降序排列数据。下降沿最大过冲值发生时，MS1 长度为 3000mil，MS2 长度为 200mil，MS3 长度为 600mil，仿真 ID 号为 21，如图 3-9-17 所示。

SimID	GlitchTol [ns]	FTSMode	MS3.length [MIL]	MS2.length [MIL]	MS1.length [MIL]	EyeHeight [mV]	EyeJitter [ns]	EyeWidth [ns]	NoiseMargin [mV]	OvershootHigh [mV]	OvershootLow [mV]
21	0.0152	Typ	600	200	3000	1849.6	0.048389	3.71101	585.045	2382.31	126.593
24	0.0152	Typ	600	400	3000	1850.26	0.0483496	3.71105	585.587	2383.68	124.596
27	0.0152	Typ	600	600	3000	1850.9	0.0482794	3.71112	586.245	2384.83	122.864
20	0.0152	Typ	600	200	2500	1860.12	0.0468635	3.71253	589.726	2392.24	118.779
23	0.0152	Typ	600	400	2500	1860.97	0.0469132	3.71249	590.405	2393.02	117.405
12	0.0152	Typ	400	200	3000	1854.18	0.0482907	3.71111	585.549	2392.53	117.146
26	0.0152	Typ	600	600	2500	1861.81	0.0469371	3.71246	591.2	2393.52	116.336
15	0.0152	Typ	400	400	3000	1854.91	0.0482891	3.71111	586.11	2393.69	115.363
19	0.0152	Typ	600	200	2000	1867.16	0.0466048	3.71279	594.513	2399.63	114.351
18	0.0152	Typ	400	600	3000	1855.63	0.0482485	3.71115	586.788	2394.62	113.836

图 3-9-17 仿真结果

5) 检查仿真结果是否满足设计要求 查看表格中的数据，与表 3-9-1 的值进行比较，确保仿真结果满足这些设计规范。

表 3-9-1 约束参数

OvershootHigh	Overshoot Low	EyeHeight	EyeJitter	EyeWidth	NoiseMargin
2500mV	100mV	1800 mV	0.06ns	3.6ns	590 mV

(1) 在“Results”表格中，单击“SimID21”→按住“Ctrl”键选择“SimID4”→单击鼠标右键→从弹出菜单中选择“View Waveform”，打开“SigWave”窗口显示波形，如图 3-9-18 所示。

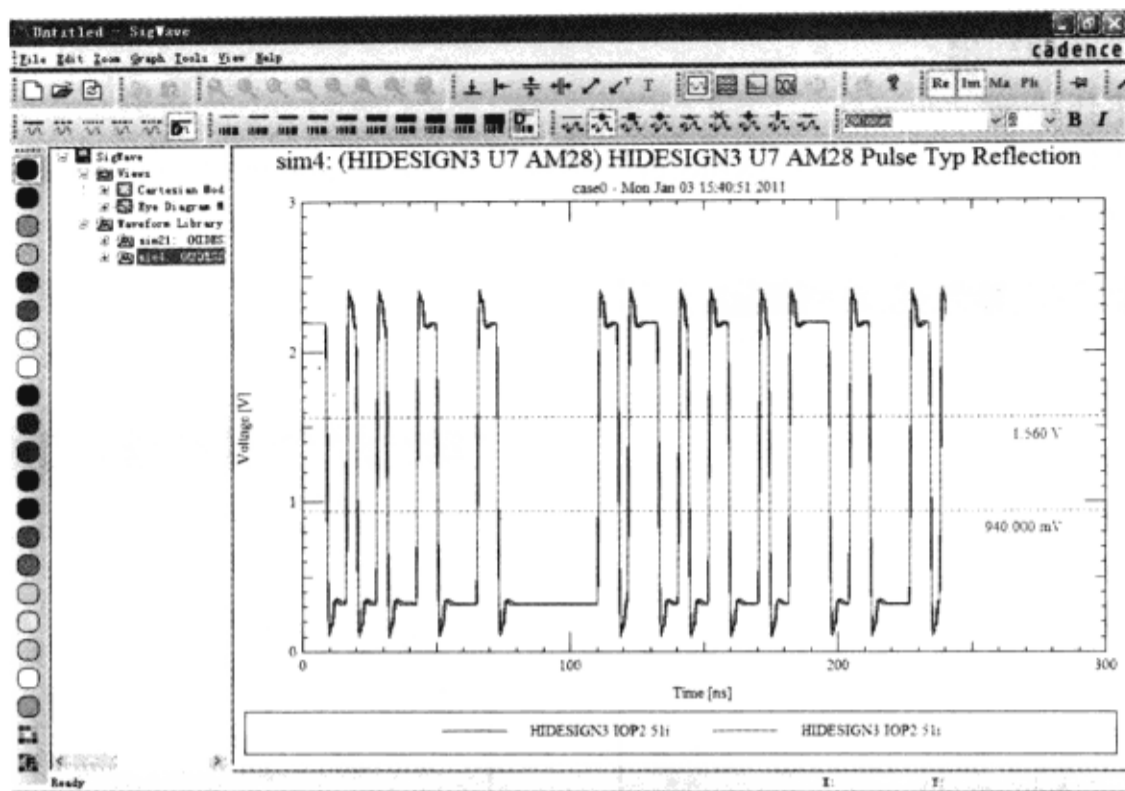


图 3-9-18 浏览波形

(2) 执行菜单命令“Zoom”→“In Region”，放大波形的某一段区域显示，对比两个接收器的波形，如图 3-9-19 所示。

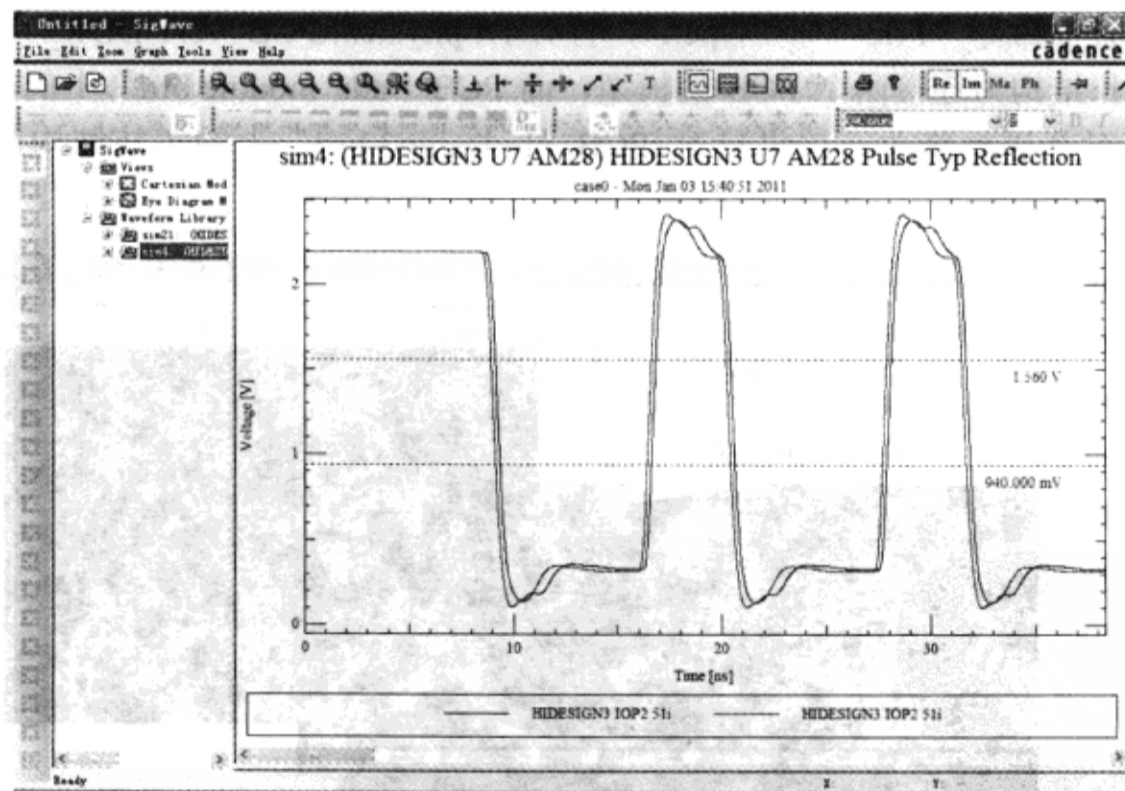


图 3-9-19 波形显示效果

(3) 从“SigWave”窗口执行菜单命令“File”→“Exit”，退出“SigWave”窗口。

(4) 在“SigXplorer PCB SI XL”窗口执行菜单命令“File”→“Export”→“Spreadsheet”→“Results...”，弹出如图 3-9-20 所示对话框。

(5) 在“文件名(N):”栏中输入“DDR\_MS\_swp\_rpt”→单击“保存”按钮。

## 2. 为拓扑添加约束

### 1) 修改拓扑模型

(1) 在程序文件夹中单击“SigXplorer”图标，弹出“Cadence Product Choices-16.3”对话框，如图 3-9-21 所示。



图 3-9-20 输出仿真数据

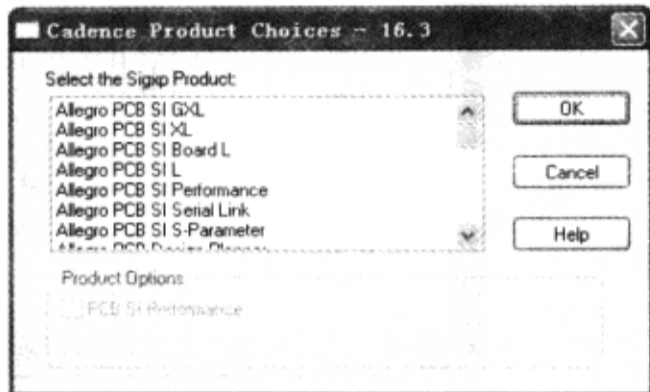


图 3-9-21 “Cadence Product Choices-16.3”对话框

(2) 选择“Allegro PCB SI XL” → 单击“OK”按钮，打开“SigXplorer PCB SI XL”窗口。

(3) 执行菜单命令“File” → “Open”，打开 D:\physical\PCB\_ver1\DDR\_TL.top 文件。

由于该拓扑结构为连接两个 PCB 的模型，而 PCB “ddr\_module.brd” 上的布局、布线已完成，不能对其进行修改，这里只对 PCB “hidesign3.brd” 上的拓扑结构进行约束，如图 3-9-22 所示。

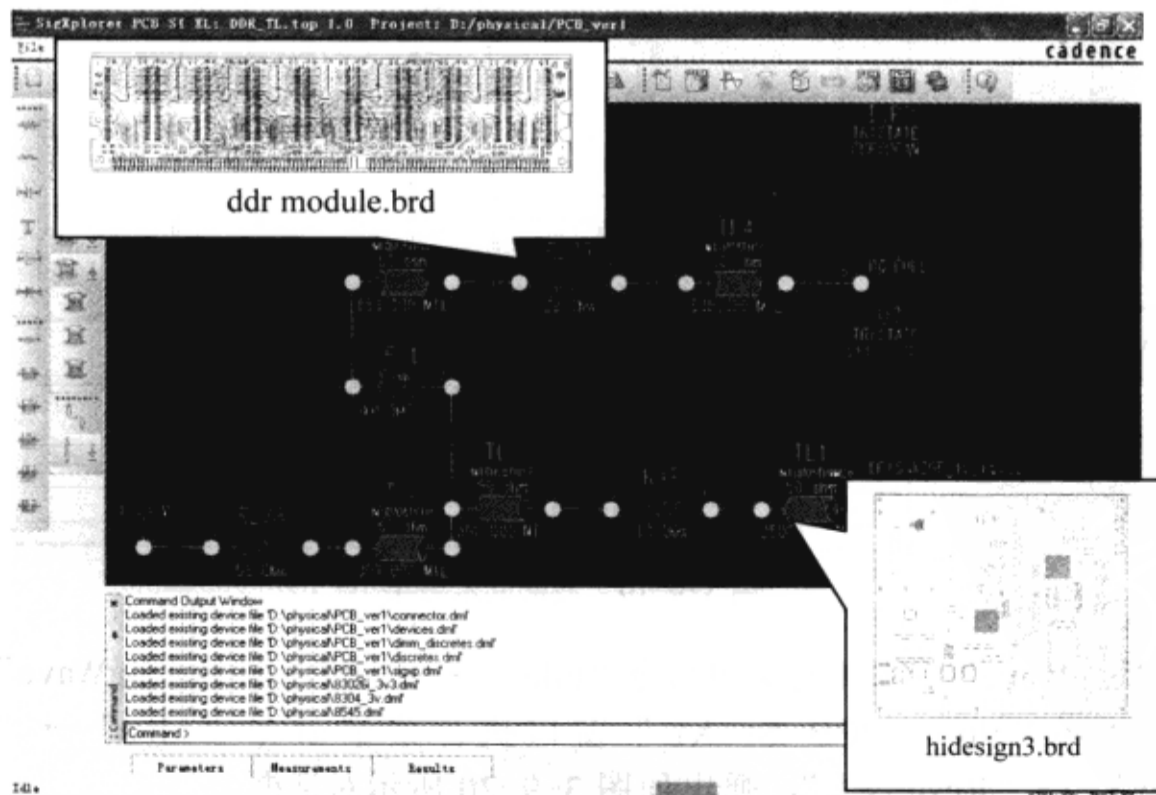


图 3-9-22 PCB 文件

(4) 删除拓扑结构中属于 PCB “ddr\_module.brd” 的部分的拓扑模型及单线连接器模型，如图 3-9-23 所示。

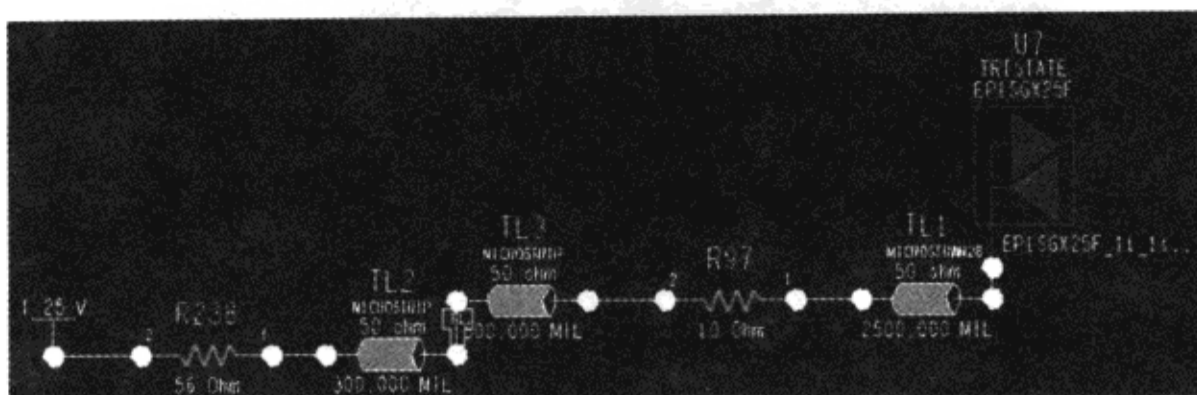


图 3-9-23 删除部分拓扑模型

(5) 从 “SigXplorer” 窗口执行菜单命令 “Edit” → “Add Element...”，弹出 “Add Element Browser” 对话框，如图 3-9-24 所示。

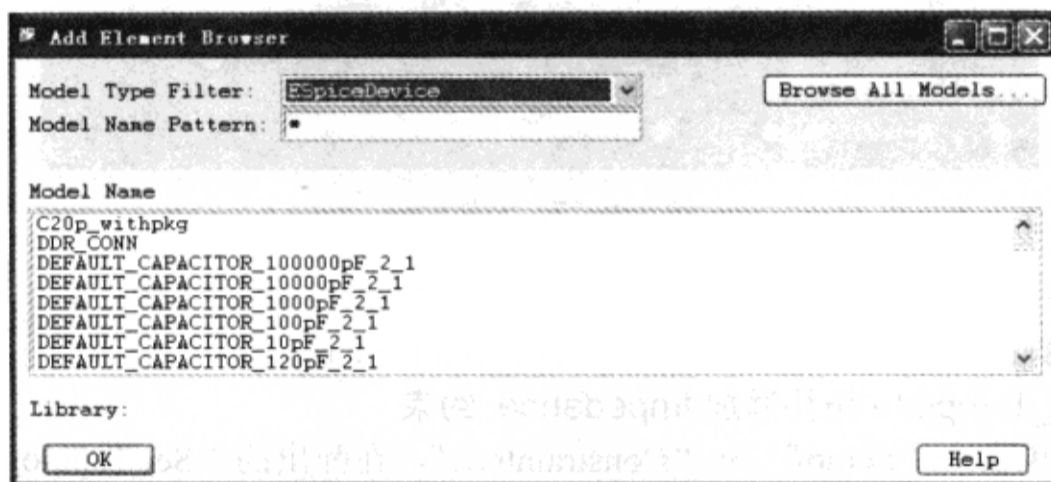


图 3-9-24 “Add Element Browser” 对话框

(6) 在 “Add Element Browser” 对话框的顶部的 “Model Type Filter” 的下拉菜单中选择 “Generic Element”，如图 3-9-25 所示。

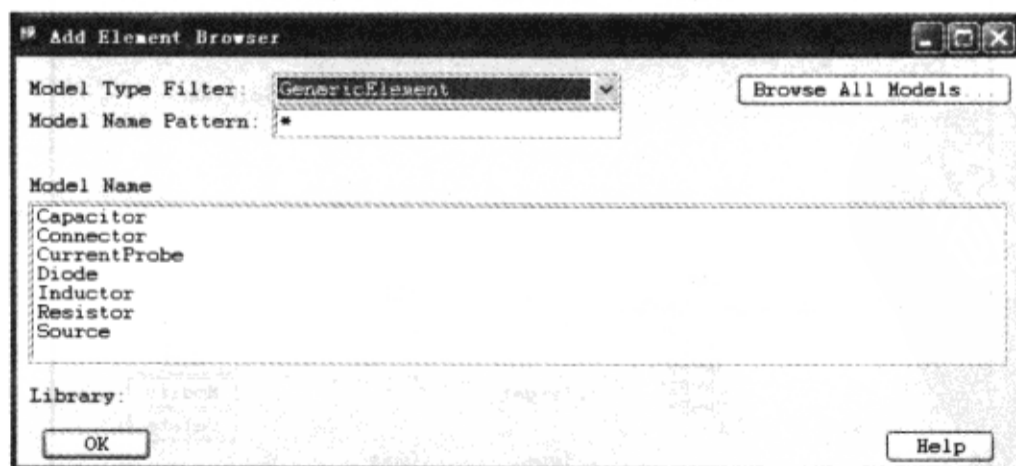


图 3-9-25 “Model Browser” 对话框

(7) 在 “Model Name” 列表框中选择 “Connector” → 在工作空间双击鼠标左键摆放 Connector，如图 3-9-26 所示。添加的该连接器相当于 PCB 中的 XU1 元件的引脚。

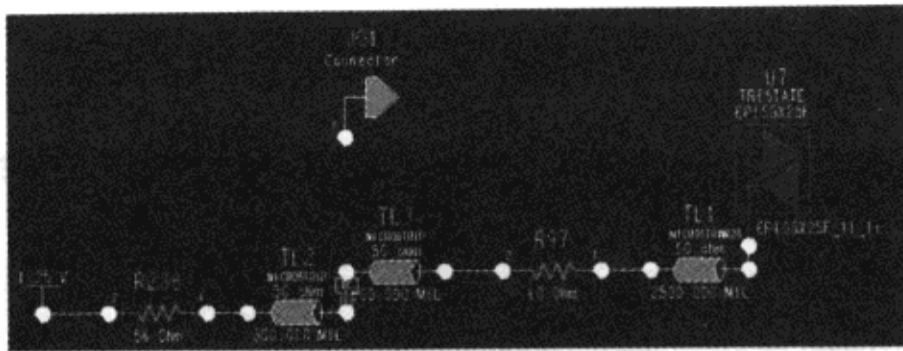


图 3-9-26 添加连接器

- (8) 单击“OK”按钮，关闭“Add Element Browser”对话框。
- (9) 单击刚刚添加的 JO1 的 1 号引脚，连线到 TL2 的引脚上，如图 3-9-27 所示。

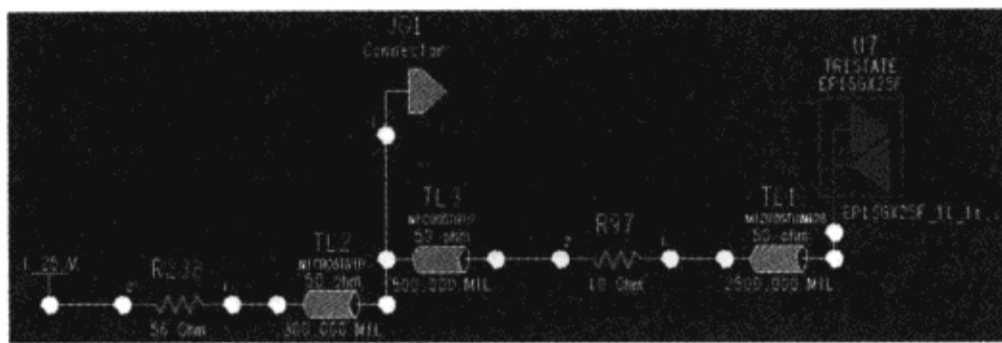


图 3-9-27 添加连线

(10) 在 SigXplorer 窗口中执行菜单命令“File”→“Save as”，保存在路径“D:\physical\PCB\_ver1”中，文件名称为“DDR\_Template.top”。

2) 为 DDR\_Template 拓扑添加 Impedance 约束

(1) 执行菜单命令“Setup”→“Constraints...”，在弹出的“Set Topology Constraints”窗口中选中“Impedance”标签页→从“Pins/Tees”列表选择“ALL/ALL”。“From”区域现在显示“ALL”，“To”区域现在显示“ALL”，如图 3-9-28 所示。

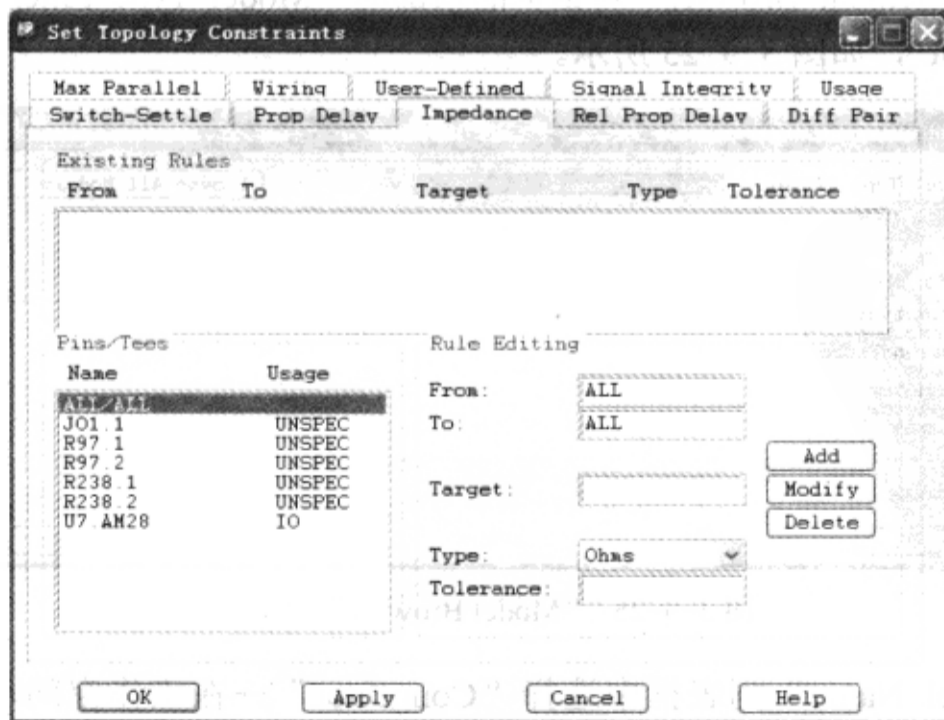


图 3-9-28 设置阻抗约束



(2) 在“Rule Editing”区域的“Target”栏输入 50，从“Type”下拉菜单选择“%ohms”，在“Tolerance”栏输入 10，如图 3-9-29 所示。

(3) 单击“Add”按钮为拓扑添加阻抗约束，如图 3-9-30 所示。

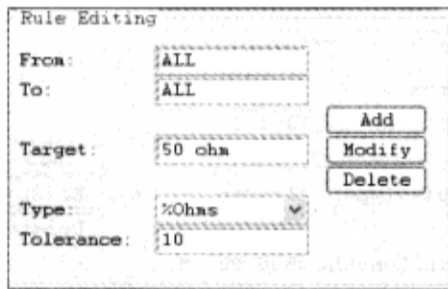


图 3-9-29 设置约束

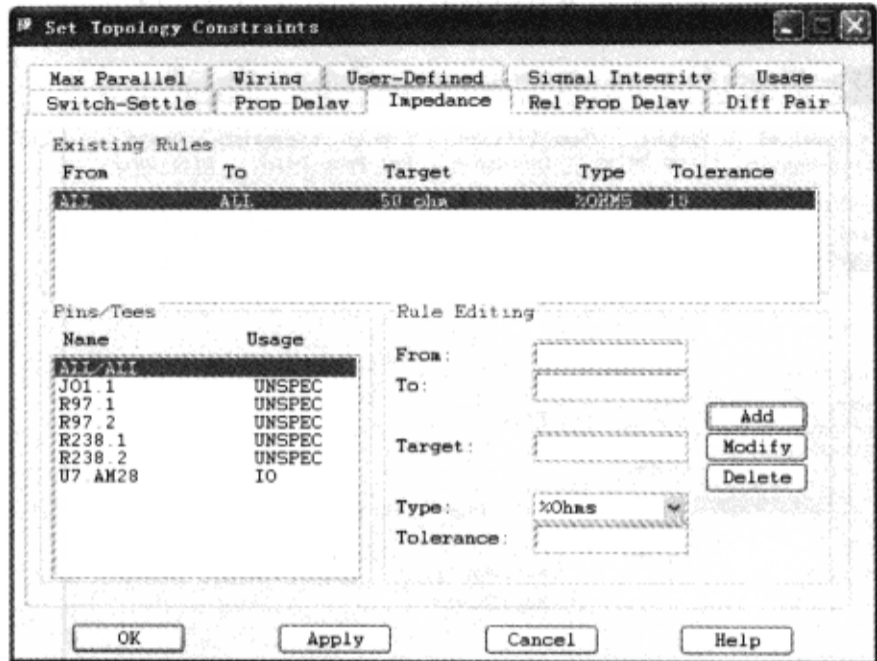


图 3-9-30 添加阻抗约束

### 3) 为 DDR\_Template 拓扑添加 Prop Delay 约束

(1) 在“Set Topology Constraints”窗口中选中“Prop Delay”标签页，从“Pins/Tees”列表选择“U7.AM28”，“Rule Editing”区域的“From”栏现在显示“U7.AM28”→从“Pins/Tees”列表选择“R97.1”，“Rule Editing”区域的“To”栏现在显示“R97.1”，如图 3-9-31 所示。

(2) 在“Rule Editing”区域的“Rule Type”栏选择“Length”，在“Min Length”栏输入“2000MIL”，“Max Length”栏输入“3000MIL”，如图 3-9-32 所示。

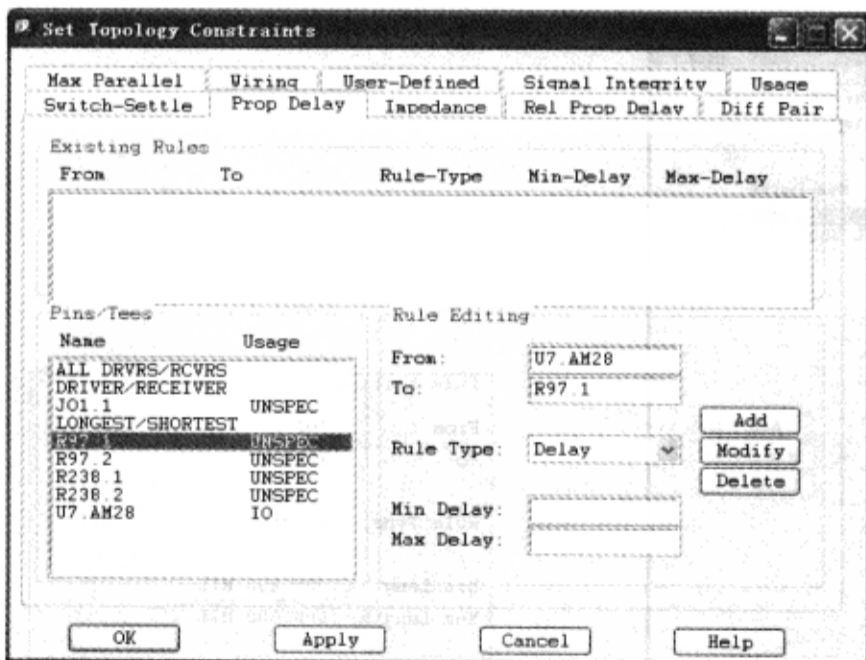


图 3-9-31 设置传输延时

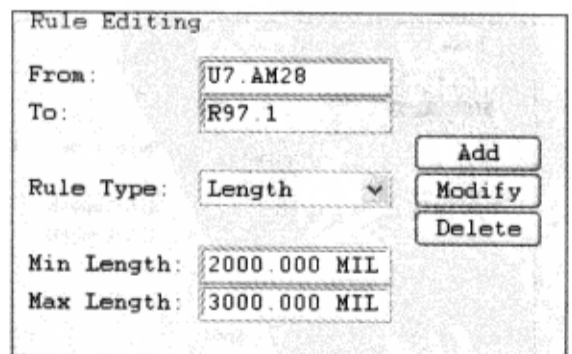


图 3-9-32 设置约束

(3) 单击“Add”按钮添加约束设置，如图 3-9-33 所示。

(4) 从“Pins/Tees”列表选择“R97.2”，在“Rule Editing”区域的“From”栏现在显示“R97.2”→从“Pins/Tees”列表选择“JO1.1”，在“Rule Editing”区域的“To”栏现在显示“JO1.1”→在“Rule Type”栏选择“Length”；在“Min Length”栏输入“500MIL”，“Max Length”栏输入“1000MIL”，如图 3-9-34 所示。

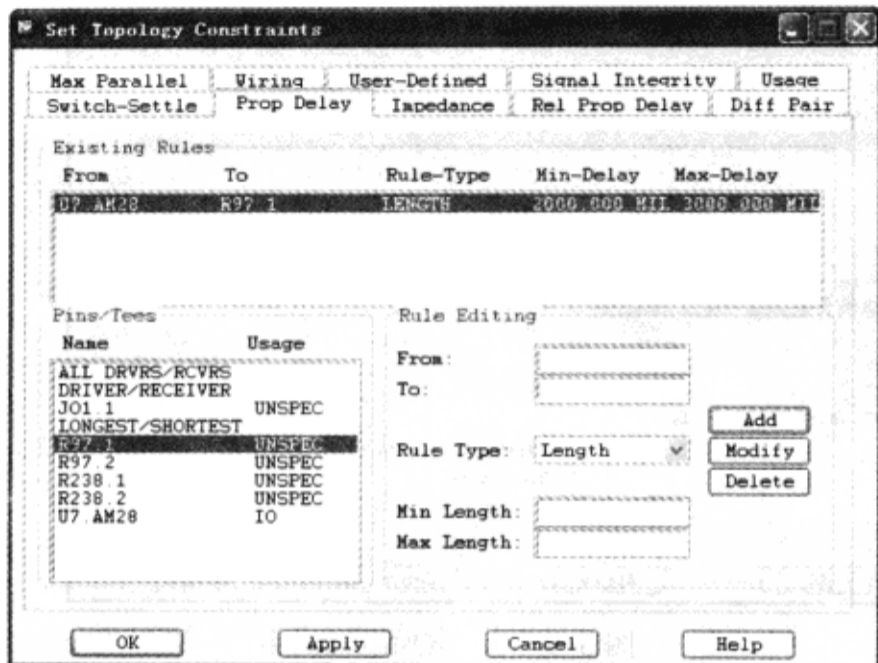


图 3-9-33 添加约束

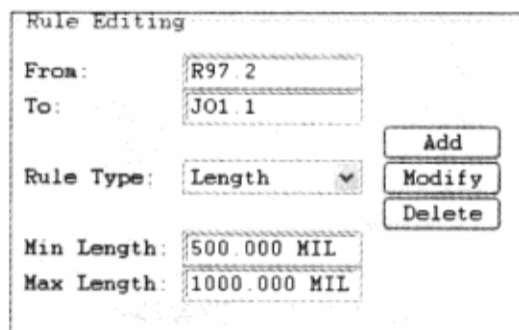


图 3-9-34 设置约束

(5) 单击“Add”按钮添加约束设置，如图 3-9-35 所示。

(6) 从“Pins/Tees”列表选择“JO1.1”，在“Rule Editing”区域的“From”栏现在显示“JO1.1”→从“Pins/Tees”列表选择“R238.1”，在“Rule Editing”区域的“To”栏现在显示“R238.1”→从“Rule Type”栏选择“Length”；在“Min Length”栏输入“200MIL”，“Max Length”栏输入“600MIL”，如图 3-9-36 所示。

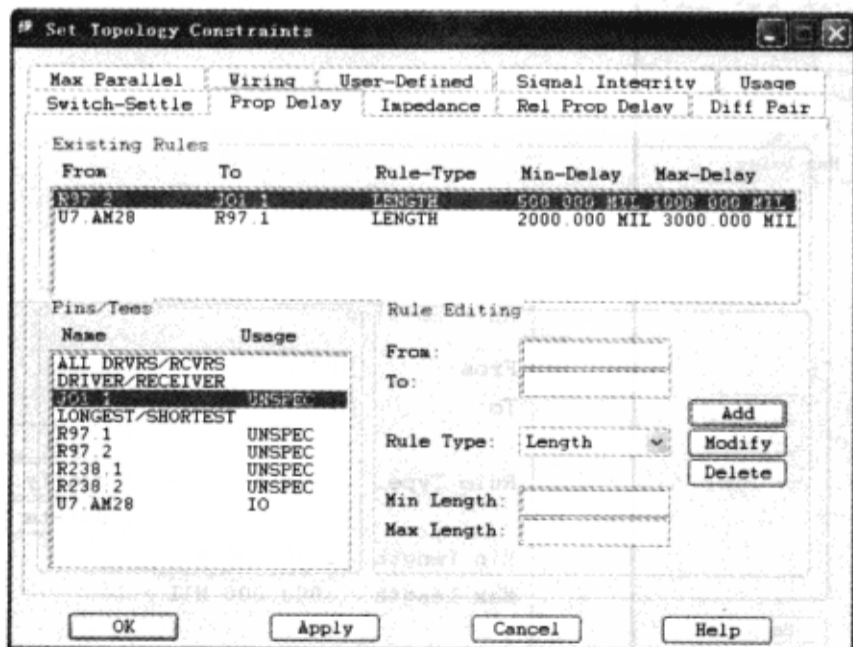


图 3-9-35 添加约束

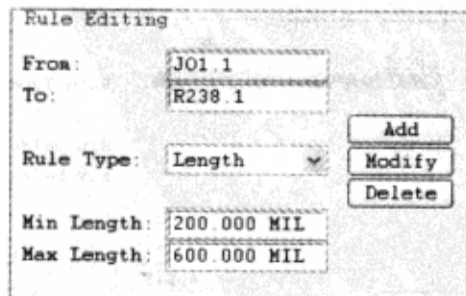


图 3-9-36 设置约束

(7) 单击“Add”按钮添加约束设置，如图 3-9-37 所示。

## 4) 为 DDR\_Template 拓扑添加 Rel Prop Delay 约束

(1) 在“Set Topology Constraints”窗口中选中“Rel Prop Delay”标签页，如图 3-9-38 所示。

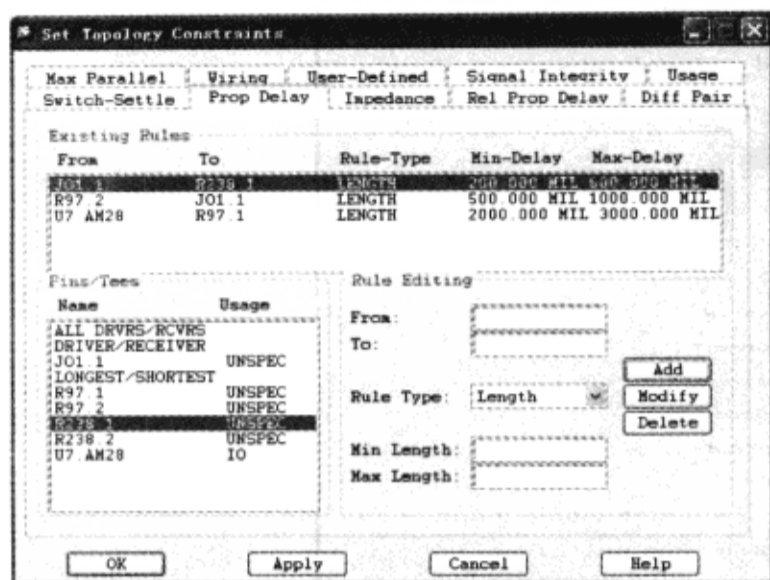


图 3-9-37 添加约束

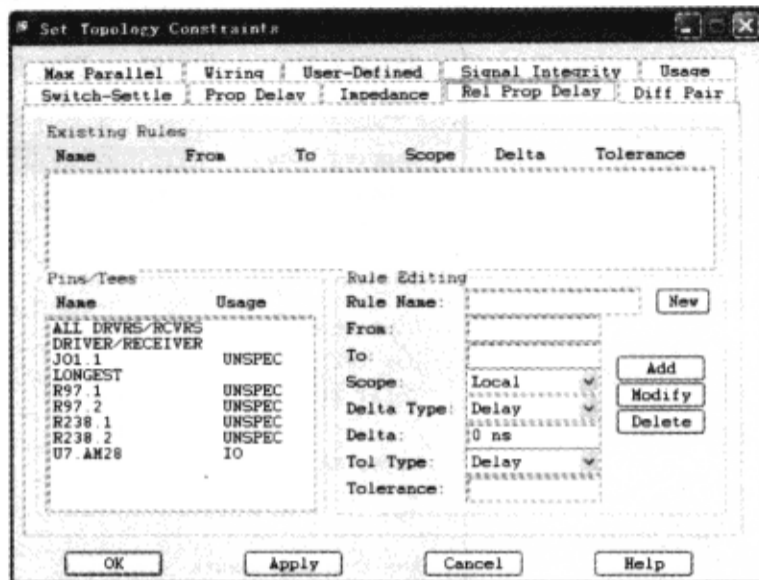


图 3-9-38 设置 Rel Prop Delay 约束

(2) 在“Rule Editing”区域的“Rule Name”栏中输入“BYTE\_LANE”，从“Pins/Tees”列表选择“U7.AM28”，在“From”栏现在显示“U7.AM28”→从“Pins/Tees”列表选择“JO1.1”，在“Rule Editing”区域的“To”栏现在显示“JO1.1”→从“Scope”栏选择“Bus”→从“Delta Type”栏选择“Length”；在“Delta”栏输入“0mil”，从“Tol Type”栏选择“Length”，“Tolerance”栏输入“100mil”，如图 3-9-39 所示。

(3) 单击“Add”按钮添加约束设置，如图 3-9-40 所示。

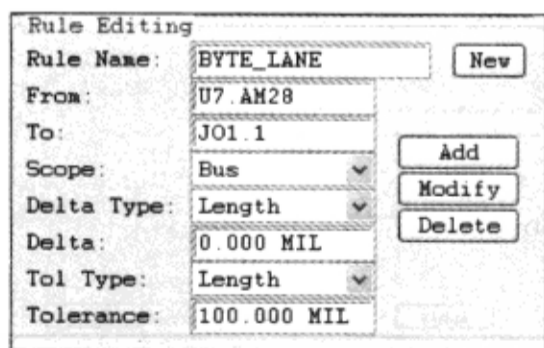


图 3-9-39 设置约束



图 3-9-40 添加约束

## 5) 为 DDR\_Template 拓扑添加 Wiring 约束

(1) 在“Set Topology Constraints”窗口中选中“Wiring”标签页→在“Topology”区域的“Mapping Mode”栏选择“Pinuse and Refdes”。

(2) 在“Schedule”栏选择“Template”。

(3) 在“Set Topology Constraints”窗口单击“Apply”按钮，如图 3-9-41 所示。

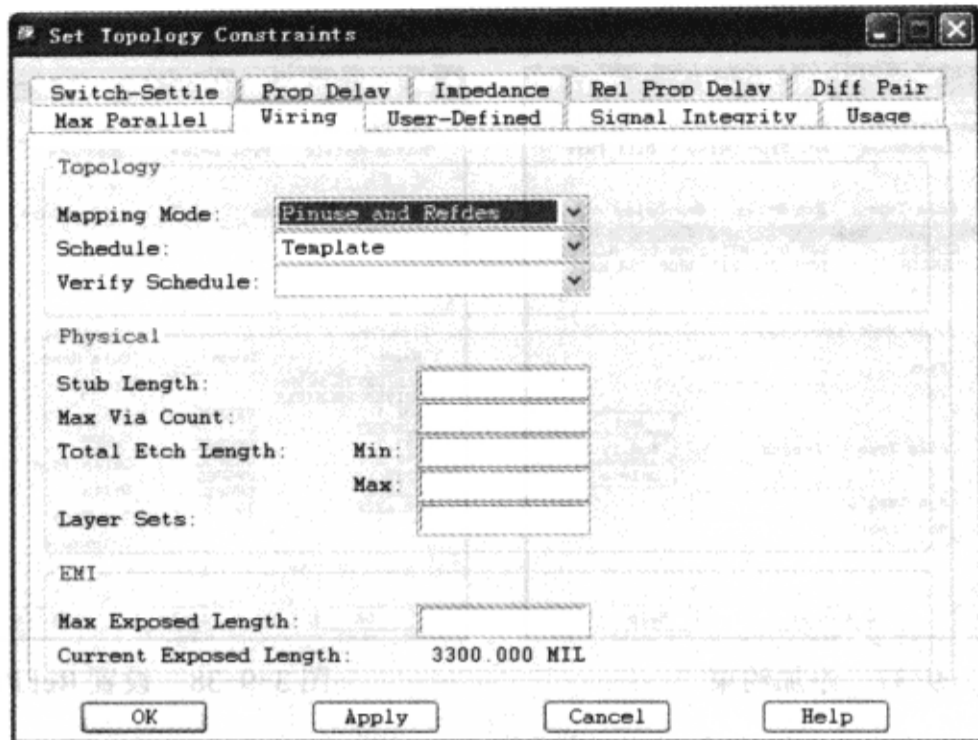


图 3-9-41 设置 Wiring 约束

6) 为 DDR\_Template 拓扑添加 User-Defined 约束

(1) 在“Set Topology Constraints”窗口中选中“User-Defined”标签页，在“Rule Editing”区域的“Name”栏中输入“NET\_CLASS”，从“Type”栏选择“String”，在“Value (optional)”栏输入“DDR\_DATA\_R”，如图 3-9-42 所示。

(2) 单击“Add”按钮添加约束设置，如图 3-9-43 所示。

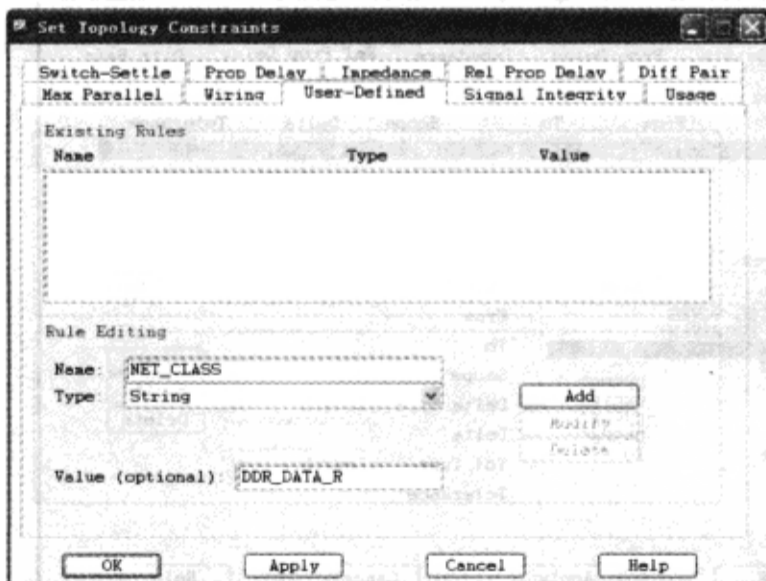


图 3-9-42 设置约束

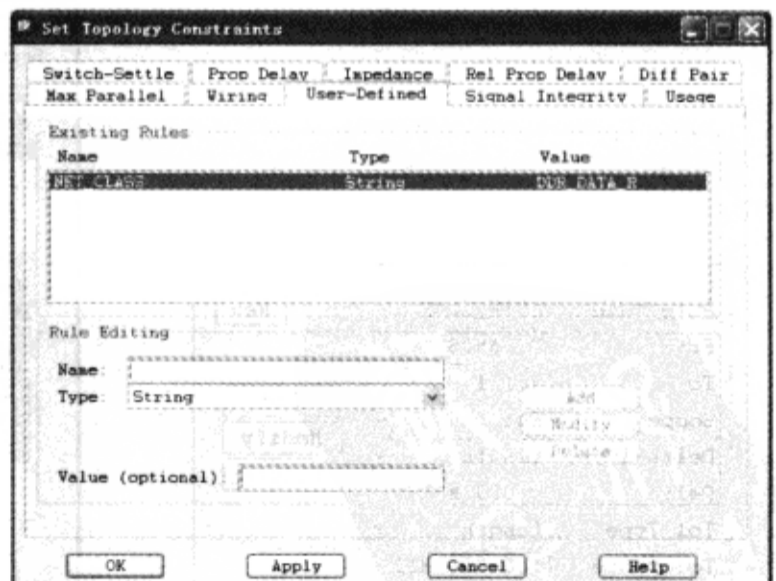


图 3-9-43 添加约束

(3) 在“Rule Editing”区域的“Name”栏中输入“NET\_CLASS\_1”，从“Type”栏选择“String”，在“Value (optional)”栏输入“DDR\_DQS\_R”，如图 3-9-44 所示。

(4) 单击“Add”按钮添加约束设置，如图 3-9-45 所示。

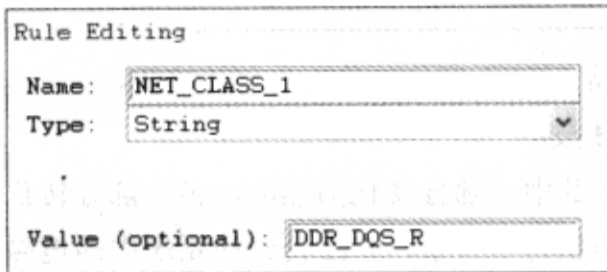


图 3-9-44 设置约束

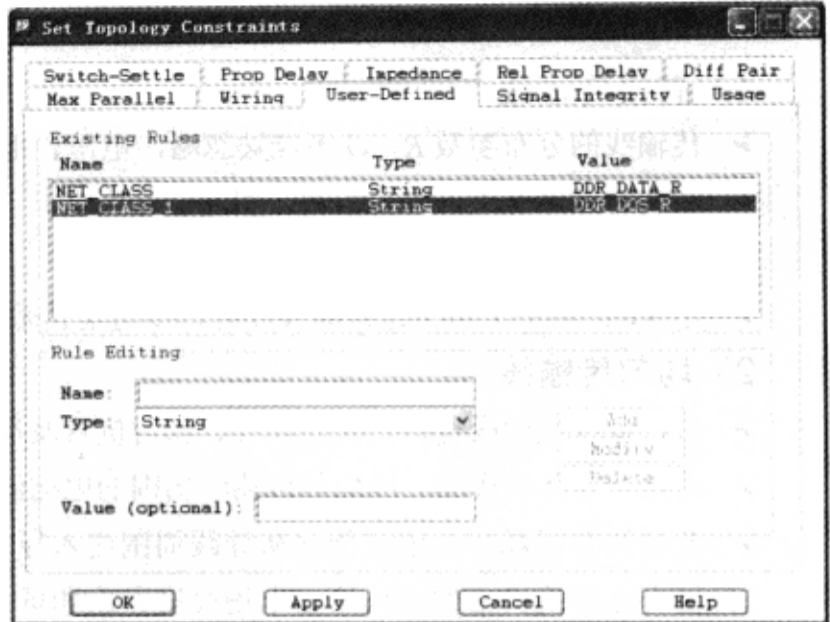


图 3-9-45 添加约束

(5) 在“Rule Editing”区域的“Name”栏中输入“NET\_CLASS\_2”，从“Type”栏选择“String”，在“Value (optional)”栏输入“DDR\_DATA\_R”，如图 3-9-46 所示。

(6) 单击“Add”按钮添加约束设置，如图 3-9-47 所示。

(7) 单击“OK”按钮，关闭“Set Topology Constraints”窗口。

(8) 从 SigXplorer 中执行菜单命令“File”→“Save”，保存拓扑。

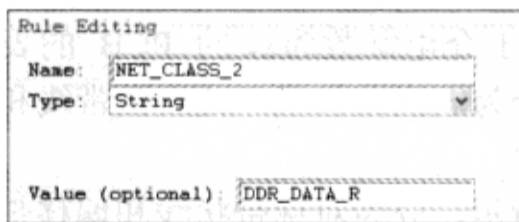


图 3-9-46 设置约束

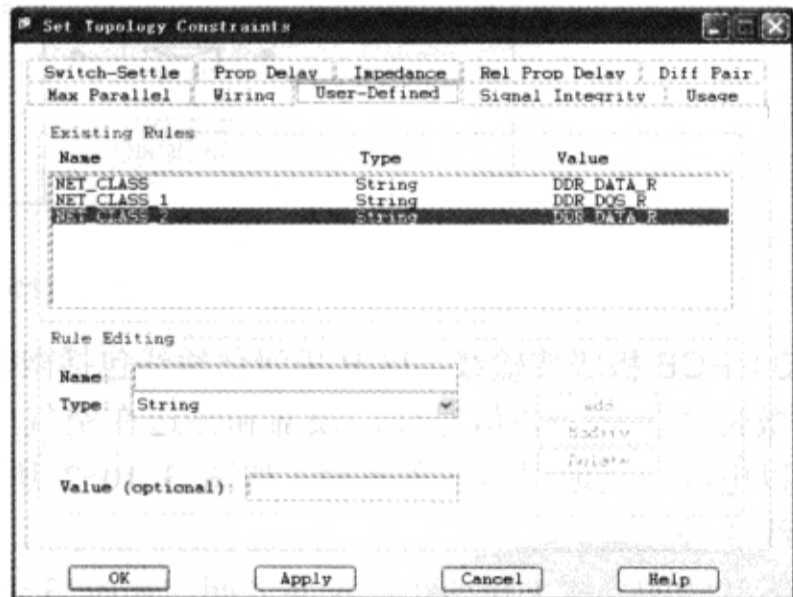


图 3-9-47 添加约束

### 3.10 模板应用和约束驱动布局

**【本节目的】** 本节主要学习建立执行窜扰仿真的拓扑结构，根据窜扰仿真的仿真结果，以及其他的一些设计规则建立电气约束规则，完成高速 PCB 的布局。

**【使用软件】** SigXplorer PCB SI XL, Allegro PCB SI XL, Allegro Constraint Manager。

**【使用文件】** physical\PCB\_ver1\xtalkwork, physical\PCB\_ver1\hidesign3.brd。



### 1. 基础知识

#### 1) 有损传输线

- 传输线的分布参数  $R$ 、 $G$  不能被忽略, 电压、电流为减幅波, 沿线能量衰减。
- 波速与频率有关, 为色散波, 引起信号失真。
- 特性阻抗为复数, 难以实现阻抗匹配。
- 在 GHz 频率上和高速背板设计时, 要考虑传输线的损耗, 使用有损模型进行分析。

#### 2) 均匀传输线

- 若传输线的构成材料、几何尺寸、相对位置及周围介质沿线均无变化, 称为均匀传输线。
- 由完全导体组成的二线均匀传输线周围的电磁波为 TEM 波。
- 若导线有损耗, 有电磁能量从导线周围进入导线内部, 其中一部分转化为热能, 另一部分转化为储存在导线内部的磁场能, 电场强度弹出和场传播方向相同的分量, 二线传输线系统中的电磁波就不是 TEM 波。
- 导体是良导体, 损耗不大, 所以即使导线有损耗仍可按 TEM 波分析, 但必须把传输线吸收电磁能的效果考虑进去, 使用有损传输线模型分析。

有损传输线模型和理想传输线模型如图 3-10-1 所示。

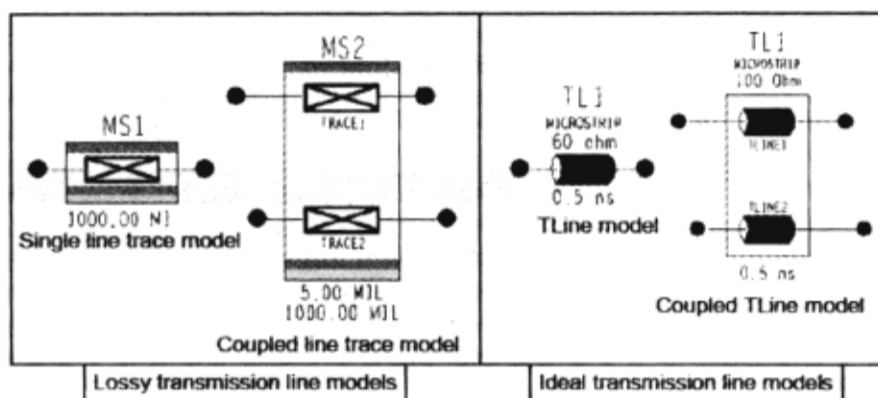


图 3-10-1 有损传输线模型和理想传输线模型

### 3) PCB 板级传输线 PCB 板级传输线包括微带线 (Microstrip) 和带状线 (Stripline)。

微带线包括一条信号线, 顶部和侧边在空气中, 位于介电常数为  $\epsilon_r$  的 PCB 的表面之上, 以电源或接地层为参考平面, 如图 3-10-2 所示。分为表面微带线、覆膜微带线和嵌入微带线 3 种类型。

带状线的导线夹在两个参考面之间, 如图 3-10-3 所示, 分为对称带状线 and 偏移带状线两种类型。

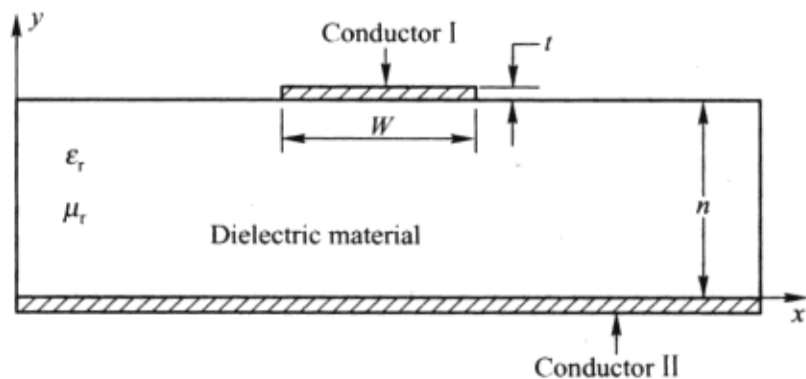


图 3-10-2 微带线结构图

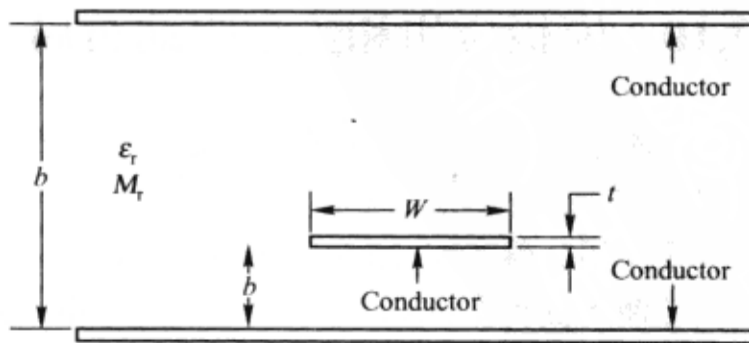


图 3-10-3 带状线结构图

#### 4) 窜扰

(1) 窜扰的定义：容性耦合，即电场耦合，引发耦合电流，干扰源上的电压变化在被干扰对象上引起感应电流而导致电磁干扰。

感性耦合，即磁场耦合，引发耦合电压，干扰源上的电流变化产生的磁场在被干扰对象上引起感应电压从而导致的电磁干扰。

容性耦合信号和感性耦合信号统称为窜扰。

(2) 窜扰分析：窜扰分析模型如图 3-10-4 所示。

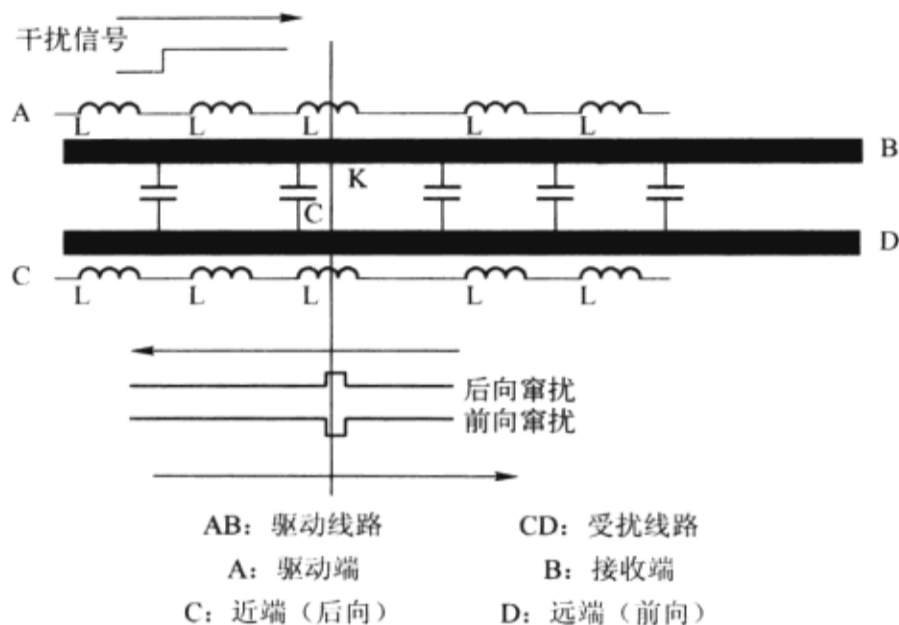


图 3-10-4 窜扰分析模型

#### ➤ 感性窜扰分析:

- ◇ 相当于在受扰网络中串联电压源。
- ◇ 前向窜扰电压和后向窜扰电压极性相反、大小相等。
- ◇ 前向窜扰电流和后向窜扰电流同向且相等。
- ◇ 前向窜扰具有累积效应，持续时间短（等于驱动源的上升/下降时间）。
- ◇ 后向窜扰不具有累积效应，持续时间长（等于  $2T_{pd}$ ）。
- ◇ 前向窜扰和后向窜扰在  $U-t$  图上包围的面积相等。

#### ➤ 容性窜扰分析:

- ◇ 相当于在受扰网络中并联电流源。
- ◇ 前向窜扰电压和后向窜扰电压相等。
- ◇ 前向窜扰电流和后向窜扰电流大小相等、方向相反。
- ◇ 前向窜扰具有累积效应，持续时间短（等于驱动源的上升/下降时间）。
- ◇ 后向窜扰不具有累积效应，持续时间长（等于  $2T_{pd}$ ）。
- ◇ 前向窜扰和后向窜扰在  $U-t$  图上包围的面积相等。

若两条信号布线具有完美的参考平面，处于均匀的介质当中（如带状线），则感性耦合和容性耦合所产生的前向窜扰的大小相等、极性相反，相互抵消，而后向窜扰则表现为相同极性，两种感应产生窜扰电流（电压）相互叠加。

对于非理想的地平面（如参考平面开槽）或微带线，互感增大，感性耦合的影响要大于容性耦合，前向窜扰不能完全抵消，感性耦合产生的窜扰就比容性产生的大很多，前向窜扰呈负极性，窜扰电压的波峰值可能要比后向窜扰大得多。

### （3）窜扰的抑制：

- 将传输线间的距离  $S$  增大到规则允许的最大值。
- 尽量使导体靠近平面层，增强与平面层间的耦合。
- 对关键网络使用差分线技术。
- 相邻的信号层，布线彼此正交。
- 最小化信号间平行布线的长度。
- 信号线应该设计成带状线或埋式微带线，以消除传输速度的变化。
- 妥善布局，防止布线时出现拥挤。
- 在满足时序要求的前提下，尽量使用上升边沿慢的元器件。
- 加入保护地环。

## 2. 为窜扰仿真建立拓扑

### 1) 添加耦合模型

（1）从程序文件夹中选择“SigXplorer”→弹出产品选择对话框，如图 3-10-5 所示→选择“Allegro PCB SI XL”→单击“OK”按钮，打开“SigXplorer PCB SI XL”窗口。

（2）执行菜单命令“File”→“Save as”，弹出“另存为”对话框→选择路径为 D:\physical\PCB\_ver1→在“文件名(N):”栏输入“xtalkwork”→单击“保存”按钮。

（3）执行菜单命令“Edit”→“Add Element...”，弹出“Add Element Browser”对话框，如图 3-10-6 所示。

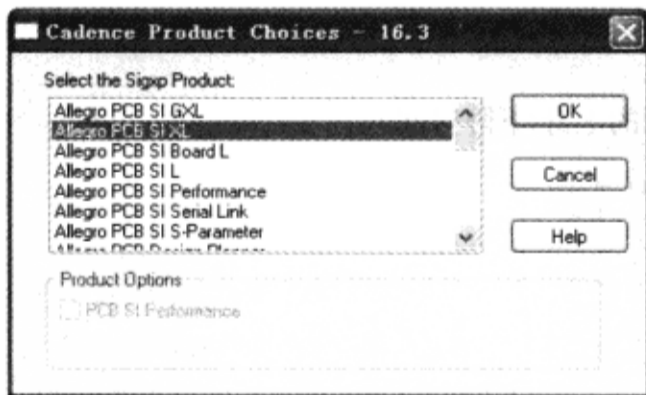


图 3-10-5 “Cadence Product Choices -16.3”对话框

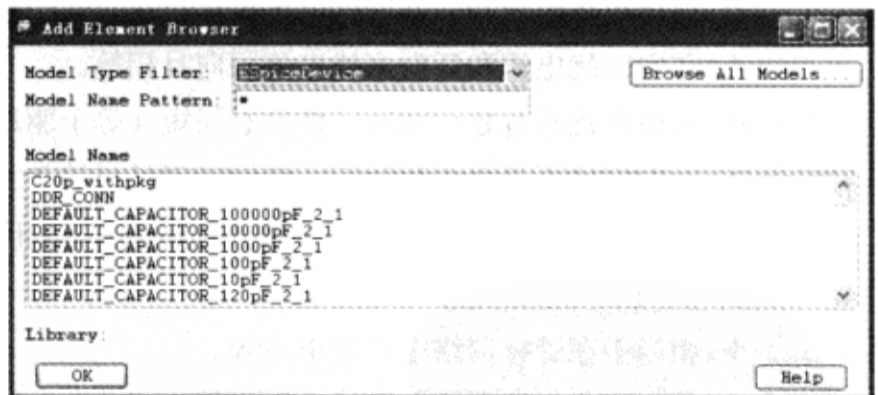


图 3-10-6 “Add Element Browser”对话框

（4）从“Add Element Browser”对话框中的“Model Type Filter”栏选择“Interconnect”→在列表框中选择“Microstrip\_3”，Microstrip\_3 模型在“SigXplorer”窗口随光标移动。

（5）移动光标指针到“SigXplorer”窗口的工作空间→单击鼠标左键放置 Microstrip\_3 模型，如图 3-10-7 所示。

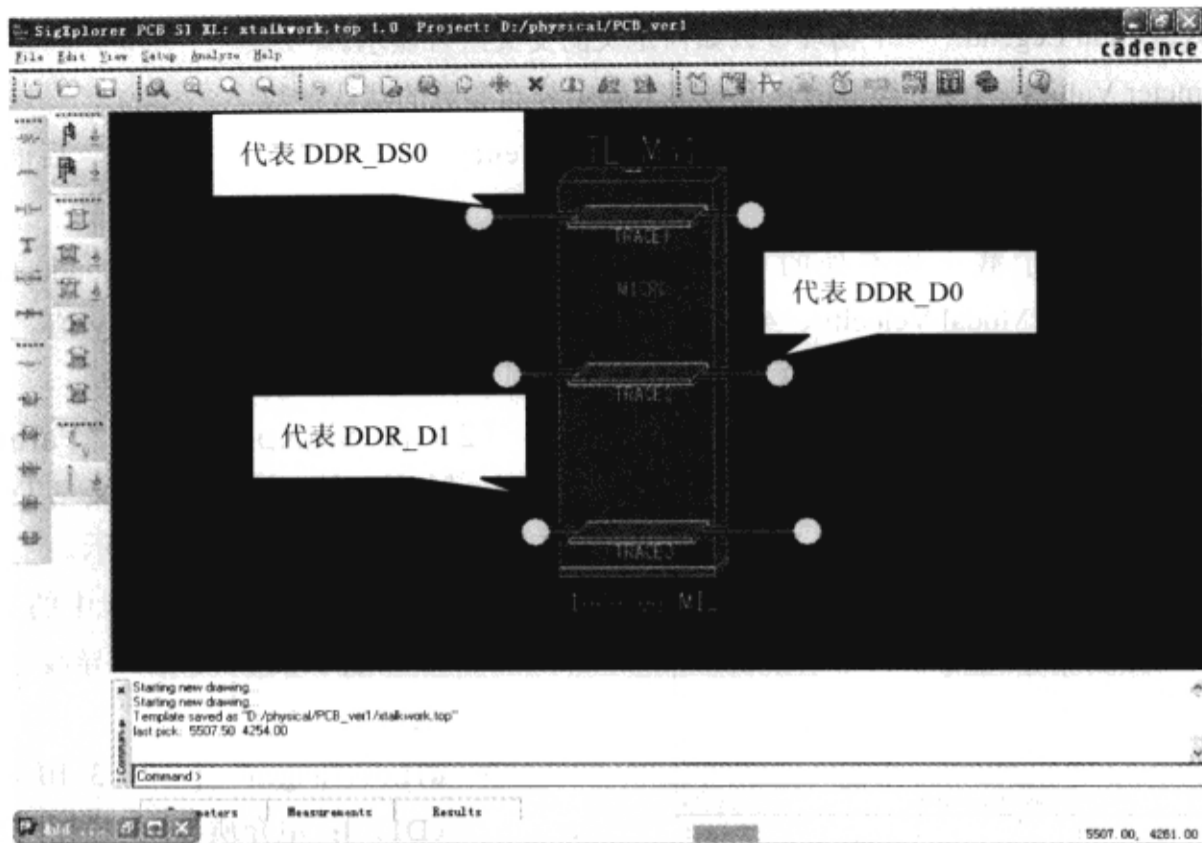


图 3-10-7 添加模型

(6) 单击“OK”按钮，关闭“Add Element Browser”对话框。模型是一个 3 Trace 耦合模型。它代表能平行布线的主机总线的 3 位。参考耦合模型 Trace1 将代表 DDR\_DS0，Trace2 代表 DDR\_D0，Trace3 代表 DDR\_D1。

2) 设置 3 Trace 模型的参数

(1) 在“SigXplorer”工作空间单击 TL\_MS1 的长度值 (1000mil)，“Parameters”表格区域“Length”表格被高亮→单击鼠标右键→从弹出菜单中选择“View Trace Parameters”→弹出“View Trace Model Parameters”对话框，浏览模型参数，如图 3-10-8 所示。

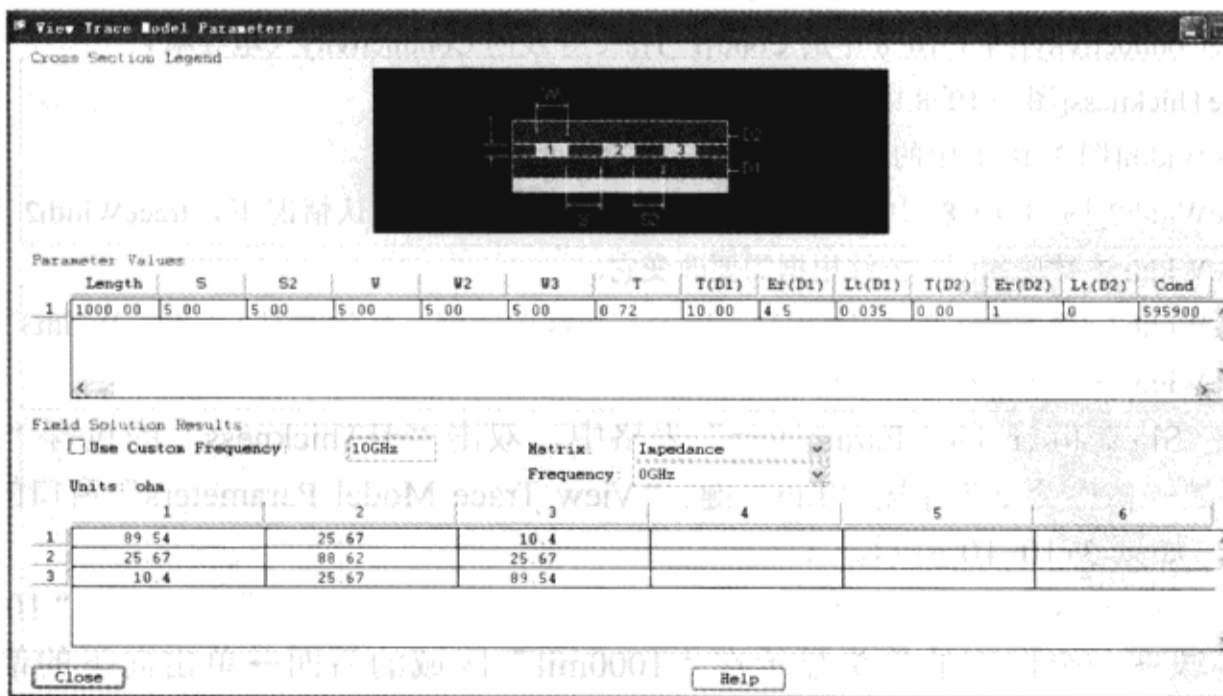


图 3-10-8 浏览模型参数

- Cross Section Legend: 一个物理参数如何定义的交叉组合显示。
- Parameter Values: Trace 模型的长度和用于确定分布参数的默认参数。
- Field Solution Results: field solver cutoff frequency (现在为 0) 被显示, 后面有两个下拉菜单。
  - ◇ Matrix: 显示截止频率处的 Capacitance、Impedance、Inductance、Die-Conductance、Linear Resistance、Modal Velocity、Admittance、Near-End coupling、Modal Delay 值。
  - ◇ Frequency: 用于浏览频率相关的 AC 分布参数损失, 现在没有设置截止频率。

TL_MS1			
d1Constant	4.5		1
d1LossTangent	0.035		1
d1Thickness	10.00 MIL		1
d1FreqDepFile			1
d2Constant	1		1
d2LossTangent	0		1
d2Thickness	0.00 MIL		1
d2FreqDepFile			1
length	1000.00 MIL		1
spacing	5.00 MIL		1
spacing2	TL_MS1.spacing		1
traceConductivity	595900 mho/cm		1
traceEtchFactor	90		1
traceThickness	0.72 MIL		1
traceWidth	5.00 MIL		1
traceWidth2	TL_MS1.traceWidth		1
traceWidth3	TL_MS1.traceWidth		1

图 3-10-9 MS1 参数

(2) 在 SigXplorer 的“Parameters”表格中显示的变量定义 Trace 模型 TL\_MS1, 如图 3-10-9 所示。

- d1Constant [图 3-10-8 中的 Er (D1)]: 平面层表面和 Trace 导线之间材料的介电常数。
- d1LossTangent [图 3-10-8 中的 Lt (D1)]: 电介质 D1 的损耗因数。
- d1Thickness [图 3-10-8 中的 T (D1)]: 平面层表面和 Trace 导线之间材料的厚度。
- d2Constant [图 3-10-8 中的 Er (D2)]: Trace 导线上面的材料的介电常数。
- d2LossTangent [图 3-10-8 中的 Lt (D2)]: 电介质 D2 的损耗因数。
- d2Thickness [图 3-10-8 中的 T (D2)]: Trace 导线上面的绝缘材料的厚度。
- length: Trace 导线的长度。
- spacing[图 3-10-8 中的 S]: Trace1 和 Trace2 的间距。
- spacing2[图 3-10-8 中的 S2]: Trace2 和 Trace3 的间距。默认情况下 spacing2 [S2]参数值与 spacing S 参数值相同, 能够根据需要改变它。
- traceConductivity[图 3-10-8 中的 Cond]: Trace 导线的 Conductivity (电导率)。
- traceThickness[图 3-10-8 中的 T]: Trace 导线的厚度。
- traceWidth[图 3-10-8 中的 W]: Trace1 导线的宽度。
- traceWidth2[图 3-10-8 中的 W2]: Trace2 导线的宽度。默认情况下, traceWidth2 参数值将和 traceWidth 参数值相同, 能够根据需要改变它。
- traceWidth3 [图 3-10-8 中的 W3]: Trace3 导线的宽度。默认情况下, traceWidth3 参数值将和 traceWidth 参数值相同, 能够根据需要改变它。

(3) 在 SigXplorer 的“Parameters”表格中, 双击“d1Thickness”的包含“10mil”的“Value”区域→修改为 2.7 并按“Tab”键。“View Trace Model Parameters”窗口的 T (D1) 也变为 2.7, 如图 3-10-10 所示。

(4) 在 SigXplorer 的“Parameters”表格中, 单击“length”的包含“1000mil”的“Value”区域→一个向下的箭头显示在“1000mil”区域的后面→单击向下的箭头, 弹出“Set Parameter: length”窗口, 如图 3-10-11 所示。



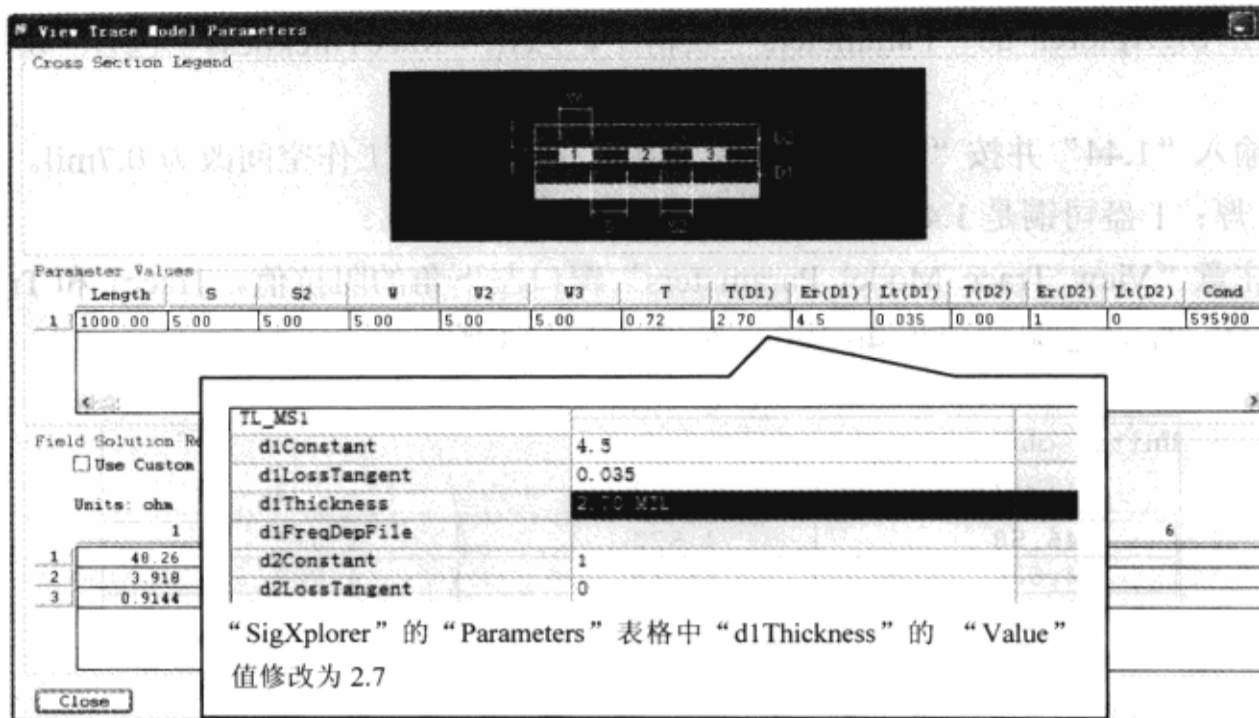


图 3-10-10 “View Trace Model Parameters”窗口

(5) 选中“Set Parameter: length”窗口的“Linear Range”单选按钮→在“Stop Value”栏输入“6000”并按“Tab”键；在“Start Value”栏输入“2000”并按“Tab”键；在“Count”区域输入“5”并按“Tab”键；注意“Step Size”区域，使用这些值，仿真将以1000mil增量运行，如图3-10-12所示。

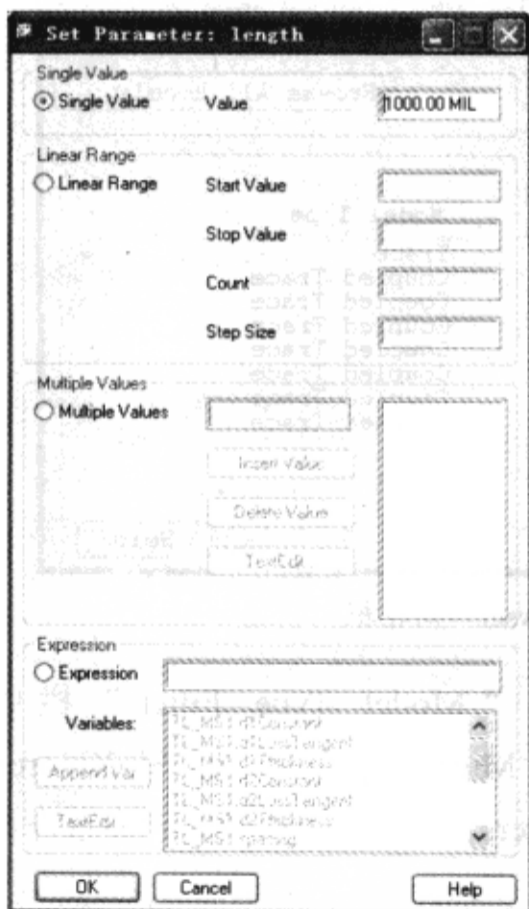


图 3-10-11 “Set Parameter: length”窗口

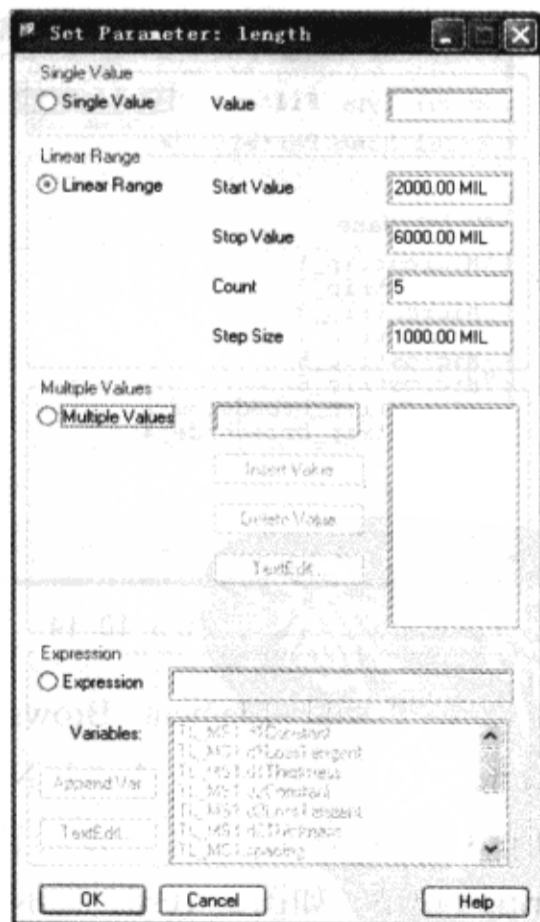


图 3-10-12 设置长度值

(6) 单击“OK”按钮，关闭“Set Parameter: length”窗口。

(7) 在 SigXplorer 的“Parameters”表格中，双击“traceThickness”包含“0.72mil”的区域。

(8) 输入“1.44”并按“Tab”键，这个值在 SigXplorer 工作空间改为 0.7mil。半盎司铜是 0.72mil 厚；1 盎司铜是 1.44mil 厚。

(9) 注意“View Trace Model Parameters”窗口左下角的阻抗值。Trace1 和 Trace3 阻抗值为 46.58Ω，Trace 2 阻抗值为 46.29Ω，如图 3-10-13 所示。

Units: ohm		frequency: 0	
1	2	3	
46.58	4.523	1.079	
4.523	46.29	4.523	
1.079	4.523	46.58	

图 3-10-13 阻抗值

“View Trace Model Parameters”窗口显示设置参数的 Trace 阻抗。

(10) 单击“Close”按钮，关闭“View Trace Model Parameters”窗口。

### 3) 添加单 Trace 模型

(1) 从 SigXplorer 中执行菜单命令“Edit”→“Add Element...”，弹出“Add Element Browser”对话框，如图 3-10-14 所示。

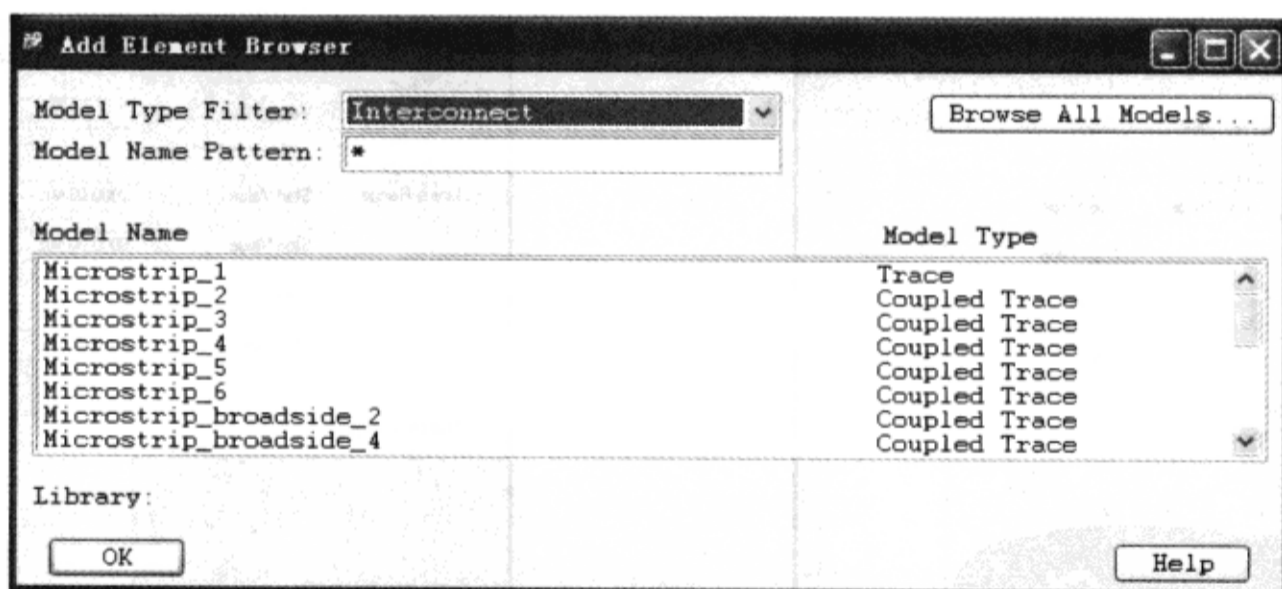


图 3-10-14 “Add Element Browser”对话框

(2) 从“Add Element Browser”对话框的“Model Type Filter”栏中选择“Interconnect”并从列表“Model Name”中选择“Microstrip\_1”，在 SigXplorer 窗口 Microstrip\_1 模型连接指针→移动指针到 SigXplorer 工作区间→单击鼠标左键摆放 Microstrip\_1 模型，如图 3-10-15 所示。

(3) 单击“OK”按钮，关闭“Add Element Browser”对话框。

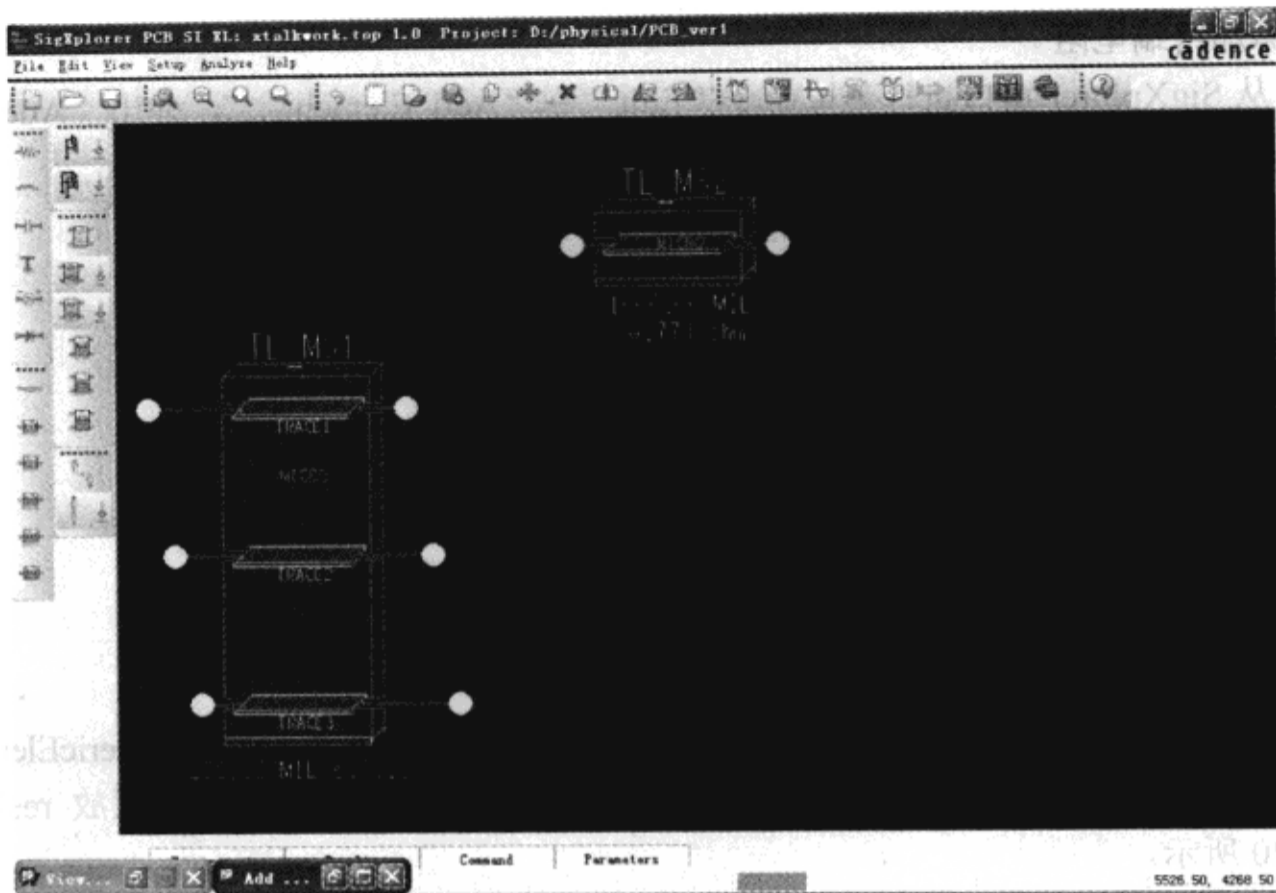


图 3-10-15 添加模型

#### 4) 设置单 Trace 模型参数

(1) 单击 SigXplorer 工作空间的 TL\_MS2 trace 模型长度值 (1000mil), 在“Parameters”表格区域“length”表格被高亮, 如图 3-10-16 所示。

(2) 双击 MS2 的 d1Thickness 包含“10mil”的“Value”区域, 输入“2.7”并按“Tab”键。

(3) 双击 MS2 的 traceThickness 包含“0.72 mil”的“Value”区域, 输入“0.7”并按“Tab”键, 如图 3-10-17 所示。

TL_MS2		1
d1Constant	4.5	1
d1LossTangent	0.035	1
d1Thickness	10.00 MIL	1
d1FreqDepFile		1
d2Constant	1	1
d2LossTangent	0	1
d2Thickness	0.00 MIL	1
d2FreqDepFile		1
length	1000.00 MIL	1
traceConductivity	595900 mho/cm	1
traceEtchFactor	90	1
traceThickness	0.72 MIL	1
traceWidth	5.00 MIL	1

图 3-10-16 MS2 参数

TL_MS2		1
d1Constant	4.5	1
d1LossTangent	0.035	1
d1Thickness	2.70 MIL	1
d1FreqDepFile		1
d2Constant	1	1
d2LossTangent	0	1
d2Thickness	0.00 MIL	1
d2FreqDepFile		1
length	1000.00 MIL	1
traceConductivity	595900 mho/cm	1
traceEtchFactor	90	1
traceThickness	0.70 MIL	1
traceWidth	5.00 MIL	1

图 3-10-17 修改 MS2 参数

(4) 在 MS2 下面的表格区域任意地方单击鼠标右键→从弹出菜单中选择“View Trace Parameters”, 注意“View Trace Model Parameters”窗口左下方的阻抗值, Trace 阻抗值是  $48.5\Omega$ , 如图 3-10-18 所示。

Units: ohm
1
48.5

图 3-10-18 阻抗值

(5) 单击“Close”按钮, 关闭“View Trace Model Parameters”对话框。

## 5) 添加终端电阻

(1) 从 SigXplorer 窗口执行菜单命令“Edit”→“Add Element...”，弹出“Add Element Browser”对话框，如图 3-10-19 所示。

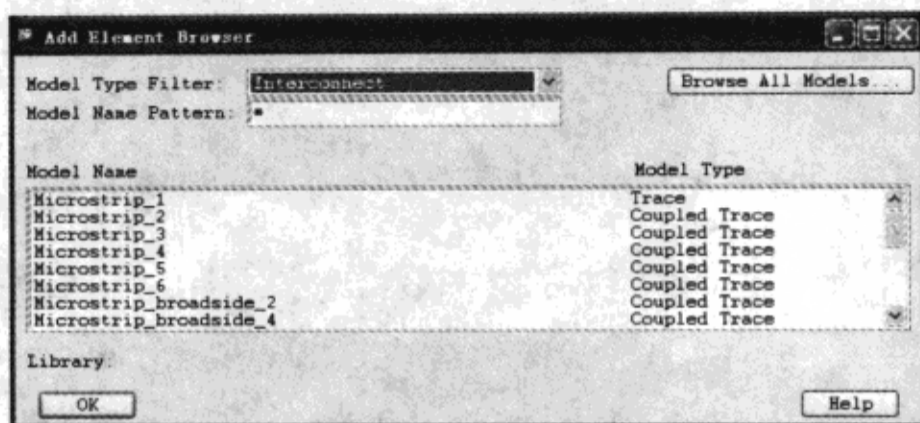


图 3-10-19 “Add Element Browser”对话框

(2) 从“Add Element Browser”对话框的“Model Type Filter”栏选择“GenericElement”→在“Model Name”列表框中选择“Resistor”→在工作空间中单击鼠标左键摆放 resistor，如图 3-10-20 所示。

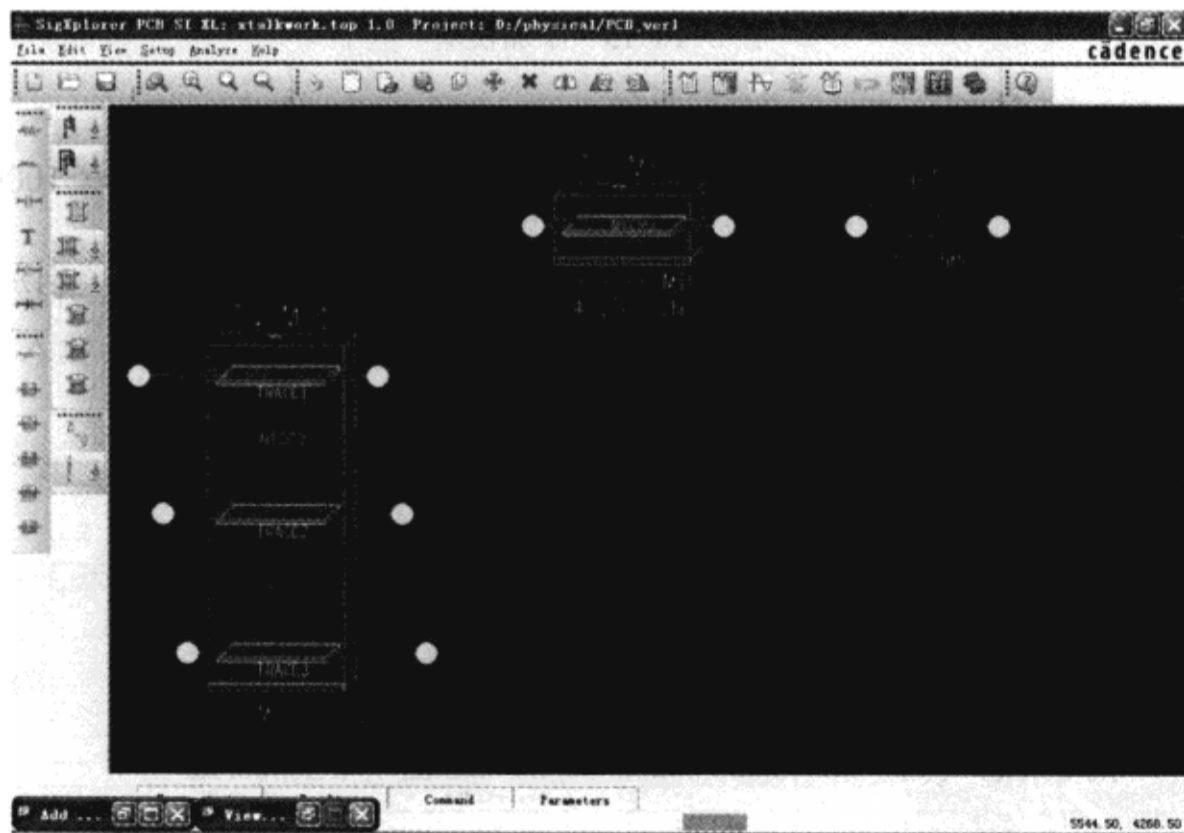


图 3-10-20 添加电阻

(3) 单击“OK”按钮，关闭“Add Element Browser”对话框。

(4) 在 SigXplorer 工作空间单击 50Ω 电阻值，resistance 表格被高亮，注意到电阻的阻值为 50Ω，如图 3-10-21 所示。

R1		1
resistance	50 Ohm	:

图 3-10-21 电阻值

(5) 单击鼠标左键选中电阻，执行菜单命令“Edit”→“Rotate Right”，旋转元件到一个垂直位置，如图 3-10-22 所示（仅分立元件如电阻、电容、电导能被旋转）。

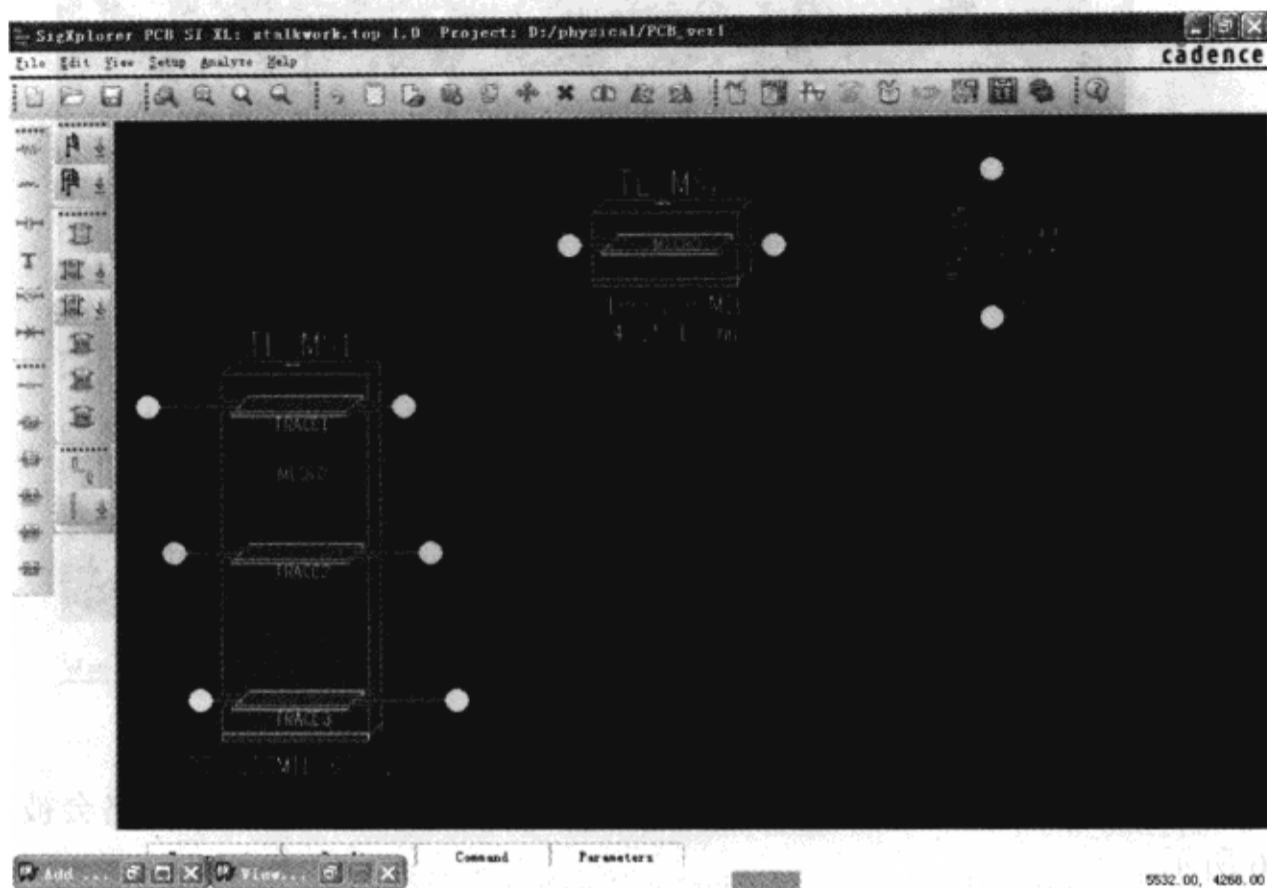


图 3-10-22 旋转元件

(6) 单击电阻 R1 标有“2”的引脚→单击 MS2 无连接的点，连接引脚，如图 3-10-23 所示。

#### 6) 添加电源

(1) 从 SigXplorer 窗口执行菜单命令“Edit”→“Add Element...”，弹出“Add Element Browser”对话框，如图 3-10-24 所示。

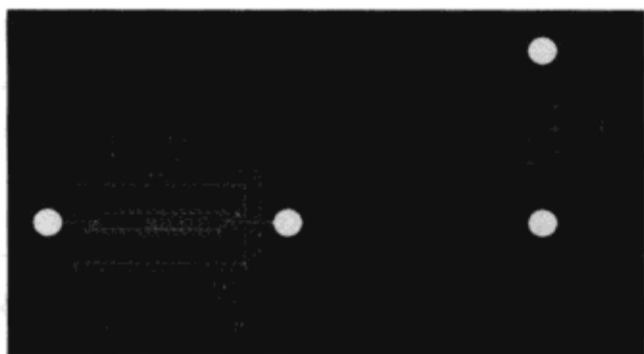


图 3-10-23 连接引脚

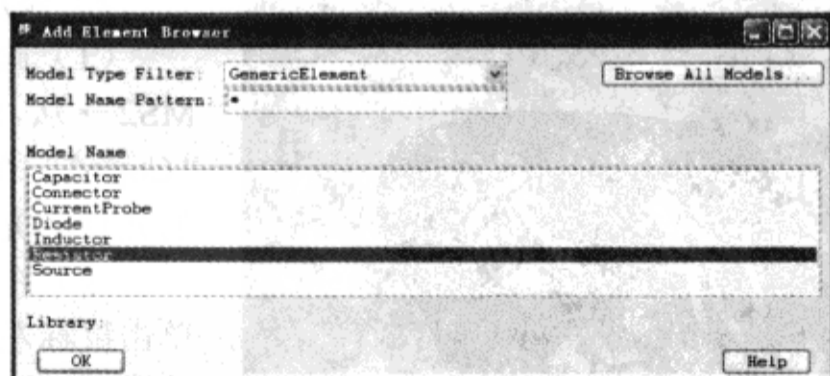


图 3-10-24 “Add Element Browser”对话框

(2) 在“Model Name”列表框中选择“Source”→在工作空间单击鼠标左键摆放 source，如图 3-10-25 所示。

(3) 单击“OK”按钮，关闭“Add Element Browser”对话框。



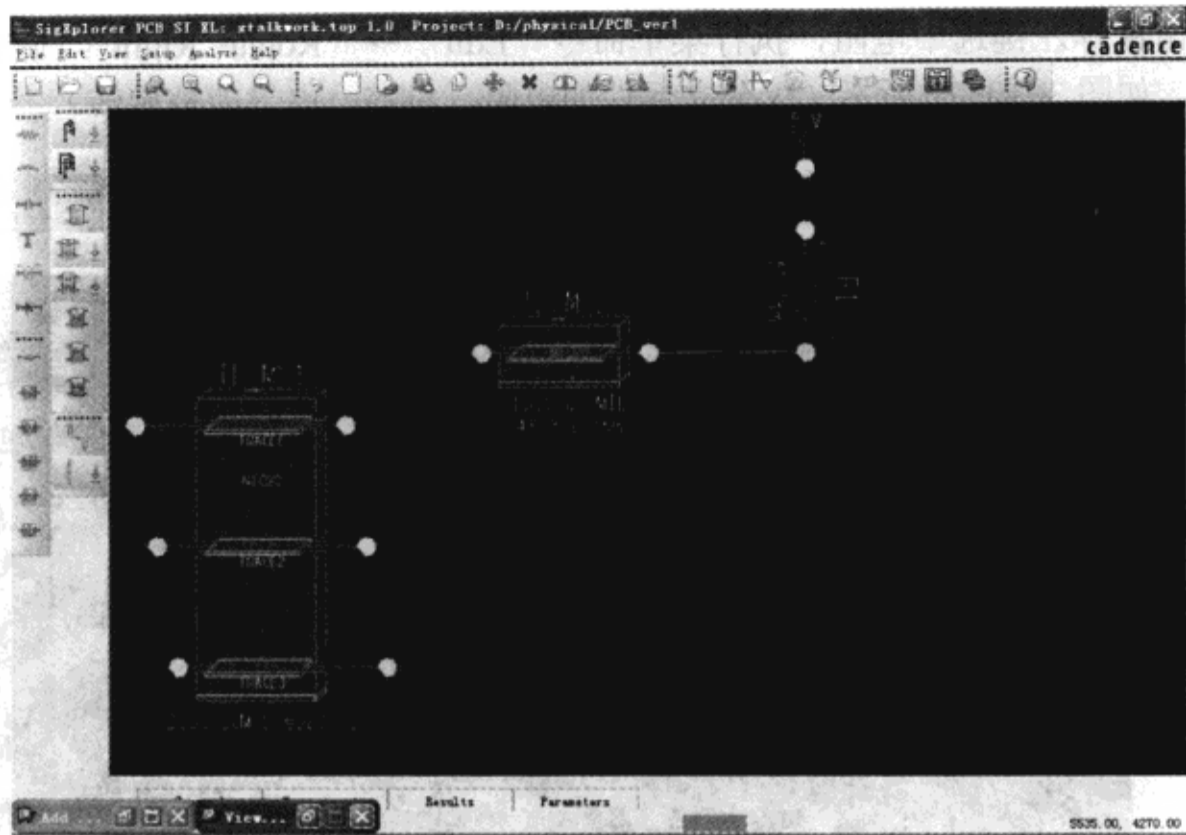


图 3-10-25 添加电源

(4) 在 SigXplorer 工作空间单击 5V 的电压值，V1 下面的 voltage 表格会被高亮，如图 3-10-26 所示。

V1	R=3.35 25 01-0-01	1
voltage	5 V	1

图 3-10-26 电压值

(5) 双击“5V”表格区域，输入“2.5”并按“Tab”键。

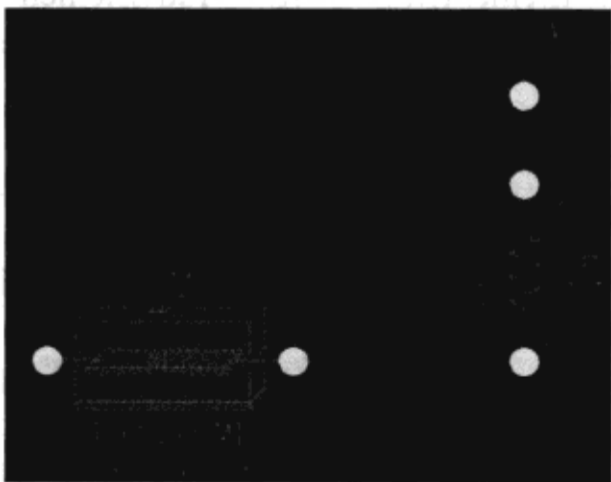


图 3-10-27 连接电源

(6) 单击电阻 R1 的标有“1”的引脚→双击电源的连接点，如图 3-10-27 所示。

#### 7) 添加其他元件

(1) 画一个选择框框住电阻 R1、2.5V 电源和 MS2→从 SigXplorer 窗口执行菜单命令“Edit”→“Copy”，在工作空间中单击并按住鼠标左键→框住的元件随光标移动。

(2) 在工作空间中移动鼠标到一个开放的区域→单击鼠标左键放置元件→重复上面的步骤 5 次，最终结果如图 3-10-28 所示。

8) 重新连接电路 注意图 3-10-28 中左边的 3 组元件与 TL\_MS1 连接不方便，所以需要移动电源的电阻到 Trace 的另一边。

(1) 单击连接 TL\_MS7 和 R6、TL\_MS6 和 R5、TL\_MS5 和 R4 的线，删除这些导线。

(2) 画一个选择框框住电阻 R6 和 2.5V 电源→选择两个元件（这两个元件被高亮）→执行菜单命令“Edit”→“Move”，在工作空间单击并按住鼠标左键。

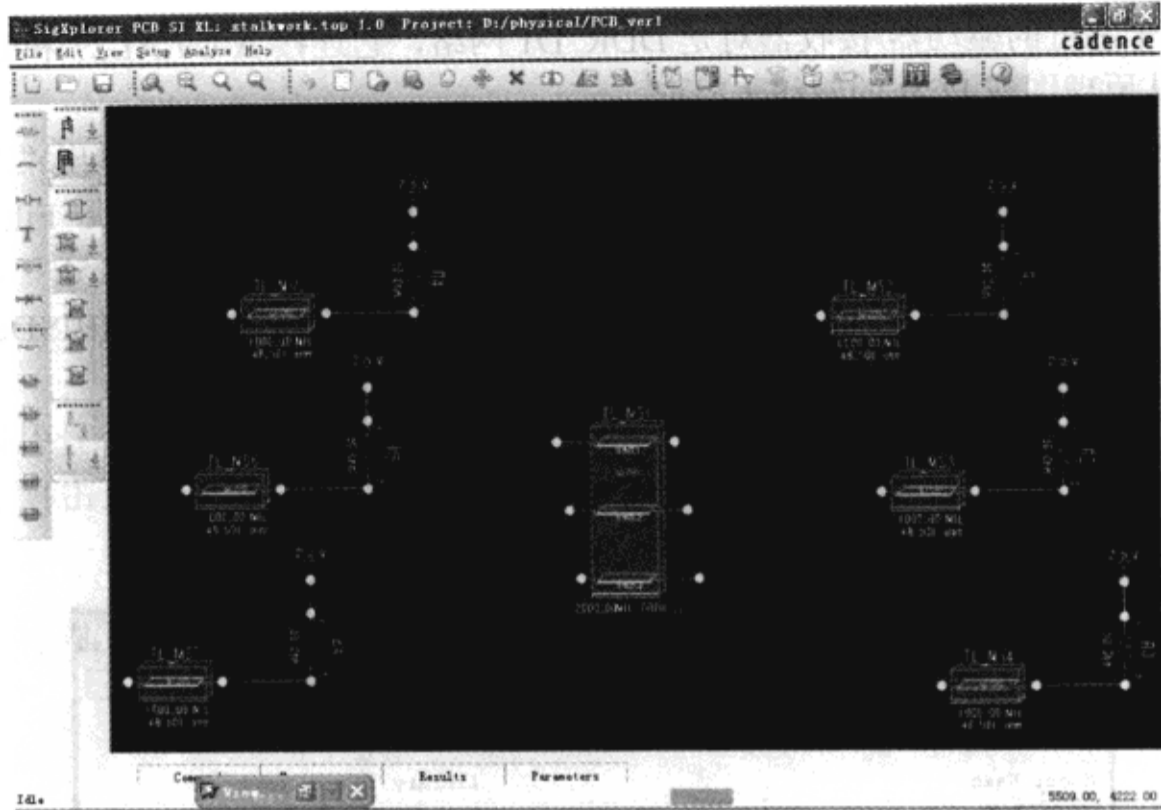


图 3-10-28 复制元件

(3) 移动鼠标到 Trace 模型 TL\_MS7 的另一边→单击鼠标左键放置元件→用同样方法再移动另两组元件。

(4) 单击 R6 的标有“2”的引脚→双击 Trace 模型 TL\_MS7 的点→用同样方法连接另两组元件，如图 3-10-29 所示。

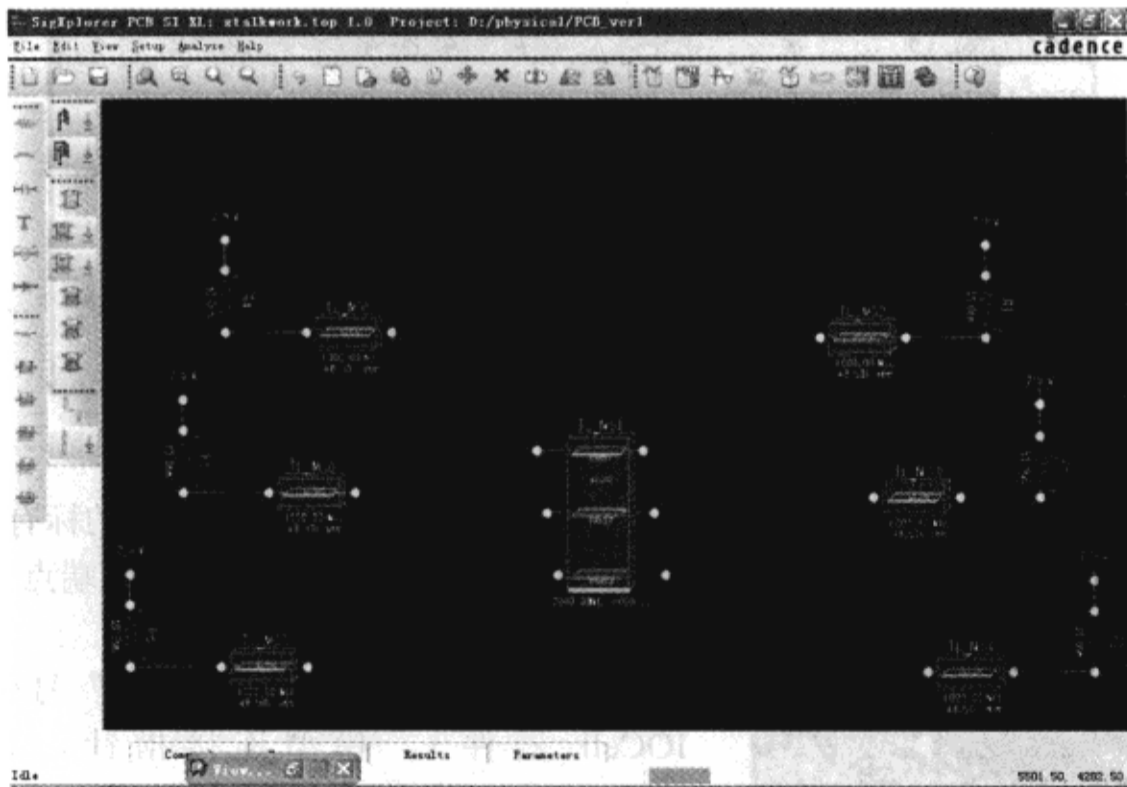


图 3-10-29 调整元件位置

9) 为驱动器添加 IBISDevice 模型 测量的 Trace 是 DDR\_DS0 网络，它连接 A U7.AM28 和 B U1.51。邻近的驱动器/接收器对是 DDR\_D0，它连接 A U7.AM27 和 B

U1.62。另一个邻近的驱动器/接收器对是 DDR\_D1 网络，它连接 A U7.AL27 和 B U1.56。这些信息可以从原理图或 PCB 的网络表提取。

(1) 在 SigXplorer 窗口执行菜单命令“Edit”→“Add Element...”，弹出“Add Element Browser”对话框→从“Add Element Browser”对话框的“Model Type Filter”栏选择“IbisDevice”，如图 3-10-30 所示→滚动列表，在列表框中选择“EP1SGX25F (sigxp.dml)”→弹出“Select IBIS Device Pin”对话框，如图 3-10-31 所示，列出组成 IBISDevice 模型的所有引脚。列表也显示信号名、IOCell 模型名和 IOCell 模型的类型。

(2) 在“Select IBIS Device Pin”对话框中滚动列表，选择“AM27”号引脚→GTL\_IO 模型连接指针→移动指针到工作空间并靠近 TL\_MS5 Trace 模型→双击摆放模型，如图 3-10-32 所示。

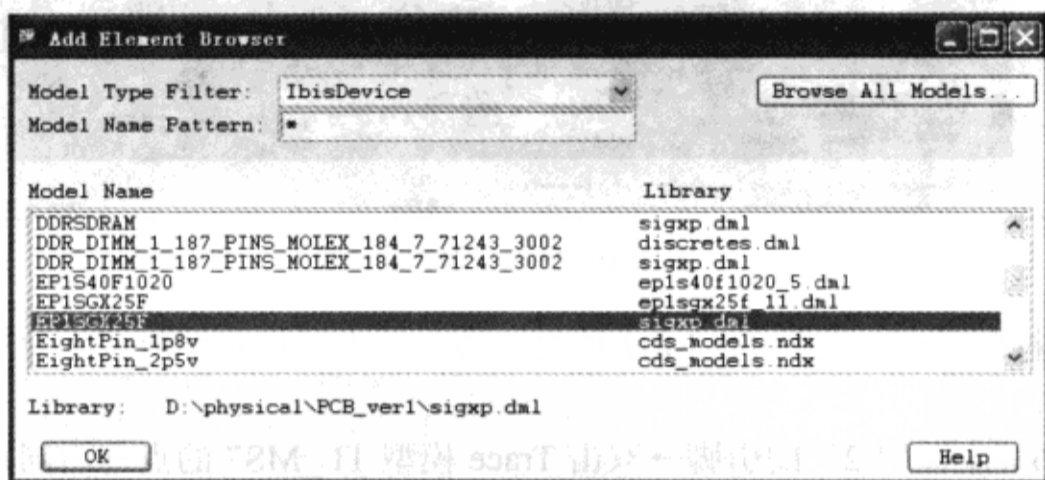


图 3-10-30 “Add Element Browser”对话框

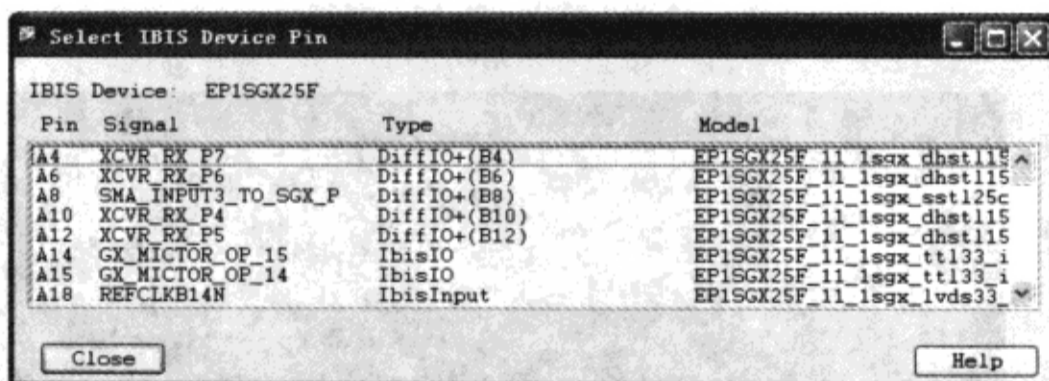


图 3-10-31 选择 IBIS 器件的引脚



图 3-10-32 添加模型

(3) 单击 IOCell 模型 IOP1 的标有“AM27”的端点→单击 Trace 模型 TL\_MS5 的端点→单击连接模型 TL\_MS1 的 TRACE1 点。

(4) 滚动列表选择“AM28”号引脚（U7 的 IOCell 器件）。模型连接指针，移动指针到 SigXplorer 工作空间并双击摆放模型。

(5) 单击 IOCell 模型 IOP2 的标有“AM28”的端点→单击 Trace 模型 TL\_MS6 的点→单击连接模型 TL\_MS1 的 TRACE2 点。

(6) 滚动列表选择“AL17”号引脚(U7的IOCell器件)。模型连接指针→移动指针到SigXplorer工作空间并单击摆放模型。

(7) 单击IOCell模型IOP3的标有“AL17”的端点→单击Trace模型TL\_MS7的点→双击连接模型TL\_MS1的TRACE3点,如图3-10-33所示。



图 3-10-33 连接拓扑

(8) 单击“Close”按钮,关闭“Select IBIS Device Pin”对话框。

#### 10) 为接收器添加 IBIS Device 模型

(1) 在“Add Element Browser”对话框的“Model Name”列表框中选择“DDRSDRAM (sigxp.dml)”→弹出“Select IBIS Device Pin”对话框,如图3-10-34所示。

(2) 滚动列表选择“62 DQ\_HALF”(U1的IOCell器件),模型连接指针→移动指针到工作区间并靠近MS2 trace模型→单击摆放模型,如图3-10-35所示。

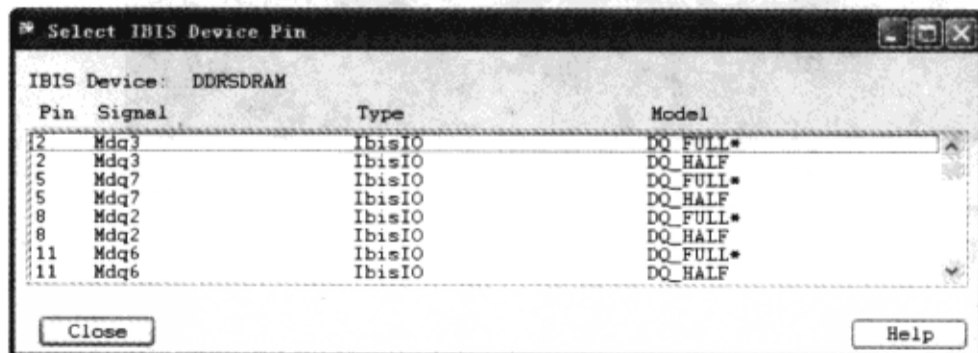


图 3-10-34 选择接收器模型



图 3-10-35 添加模型

(3) 单击IOCell模型IOP4的标有“62”的点→单击Trace模型MS2的点→单击连接模型TL\_MS1的TRACE1的无连接的点。

(4) 滚动列表选择“51 DQ\_HALF”号引脚，GTL\_IO 模型连接指针→移动指针到工作区间并靠近 TL\_MS3 Trace 模型→单击摆放的 GTL\_IO 模型。

(5) 单击 IOCell 模型 IOP5 的标有“51”的点→单击 Trace 模型 MS3 的点→单击连接模型 TL\_MS1 的 TRACE2 的无连接的点。

(6) 滚动列表选择“56 DQ\_HALF”号引脚，GTL\_IO 模型连接指针→移动指针到工作区间并靠近 TL\_MS4 Trace 模型→单击摆放的 GTL\_IO 模型。

(7) 单击 IOCell 模型 IOP6 的标有“56”的点→单击 Trace 模型 TL\_MS4 的点→单击连接模型 TL\_MS1 的 TRACE3 的无连接的点。

(8) 执行菜单命令“Edit”→“Move”，对工作空间的元件位置进行调整，如图 3-10-36 所示。

(9) 单击“Close”按钮，关闭“Select IBIS Device Pin”对话框。

(10) 单击“OK”按钮，关闭“Add Element Browser”对话框。

(11) 在 SigXplorer 窗口执行菜单命令“File”→“Save”，保存拓扑。

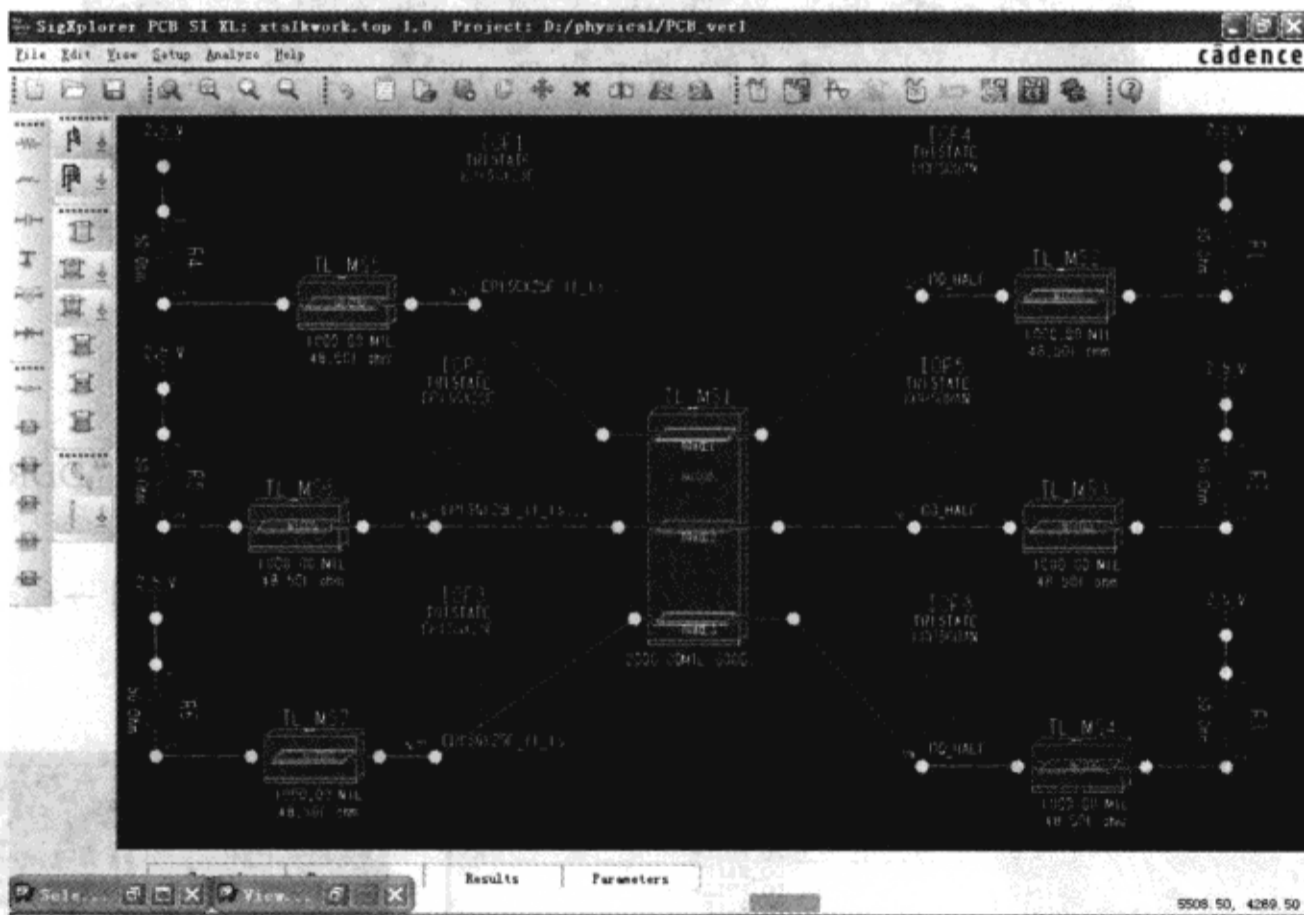


图 3-10-36 调整元件位置

### 3. 执行窜扰仿真

#### 1) 设置参数

(1) 在 SigXplorer 窗口执行菜单命令“Analyze”→“Preferences”，弹出“Analysis Preferences”对话框，如图 3-10-37 所示。

(2) 设置“Pulse Stimulus”标签页参数，如图 3-10-38 所示。



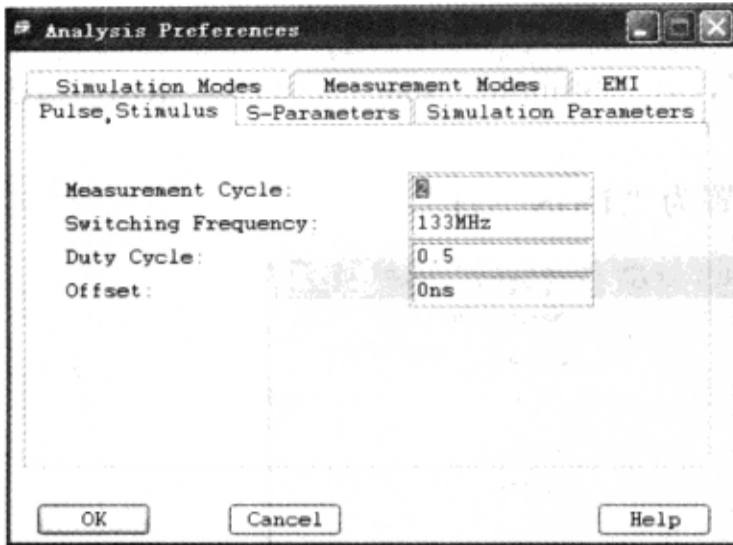


图 3-10-37 “Analysis Preferences” 对话框

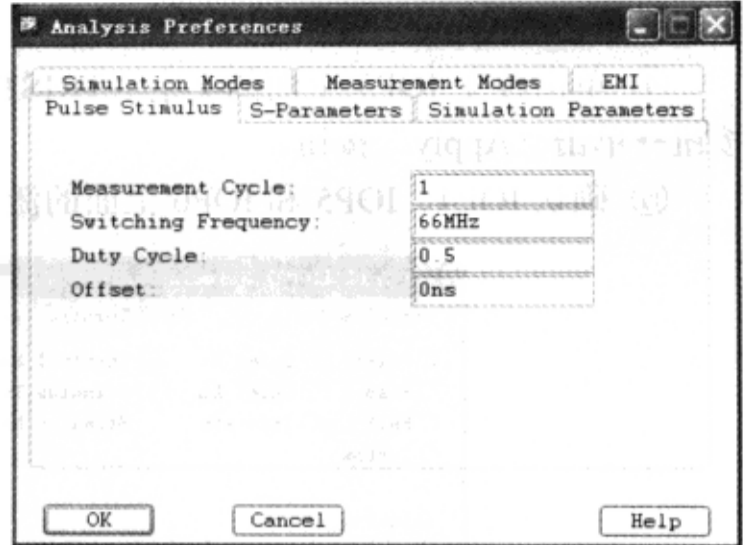


图 3-10-38 设置“Pulse Stimulus”标签页参数

(3) 设置“Simulation Parameters”标签页参数，如图 3-10-39 所示。

(4) 设置“Simulation Modes”标签页参数，如图 3-10-40 所示。

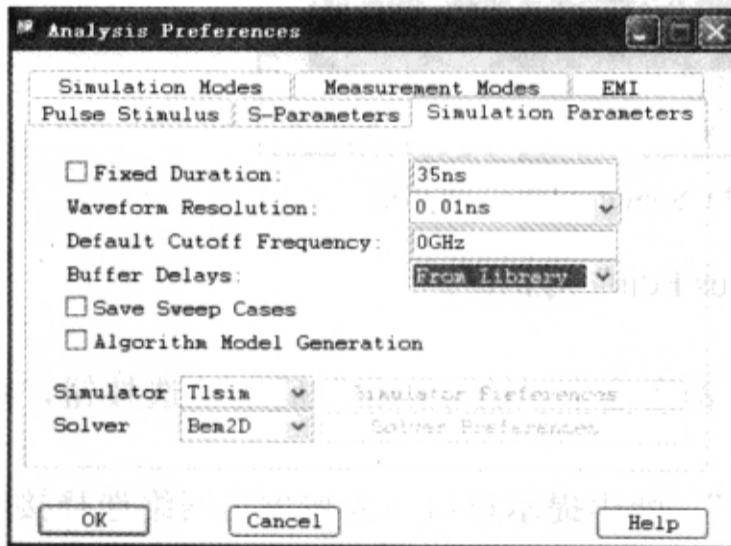


图 3-10-39 设置仿真参数

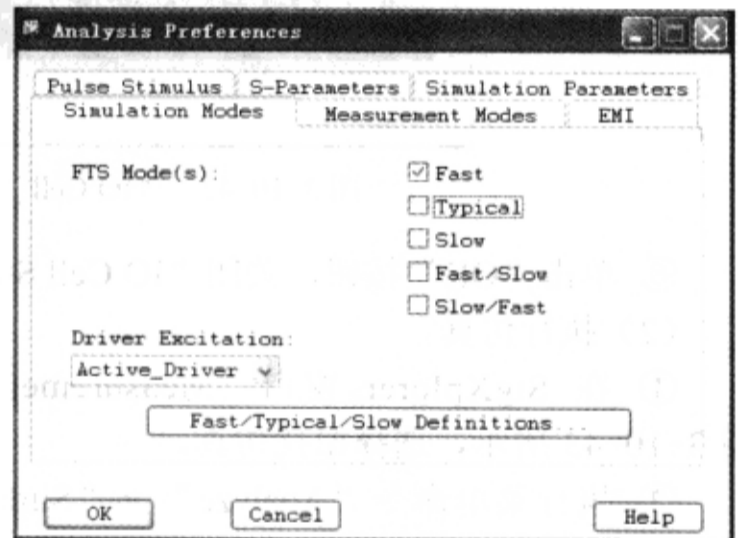


图 3-10-40 设置仿真模式

(5) 设置“Measurement Modes”标签页，如图 3-10-41 所示。

(6) 单击“OK”按钮，关闭“Analysis Preferences”对话框。

## 2) 执行奇模式窜扰仿真

(1) 设置激励（攻击网络为 Rise、被攻击网络为 Low）。假定 IOP2 和 IOP5 间的网络为被攻击网络，其他两个网络是攻击网络。

① 在工作空间单击 IOP2 上面的文字“TRISTATE”，弹出“IO Cell (IOP2) Stimulus Edit”对话框，如图 3-10-42 所示。

② 在“Stimulus State”区域选中“Quiet Lo”单选按钮→单击“Apply”按钮。

③ 单击改变 IOP1 上面的文字“TRISTATE”，在“Stimulus State”区域中“Rise”单选

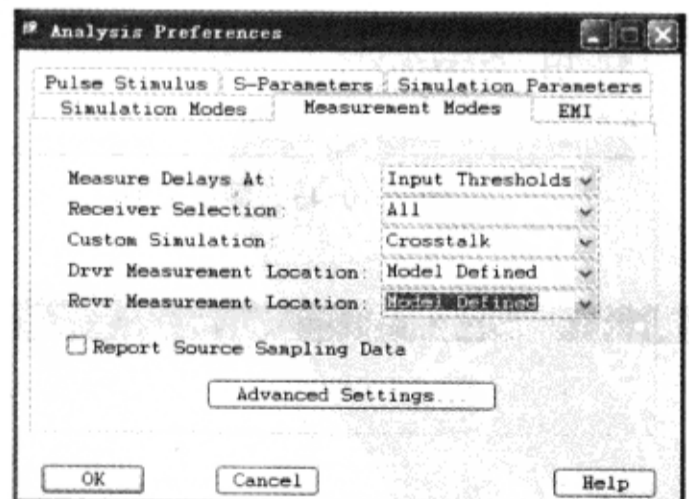


图 3-10-41 设置测量模式

按钮→单击“Apply”按钮。

④ 单击改变 IOP3 上面的文字“TRISTATE”，在“Stimulus State”区域中“Rise”单选按钮→单击“Apply”按钮。

⑤ 确认 IOP4、IOP5 和 IOP6 上面的激励设置为“TRISTATE”。

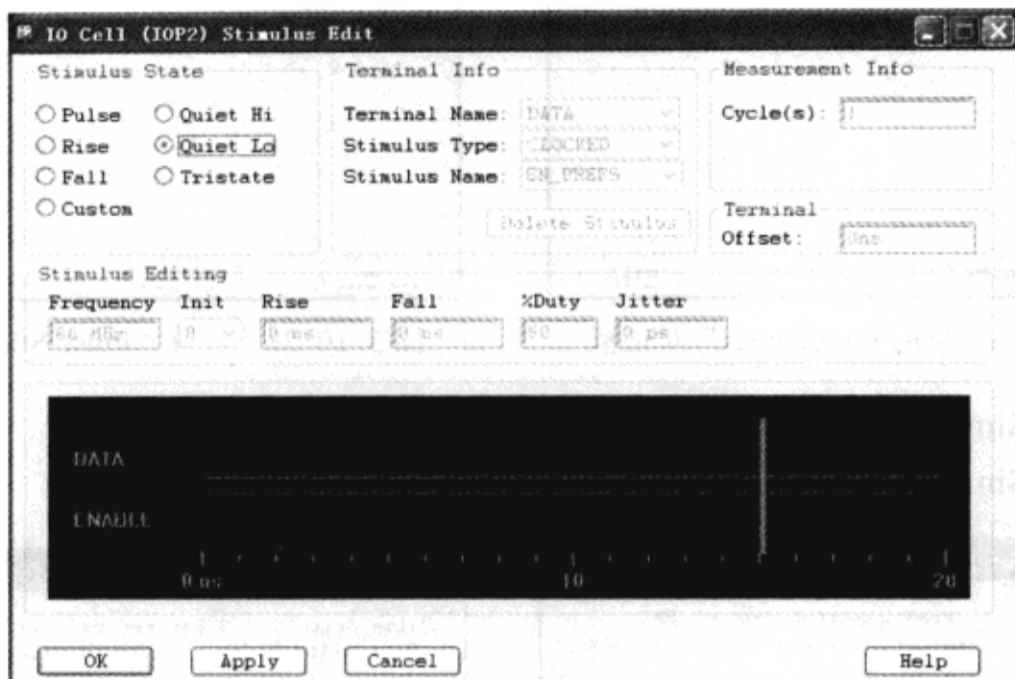


图 3-10-42 “IO Cell (IOP2) Stimulus Edit”对话框

⑥ 单击“OK”按钮，关闭“IO Cell Stimulus Edit”对话框。

(2) 执行仿真。

① 在 SigXplorer 窗口“Measurements”表格选中“Crosstalk”后的单选按钮，如图 3-10-43 所示，选择窜扰仿真。

② 执行菜单命令“Analyze”→“Simulate”，弹出提示窗口（为被攻击网络选择接收器），如图 3-10-44 所示。

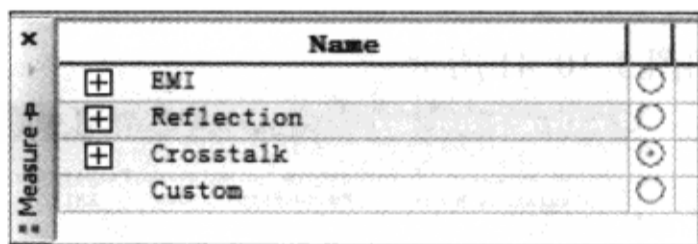


图 3-10-43 测量类型

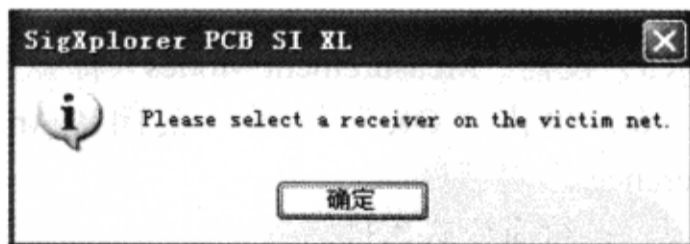


图 3-10-44 提示信息

③ 单击“确定”按钮，关闭提示窗口。

④ 在工作空间单击“IOP5”，IOP2 和 IOP5 被高亮，同时弹出“Sweep Sampling”对话框，如图 3-10-45 所示。

⑤ 单击“Continue”按钮，开始仿真。仿真结束后自动打开“Results”表格，共有 5 个仿真结果，如图 3-10-46 所示。

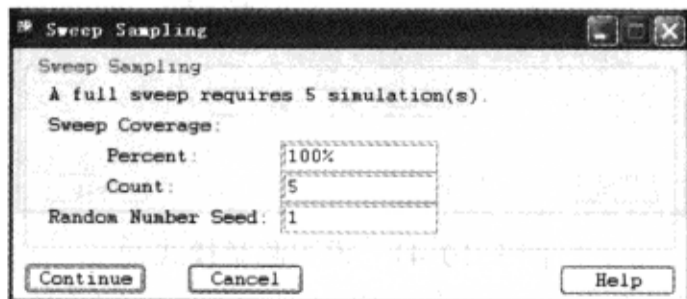


图 3-10-45 “Sweep Sampling”对话框

SimID	Driver	Receiver	FTSMODE	TL_MS1.traceWidth3 [MIL]	TL_MS1.traceWidth2 [MIL]	TL_MS1.spacing2 [MIL]	TL_MS1.length [MIL]	Crosstalk [mV]
1	DESIGN_IOP2_A28	DESIGN_IOP5_51	Fast	5	5	5	2000	31.894
2	DESIGN_IOP2_A28	DESIGN_IOP5_51	Fast	5	5	5	3000	37.349
3	DESIGN_IOP2_A28	DESIGN_IOP5_51	Fast	5	5	5	4000	41.022
4	DESIGN_IOP2_A28	DESIGN_IOP5_51	Fast	5	5	5	5000	35.826
5	DESIGN_IOP2_A28	DESIGN_IOP5_51	Fast	5	5	5	6000	43.901

图 3-10-46 仿真结果

⑥ 在“Results”表格上单击鼠标右键，在弹出的菜单中选择“View Waveform”，观察仿真结果，如图 3-10-47 所示。

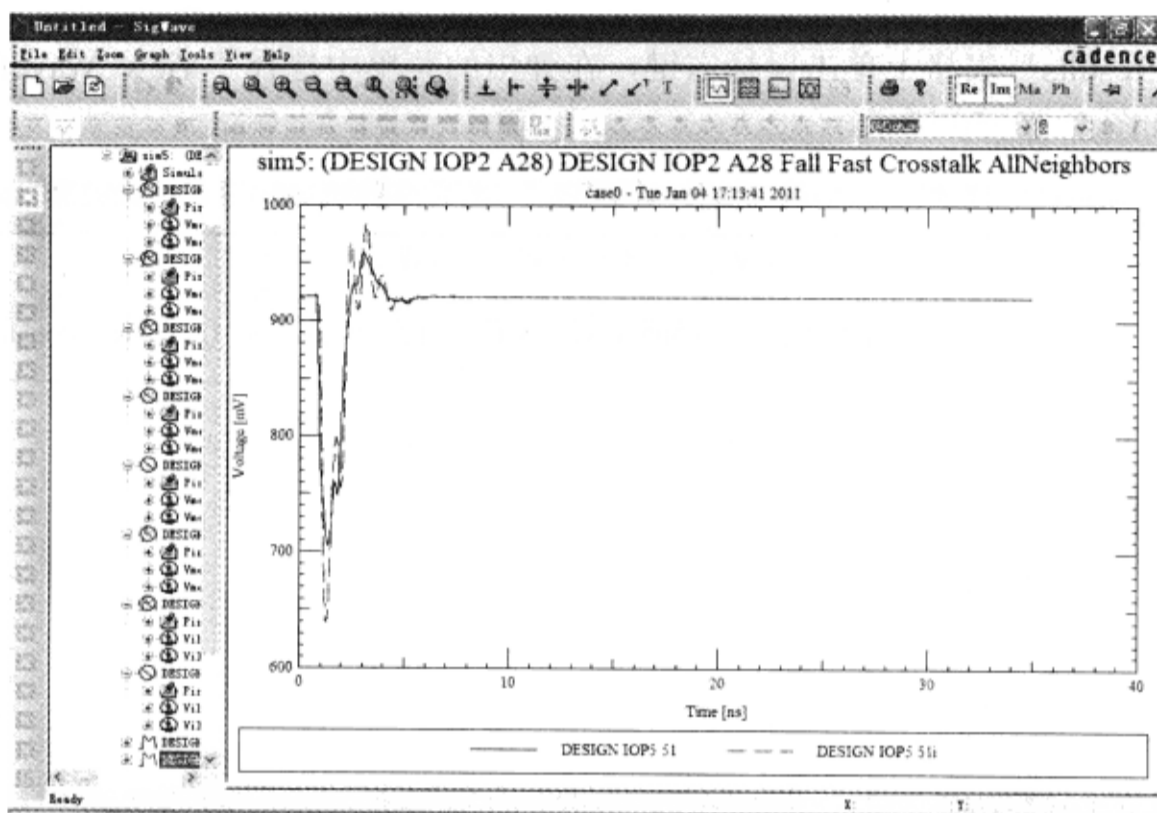


图 3-10-47 仿真结果

(3) 设置激励（攻击网络为 Fall、被攻击网络为 High）。

① 在工作空间单击 IOP2 上面的文字“Quiet Lo”，弹出“IO Cell Stimulus Edit”对话框。

② 在“Stimulus State”区域选中“Quiet Hi”单选按钮→单击“Apply”按钮。

③ 单击改变 IOP1 上面的文字“Rise”，在“Stimulus State”区域选中“Fall”单选按钮→单击“Apply”按钮。

④ 单击改变 IOP3 上面的文字“Rise”，在“Stimulus State”区域选中“Fall”单选按钮→单击“Apply”按钮。

⑤ 单击“OK”按钮，关闭“IO Cell Stimulus Edit”对话框。

(4) 执行仿真。

① 执行菜单命令“Analyze”→“Simulate”，弹出提示窗口（为被攻击网络选择接收器）。

② 单击“确定”按钮，关闭提示窗口。

③ 在工作空间单击“IOP5”，IOP2 和 IOP5 被高亮，同时弹出“Sweep Sampling”对话框，如图 3-10-48 所示。

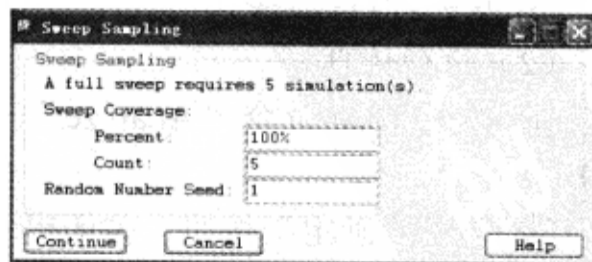


图 3-10-48 “Sweep Sampling”对话框

④ 单击“Continue”按钮，开始仿真。仿真结束后自动打开“Results”表格，共有5个仿真结果，如图3-10-49所示。

SimID	Driver	Receiver	FTSMode	TL_MS1.traceWidth3 [MIL]	TL_MS1.traceWidth2 [MIL]	TL_MS1.spacing2 [MIL]	TL_MS1.length [MIL]	Crosstalk [mV]
1	DESIGN_IOP2_A28	DESIGN_IOP5_51	Fast	5	5	5	2000	28.27
2	DESIGN_IOP2_A28	DESIGN_IOP5_51	Fast	5	5	5	3000	35.1
3	DESIGN_IOP2_A28	DESIGN_IOP5_51	Fast	5	5	5	4000	39.11
4	DESIGN_IOP2_A28	DESIGN_IOP5_51	Fast	5	5	5	5000	30.71
5	DESIGN_IOP2_A28	DESIGN_IOP5_51	Fast	5	5	5	6000	35.09

图3-10-49 仿真结果

⑤ 在“Results”表格上单击鼠标右键，在弹出的菜单中选择“View Waveform”，观察仿真结果，如图3-10-50所示。

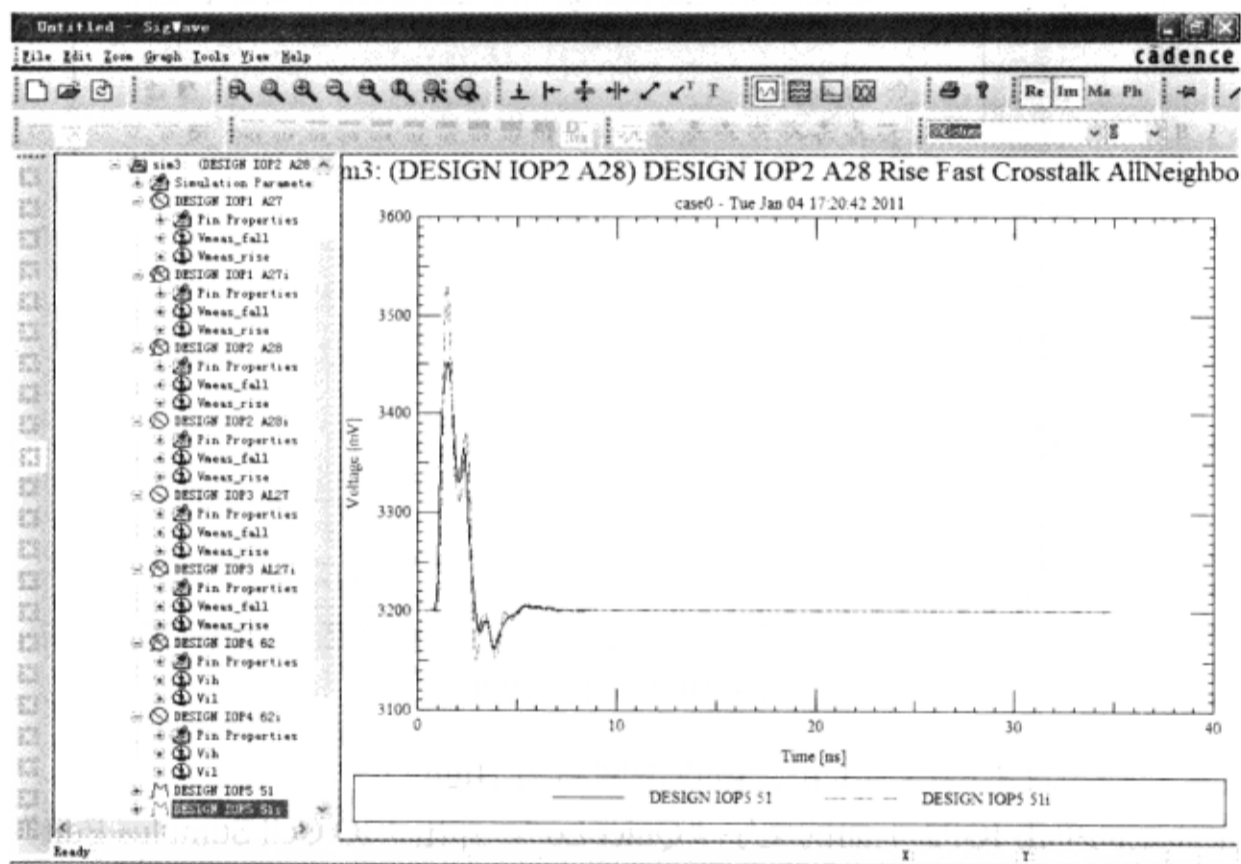


图3-10-50 仿真结果

### 3) 执行偶模式窜扰仿真

(1) 设置激励（攻击网络为 Fall，被攻击网络为 Low）。

① 在工作空间单击 IOP2 上面的文字“Quiet Hi”，弹出“IO Cell Stimulus Edit”对话框。

② 在“Stimulus State”区域选中“Quiet Lo”单选按钮→单击“Apply”按钮。

③ 单击“OK”按钮，关闭“IO Cell Stimulus Edit”对话框。

(2) 执行仿真。

① 执行菜单命令“Analyze”→“Simulate”，弹出提示框（为被攻击网络选择接收器）。

② 单击“确定”按钮，关闭提示窗口。

③ 在工作空间单击“IOP5”，IOP2 和 IOP5 被高亮，同时弹出“Sweep Sampling”对话框

框，如图 3-10-51 所示。

④ 单击“Continue”按钮，开始仿真。仿真结束后自动打开“Results”表格，共有 5 个仿真结果，如图 3-10-52 所示。

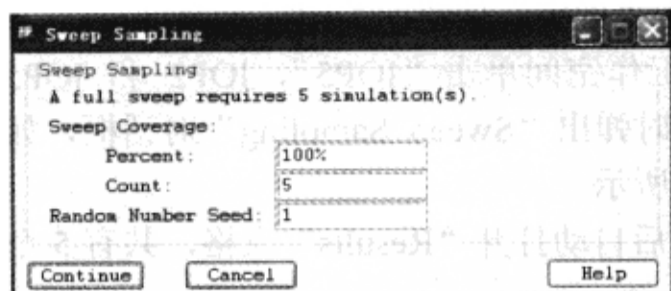


图 3-10-51 “Sweep Sampling”对话框

SimID	Driver	Receiver	FTSMODE	TL_MS1.traceWidth3 (MIL)	TL_MS1.traceWid (MIL)
1	DESIGN_IOP2_A28	DESIGN_IOP5_S1	Fast	5	5
2	DESIGN_IOP2_A28	DESIGN_IOP5_S1	Fast	5	5
3	DESIGN_IOP2_A28	DESIGN_IOP5_S1	Fast	5	5
4	DESIGN_IOP2_A28	DESIGN_IOP5_S1	Fast	5	5
5	DESIGN_IOP2_A28	DESIGN_IOP5_S1	Fast	5	5

图 3-10-52 仿真结果

⑤ 在“Results”表格上单击鼠标右键，在弹出的菜单中选择“View Waveform”，观察仿真结果，如图 3-10-53 所示。

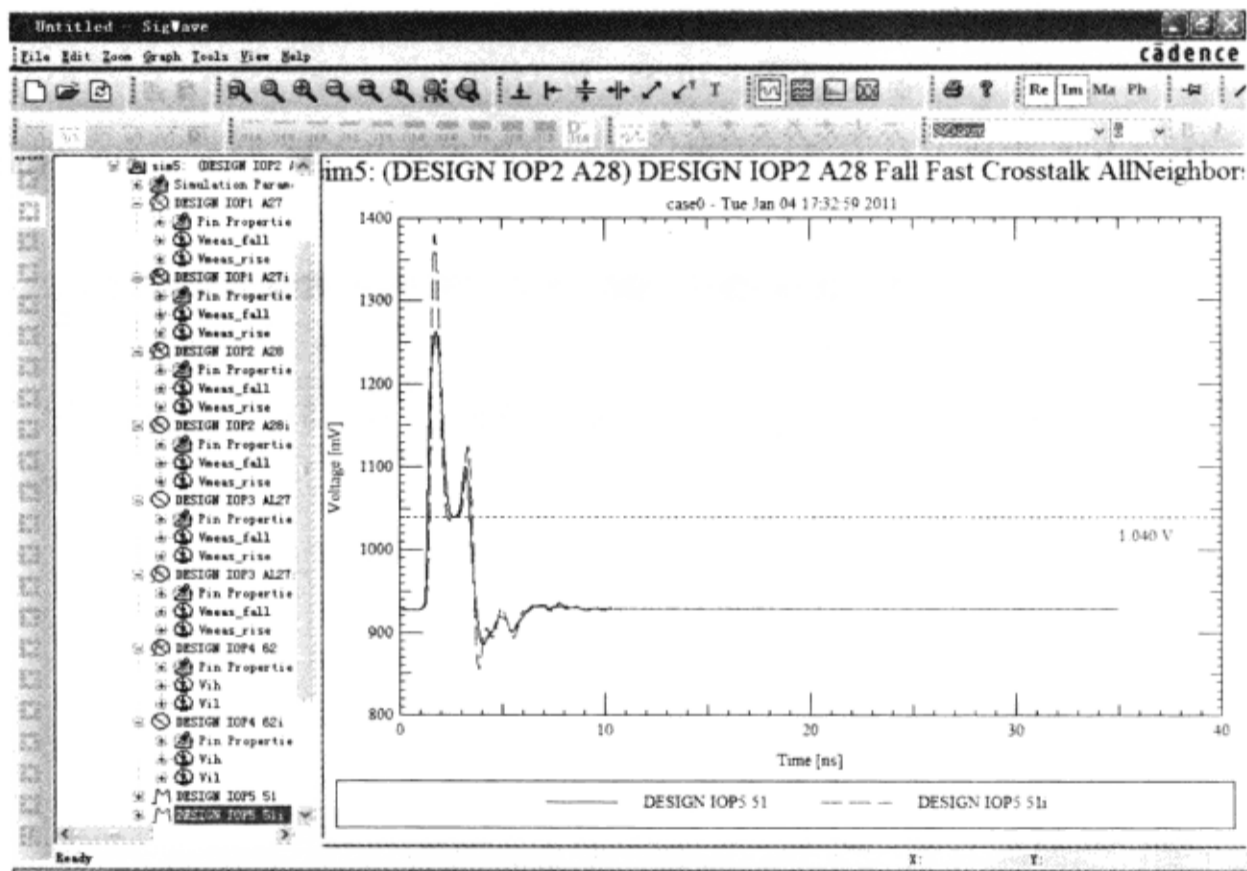


图 3-10-53 仿真结果

(3) 设置激励（攻击网络为 Rise，被攻击网络为 High）。

① 在工作空间单击 IOP2 上面的文字“Quiet Lo”，弹出“IO Cell Stimulus Edit”对话框。

② 在“Stimulus State”区域选中“Quiet Hi”单选按钮→单击“Apply”按钮。

③ 单击改变 IOP1 上面的文字“Fall”，在“Stimulus State”区域选中“Rise”单选按钮→单击“Apply”按钮。

④ 单击改变 IOP3 上面的文字“Fall”，在“Stimulus State”区域选中“Rise”单选按钮→单击“Apply”按钮。

⑤ 单击“OK”按钮，关闭“IO Cell Stimulus Edit”对话框。



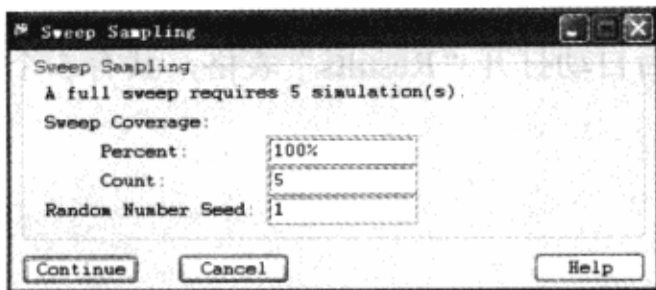


图 3-10-54 “Sweep Sampling”对话框

④ 单击“Continue”按钮，开始仿真。仿真结束后自动打开“Results”表格，共有5个仿真结果，如图3-10-55所示。

Sim ID	Driver	Receiver	FTSMODE	TL_MS1.trace Width3 [MIL]	TL_MS1.trace Width2 [MIL]	TL_MS1.spacing2 [MIL]	TL_MS1.length [MIL]	Crosstalk [mV]
1	DESIGN_IOP2_A2	DESIGN_IOP5_51	Fast	5	5	5	2000	199.32
2	DESIGN_IOP2_A2	DESIGN_IOP5_51	Fast	5	5	5	3000	216.06
3	DESIGN_IOP2_A2	DESIGN_IOP5_51	Fast	5	5	5	4000	257.36
4	DESIGN_IOP2_A2	DESIGN_IOP5_51	Fast	5	5	5	5000	298.74
5	DESIGN_IOP2_A2	DESIGN_IOP5_51	Fast	5	5	5	6000	339.97

图 3-10-55 仿真结果

⑤ 在“Results”表格上单击鼠标右键，在弹出的菜单中选择“View Waveform”，观测仿真结果，如图3-10-56所示。

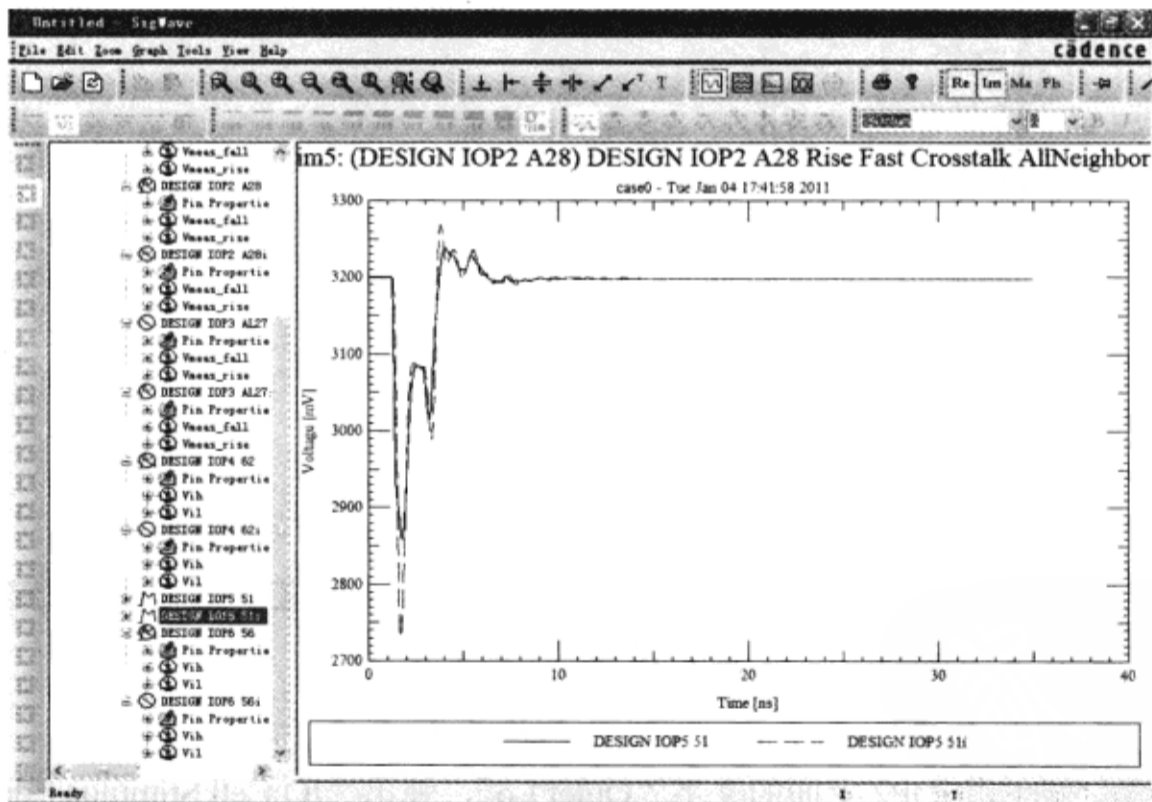


图 3-10-56 仿真结果

⑥ 执行菜单命令“File”→“Exit”，弹出窗口询问是否保存拓扑→单击“是”按钮，保存拓扑。

#### 4. 应用电气约束规则

(1) 在程序文件夹中选择“Cadence”→“Release 16.3”→“PCB SI”，弹出“Cadence

Product Choices-16.3”对话框→选择“Allegro PCB SI XL”，打开编辑器，如图3-10-57所示。

(2) 执行菜单命令“File”→“Open”，打开 D:\physical\PCB\_ver1\hidesign3.brd 文件，如图3-10-58所示。

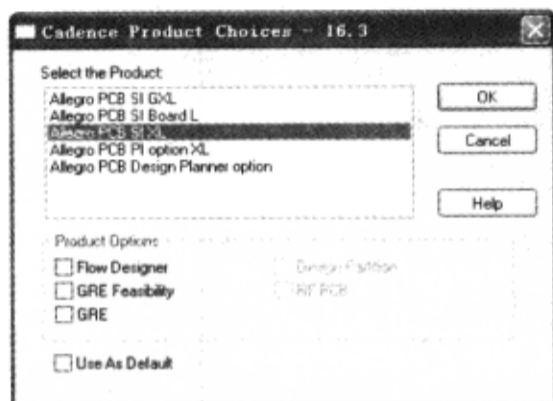


图 3-10-57 “Cadence Product Choices-16.3”对话框

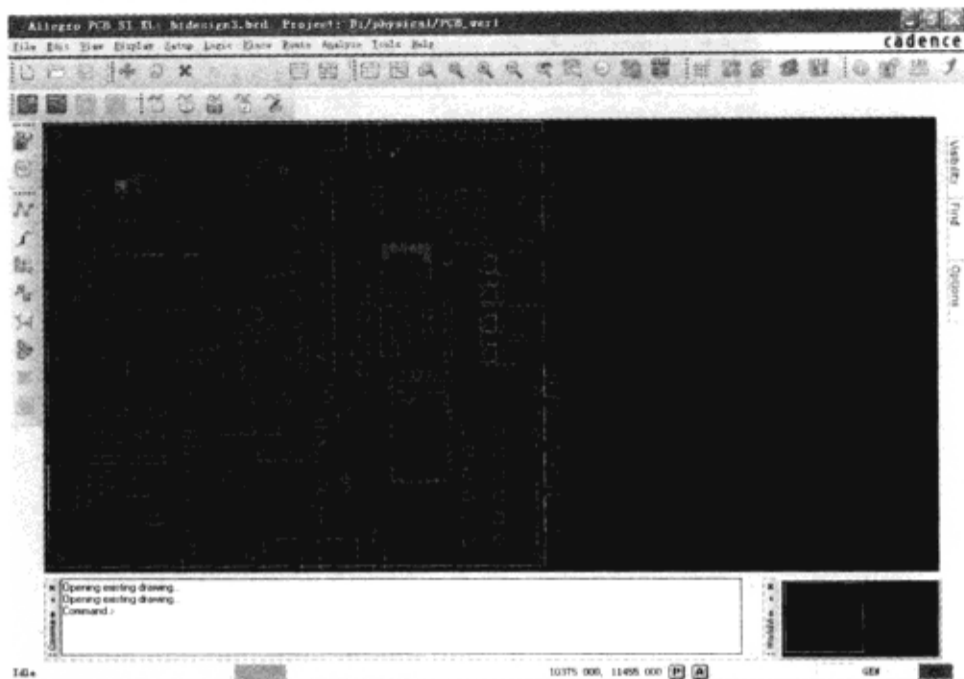



图 3-10-58 PCB 文件

(3) 单击“Constraint Manager”图标，打开“Allegro Constraint Manager”对话框，如图3-10-59所示。

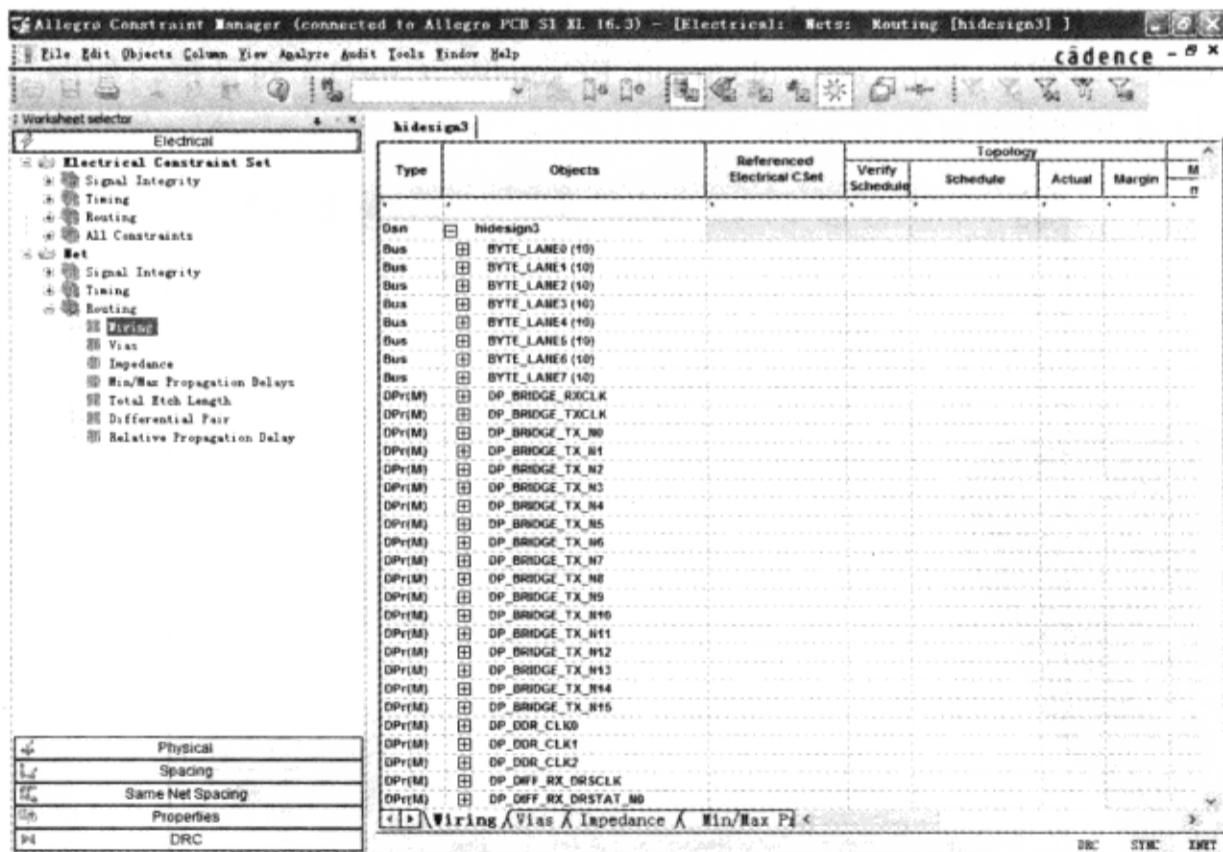


图 3-10-59 约束管理器

(4) 单击“OK”按钮，关闭“Tip of the Day”对话框。

(5) 在左侧列表框中选择“Net”→“Routing”→“Wiring”表格符号。

(6) 选择“Electrical Constraint Set”→“All Constraints”表格符号，表格区域如图 3-10-60 所示。“All Constraints”表格保存设计中所有的 Electrical Constraint Sets。

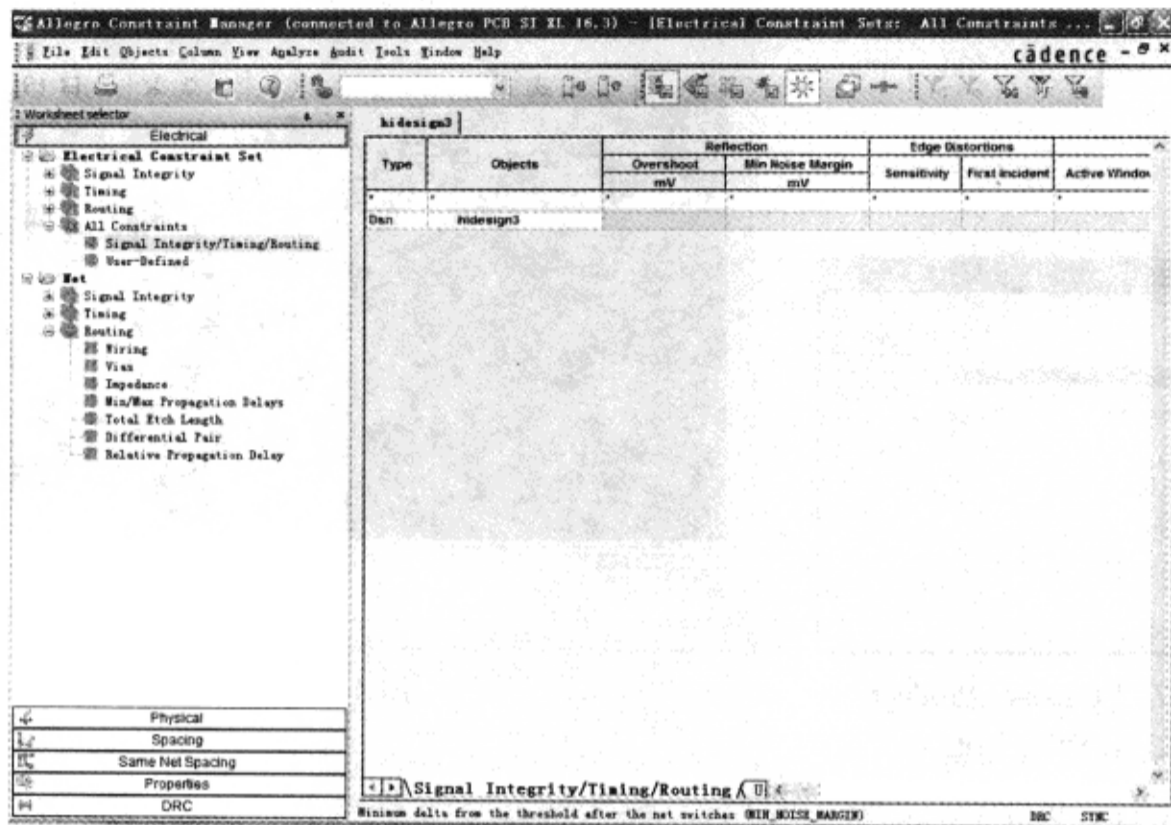


图 3-10-60 约束管理器

(7) 从“Allegro Constraint Manager”对话框执行菜单命令“File”→“Import”→“Electrical Csets”，弹出“Importan electrical ECsetsfile (.top)”对话框，如图 3-10-61 所示。在当前目录下列出所有拓扑文件。

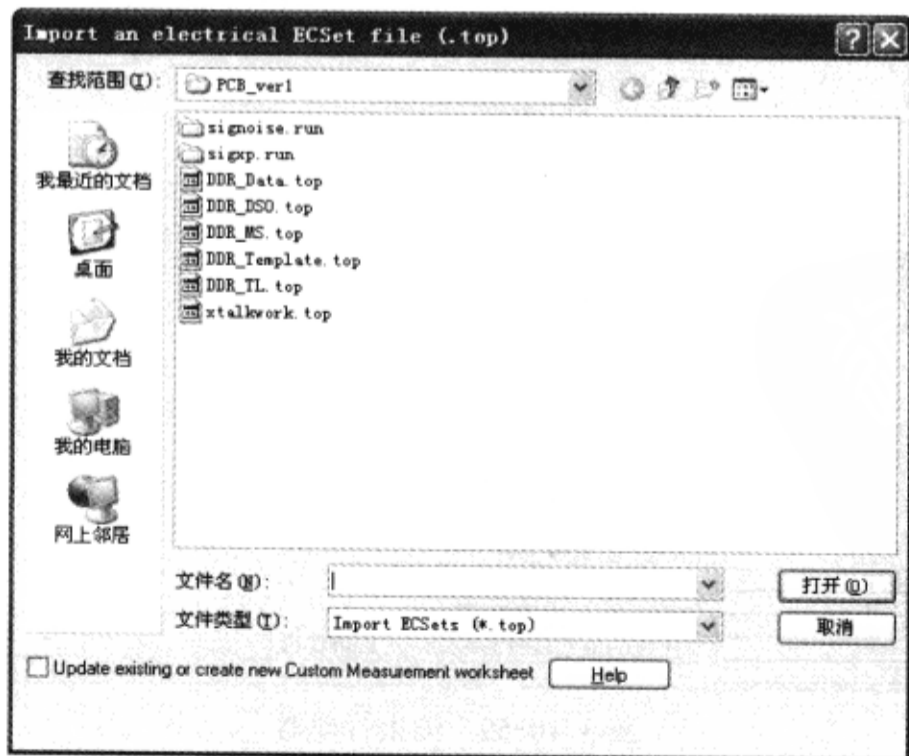


图 3-10-61 输入约束

(8) 双击 DDR\_Template.top, 输入约束。



注意

在 DDR\_Template.top 中已经保存约束。它会被应用到与 Electrical CSet 的 PINUSE 属性匹配的任何网络或任何网络组。ECSet 被读到 Allegro Constraint Manager 中。

(9) 在“Allegro Constraint Manager”右边的表格区域“Objects”页“hidesign3”前面的“+”号, 显示该设计的电气约束 DDR\_TEMPLATE。

(10) 单击“Objects”页“DDR\_TEMPLATE”前的“+”号, 查看引脚对信息, 如图 3-10-62 所示。

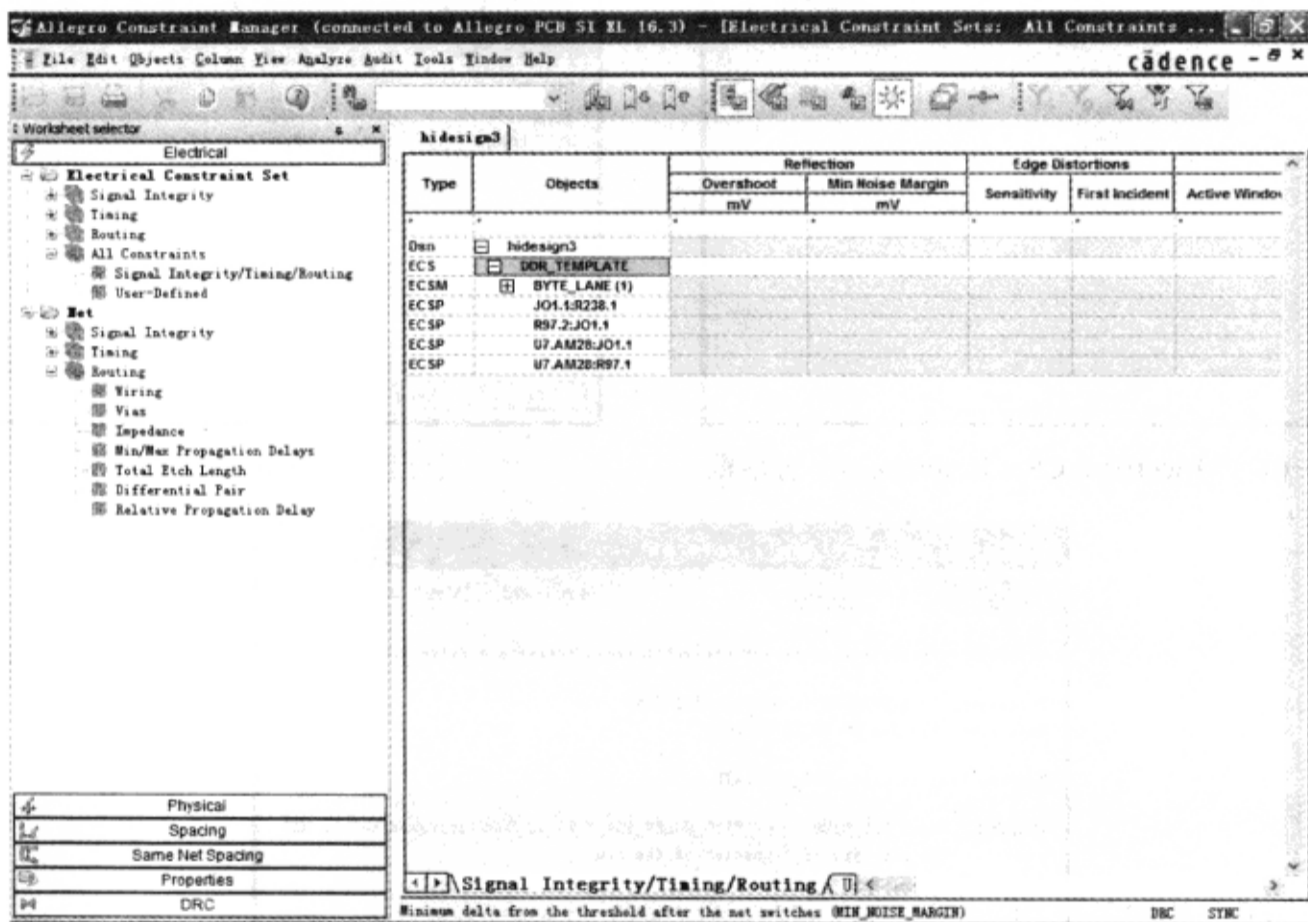


图 3-10-62 输入的约束

(11) 在“Allegro Constraint Manager”对话框中单击“Net”→“Routing”→“Min/Max Propagation Delays”表格符号, 如图 3-10-63 所示。

(12) 找到  BYTE\_LANE0 →单击“BYTE\_LANE0”前的“+”号展开总线, 显示与总线有关的网络。



注意

所有网络的“Referenced Electrical CSet”页都是空的。

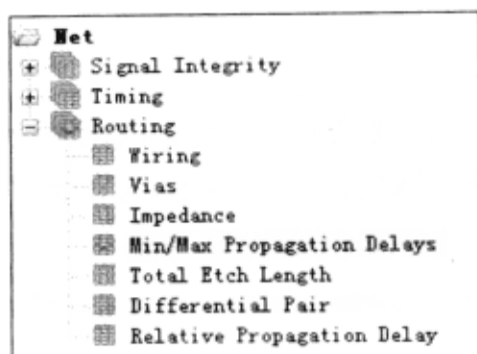


图 3-10-63 选择约束

(13) 单击“BYTE\_LANE0”前的“-”号，不显示与总线有关网络。

(14) 用鼠标右键单击靠近总线“BYTE\_LANE0”→从弹出菜单中选择“Constraint Set References”→弹出“Electrical CSet References”对话框，如图 3-10-64 所示。

(15) 单击显示 (None) 栏的下拉箭头→从参数列表中选择“DDR\_TEMPLATE”，如图 3-10-65 所示。

(16) 单击“OK”按钮，关闭“Electrical CSet References”对话框→弹出“Electrical CSet Apply Information”窗口，如图 3-10-66 所示。

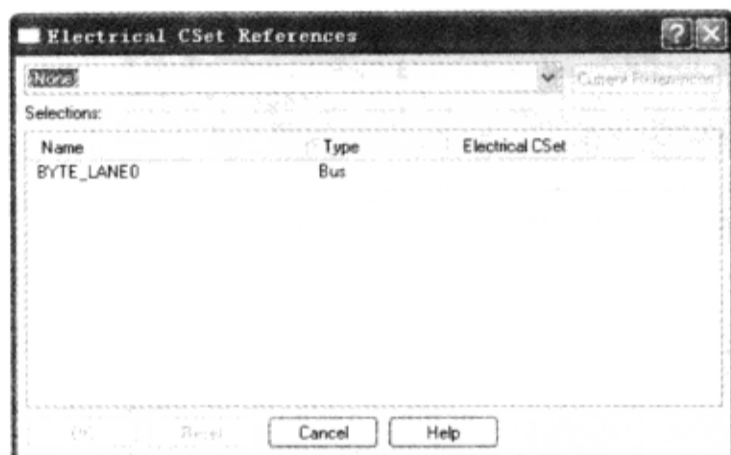


图 3-10-64 “Electrical CSet References”对话框

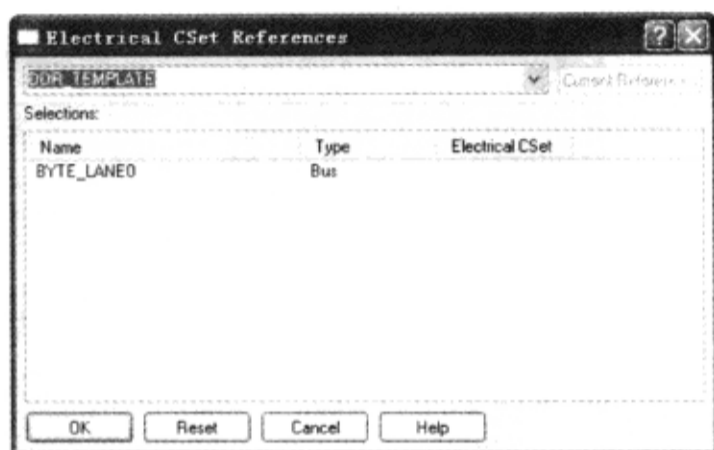


图 3-10-65 选择约束

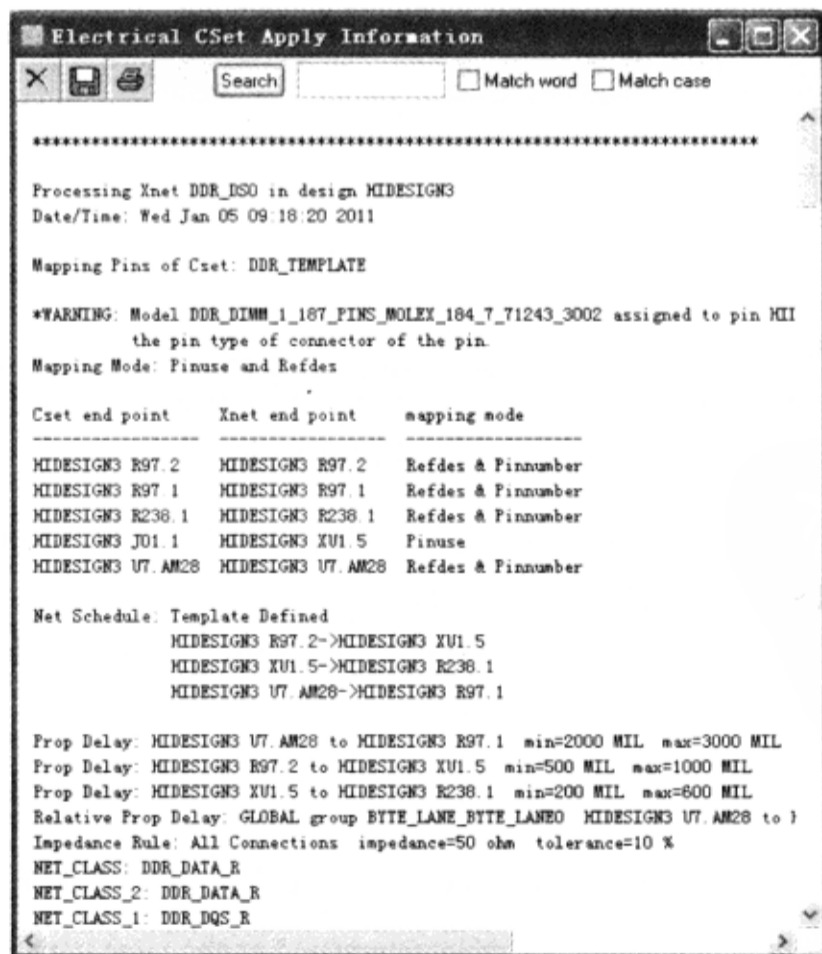


图 3-10-66 “Electrical CSet Apply Information”窗口



认真阅读信息，确认分配给网络的约束被正确应用。PCB SI 搜索每个列出的网络以查看哪一个网络能接受这个 Electrical CSet。不能分配 Electrical CSet 的网络显示错误信息。如果一个目标网络的驱动器和接收器的 PINUSE 属性与 ECSet 不匹配，那么拓扑将不会应用给目标网络。

(17) 关闭“Electrical CSet Apply Information”窗口。

(18) 单击表格的“Objects”栏“BYTE\_LANE0”前的“+”号展开总线，如图 3-10-67 所示。

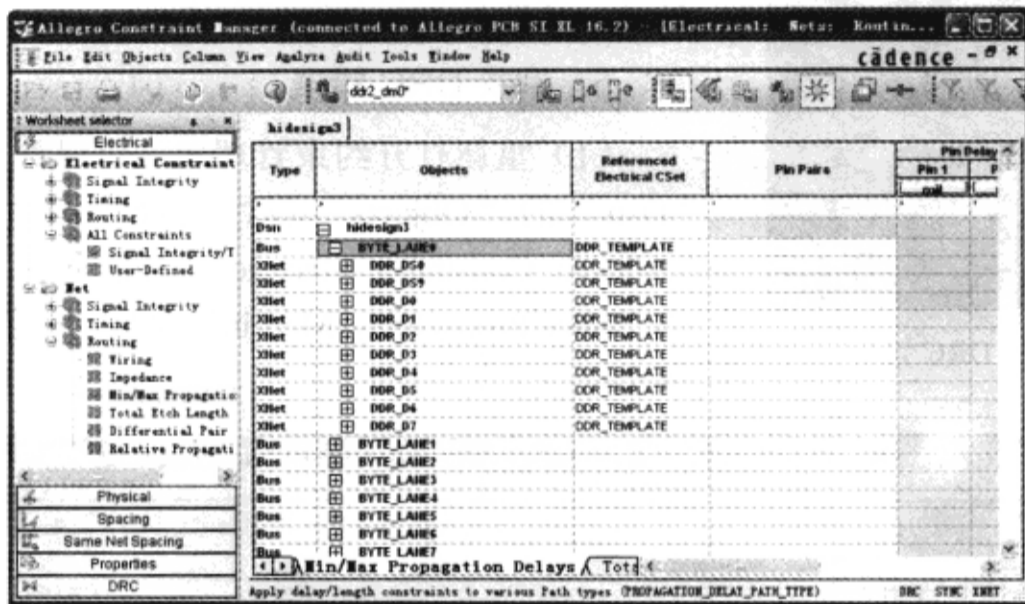


图 3-10-67 约束管理器

(19) 单击表格的“Objects”栏中“DDR\_DS0”前的“+”号，展开“Objects”显示引脚对。查看弹出在“Prop Delay”下面“Min”栏和“Max”栏，这两栏的值显示为黑色文本。在“Prop Delay”下面“Actual”和“Margin”单元格也被填入值。绿色的值表示满足约束，红色的值表示不满足约束，如图 3-10-68 所示，显示红色的项目在“PCB SI”窗口有 DRC 标志。

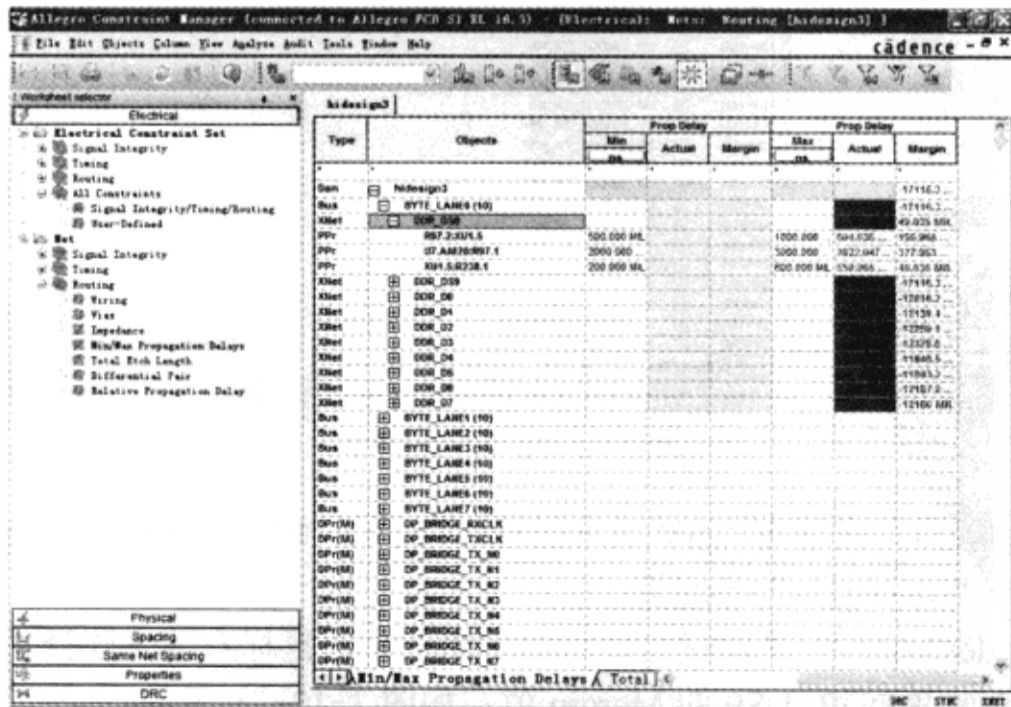


图 3-10-68 约束违背

- (20) 单击表格的“Objects”栏的“DDR\_DS0”前的“-”号，不显示引脚对信息。
- (21) 关闭约束管理器。



图 3-10-69 DRC 错误

(22) 在“Allegro PCB SI XL”窗口中查看“DDR\_DS0”网络，网络的连接已经改变如图 3-10-69 所示。

(23) 从“Allegro PCB SI XL”窗口中执行菜单命令“File”→“Save as”，保存文件于 D:\physical\PCB\_ver1 目录，文件名为 hidesign4.brd。

### 5. 解决 DRC 错误

(1) 重新打开约束管理器，可以看到约束管理器的“Dsn”的“Objects”属性已经变成“hidesign4”，在“Allegro Constraint Manager”对话框中，“hidesign4”行的“Max Prop Delay Margin”值显示红色，如图 3-10-70 所示。

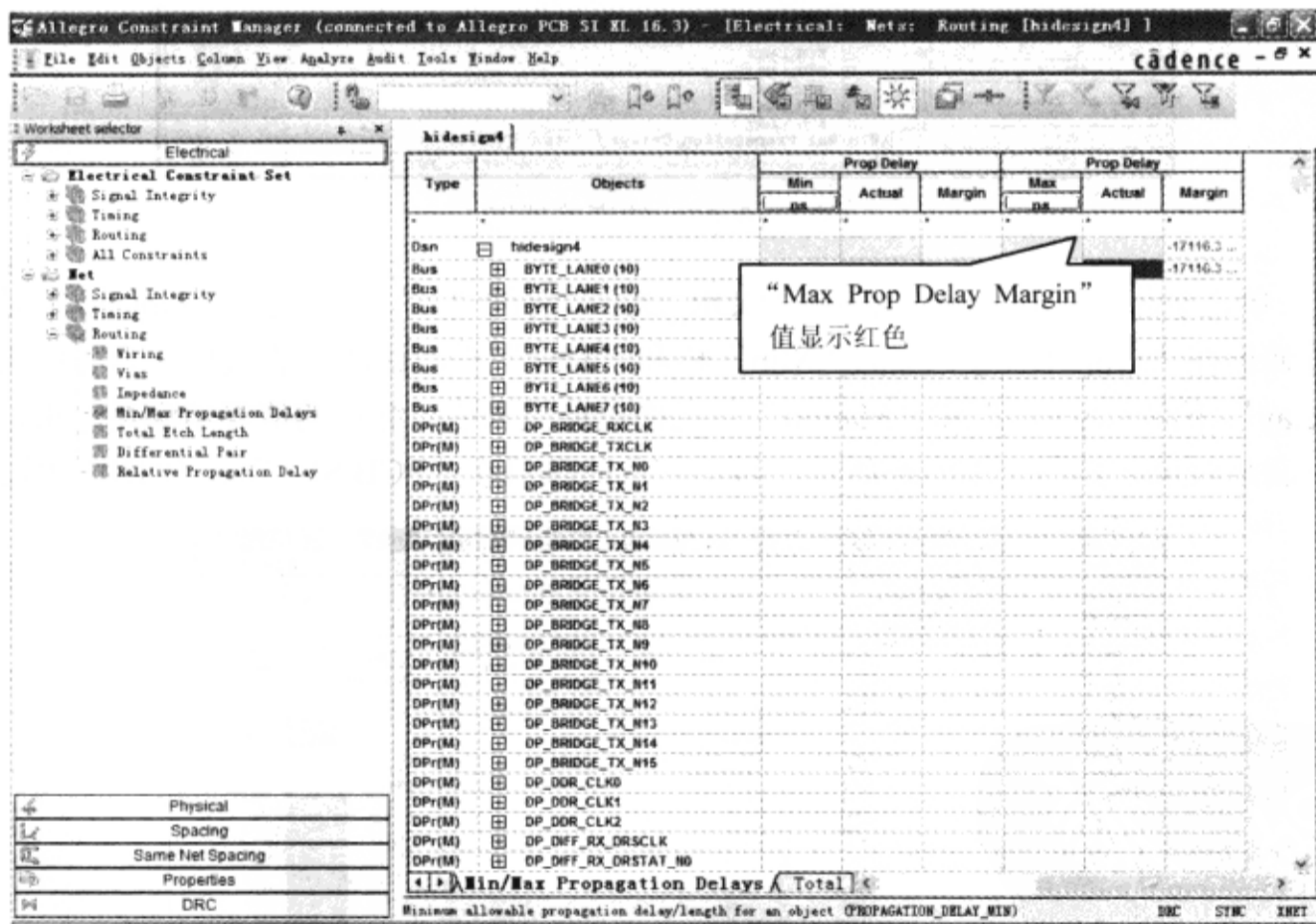


图 3-10-70 约束违背

(2) 向下滚动表格，发现在“BYTE\_LANE0”行的“Max Prop Delay Margin”值同样显示为红色，并且与“hidesign4”行的值相同。

(3) 选择“hidesign4”行显示这个值的单元格→单击鼠标右键→选择“Go to source”，表格自动浏览显示网络 DDR\_DS9 的 Margin 值，如图 3-10-71 所示。

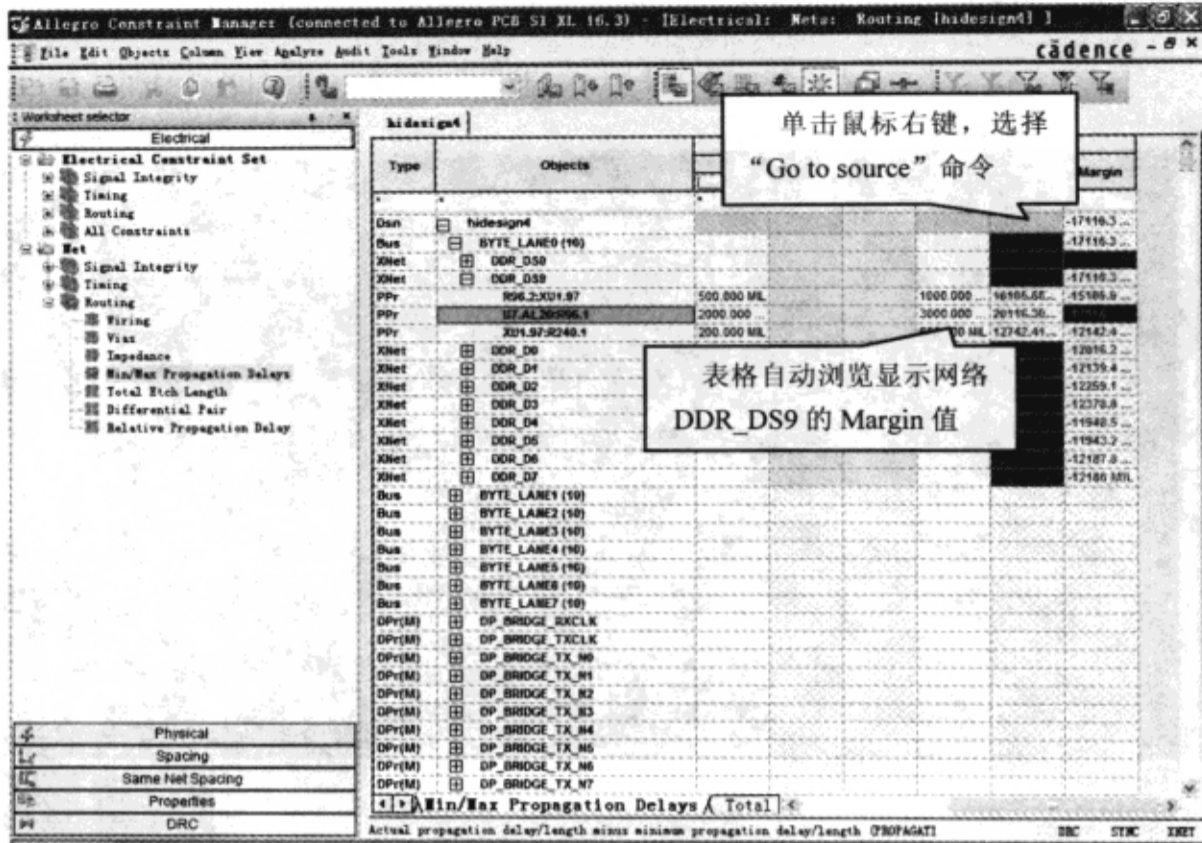


图 3-10-71 显示 DDR\_DS9 网络约束

(4) 在“Allegro PCB SI XL”窗口中单击按钮，不显示所有飞线。

(5) 执行菜单命令“Display”→“Ratsnest”，弹出“Display - Ratsnest”对话框，如图 3-10-72 所示。

(6) 在“Display - Ratsnest”对话框的顶部选择“Select By:”后面的“Net”单选按钮，并在“Net Filter:”栏中输入“DDR\_DS9”，如图 3-10-73 所示。

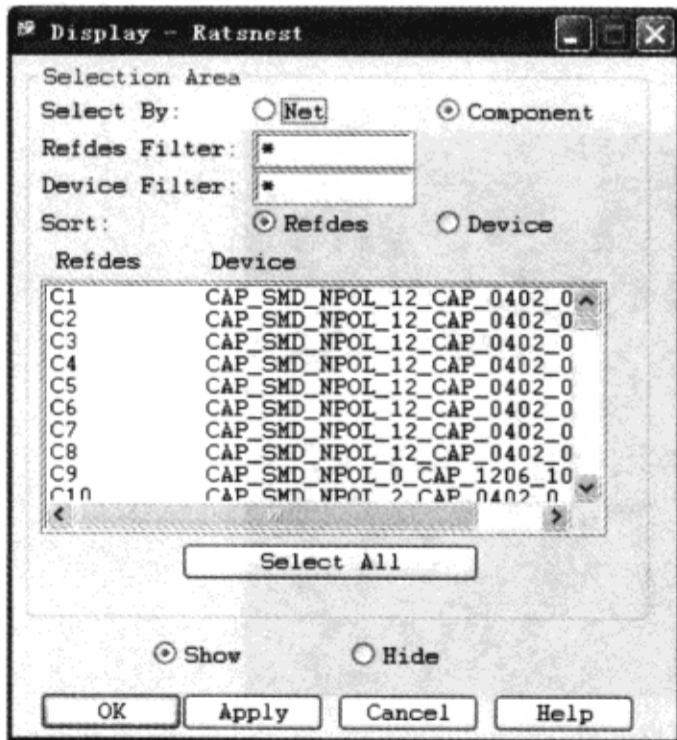


图 3-10-72 “Display - Ratsnest”对话框

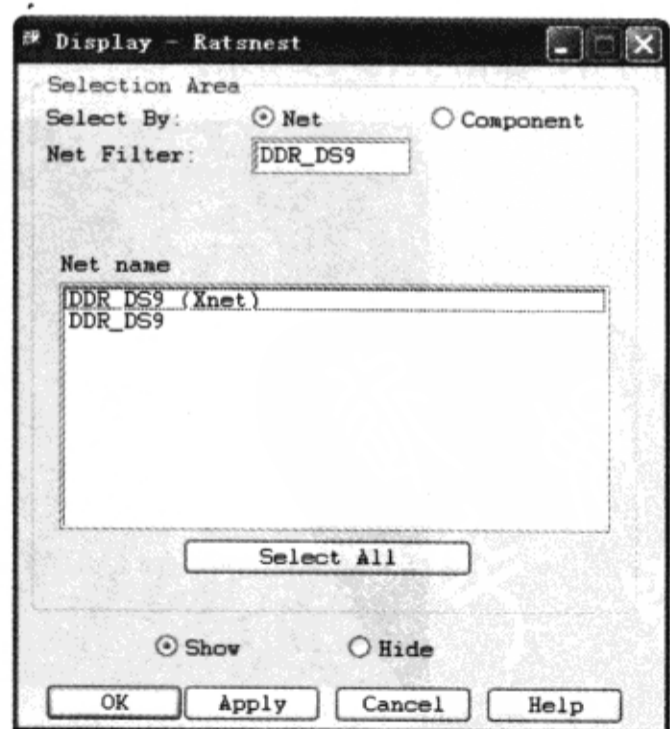


图 3-10-73 “Display - Ratsnest”对话框

(7) 单击“Select All”按钮，显示飞线，如图 3-10-74 所示。

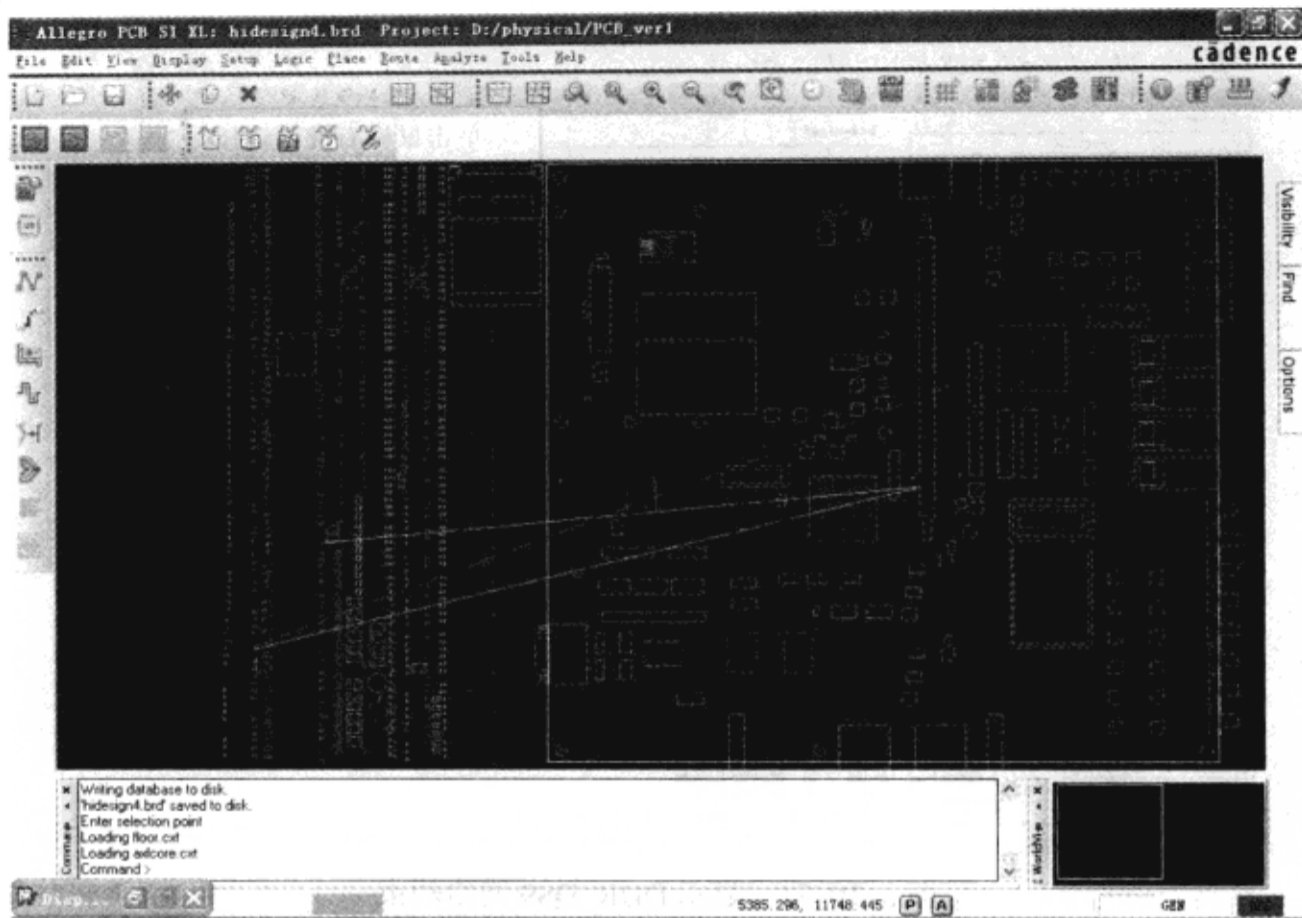


图 3-10-74 显示飞线

(8) 单击“OK”按钮，关闭“Display - Ratsnest”对话框。

(9) 从“Allegro PCB SI XL”对话框中执行菜单命令“Edit”→“Move”，在编辑窗口单击“R240”。

(10) 在命令区域输入“x 6820 5425”并按“Enter”键，元件被放在指定的位置。由于DDR\_DS0的元件R238与R240目前重叠，利用菜单命令“Edit”→“Spin（旋转命令）”将它们分开，如图3-10-75所示。

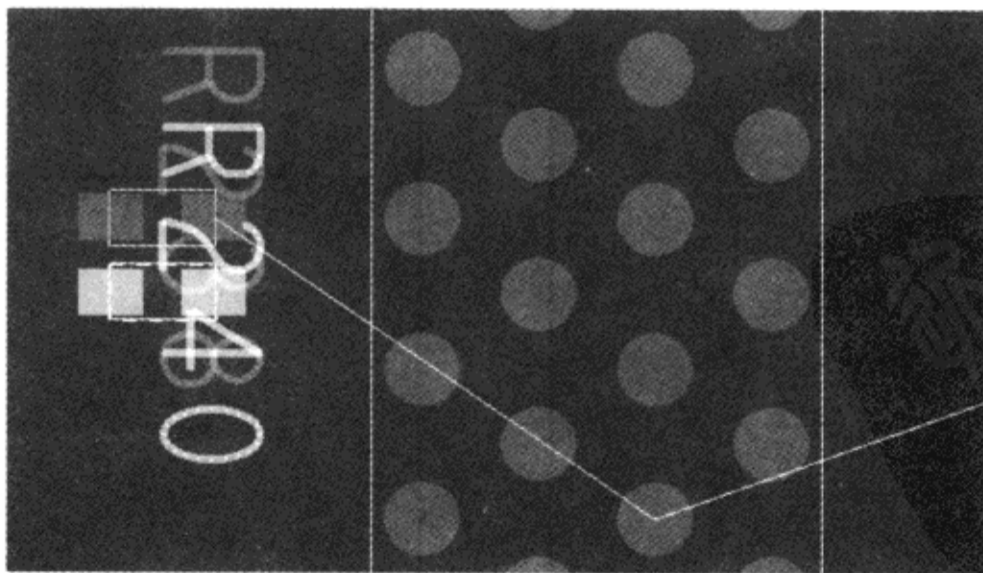


图 3-10-75 调整元件

(11) 在“Allegro Constraint Manager”窗口查看DDR\_Ds9网络的XU1.97:R240.1引脚对的Actual和Margin Max Delay值显示绿色，表明这个引脚对的DRC违背不再存在。表格

中的 Actual 值显示为 284.035mil，有一个 315.965mil 的正差。

(12) 在“Allegro PCB SI XL”窗口单击 R96→在命令区域输入“x 7725 5570”并按“Enter”键→单击鼠标右键→选择“Done”，元件被摆放在指定的位置，并使用“Spin”命令旋转元件，如图 3-10-76 所示。

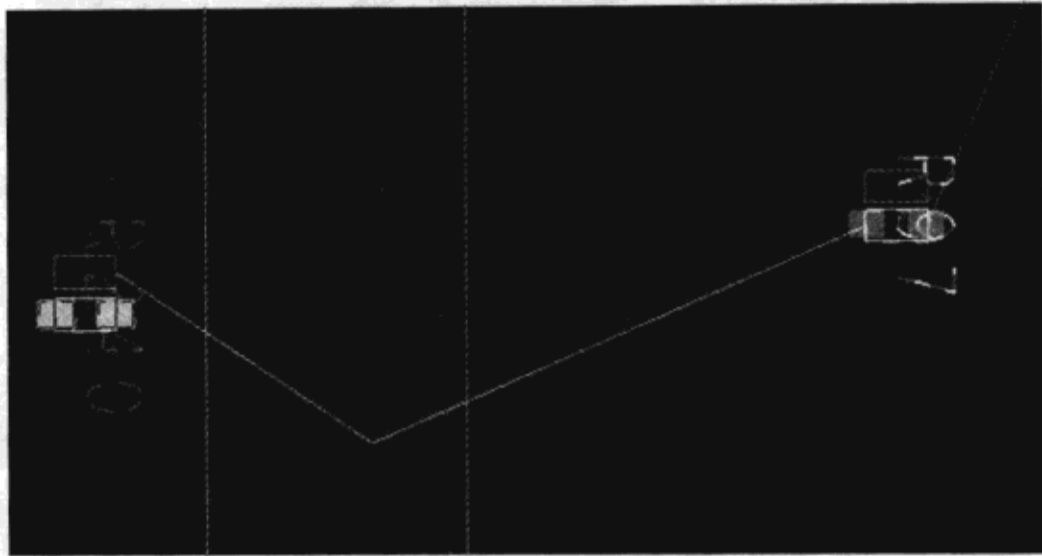
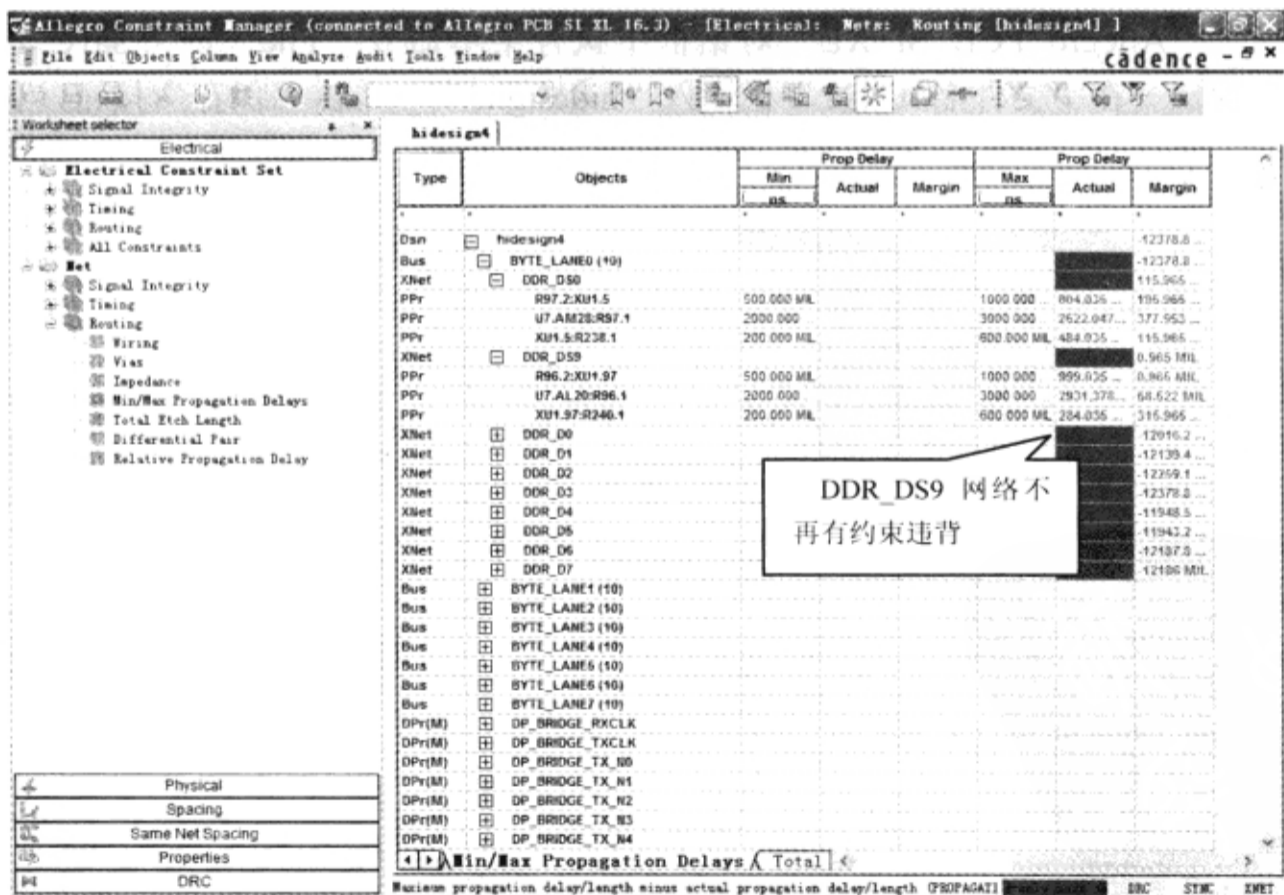


图 3-10-76 调整元件

(13) 在约束管理器右边的表格区域显示 DDR\_DS9 网络，如图 3-10-77 所示，没有红色的约束违背。



Type	Objects	Prop Delay			Prop Delay		
		Min ns	Actual	Margin	Max ns	Actual	Margin
Obj	hidesign4						12378.8
Bus	BYTE_LANE0 (10)						-12378.8
XNet	DDR_DS0						115.965
PPr	R97.2:XB1.5	500 000 ML			1000 000	804.035	105.965
PPr	U7.AM28:RS7.1	2000 000			3000 000	2622.047	377.953
PPr	XU1.5:R238.1	200 000 ML			600 000 ML	484.035	115.965
XNet	DDR_DS9						0.965 MIL
PPr	R96.2:XB1.97	500 000 ML			1000 000	999.035	0.965 MIL
PPr	U7.AL.20:R96.1	2000 000			3000 000	2931.378	64.622 MIL
PPr	XU1.97:R240.1	200 000 ML			600 000 ML	284.035	315.965
XNet	DDR_D0						12016.2
XNet	DDR_D1						-12139.4
XNet	DDR_D2						-12259.1
XNet	DDR_D3						-12378.8
XNet	DDR_D4						-11948.5
XNet	DDR_D5						-11943.2
XNet	DDR_D6						-12187.0
XNet	DDR_D7						-12106 MIL
Bus	BYTE_LANE1 (10)						
Bus	BYTE_LANE2 (10)						
Bus	BYTE_LANE3 (10)						
Bus	BYTE_LANE4 (10)						
Bus	BYTE_LANE5 (10)						
Bus	BYTE_LANE6 (10)						
Bus	BYTE_LANE7 (10)						
DPr(M)	DP_BRIDGE_RXCLK						
DPr(M)	DP_BRIDGE_TXCLK						
DPr(M)	DP_BRIDGE_TX_N0						
DPr(M)	DP_BRIDGE_TX_N1						
DPr(M)	DP_BRIDGE_TX_N2						
DPr(M)	DP_BRIDGE_TX_N3						
DPr(M)	DP_BRIDGE_TX_N4						

图 3-10-77 查看约束

(14) 摆放其他元器件于板框上（可参考文件 hidesign5.brd），如图 3-10-78 所示。



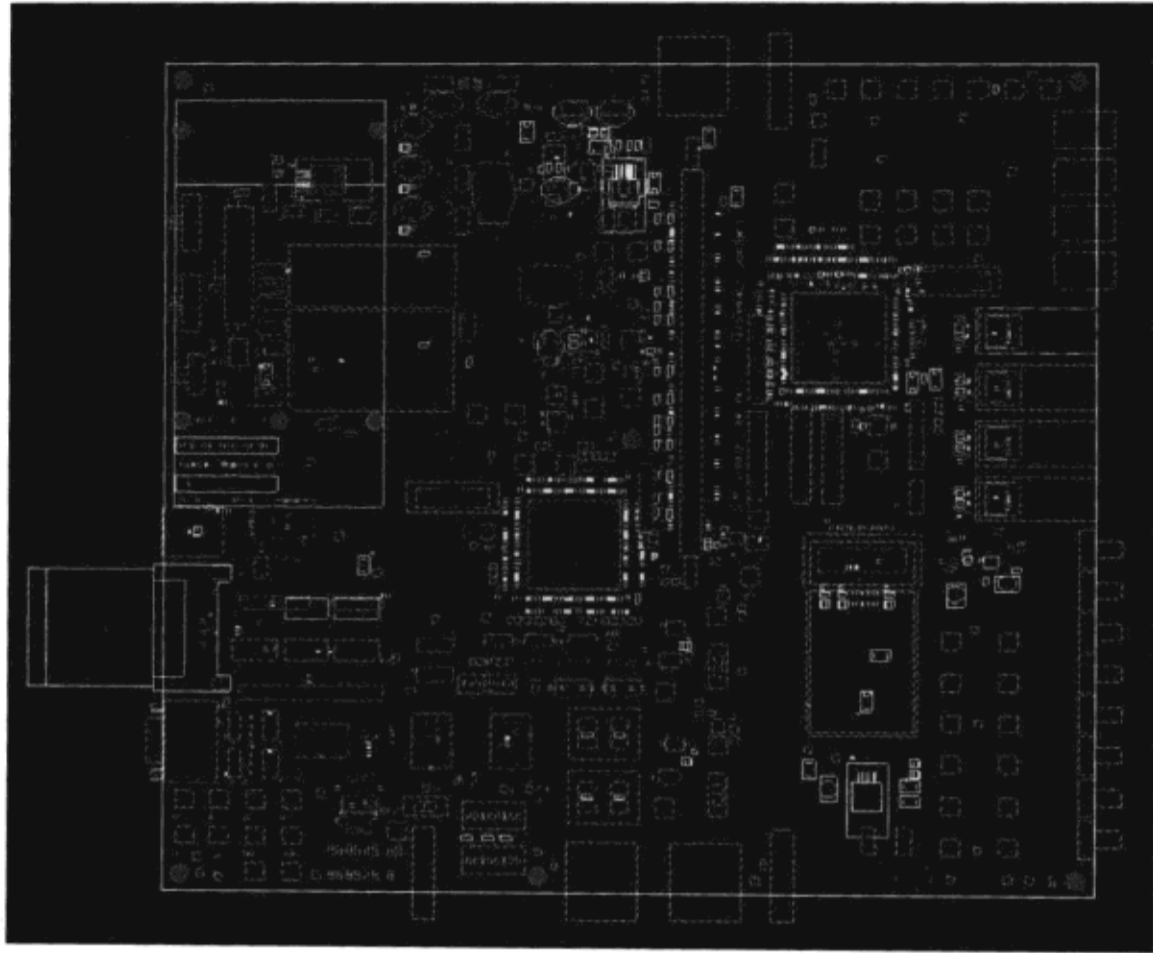


图 3-10-78 元器件布局图

(15) 从“Allegro PCB SI XL”对话框中执行菜单命令“File”→“Save as”，弹出“Save as”窗口→在“文件名(N):”栏输入“hidesign5”→单击“保存”按钮，保存 PCB 文件。

# 第4章 约束驱动布线

## 4.1 学习目标

本章主要学习 PCB 约束驱动布线的方法。约束驱动布线包括手工布线和自动布线，这两种布线方法各有优缺点。通过本章的学习，应该掌握这两种基本的布线方法，并体会这两种布线方法各自的优缺点。

## 4.2 手工布线

**【本节目的】** 学习对某一网络进行手工布线的方法。

**【使用软件】** Allegro PCB SI XL, Allegro Constraint Manager。

**【使用文件】** physical\PCB\_ver1\hidesign5.brd, physical\PCB\_ver1\hidesign\_manroute.brd。

### 1. 手工为 DDR\_DS0 网络布线

#### 1) 显示 DDR\_DS0 网络的飞线

(1) 启动“Allegro PCB SI XL”，打开 D:\physical\PCB\_ver1\hidesign5.brd 文件。

(2) 执行菜单命令“Display”→“Ratsnest”，弹出“Display-Ratsnest”对话框，如图 4-2-1 所示。

(3) 选中“Selection Area”区域“Select By”栏“Net”前面的单选按钮，如图 4-2-2 所示。

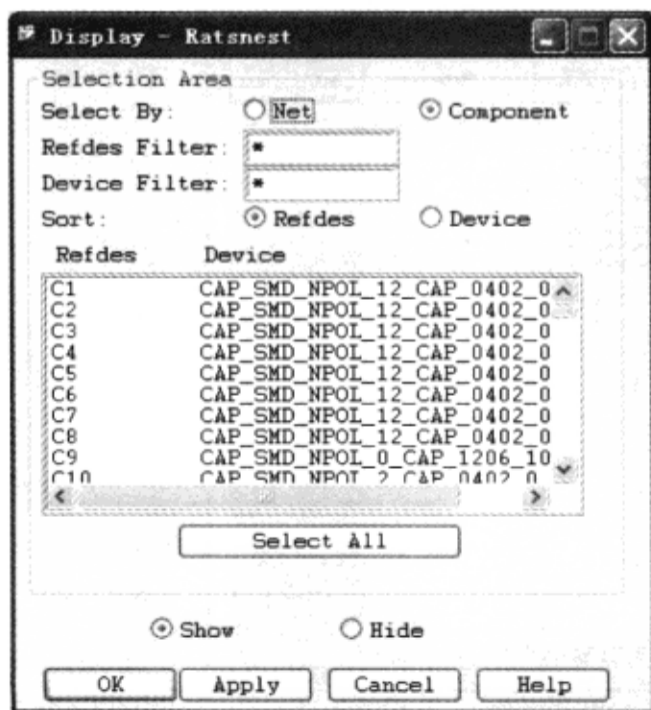


图 4-2-1 “Display-Ratsnest”对话框 (1)

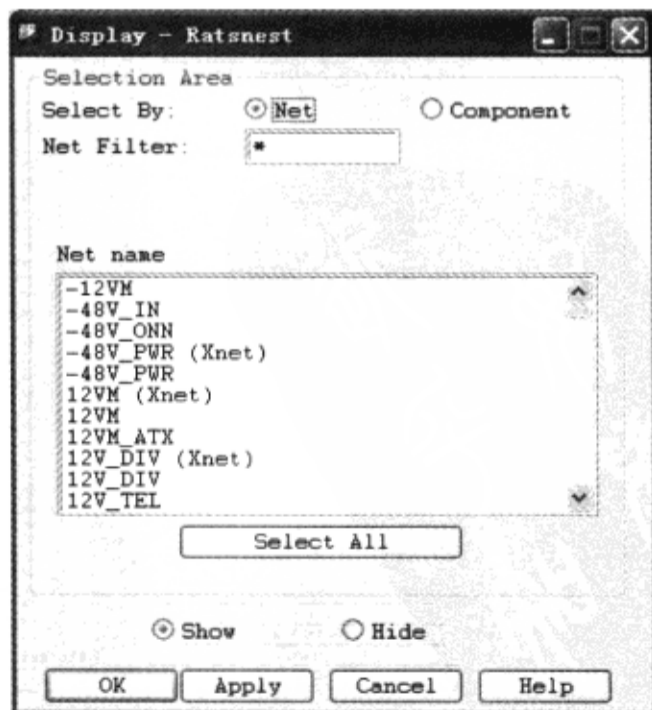


图 4-2-2 “Display-Ratsnest”对话框 (2)

(4) 在“Net Filter”栏中输入“DDR\_DS0”并按“Tab”键，如图4-2-3所示，列表框中仅有与DDR\_DS0相关的网络。

(5) 确认选择了“Display - Ratsnest”对话框底部“Show”前面的单选按钮→单击“Select All”按钮，显示DDR\_DS0网络的飞线，如图4-2-4所示。



图 4-2-3 选择网络

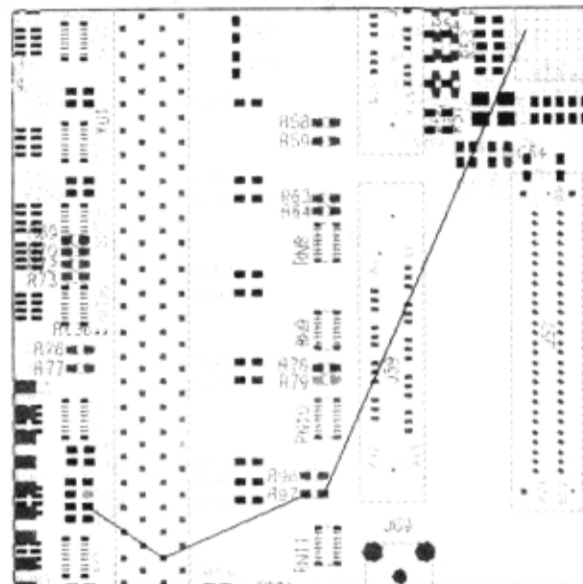


图 4-2-4 显示飞线

(6) 单击“OK”按钮，关闭“Display - Ratsnest”对话框。

2) 在“Allegro Constraint Manager”窗口选择DDR\_DS0网络

(1) 执行菜单命令“Setup”→“Constraints”→“Electrical...”，弹出“Allegro Constraint Manager”窗口。

(2) 单击“OK”按钮，关闭“Tip of the Day”窗口。

(3) 在“Allegro Constraint Manager”窗口左侧列表框单击“Net”→“Routing”→“Min/Max Propagation Delays”表格符号，如图4-2-5所示。

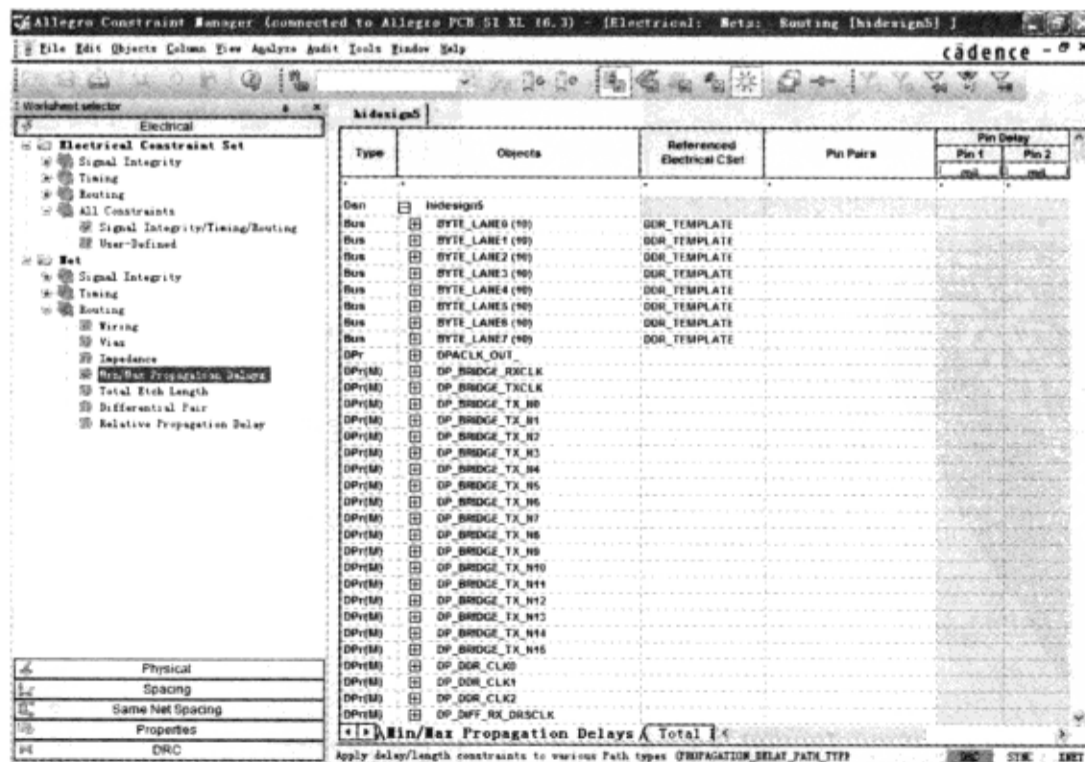


图 4-2-5 约束管理器

- (4) 单击 Allegro Constraint Manager 表格中“Objects”栏“BYTE\_LANE0”前的“+”号。
- (5) 单击表格中“DDR\_DS0”前面的“+”号，显示引脚对，如图 4-2-6 所示。

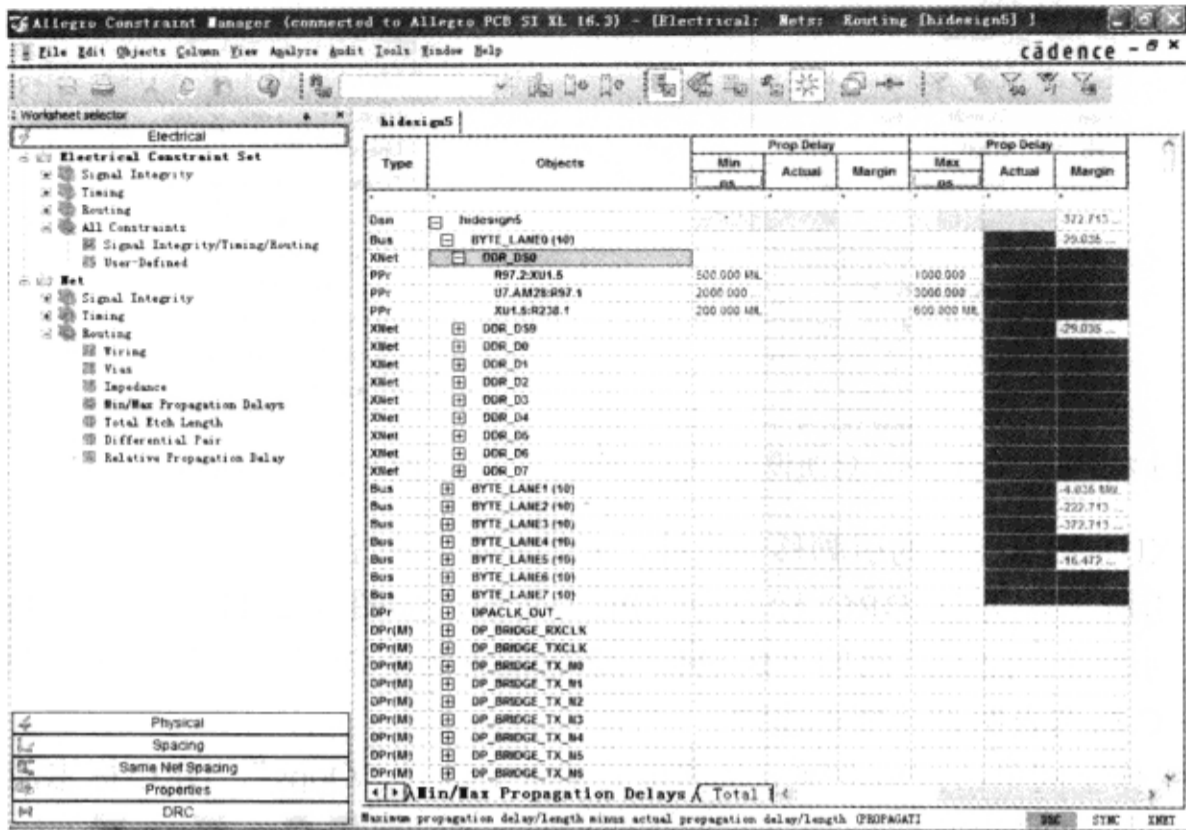


图 4-2-6 DDR\_DS0 网络引脚对的约束

### 3) 为 DDR\_DS0 网络手工布线

(1) 在“Allegro PCB SI XL”窗口执行菜单命令“Zoom By Points”→单击鼠标左键并拖动鼠标→建立一个包围 R238 的矩形区域，如图 4-2-7 所示。

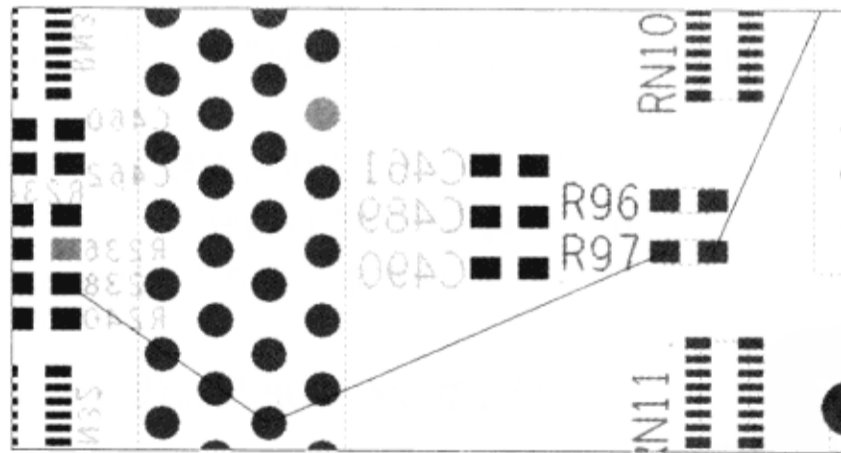


图 4-2-7 显示引脚

(2) 执行菜单命令“Route”→“Connect”，控制面板的“Options”页面设置如图 4-2-8 所示。

(3) 单击 R238 显示飞线的引脚，“Options”页面“Net”显示 Ddr\_Strobe0 网络和“Via”区域显示“<20R10VIA>”（Ddr\_Strobe0 网络是 DDR\_DS0 网络的一部分），如图 4-2-9 所示，可以看到在界面底部出现一个条框，显示了当前网络的 Delay 约束情况，如图 4-2-10 所示。



图 4-2-8 “Options” 页面设置

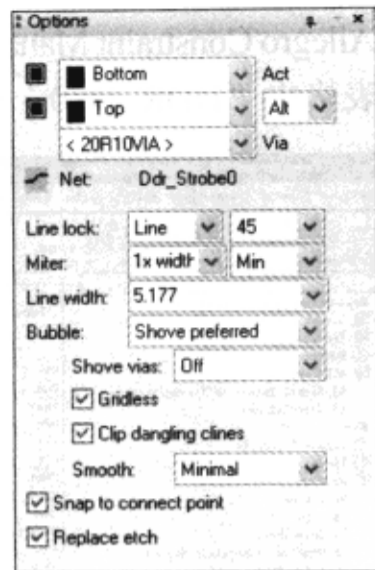


图 4-2-9 “Options” 页面

(4) 向 XU1 显示飞线的引脚移动指针，开始布线，在空间中单击一点，可以看到 DRC 标志出现在引脚上，并且 DRC 标志有“PL”文本，如图 4-2-11 所示。这是一个引脚到线的设计规则违背。控制面板的“Bubble”选项设置为“Off”，允许完成布线。当完成布线，出现 DRC 标志表明设计规则违背。

(5) 在工作空间单击鼠标右键→从弹出的菜单中选择“Oops”，DRC 标志消失。

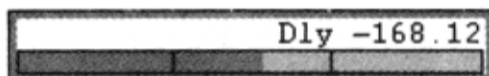


图 4-2-10 开始布线

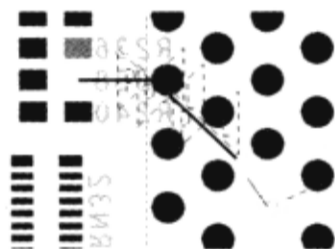


图 4-2-11 DRC 错误

(6) 在控制面板的“Options”页面，改变“Bubble”选项为“Hug Preferred”→继续布线并移动指针到 XU1 的 5 号引脚。

(7) 单击 XU1 的 5 号引脚，可以看到已经完成的布线没有 DRC 违背。布线将按照“Options”页面的“Bubble”选项在障碍物周围设置自动避让，如图 4-2-12 所示。

(8) 在工作空间单击鼠标右键→从弹出的菜单中选择“Swap Layers”（交换层面），“Options”页面显示 TOP 层是“Act”层。

(9) 单击 XU1 的 5 号引脚→拖动指针继续在 TOP 层布线→单击 R97 的 2 号引脚，如图 4-2-13 所示。

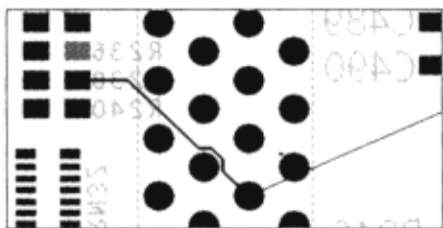


图 4-2-12 自动避让

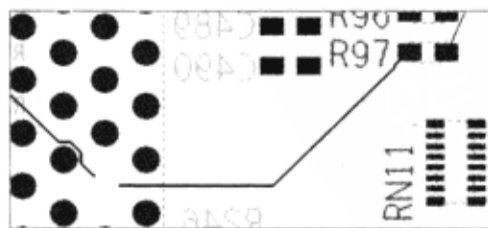


图 4-2-13 布线

(10) 单击 R97 的 1 号引脚→拖动指针继续在 TOP 层布线→沿飞线到 U7 的 AM28 引脚→单击该引脚→单击鼠标右键→从弹出的菜单中选择“Done”完成，如图 4-2-14 所示。



## 2. 布线后调整

### 1) 使用“Slide”命令修改布线

(1) 执行菜单命令“Route”→“Slide”，控制面板的“Options”页面设置如图 4-2-15 所示。

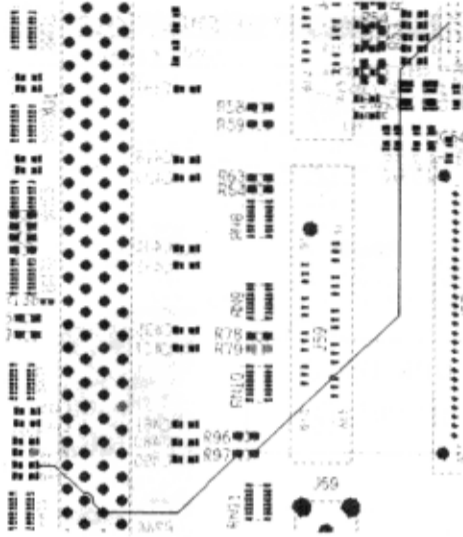


图 4-2-14 平行布线



图 4-2-15 “Options” 页面设置

- Corners: 45、90 或 Arc。
- Max 45 Len: 输入期望的斜线长度。
- Bubble: Off、Hug preferred 或 Shove preferred。
- Allow DRCs: 显示 DRC 警告标志。
- Gridless: 是否在格点上对布线进行调整。
- Add at max: 不限制斜线的长度
- Vias with segments: 移动布线线段时允许/禁止贯穿孔
- Ts with segments: 移动布线线段时允许/禁止 T 点

(2) 单击 R238 与 XU1 之间的布线→移动布线→调整好后单击鼠标右键→从弹出的菜单中选择“Done”，如图 4-2-16 所示。

(3) 调整 U7 与 R97 之间的布线，调整后如图 4-2-17 所示。

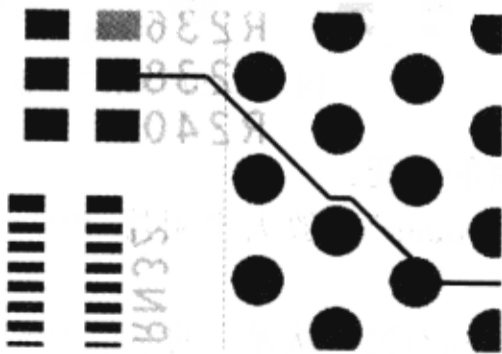


图 4-2-16 调整布线 (1)

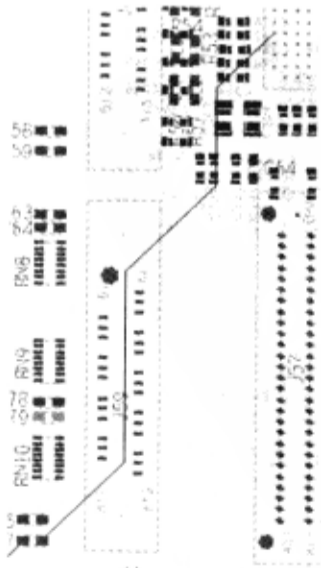


图 4-2-17 调整布线 (2)

(4) 使“Allegro Constraint Manager”窗口前端显示，DDR\_DS0 的表格中显示绿色的值，表示没有约束违背，如图 4-2-18 所示。

(5) 从“Allegro Constraint Manager”窗口执行菜单命令“File”→“Close”，退出约束管理器。

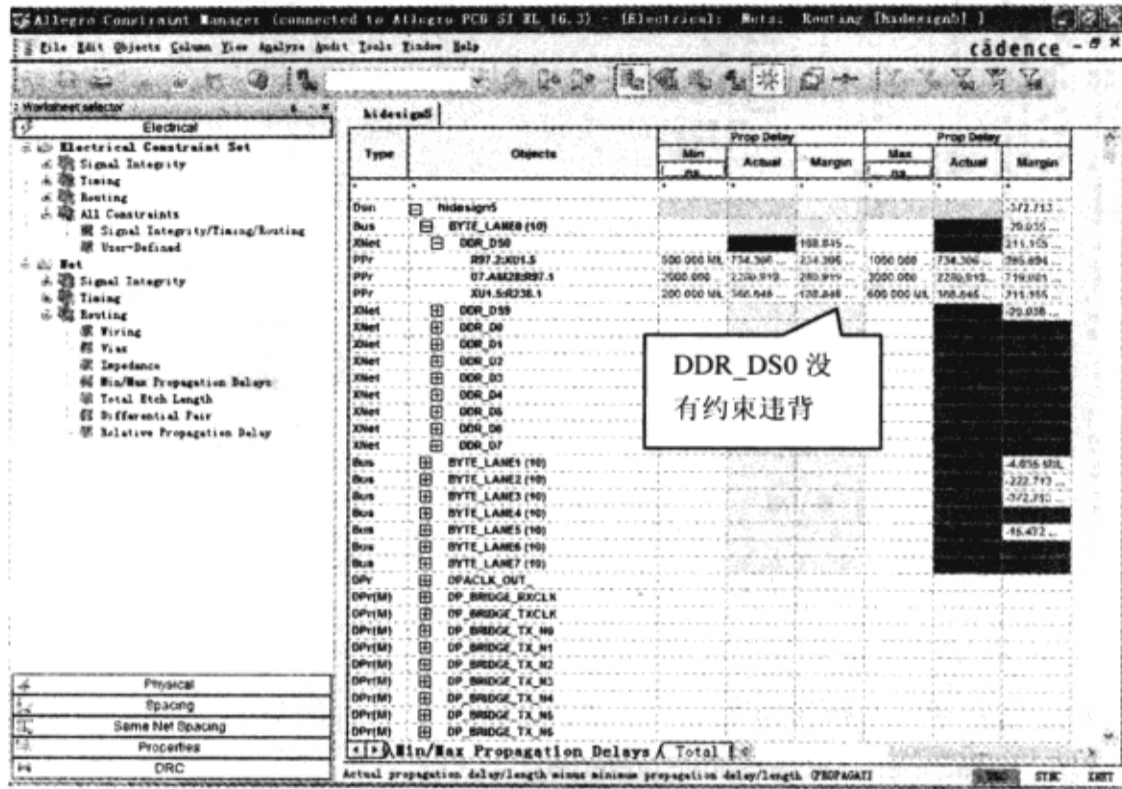


图 4-2-18 DDR\_DS0 的约束

## 2) 改变布线的宽度和文本大小

(1) 执行菜单命令“Edit”→“Change”，控制面板的“Options”页面设置如图 4-2-19 所示。

(2) 单击 DDR\_DS0 网络的 R238 与 XU1 的引脚间的布线，布线变宽，但是会有 DRC 标志出现，如图 4-2-20 所示。

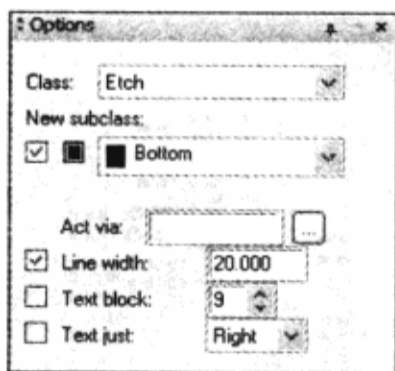


图 4-2-19 “Options” 页面设置

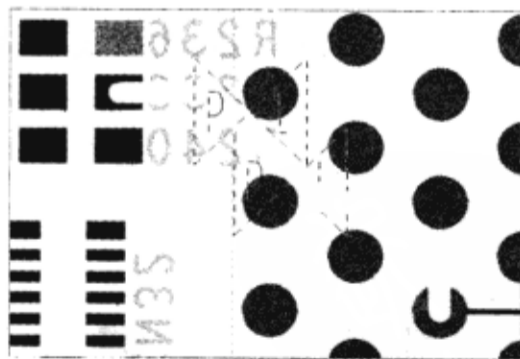


图 4-2-20 DRC 错误

(3) 单击鼠标右键→选择“Oops”，撤销线宽的改变。

(4) 执行菜单命令“View”→“Zoom By Points”，放大电阻排 R97 的显示→改变“Options”页面如图 4-2-21 所示。

(5) 单击文本“R97”→该文本变大→单击鼠标右键→从弹出的菜单中选择“Cancel”，取消已做的变化。

- (6) 执行菜单命令“File”→“Save As”，弹出“Save As”对话框，如图4-2-22所示。
- (7) 在“文件名(N)”栏中输入“hidesign\_manroute”→单击“保存”按钮，保存文件。

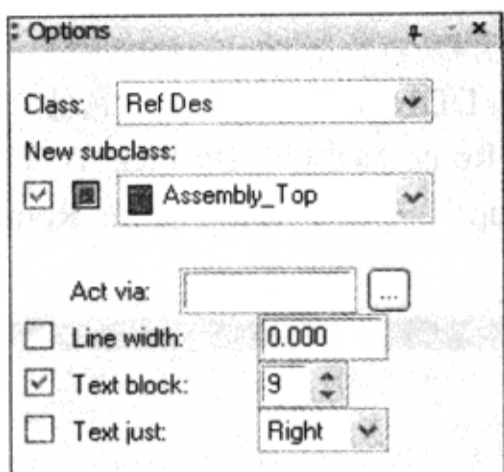


图 4-2-21 “Options” 页面设置



图 4-2-22 “Save As” 对话框

### 4.3 自动布线

**【本节目的】** 学习对某一网络自动布线的方法。

**【使用工具】** Allegro PCB SI XL, Allegro Constraint Manager。

**【使用文件】** physical\PCB\_ver1\hidesign5.brd, physical\PCB\_ver1\hidesign\_autoroute。

#### 1. 为 DDR\_DS0 和 DDR\_DS9 网络自动布线

##### 1) 显示 DDR\_DS0 和 DDR\_DS9 网络的飞线

(1) 在“Allegro PCB SI XL”窗口中执行菜单命令“File”→“Open”，打开 D:\physical\PCB\_ver1\hidesign5.brd 文件。

(2) 执行菜单命令“Display”→“Ratsnest”，弹出“Display-Ratsnest”对话框，如图4-3-1所示。

(3) 确认选中“Selection Area”区域“Select By”栏“Net”前的单选按钮。

(4) 在“Net Filter”栏中输入“DDR\_DS?”并按“Tab”键，如图4-3-2所示。

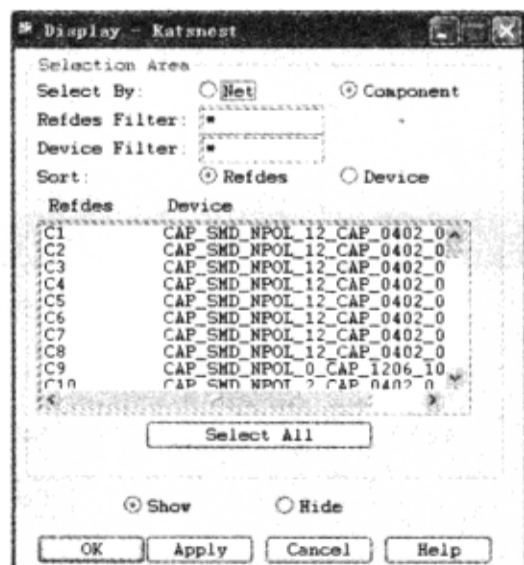


图 4-3-1 “Display-Ratsnest” 对话框



图 4-3-2 选择网络

(5) 选中“Display-Ratsnest”对话框中“Show”前的单选按钮。

(6) 单击列表框中的“DDR\_DS0 (Xnet)”、“DDR\_DS0”、“DDR\_DS9 (Xnet)”和“DDR\_DS9”，显示 DDR\_DS0 和 DDR\_DS9 飞线，如图 4-3-3 所示。

(7) 单击“OK”按钮，关闭“Display-Ratsnest”对话框。

2) 使用“Route Net by Pick”命令为 DDR\_DS0 和 DDR\_DS9 网络自动布线

(1) 执行菜单命令“Route”→“PCB Router”→“Route Net (s) By Pick”，在工作空间内任意地方单击鼠标右键→从弹出的菜单中选择“Setup”→弹出“Automatic Router”对话框，如图 4-3-4 所示。

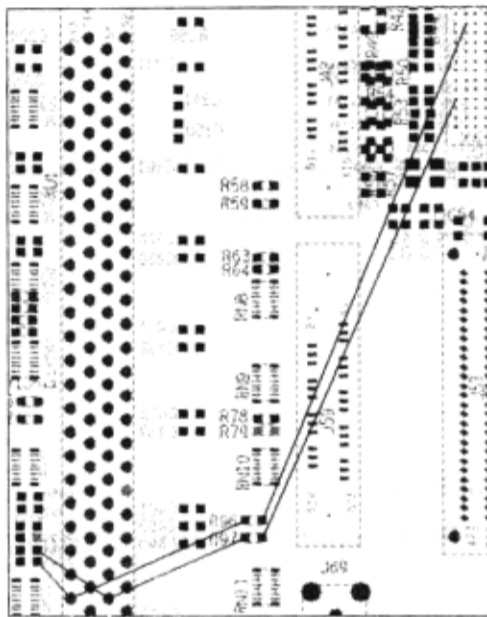


图 4-3-3 显示 DDR\_DS0 和 DDR\_DS9 飞线

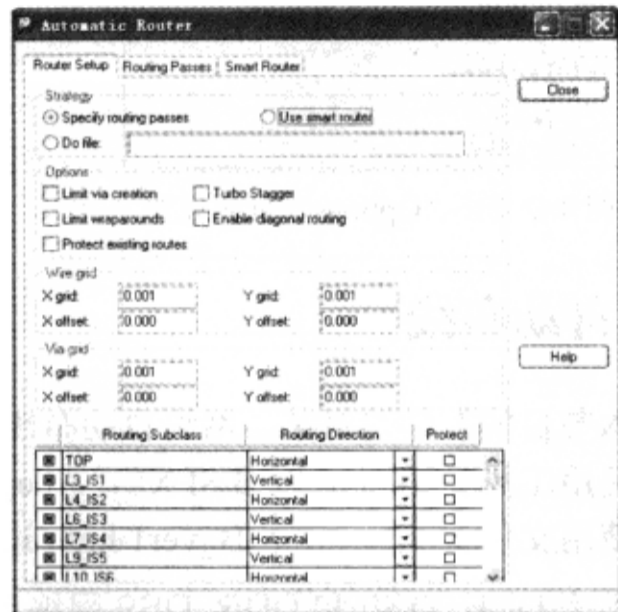


图 4-3-4 “Automatic Router”对话框

(2) 在“Router Setup”标签页中选中“Use Smart Router”前的单选按钮，如图 4-3-5 所示。

(3) 单击“Close”按钮，关闭“Automatic Router”对话框。

(4) 单击并按住鼠标左键→在任意显示两个飞线的部分画一个选择框→弹出布线进度窗口，如图 4-3-6 所示，当进度窗口不显示时说明布线完成。



图 4-3-5 “Router Setup”页面

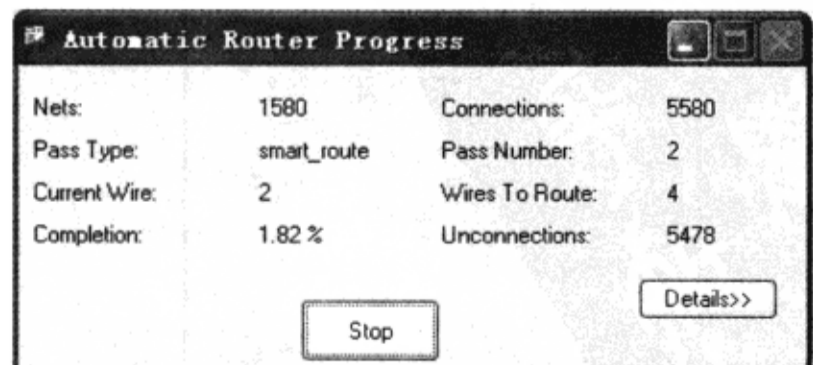


图 4-3-6 布线进度窗口

(5) 在工作空间的任意地方单击鼠标右键→从弹出的菜单中选择“Done”，结束布线，如图 4-3-7 所示。

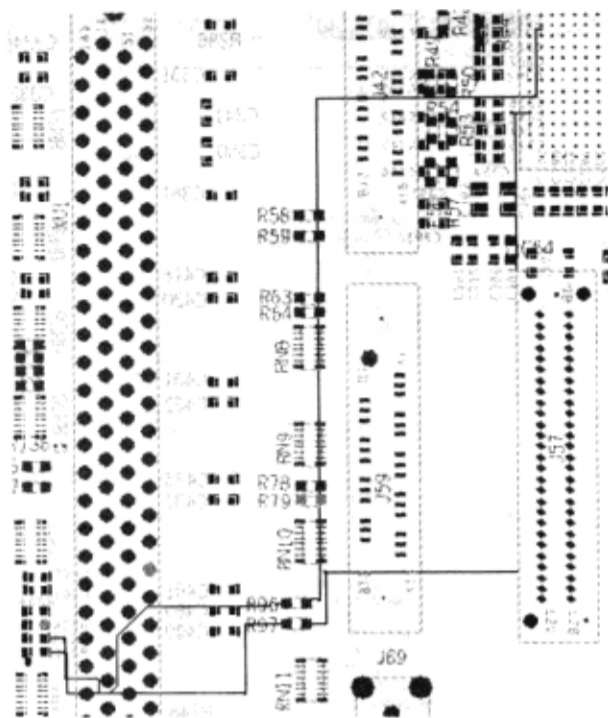


图 4-3-7 自动布线

(6) 执行菜单命令“File”→“Save as”，保存文件于 D:\physical\PCB\_ver1 目录，文件名为“hidesign\_autoroute”。

## 2. 检查已布线延时约束

(1) 执行菜单命令“Setup”→“Constraints”→“Electrical...”，打开“Allegro Constraint Manager”窗口，如图 4-3-8 所示。

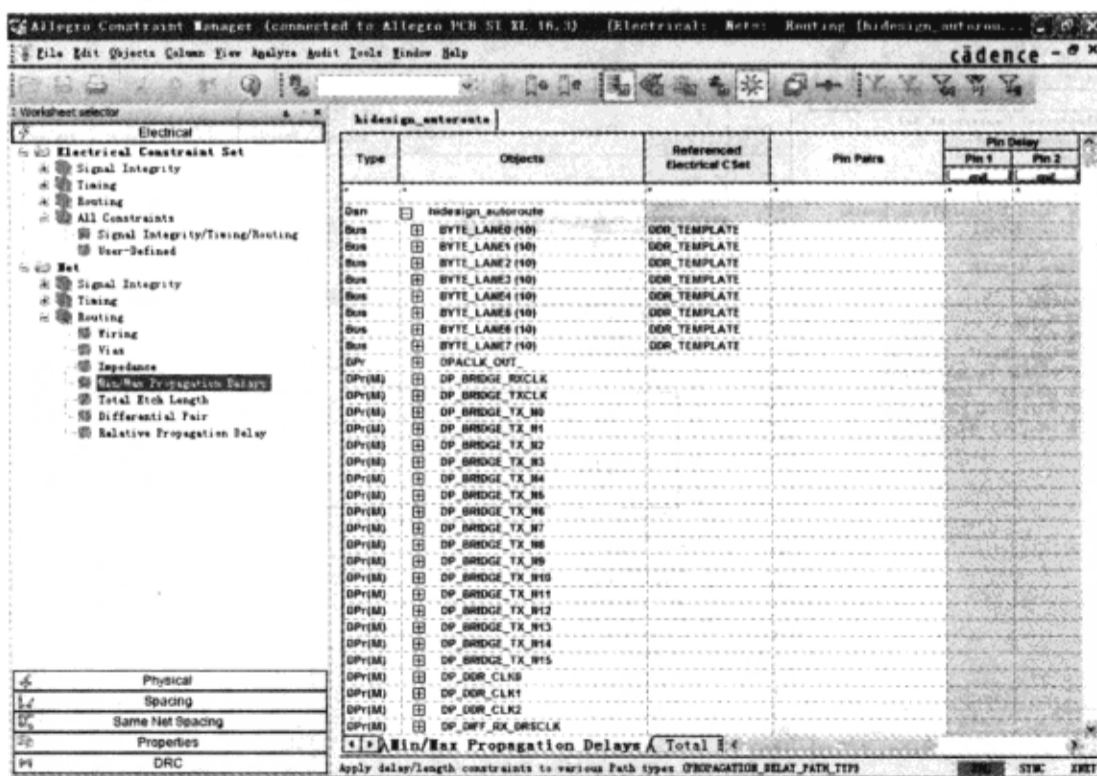


图 4-3-8 “Allegro Constraint Manager” 窗口



(2) 单击 Allegro Constraint Manager 表格中 “Objects” 栏 “BYTE\_LANE0” 前的 “+” 号, 如图 4-3-9 所示。

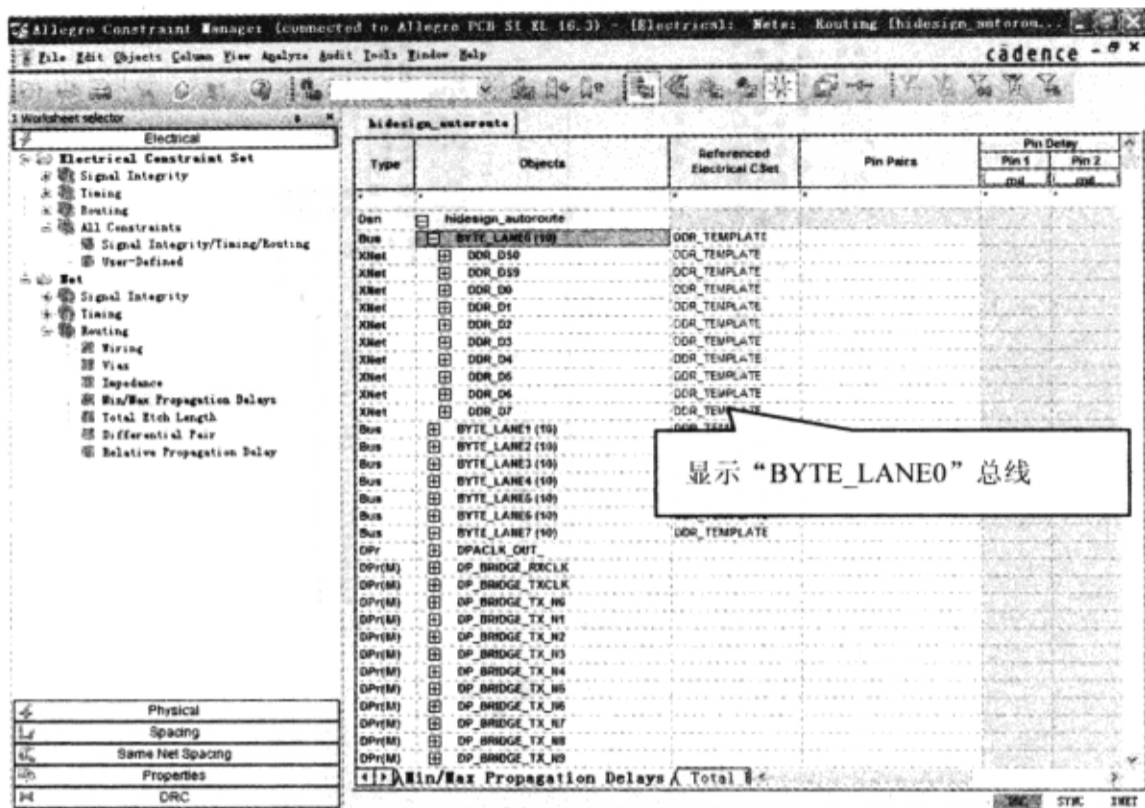


图 4-3-9 约束管理器

(3) 选择 “DDR\_DS0” → 按住 “Ctrl” 键 → 选择 “DDR\_DS9”, 从选择的 “Objects” 单元格单击鼠标右键 → 从弹出的菜单中选择 “Analyze”, “Margin” 栏有绿色的值显示, 如图 4-3-10 所示。

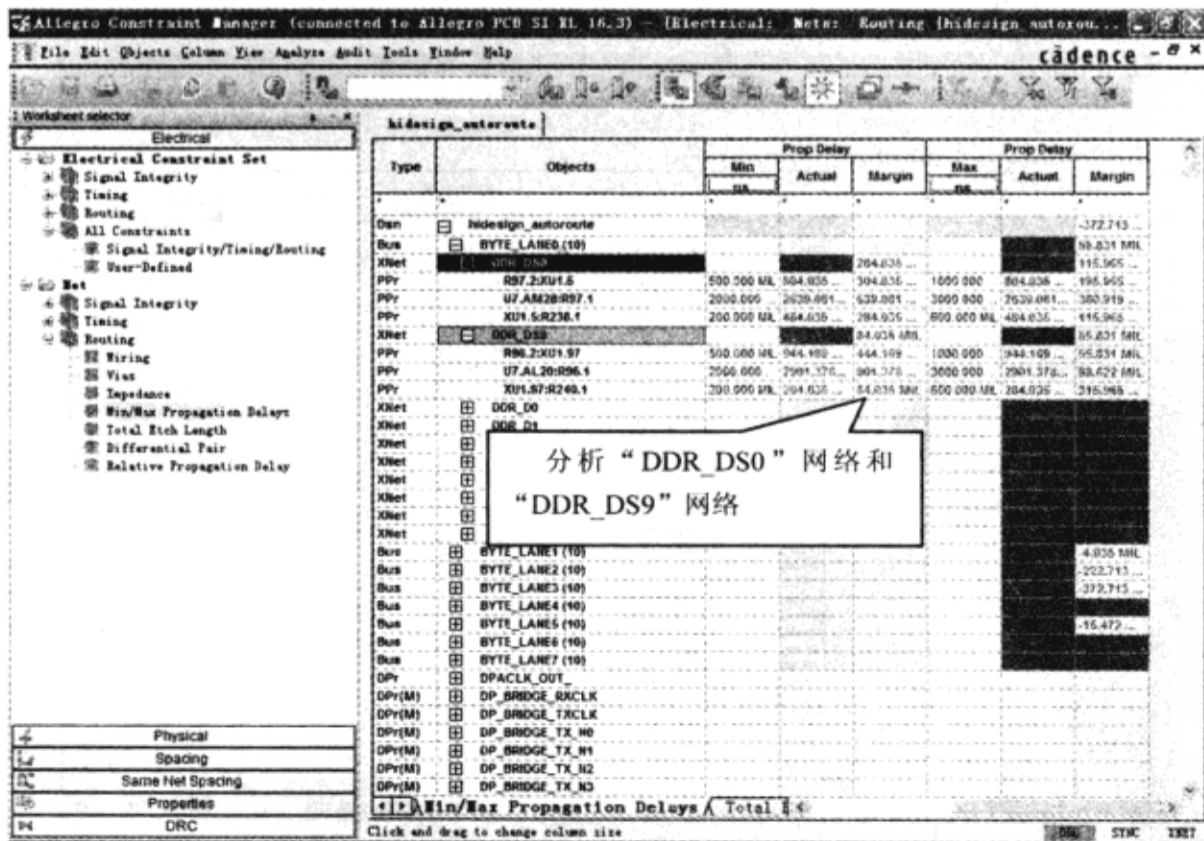


图 4-3-10 分析网络的约束

(4) 选择“Prop Delay”的“Max Delay”栏的“Margin”单元格→从鼠标右键菜单中选择“Sort”。Margin 单元格的值会按升序排列，如图 4-3-11 所示。

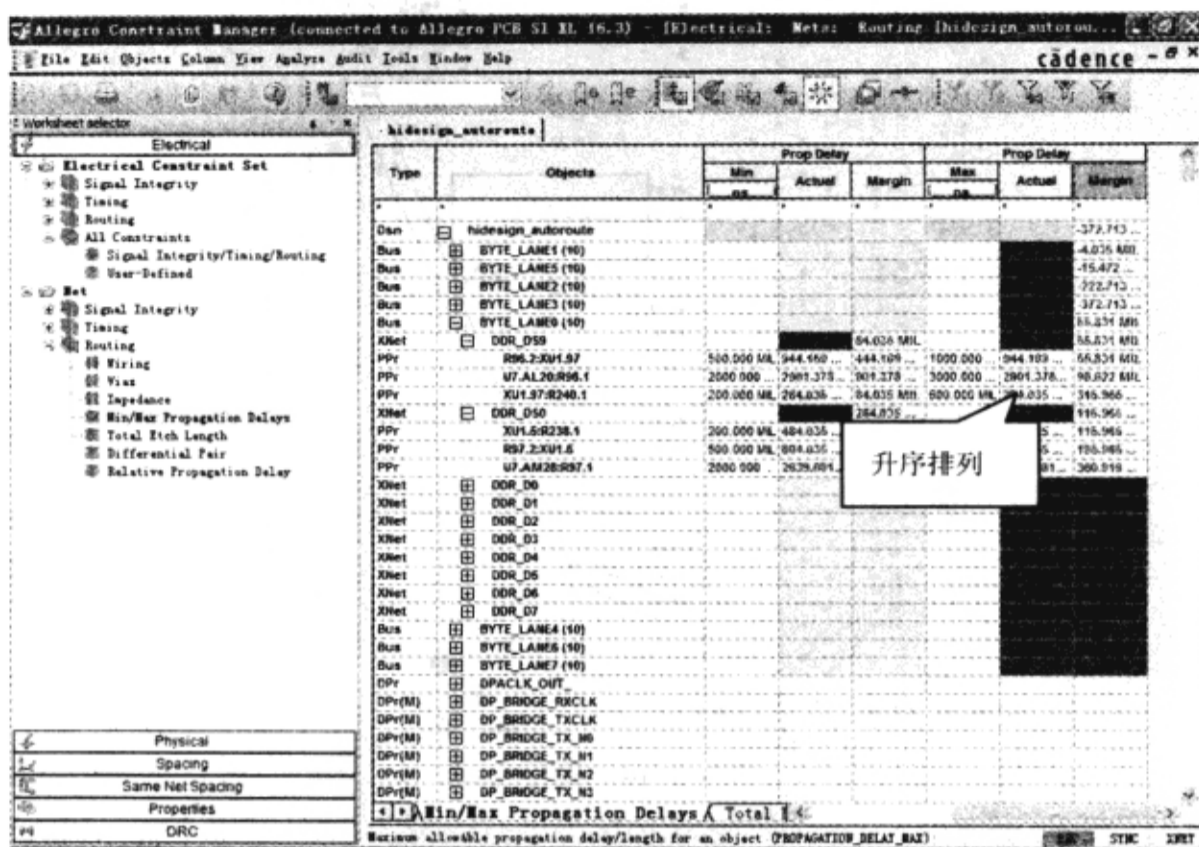


图 4-3-11 约束管理器

### 3. 使用 Automatic Router 自动布线

- (1) 执行菜单命令“Edit”→“Delete”，控制面板的“Find”页面设置如图 4-3-12 所示。
- (2) 控制面板的“Options”页面设置如图 4-3-13 所示。

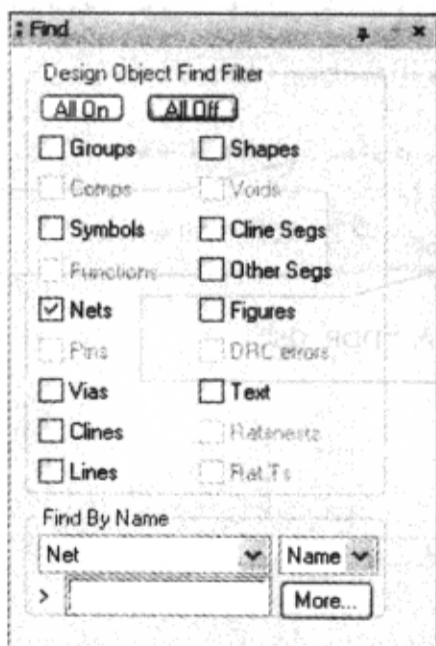


图 4-3-12 “Find”页设置

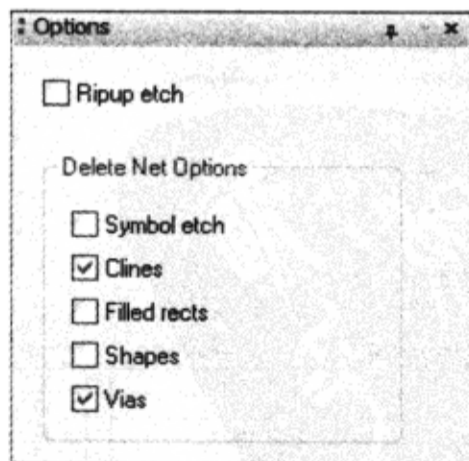


图 4-3-13 “Options”页面设置

- (3) 单击并按住鼠标左键→框住两条已布的线（部分），两个网络的所有部分都高亮显示。
- (4) 单击鼠标右键→从弹出的菜单中选择“Done”，删除布线，如图 4-3-14 所示。

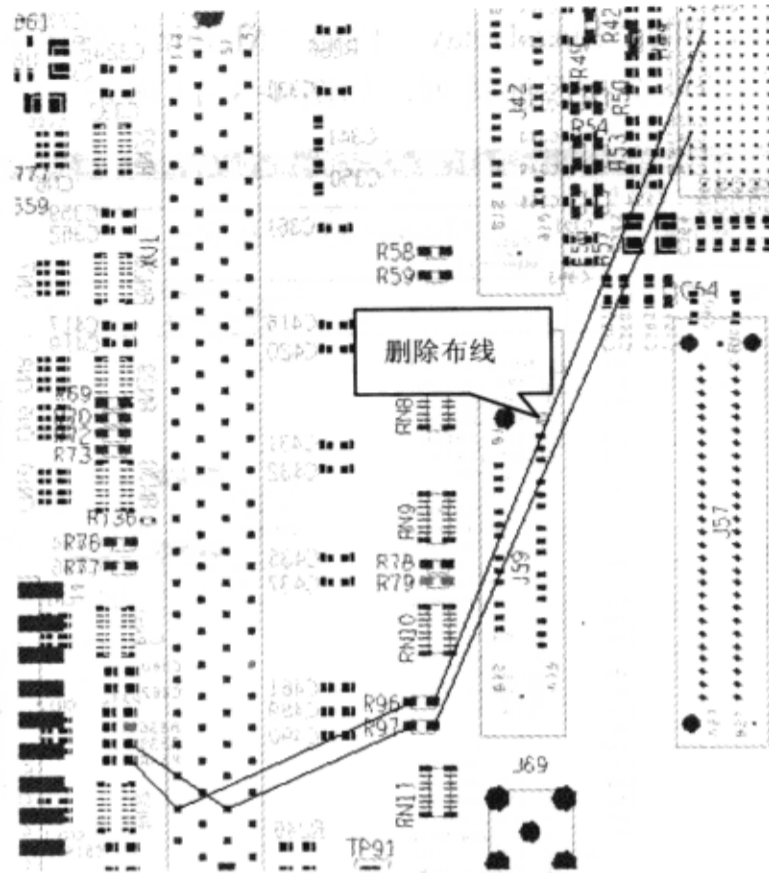


图 4-3-14 删除布线

(5) 执行菜单命令“Route” → “PCB Router” → “Route Automatic”，弹出“Automatic Router”对话框，如图 4-3-15 所示，“Use smart router”仍被选择。

(6) 在“Automatic Router”对话框中选择“Selections”标签页，选中“All selected” → 在“Available objects”区域的“Filter”栏中输入“DDR\_DS?”并按“Tab”键，显示 DDR\_DS0 到 DDR\_DS9 的网络，如图 4-3-16 所示。

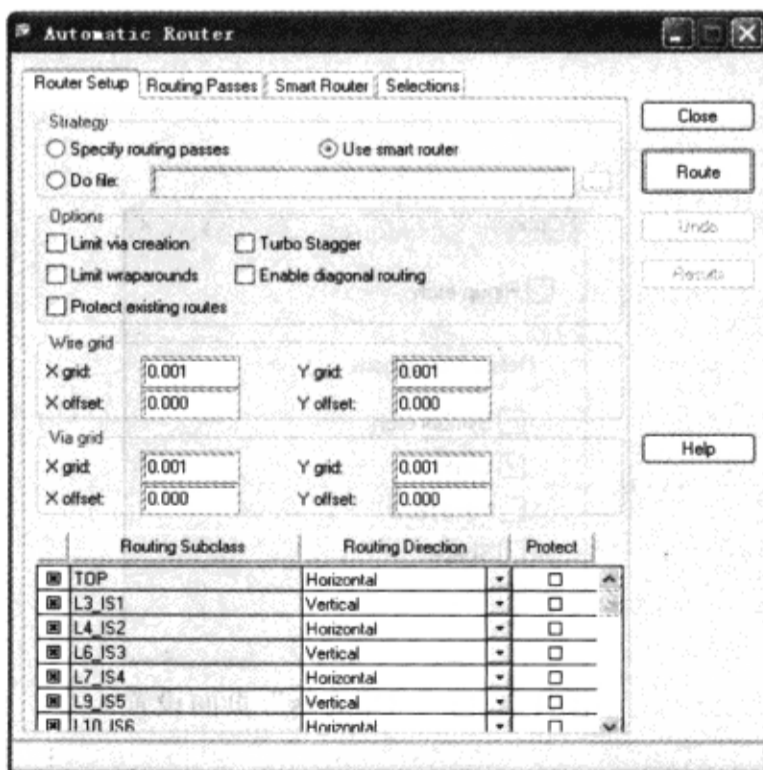


图 4-3-15 “Automatic Router”对话框

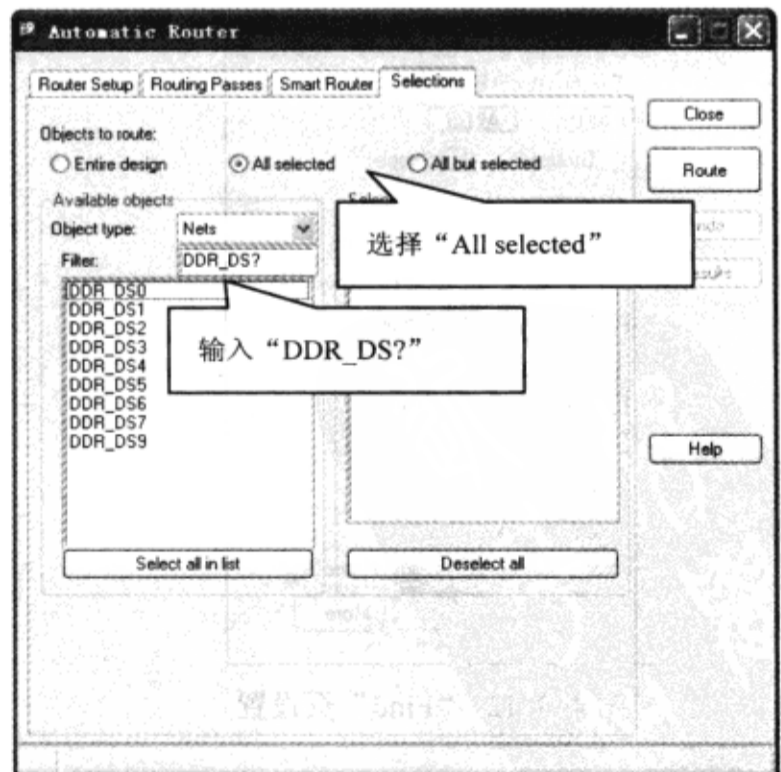


图 4-3-16 “Selections”标签页参数设置

(7) 在“Available objects”列表框中选择“DDR\_DS0”和“DDR\_DS9”，这两个网络被移到右边的“Selected objects”列表框，如图4-3-17所示。

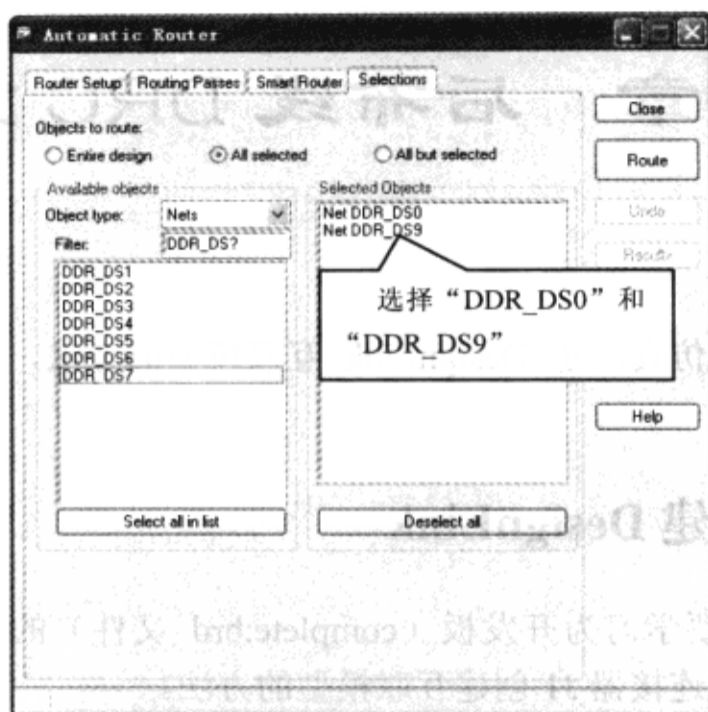


图 4-3-17 选择网络

(8) 在“Automatic Router”对话框单击“Route”按钮，弹出布线进度窗口，如图4-3-18所示。当布线进度窗口消失时，布线完成，“Automatic Router”对话框重新显示。

(9) 单击“Automatic Router”对话框的“Close”按钮，关闭对话框。布完线的图如图4-3-19所示。

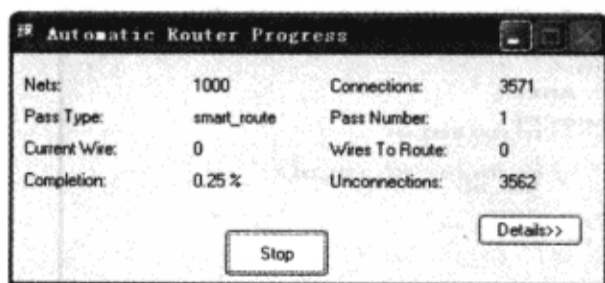


图 4-3-18 布线进度窗口

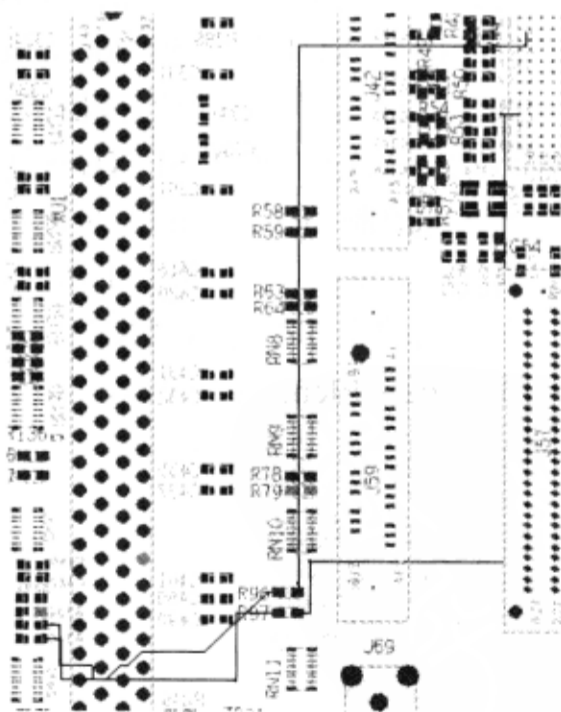


图 4-3-19 布完线的图

(10) 执行菜单命令“File”→“Save as”，保存文件于 D:\physical\PCB\_ver1 目录，文件名为“hidesign\_autorouter”。

# 第5章 后布线 DRC 分析

## 5.1 学习目标

本章主要学习为多板仿真创建 DesignLink 互联模型的方法，然后对其进行布线后仿真的方法。

## 5.2 为多板仿真创建 DesignLink

**【本节目的】** 本节主要学习为开发板（complete.brd 文件）的连接器 XU1 和内存模块（ddr\_module.brd 文件）的连接器 J1 创建互联模型的方法。

**【使用工具】** Allegro PCB SI XL。

**【使用文件】** physical\PCB\_ver1\complete.brd, physical\PCB\_ver1\ddr\_module.brd。

### 1. 获取连接器信息

本例中，需要仿真的网络 DDR\_DS0 通过连接器 XU1 连接到 ddr\_module.brd 的连接器 J1 上，所以在进行后布线仿真时，需要进行多板仿真。在两个 PCB 间建立设计连接前，应该获取被连到一起建立系统设计的 PCB 的连接器的信息，还需要知道两个连接器是如何彼此连接的。连接器 XU1 连接到 ddr\_module.brd 存储器 PCB 上的连接器 J1，ddr\_module.brd 是一个插入式的存储器，两个连接器彼此插入，没有使用电缆来连接连接器 XU1 和 J1。

(1) 启动 Allegro PCB SI XL → 打开 complete.brd 文件 → 执行菜单命令“Display” → “Element” → 在控制面板“Find”页面的“Find By Name”部分，从下拉菜单中选择“Comp (or Pin)”和“Name”，如图 5-2-1 所示。

(2) 在下面的文本框输入“XU1” → 按“Tab”键 → 编辑窗口放大显示高亮的元器件 XU1 → 弹出“Show Element”窗口，如图 5-2-2 所示，显示与元器件 XU1 有关的所有信息。

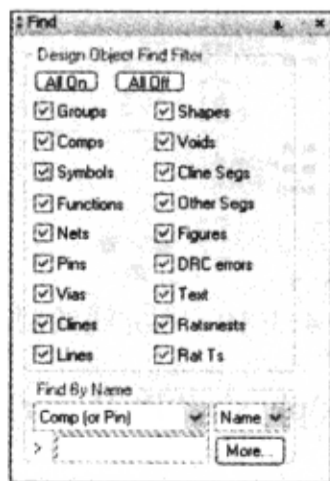


图 5-2-1 “Find”页面设置



图 5-2-2 显示信息



(3) 在“Show Element”窗口读取 Pin IO 信息，引脚序号列在“Pin”栏→滚动列表查看引脚，引脚编号从 1 到 184。ddr\_module.brd 的连接器 J1 的引脚配置类似于 complete.brd 的 XU1 连接器的引脚配置。

(4) 关闭“Show Element”窗口。

(5) 单击鼠标右键→选择“Done”，完成信息获取。

## 2. 建立 DesignLink

(1) 执行菜单命令“Analyze”→“SI/EMI Sim”→“Model Browser...”，显示“SI Model Browser”对话框，如图 5-2-3 所示。

(2) 在“SI Model Browser”对话框中单击“Library Mgmt”按钮，弹出“DML Library Management”对话框，如图 5-2-4 所示。默认工作目录是 dimm\_discretes.dml，建立的 DesignLink 模型将写入这个目录中。



图 5-2-3 “SI Model Browser”对话框

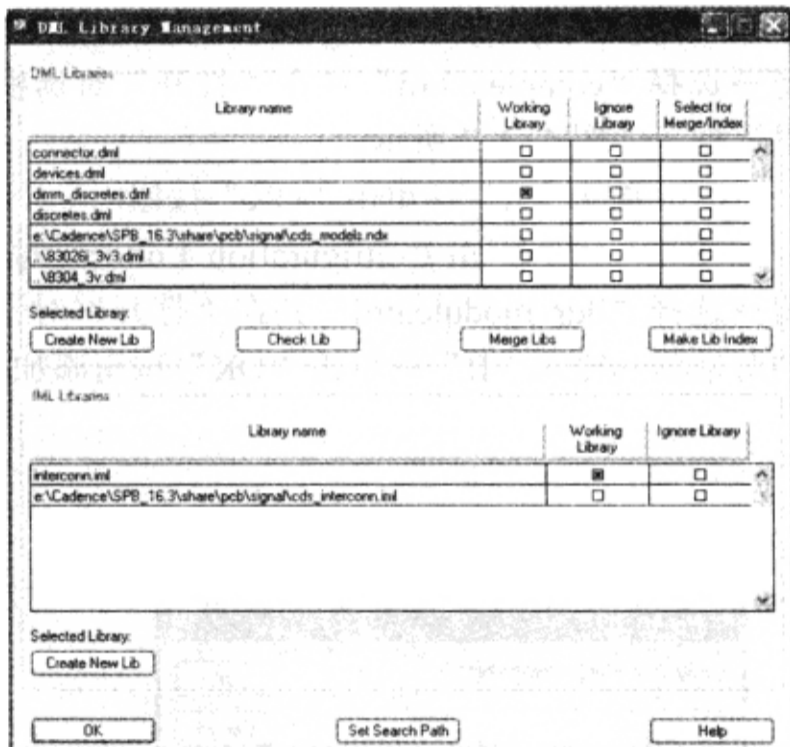


图 5-2-4 “DML Library Management”对话框

(3) 在“SI Model Browser”对话框中单击“Add →”按钮→从弹出的菜单中选择“DesignLink”→弹出“Allegro PCB SI XL”对话框→输入新的 DesignLink 模型名“HtoDDR”，如图 5-2-5 所示。

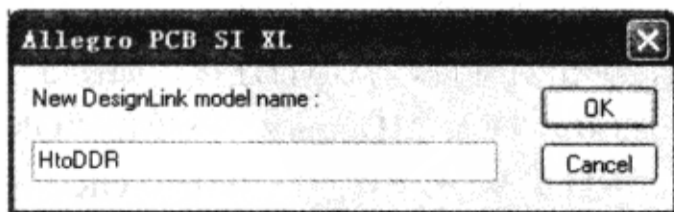


图 5-2-5 “Allegro PCB SI XL”对话框

(4) 单击“OK”按钮，关闭该对话框。新的 designlink 被添加到模型库中。

(5) 在“SI Model Browser”对话框中单击“Edit”按钮，弹出“System Configuration Editor”对话框，如图 5-2-6 所示，所有区域都是空的。

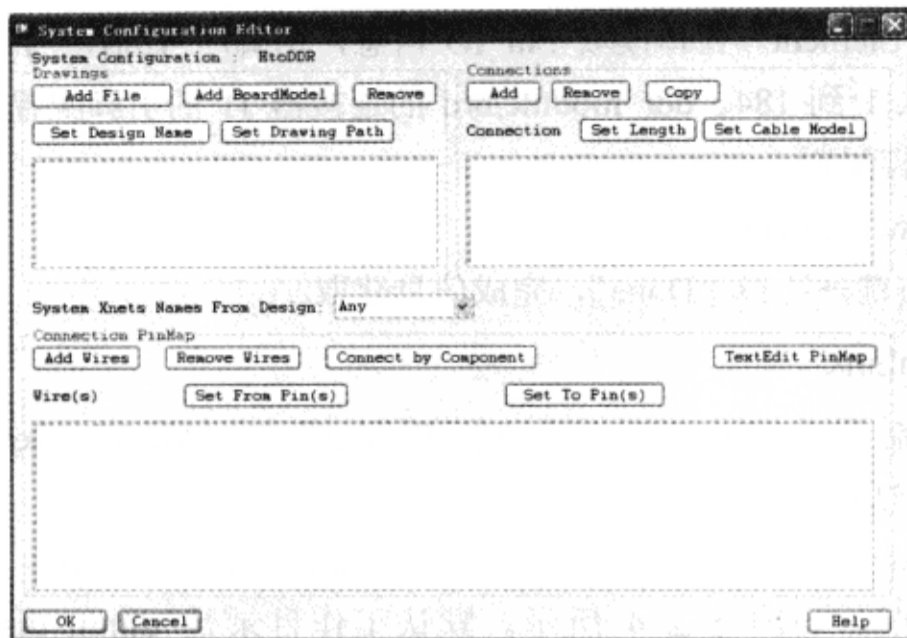


图 5-2-6 “System Configuration Editor” 对话框

(6) 在“System Configuration Editor”对话框的“Drawings”区域单击“Add File”按钮→选择“complete.brd”并在“打开”对话框中单击“打开”按钮→添加文件，弹出新的对话框，如图 5-2-7 所示。

(7) 输入“A”→单击“OK”按钮。

(8) 在“System Configuration Editor”对话框的“Drawings”区域单击“Add File”按钮→选择“ddr\_module.brd”并在“打开”对话框中单击“打开”按钮→添加文件，弹出新的对话框→输入“B”→单击“OK”按钮添加 PCB 文件，如图 5-2-8 所示。

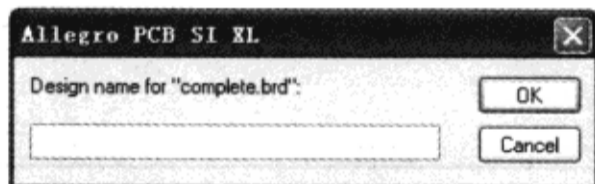


图 5-2-7 添加文件

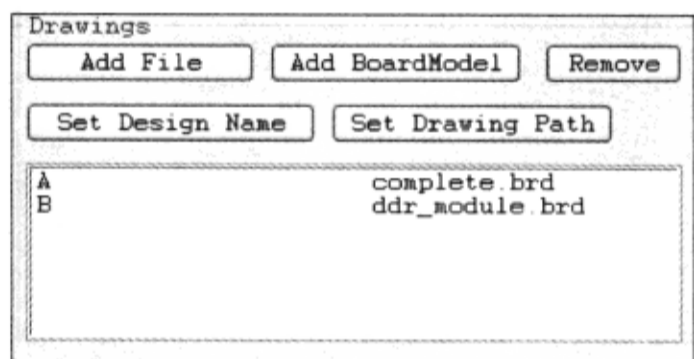


图 5-2-8 添加 PCB 文件

(9) 在“System Configuration Editor”对话框的“Connections”区域单击“Add”按钮，弹出对话框，添加新连接，如图 5-2-9 所示。

(10) 输入“H1A pins”→单击“OK”按钮，弹出对话框，设置连接长度。

(11) 输入“0”→单击“OK”按钮，如果输入了一个为 0 的长度值，“Model Browser”对话框显示允许浏览 Cable 模型并为连接器分配模型，如图 5-2-10 所示。



注意

如果需要添加 Cable 模型建立设计间的连接，单击“Connections”区域的“Set Cable Model”按钮→从信号模型库中浏览选择 Cable 模型，选择的 Cable 模型将显示在“Connections”部分。

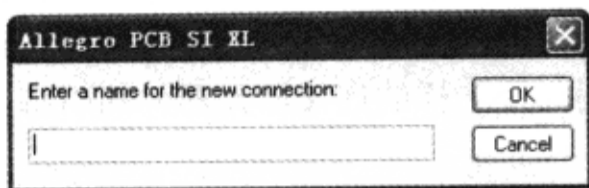


图 5-2-9 添加新连接

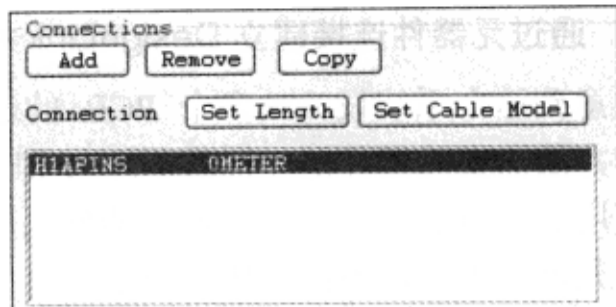


图 5-2-10 建立连接

### 3. 逐个引脚连接建立 Design Link 模型

(1) 在“System Configuration Editor”对话框的“Connections”部分选择 HIAPins 连接。

(2) 在“System Configuration Editor”对话框的“Connection PinMap”区域单击“Add Wires”按钮→在弹出对话框的“First Cable/RLGC Wire Number”栏输入“1”，如图 5-2-11 所示。

(3) 单击“OK”按钮→在下一个弹出对话框的“Number of Cable/RLGC Wires”栏输入“184”→单击“OK”按钮→弹出“First connector pin name”对话框，如图 5-2-12 所示。

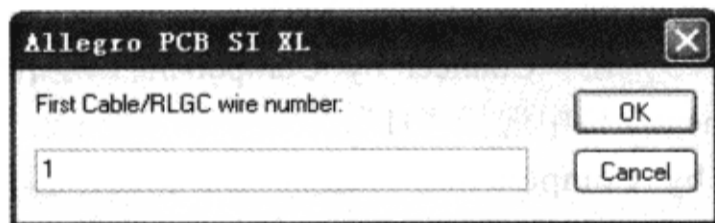


图 5-2-11 添加线号

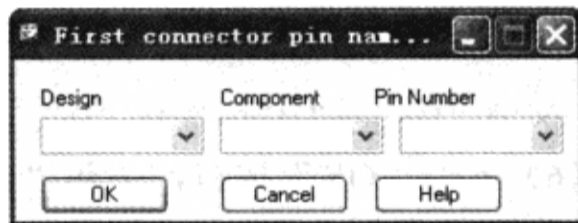


图 5-2-12 “First connector pin name”对话框

(4) 在“First connector pin name”对话框“Design”栏中选择“A”，“Component”栏中选择“XU1”，“Pin Number”栏中选择“1”→单击“OK”按钮→弹出下一个“First connector pin name”对话框。

(5) 在“First connector pin name”对话框“Design”栏中选择“B”，“Component”栏中选择“J1”，“Pin Number”栏中选择“1”→单击“OK”按钮，如图 5-2-13 所示。

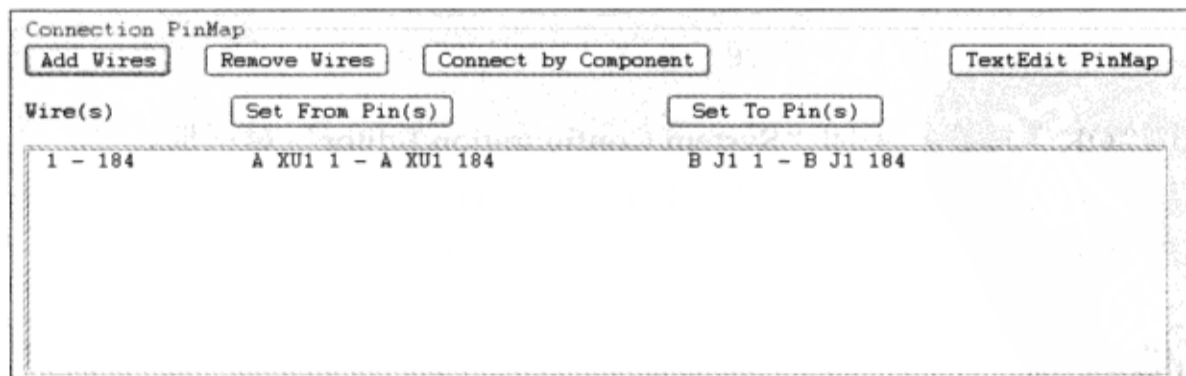


图 5-2-13 增加引脚连接

complete.brd 电路板的 XU1 的 1~184 引脚和 ddr\_module.brd 电路板的 J1 的 1~184 引脚间的引脚连接显示在“Connection PinMap”栏。本例中，引脚名称能够正确匹配，如果连接器的引脚名称不能完全匹配时，需要分段对连接器进行匹配，这里不再赘述。

#### 4. 通过元器件连接建立 DesignLink 模型

注意到这个系统设计的多个 PCB 的连接器是一样的。通过元器件连接建立 DesignLink 模型的方法需要元器件是一样的。XU1 和 J1 连接器有同样的 Pin Number 和类似的 Pin IO 配置。使用这个方法，一个连接器元器件引脚连接到另一个一样的连接器元器件的引脚。如果连接器元器件不同，不能使用该方法。

(1) 在“System Configuration Editor”对话框的“Connections”区域选择“H1Apins”→在“Connection PinMap”栏列表框选中第 1 行→单击“Remove Wires”按钮→选中第 2 行→单击“Remove Wires”按钮。

(2) 在“System Configuration Editor”对话框“System Xnets Names From Design”下拉菜单选择“A”，基于设计 A (complete.brd) 设置系统 Xnet 的名称。

(3) 单击“System Configuration Editor”对话框的“Connection PinMap”区域的

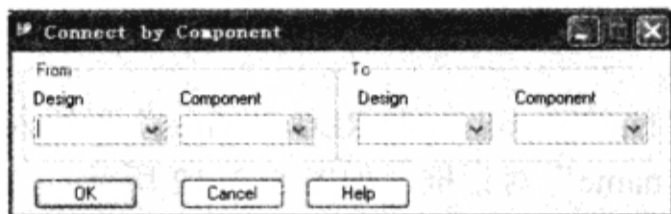


图 5-2-14 “Connect by Component”对话框

“Connect by Component”按钮→弹出“Connect by Component”对话框，如图 5-2-14 所示。

(4) 在“Connect by Component”对话框的“From”区域“Design”栏中选择“A”，“Component”栏中选择“XU1”。

(5) 在“Connect by Component”对话框的“To”区域“Design”栏中选择“B”，“Component”栏中选择“J1”。

(6) 单击“OK”按钮，关闭“Connect by Component”对话框，添加的引脚连接如图 5-2-15 所示。

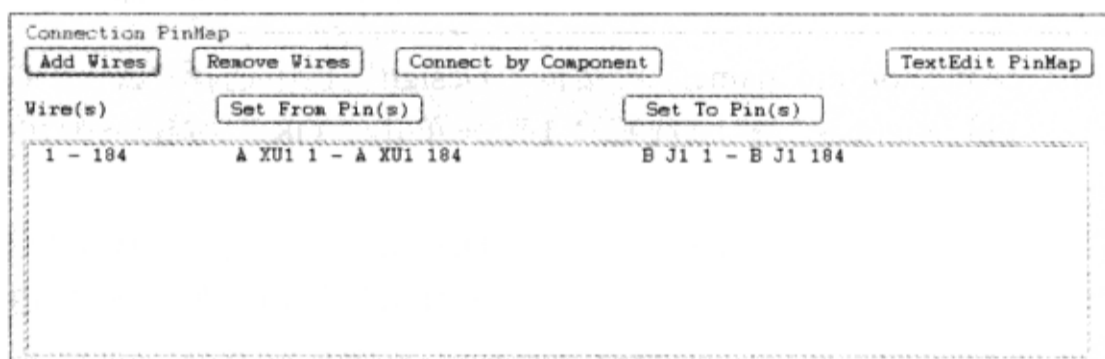


图 5-2-15 引脚连接

(7) 单击“OK”按钮，关闭“System Configuration Editor”对话框。

(8) 单击“Close”按钮，关闭“SI Model Browser”对话框。

(9) 单击“OK”按钮，关闭“DML Library Management”对话框。

### 5.3 后仿真

**【本节目的】**学习 PCB 布线后的仿真，包括反射仿真、综合仿真、窜扰仿真和同步开关噪声 (SSN) 仿真。

**【使用工具】**Allegro PCB SI XL, SigXplorer。

【使用文件】physical\PCB\_ver1\complete.brd, physical\PCB\_ver1\ddr\_module.brd。

### 1. 反射仿真

反射的模型如图 5-3-1 所示, IBIS 器件 RLC 模型如图 5-3-2 所示。

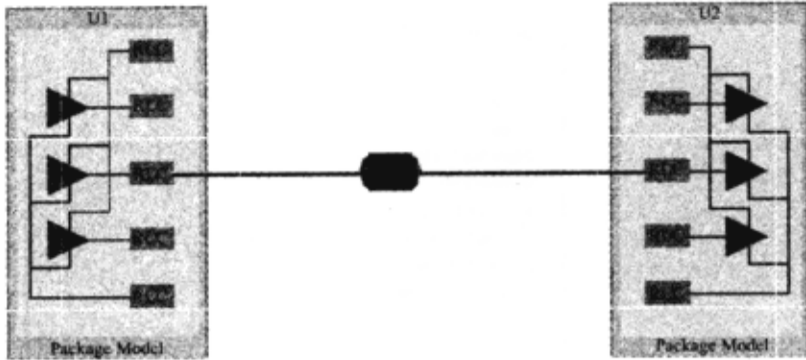


图 5-3-1 反射的模型

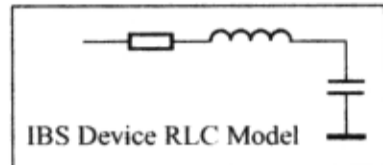


图 5-3-2 IBIS 器件 RLC 模型

#### 1) 建立报告

(1) 在“Allegro PCB SI XL”窗口执行菜单命令“Analyze”→“SI/EMI Sim”→“Initialize”, 弹出“Signal Analysis Initialization”对话框, 如图 5-3-3 所示。

(2) 在“Signal Analysis Initialization”对话框的“System Configuration Setup”区域的“System Configuration”下拉列表中选择“HtoDDR”, 如图 5-3-4 所示。

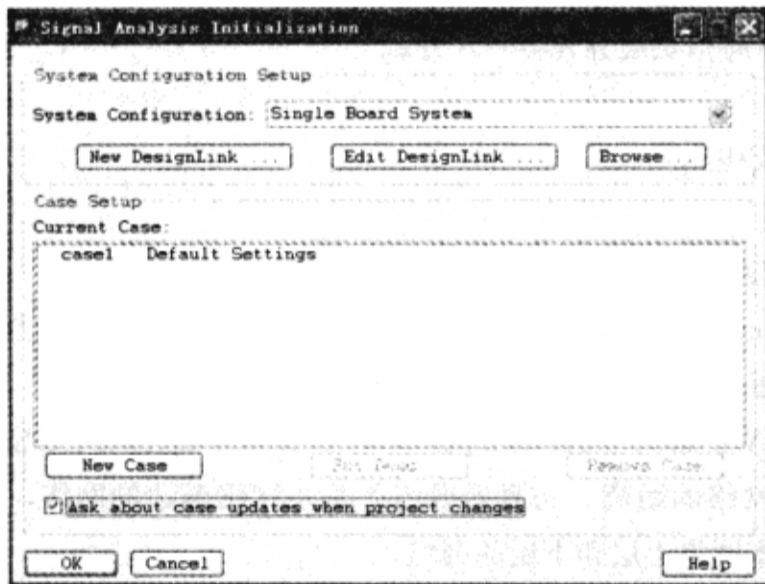


图 5-3-3 “Signal Analysis Initialization”对话框

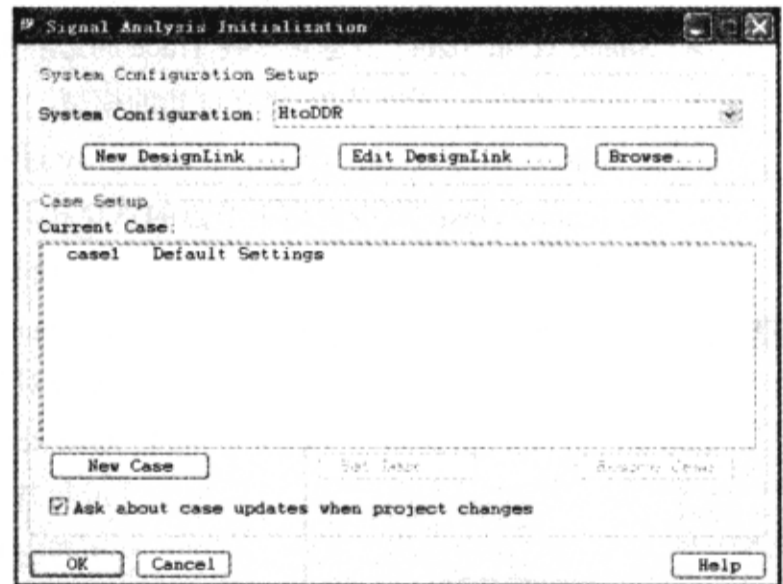


图 5-3-4 建立系统配置

(3) 单击“OK”按钮, 关闭“Signal Analysis Initialization”对话框。

#### 2) 设置参数

(1) 执行菜单命令“Analyze”→“SI/EMI”→“Preferences”, 弹出“Analysis Preferences”对话框, 如图 5-3-5 所示。

(2) 在“Analysis Preferences”对话框的“DevicesModels”标签页, 确保“Use Defaults For Missing Components Models”被选择。当没有给元器件分配信号模型时, 使用这个窗口列出的默认的 IOCell 模型仿真。

(3) 设置“InterconnectModels”标签页的参数, 如图 5-3-6 所示。



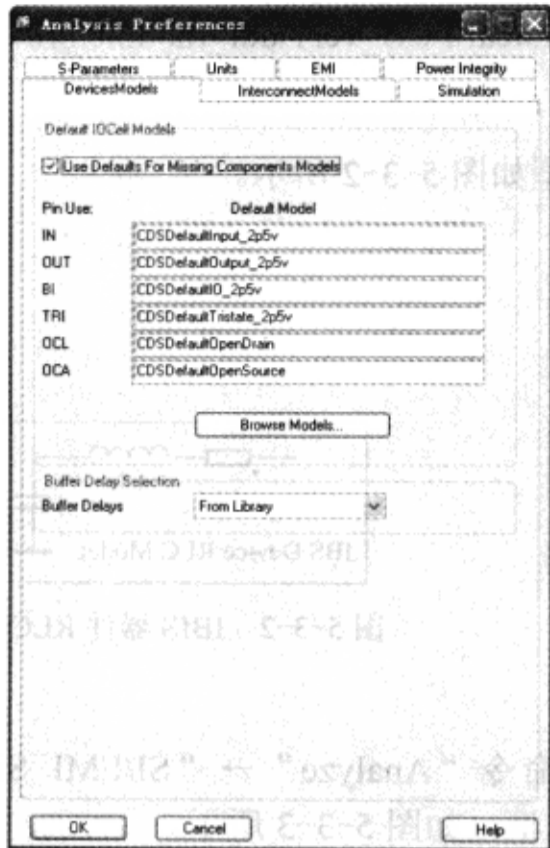


图 5-3-5 “Analysis Preferences” 对话框

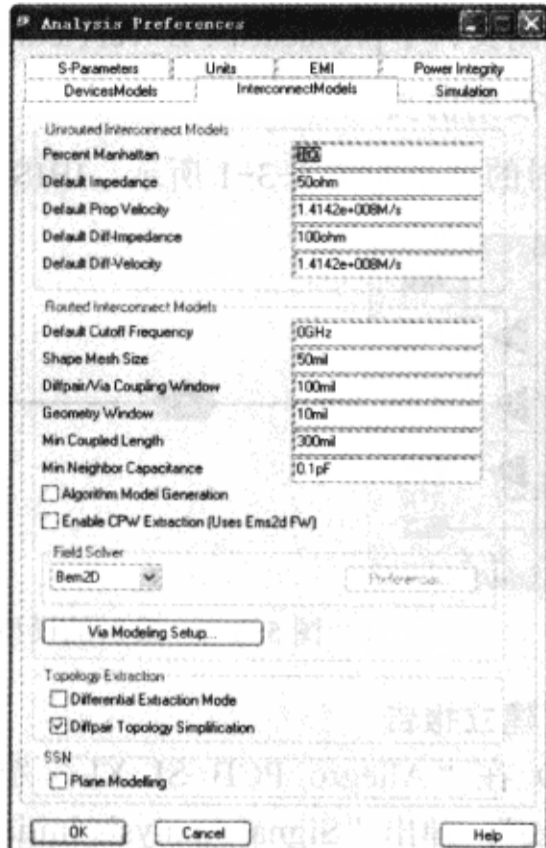


图 5-3-6 设置互连参数

- Cutoff Frequency: 指出要解决的互连分布参数的带宽。
- Shape Mesh Size: 当建立布线 Trace 的边界形状时指定边界元器件尺寸。
- Via Modeling: 指定如何建立过孔的模型。
  - ◇ Fast Closed Form: 产生 1 个 on the fly 过孔支电路。
  - ◇ Ignore Vias: 减少网络上节点的贯穿孔。
  - ◇ Accurate Closed Form: 为合适的过孔模型搜索互连模型库。

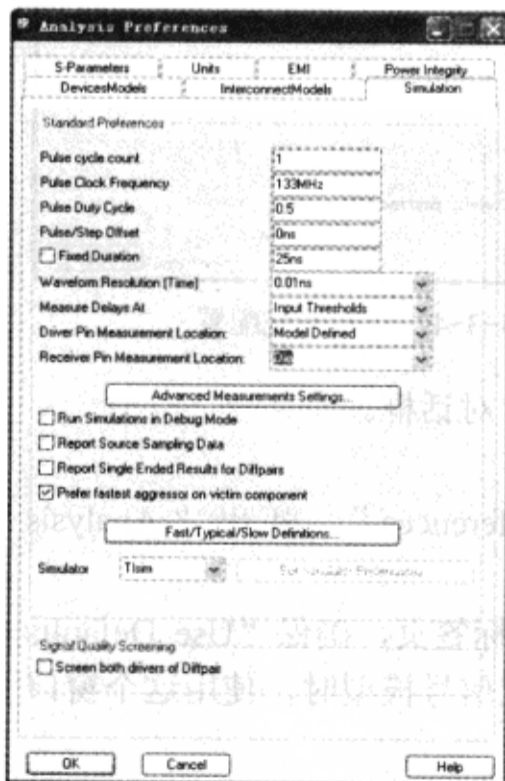


图 5-3-7 设置仿真参数

- Diffpair Coupling Window: 指出用来定位基于最小耦合长度的差分对邻近网络的搜索窗口。
- Geometry Window: 当搜索窜扰源时，仿真器搜索邻近网络显示与基本网络的距离。仿真器既考虑基本网络两边的网络，又考虑基本网络上层和下层的网络。
- Min Coupled Length: 显示几何窗口内，必须平行运行基本网络和邻近网络的最小长度，以便能够分析窜扰。
- Min Neighbor Capacitance: 显示几何窗口内的基本网络和邻近网络间容性耦合的最低水平，以便能够分析窜扰。
- Differential Extraction Mode: 若不选择，仅以 xnet 提取到 SigXplorer。若选择，以差分对提取到 SigXplorer。
- Diffpair Topology Simplification: 指定第一次使用的提取拓扑的所有耦合 Trace 的最小间距，不平衡的最大长度是这个最小间距的几倍（默认为 8）。

(4) 设置“Simulation”标签页参数，如图 5-3-7 所示。

(5) 单击“OK”按钮，关闭“Analysis Preferences”对话框。

### 3) 建立要仿真的网络表

(1) 从“Allegro PCB SI XL”窗口执行菜单命令“Logic”→“Create List of Nets”，弹出“Create List of Nets”对话框，如图 5-3-8 所示。

(2) 在“Net Filter”栏输入“DDR\_D\*”→按“Tab”键，如图 5-3-9 所示。

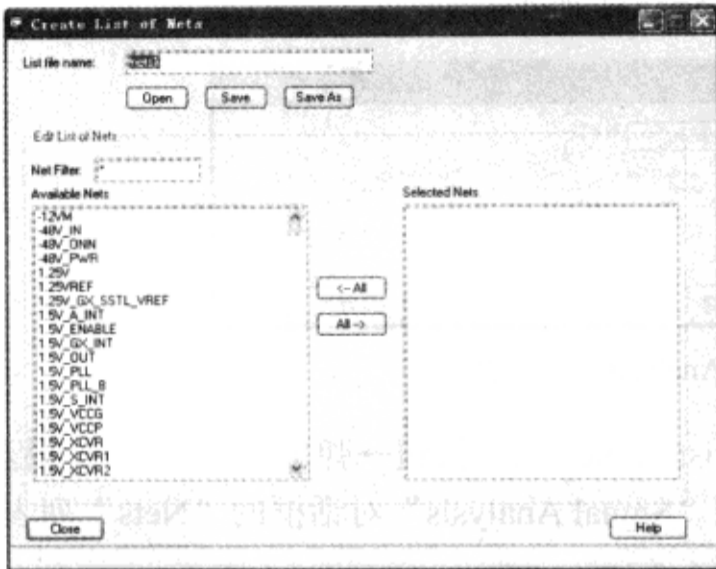


图 5-3-8 “Create List of Nets”对话框

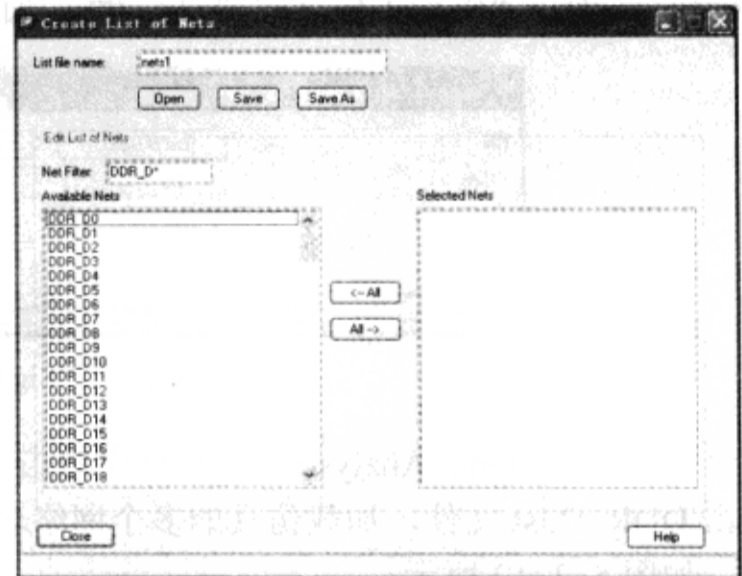


图 5-3-9 选择网络成员

(3) 从“Create List of Nets”对话框的“Available Nets”列表框中选择“DDR\_D0”、“DDR\_D1”、“DDR\_D3”、“DDR\_D5”、“DDR\_DS0”和“DDR\_DS1”→选择的网络被移到“Selected Nets”列表框中，如图 5-3-10 所示，并且这些网络在编辑窗口被高亮显示。

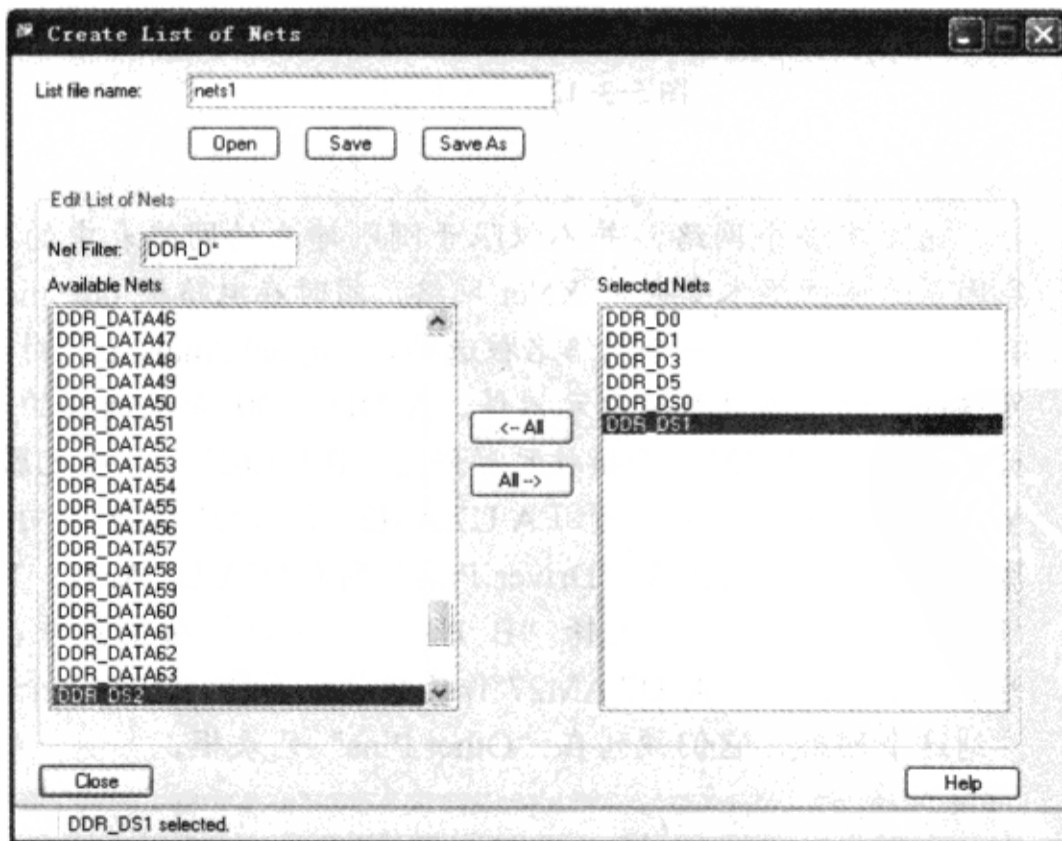


图 5-3-10 “Create List of Nets”对话框

(4) 在“List file name”栏输入“DDR\_D”→单击“Save”按钮，对话框的底部提示保存了选择的网络到 DDR\_D.lst 文件，这个文件包含想要仿真的网络。

(5) 单击“Close”按钮，关闭“Create List of Nets”对话框。

#### 4) 执行仿真

(1) 在“Allegro PCB SI XL”窗口执行菜单命令“Analyze”→“SI/EMI Sim”→“Probe”，弹出“Signal Analysis”对话框，如图 5-3-11 所示。

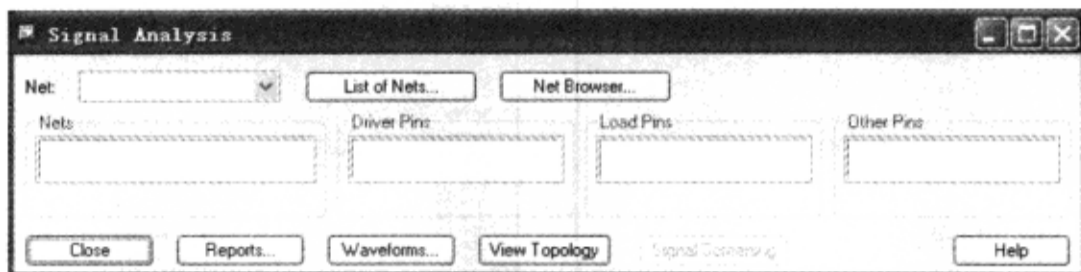


图 5-3-11 “Signal Analysis”对话框

(2) 在“Signal Analysis”对话框中单击“List of Nets...”按钮→弹出“打开”对话框→双击 DDR\_D.lst 文件，加载仿真的多个网络名到“Signal Analysis”对话框的“Nets”列表框中，如图 5-3-12 所示。

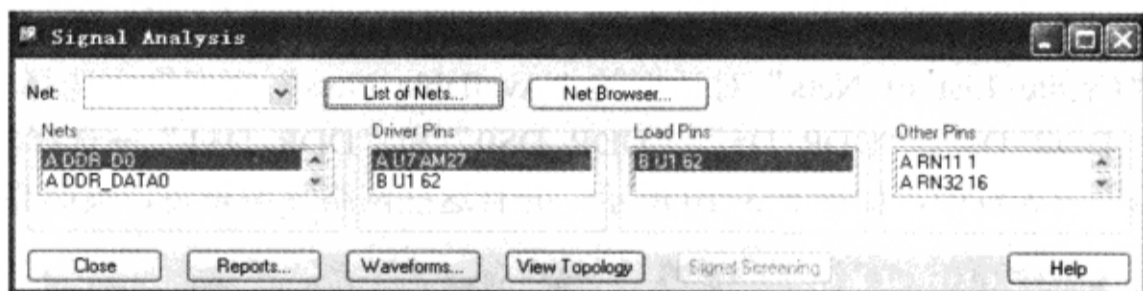


图 5-3-12 加载网络



这里有多网络，并不仅限于刚刚建立的网络表中的几个网络，其原因是这些网络本身也是 XNet 网络，同时在电路板 ddr\_module.brd 上也有相应的网络。第一个网络名被选择，“Signal Analysis”对话框列出这个网络的驱动元器件和接收元器件。A DDR\_D0 是被选择的网络。驱动元器件是 A U7.AM27，而接收元器件是“B U1.62”，这些元器件在“Signal Analysis”对话框高亮显示（A U7.AM27 和 B U1.62 是双向驱动器和接收器，“B U1.62”列出在“Driver Pins”列表框 A U7.AM27 下面），如果在“Driver Pins”列表框选择“B U1.62”作为驱动元器件，将在“Load Pins”列表框列出 A U7.AM27 作为接收元器件，还有 7 个分立元器件连接到这个网络，它们被列在“Other Pins”列表框。

(3) 在“Signal Analysis”对话框的“Nets”栏中选择“A DDR\_DS0”，确认“Driver Pins”列表中选择“A U7.AM28”，“Load Pins”列表中选择“B U1.51”，单击“Reports...”

按钮→弹出“Analysis Report Generator (case2)”对话框，如图 5-3-13 所示。

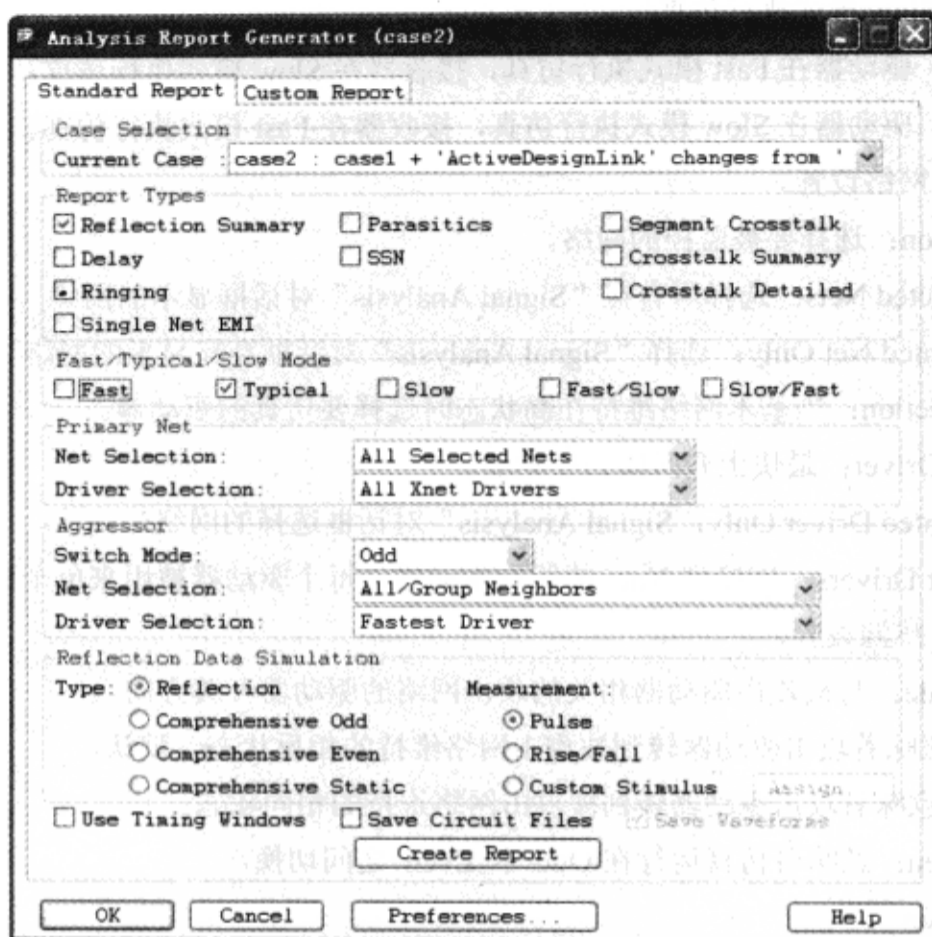


图 5-3-13 设置要生成报告的内容

- Case Selection: 选择仿真实例。
- Report Types: 报告类型。
  - ◇ Reflection Summary: 反射报告汇总，包括单调沿的 Noise Margin high（高电平噪声容限）和 Noise Margin low（低电平噪声容限）、Overshoot high（高电平过冲）和 Overshoot low（低电平过冲）、Switch rise（开关上升）和 Switch fall（开关下降）、Settle rise（稳定上升）和 Settle fall（稳定下降）、单调性的 Pass-Fail（是否单调）。
  - ◇ Delay: 延时报告，包括 Propagation Delay（传输线的传输延时值）、Switch rise 和 Switch fall、Settle rise 和 Settle fall、单调性的 pass 或 fail。
  - ◇ Ringing: 振铃报告，包括 Noise Margin high 和 Noise Margin low、Overshoot high 和 Overshoot low、驱动和负载 I/O 特性。
  - ◇ Single Net EMI: 单个网络的 EMI 报告。
  - ◇ Parasitics: 分布参数报告，包括寄生的阻抗、电容。
  - ◇ SSN: 同步开关噪声报告，包括上升时间、下降时间、低状态和高状态逻辑输入和输出阈值。
  - ◇ Segment Crosstalk: 分段窜扰报告。
  - ◇ Crosstalk Summary: 最短的窜扰报告。
  - ◇ Crosstalk Detailed: 详尽的窜扰报告。
- Fast/Typical/Slow Mode: 仿真执行模式。
  - ◇ Fast: 以 Fast 模式执行仿真。

- ◇ Typical: 以 Typical 模式执行仿真。
- ◇ Slow: 以 Slow 模式执行仿真。
- ◇ Fast/Slow: 驱动器在 Fast 模式执行仿真, 接收器在 Slow 模式执行仿真。
- ◇ Slow/Fast: 驱动器在 Slow 模式执行仿真, 接收器在 Fast 模式执行仿真。
- Primary Net: 网络设置。
  - ◇ Net Selection: 选择要被监控的网络。
    - All Selected Nets: 选择所有在“Signal Analysis”对话框显示的网络。
    - Highlighted Net Only: 选择“Signal Analysis”对话框高亮显示的网络。
  - ◇ Driver Selection: 当基本网络维持在高状态时选择要仿真的驱动器。
    - Fastest Driver: 最快上升时间的驱动器。
    - Highlighted Driver Only: “Signal Analysis”对话框选择的网络。
    - All Xnet Drivers: 连接到 Xnet 的所有驱动器, 每个驱动器被用来单个驱动 Xnet。
- Aggressor: 干扰源设置。
  - ◇ Switch Mode: 与被攻击驱动器相关的攻击网络的驱动器开关方向。
    - Odd: 意味着攻击驱动器转到被攻击网络维持的相反状态, 默认。
    - Even: 意味着攻击驱动器转到被攻击网络维持的相同状态。
    - Odd/Even: 意味着仿真运行在 Odd 和 Even 之间切换。
  - ◇ Net Selection
    - All/Group Neighbors: 立即仿真所有邻近网络。
    - Each Neighbor: 报告被攻击网络的每个邻近网络的单个影响。
  - ◇ Driver Selection: 选择窜扰仿真中将要仿真的每个攻击 Xnet 的驱动器。
    - All Drivers: Net Selection 必须是 Each Neighbor。
    - Fastest Drivers: 最快的驱动器被使用。
- Reflection Data Simulation: 反射仿真数据设置。
  - ◇ Type: 类型。
    - Reflection: 仅仿真基本网络, 反射仿真不考虑电源和地引脚的分布参数。
    - Comprehensive Odd/Even: 指定网络及其邻近网络同时仿真。综合仿真考虑了电源和地分布参数。Odd 应用基本网络选择的激励类型, 邻近网络相反。Even 应用基本网络和邻近网络选择的激励类型。
    - Comprehensive Static: 考虑邻近耦合的不连续, 选择 Static 作为邻近模式使它们维持在稳定状态, 同时初级网络被仿真。本质上选择了反射仿真同时考虑了邻近网络耦合的负载。
  - ◇ Measurement: 测量设置。
    - Pulse: 测量在 Pulse Cycle Count 中指定的上升和下降的周期数。
    - Rise/Fall: 测量一个周期的第一次上升和第一次下降。
    - Custom Stimulus: 自定义激励。
- Use Timing Windows: “Timing”窗口属性被用于限制窜扰仿真, 窜扰对于信号时序是无关紧要的。
- Save Circuit Files t1sim: 电路文件被保存在每个仿真的 Case 目录。
- Save Waveforms: 波形文件被保存在每个仿真的 Case 目录。





“Analysis Report Generator”对话框的“Case Selection”区域显示当前 Case，每次更新时，“Current Case”区域显示哪一个 Case 正在运行，从“Current Case”下拉菜单初始化先前的 Case，波形和配置文件被写入那个 Case 目录。

(4) 在“Analysis Report Generator”对话框，“Report Types”区域选择“Reflection Summary”；“Fast/Typical/Slow Mode”区域选择“Typical”；“Primary Net”区域“Net Selection”栏选择“Highlighted Net Only”，“Driver Selection”栏选择“Highlighted Driver Only”；“Reflection Data Simulation”区域“Type”栏选择“Reflection”，“Measurement”栏选择“Custom Stimulus”并单击后面的“Assign...”按钮，弹出“Stimulus Setup”对话框，如图 5-3-14 所示。

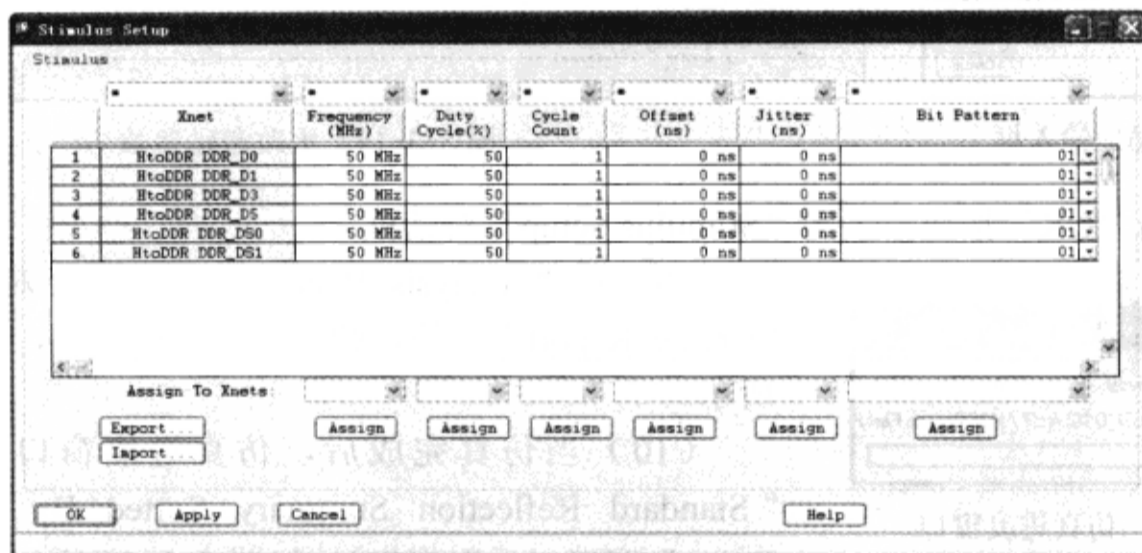


图 5-3-14 “Stimulus Setup”对话框

(5) 将“Stimulus Setup”对话框“Frequency”栏中的频率都设置为 133MHz，如图 5-3-15 所示。

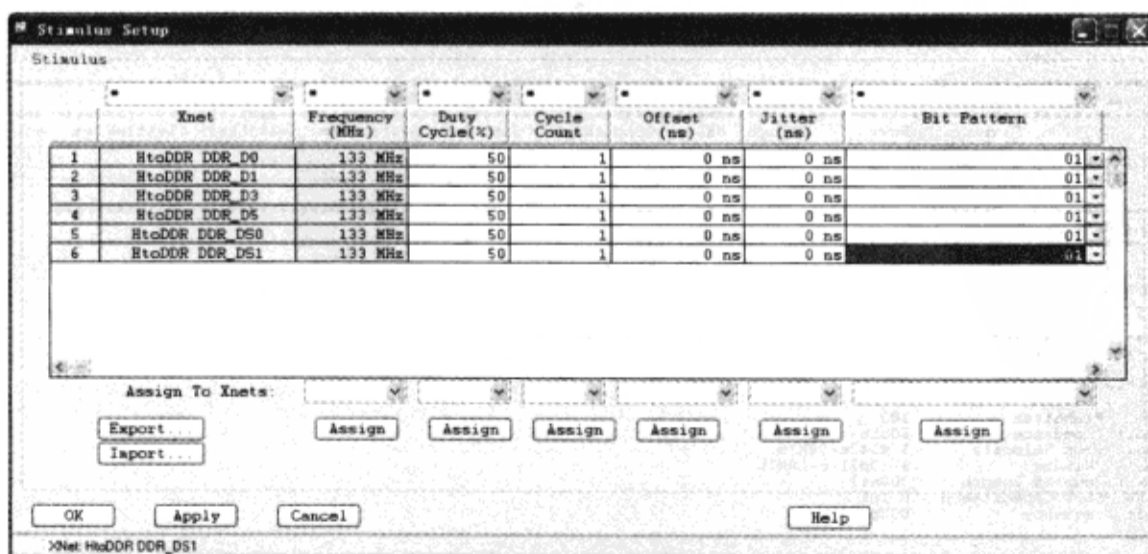


图 5-3-15 更改激励频率

(6) 单击列表中第一行的“Bit Pattern”栏后面的下拉箭头，从列表中选择“Random”，弹出输入框，如图 5-3-16 所示。

(7) 在输入框中输入“64”并单击“OK”按钮，可以看到“Stimulus Setup”对话框中“Bit Pattern”栏的值已经改变，将所有“Bit Pattern”栏的值都按此方法进行设置，如图 5-3-17 所示。

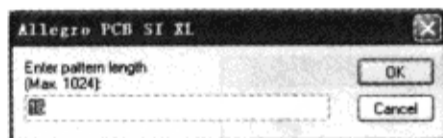


图 5-3-16 输入框

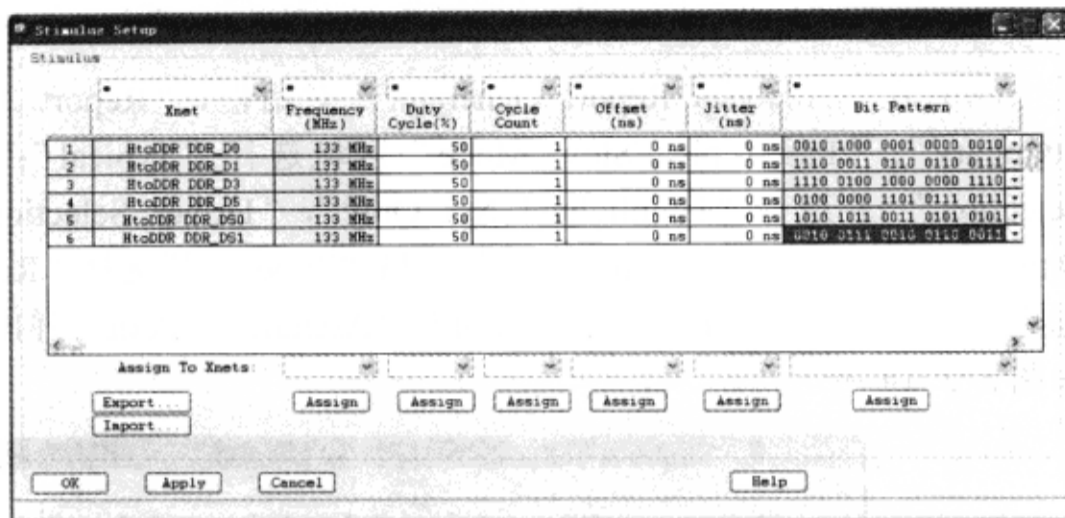


图 5-3-17 更改激励参数

(8) 单击“OK”按钮，关闭“Stimulus Setup”对话框。

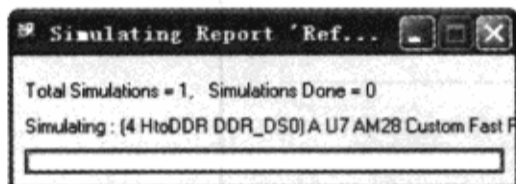


图 5-3-18 仿真进度窗口

(9) 在“Analysis Report Generator”对话框中单击“Create Report”按钮，弹出仿真进度窗口，如图 5-3-18 所示。

(10) 当仿真完成后，仿真进度窗口消失，弹出“Standard Reflection Summary Sorted By Worst Settle Delay”窗口（反射报告），如图 5-3-19 所示。

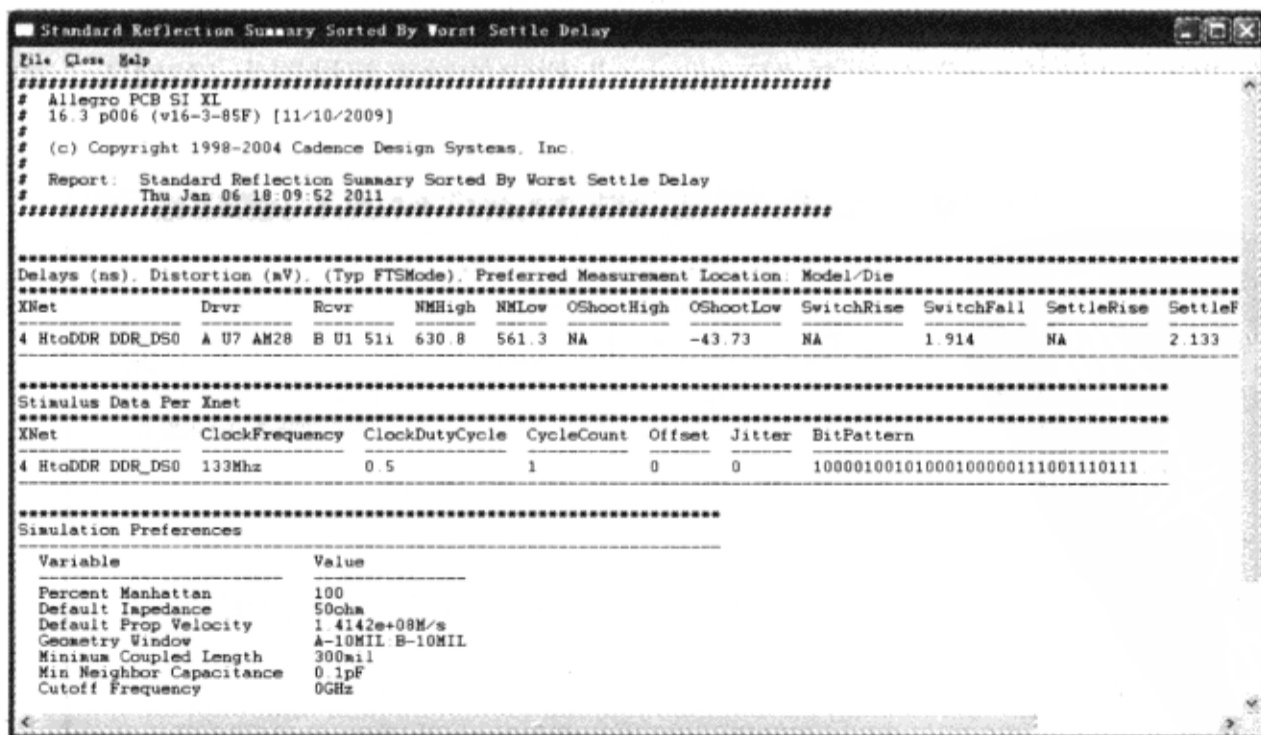


图 5-3-19 反射报告

(11) 查看“Standard Reflection Summary”报告，检查违背拓扑模板应用的约束的仿真数据。仿真失败的参数值旁边有“\*”号表示，仿真的 Switch 值（SwitchRise 和 SwitchFall）、Settle 值（SettleRise 和 SettleFall）和 Overshoot 值（OShootHigh 和 OShootLow）在上升沿和下降沿的约束限制内。

(12) 在报告窗口中执行菜单命令“File”→“Save as”，保存报告于 D:\physical\PCB\_ver1 目录，文件名为“reflecsummary”。

(13) 单击“OK”按钮，关闭“Analysis Report Generator”对话框。

(14) 在“Signal Analysis”对话框的“Nets”列表框选择 DDR\_DS0 网络，“Drivers”列表框选择“A U7 AM28”→单击“View Topology”按钮，弹出“SigXplorer”窗口，显示 DDR\_DS0 拓扑，如图 5-3-20 所示，提取的拓扑包括 Trace 和 Via 模型，这两个模型存放于 interconn.iml 库中。

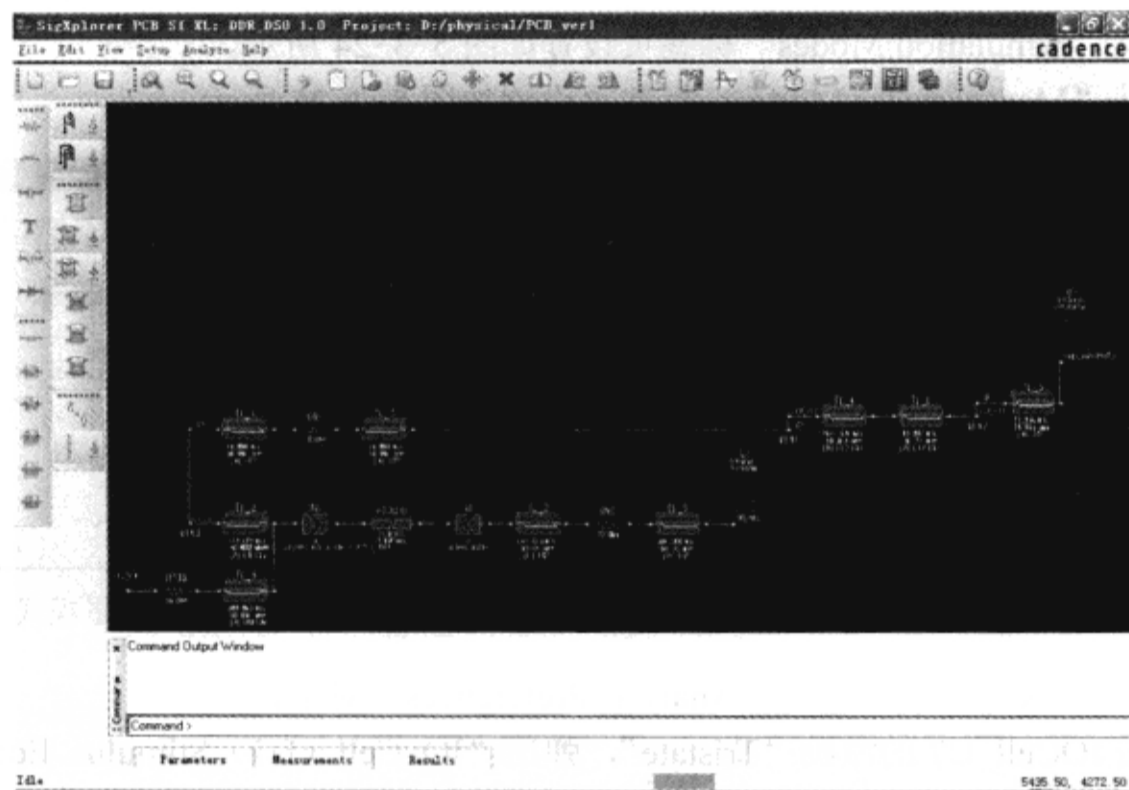


图 5-3-20 提取拓扑

(15) 在“SigXplorer”窗口拓扑下面的“Measurements”表格区域中选择“Reflection”→单击鼠标右键→从弹出菜单中选择“All Off”。

(16) 单击“Reflection”前面的“+”号，选择 Monotonic、NoiseMarginHigh、NoiseMarginLow、OvershootHigh、OvershootLow、SettleDelayFall、SettleDelayRise、SwitchDelayFall、SwitchDelayRise 九个测量项，如图 5-3-21 所示。

Reflection	<input type="checkbox"/>	Buffer Delay for Falling edge
BufferDelayFall	<input type="checkbox"/>	Buffer Delay for Rising edge
BufferDelayRise	<input type="checkbox"/>	Eye Diagram Height
EyeHeight	<input type="checkbox"/>	Eye Diagram Peak-Peak Jitter
EyeJitter	<input type="checkbox"/>	Eye Diagram Width
EyeWidth	<input type="checkbox"/>	First Incident Switching check of Falling edge
FirstIncidentFall	<input type="checkbox"/>	First Incident Switching check of Rising edge
FirstIncidentRise	<input type="checkbox"/>	Glitch tolerance check of Rising and Falling waveform
Glitch	<input type="checkbox"/>	Glitch tolerance on the falling waveform
GlitchFall	<input type="checkbox"/>	Glitch tolerance on the rising waveform
GlitchRise	<input type="checkbox"/>	Monotonic switching check of Rising and Falling edges
Monotonic	<input type="checkbox"/>	Monotonic switching check of Falling edge
MonotonicFall	<input type="checkbox"/>	Monotonic switching check of Rising edge
MonotonicRise	<input type="checkbox"/>	MIN(NoiseMarginHigh, NoiseMarginLow)
NoiseMargin	<input type="checkbox"/>	Minimum voltage in High state - VIHmin
NoiseMarginHigh	<input type="checkbox"/>	VIHmax - maximum voltage in Low state
NoiseMarginLow	<input type="checkbox"/>	Maximum voltage in High state
OvershootHigh	<input type="checkbox"/>	Minimum voltage in Low state
OvershootLow	<input type="checkbox"/>	Calculated transmission line propagation delay
PropDelay	<input type="checkbox"/>	MAX(SettleDelayRise, SettleDelayFall)
SettleDelay	<input type="checkbox"/>	Last time below VIHmax - driver Fall BufferDelay
SettleDelayFall	<input type="checkbox"/>	Last time above VIHmin - driver Rise BufferDelay
SettleDelayRise	<input type="checkbox"/>	MIN(SwitchDelayRise, SwitchDelayFall)
SwitchDelay	<input type="checkbox"/>	First time falling to VIHmin - driver Fall BufferDelay
SwitchDelayFall	<input type="checkbox"/>	First time rising to VIHmax - driver Rise BufferDelay
SwitchDelayRise	<input type="checkbox"/>	

图 5-3-21 选择测量内容

(17) 单击表“Reflection”前的“-”号。

(18) 从 SigXplorer 中执行菜单命令“Analyze”→“Preferences”，弹出“Analysis

Preferences”对话框→确认“Pulse Stimulus”标签页设置如图 5-3-22 所示。

(19) 确认“Simulation Parameters”标签页设置如图 5-3-23 所示。

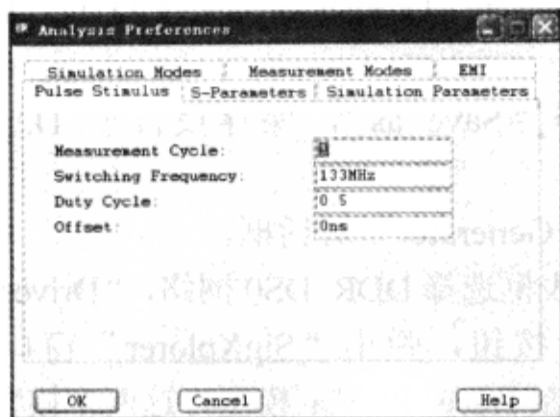


图 5-3-22 设置激励参数

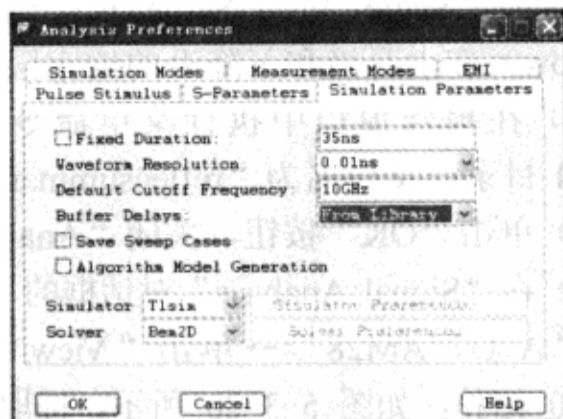


图 5-3-23 设置仿真参数

(20) 确认“Simulation Modes”标签页设置如图 5-3-24 所示。

(21) 确认“Measurement Modes”标签页设置如图 5-3-25 所示。

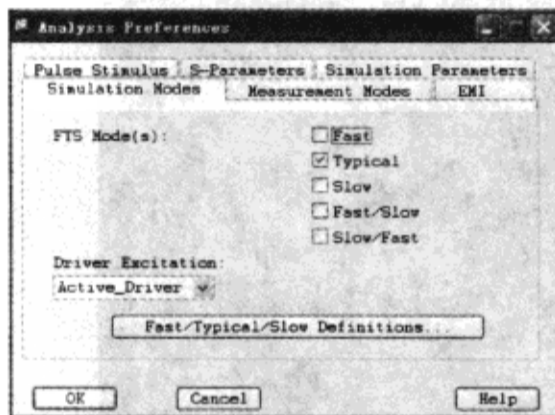


图 5-3-24 设置仿真模式

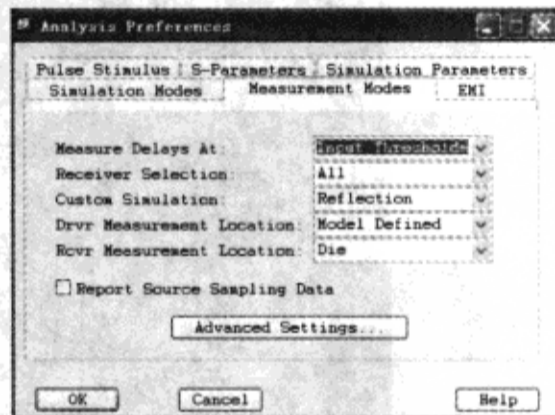


图 5-3-25 测量模式

(22) 单击“OK”按钮，关闭“Analysis Preferences”对话框。

(23) 单击 IOCell U7 的激励“Tristate”，弹出“IO Cell (U7) Stimulus Edit”对话框，如图 5-3-26 所示。

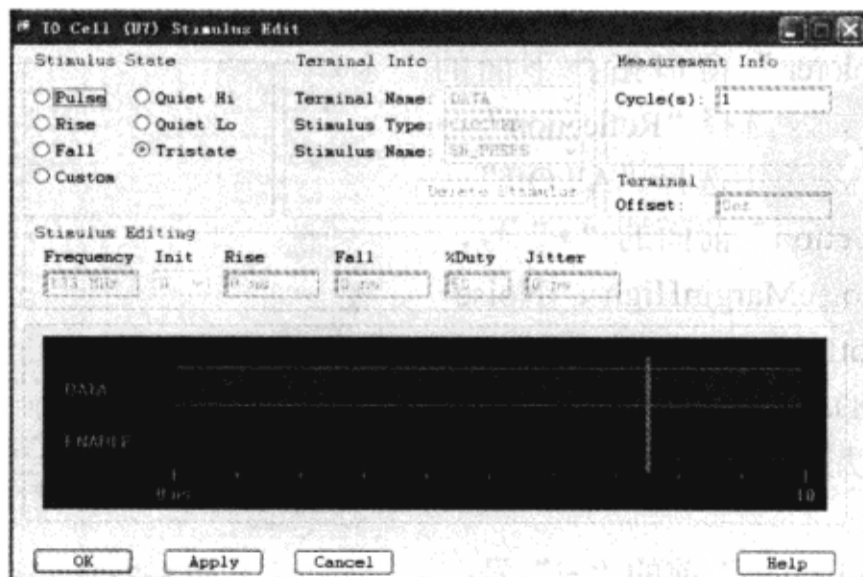


图 5-3-26 “IO Cell (U7) Stimulus Edit”对话框

(24) 在“Stimulus State”区域选择“Custom”，在“Terminal Info”区域的“Stimulus Type”选择“SYNC”，在“Stimulus Editing”区域的“Switch At”选择“BOTH”，单击“Pattern”后面的“Random”按钮，在弹出的输入框中输入“64”，并单击“OK”按钮，如图 5-3-27 所示。



图 5-3-27 “IO Cell (U7) Stimulus Edit”对话框

(25) 在“IO Cell (U7) Stimulus Edit”对话框中单击“OK”按钮。

(26) 确认 IOCell U1 的激励为“Tristate”。

(27) 在“SigXplorer PCB SI XL”窗口执行菜单命令“Analyze”→“Simulate”，执行仿真。仿真结束后拓扑下面的表格区域的“Results”栏被选择，并显示仿真结果，同时弹出仿真波形，如图 5-3-28 所示。

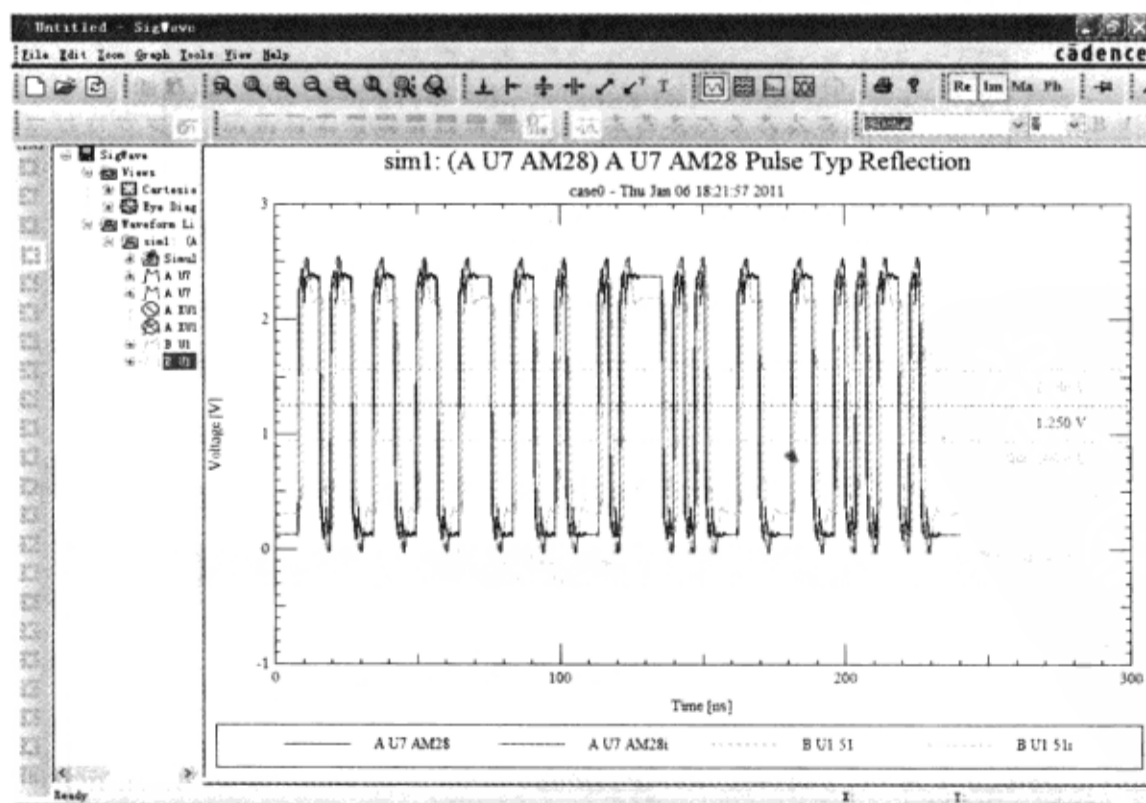


图 5-3-28 仿真波形



(28) 关闭“SigWave”窗口。

(29) 比较“SigXplorer PCB SI XL”窗口的“Results”表格中的结果和“Standard Reflection Summary”报告中的数据，数据差别很小。

(30) 关闭“Standard Reflection Summary”报告。

(31) 从“SigXplorer PCB SI XL”窗口执行菜单命令“File”→“Exit”，弹出提示窗口→选择“No”，不保存拓扑。

## 2. 综合仿真

综合仿真模型如图 5-3-29 所示。

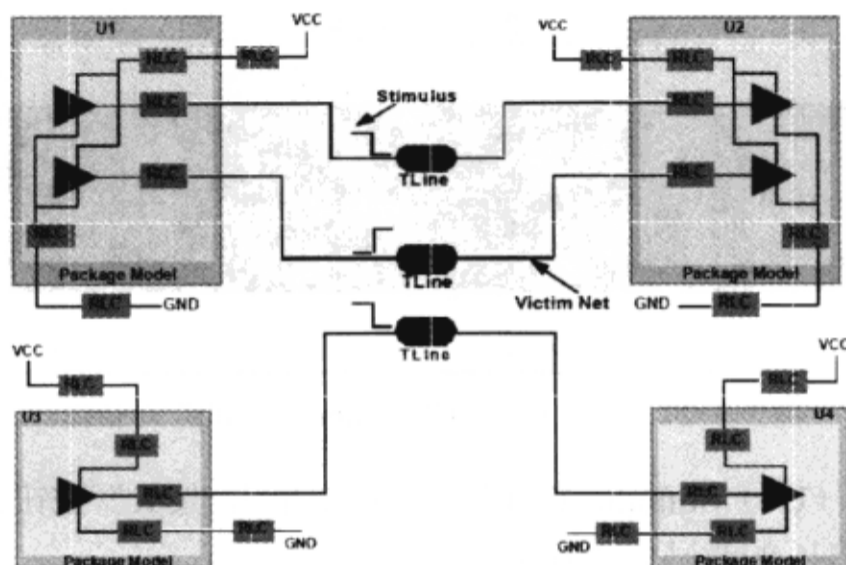


图 5-3-29 综合仿真模型

(1) 执行菜单命令“Analyze”→“SI/EMI Sim”→“Probe”，弹出“SigNoise Case Update”对话框，如图 5-3-30 所示。

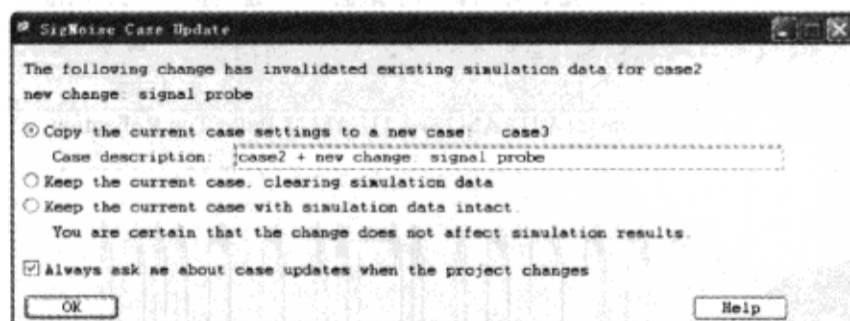


图 5-3-30 “SigNoise Case Update”对话框

(2) 单击“OK”按钮，弹出“Signal Analysis”对话框，如图 5-3-31 所示。

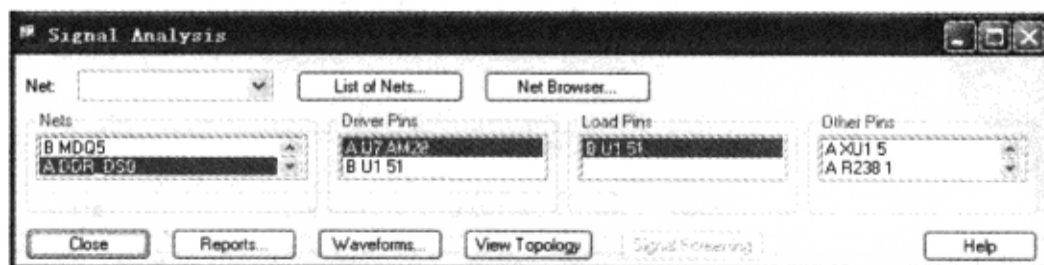


图 5-3-31 “Signal Analysis”对话框

(3) 单击“Reports”按钮，弹出“Analysis Report Generator (case2)”对话框，具体设置如图 5-3-32 所示。

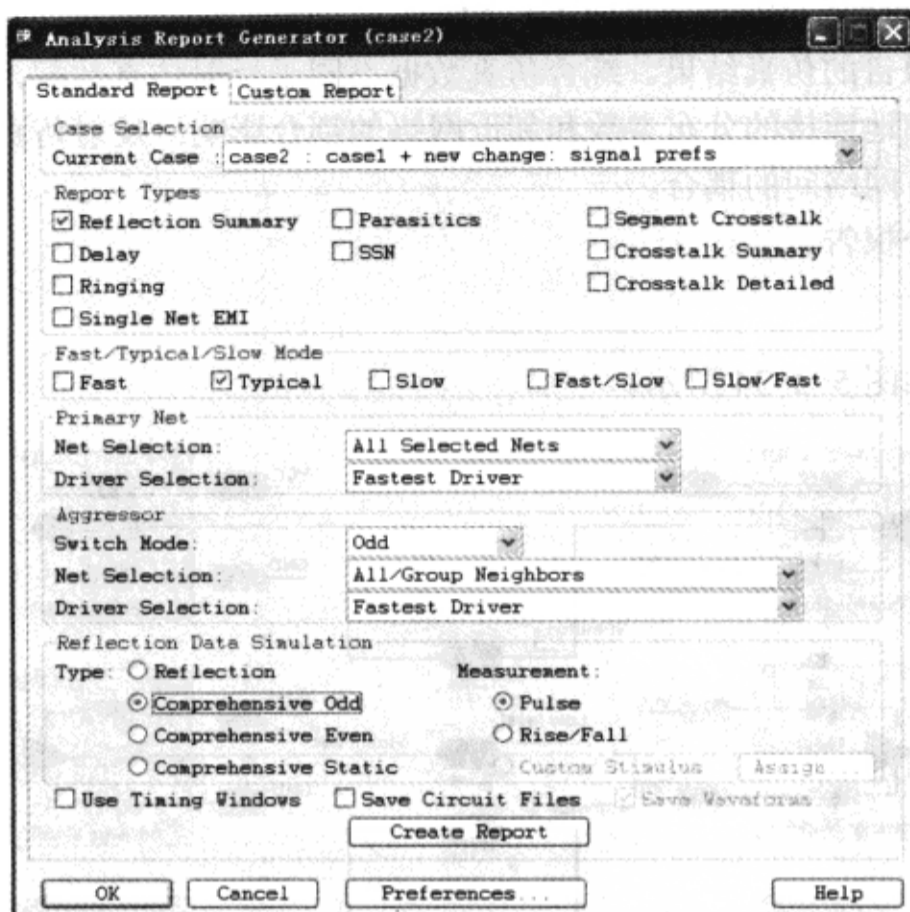


图 5-3-32 设置报告的内容

(4) 在“Analysis Report Generator (case2)”对话框中单击“Create Report”按钮，执行仿真→当仿真完成后，弹出“Standard Reflection Summary Sorted By Worst Settle Delay”窗口，如图 5-3-33 所示。

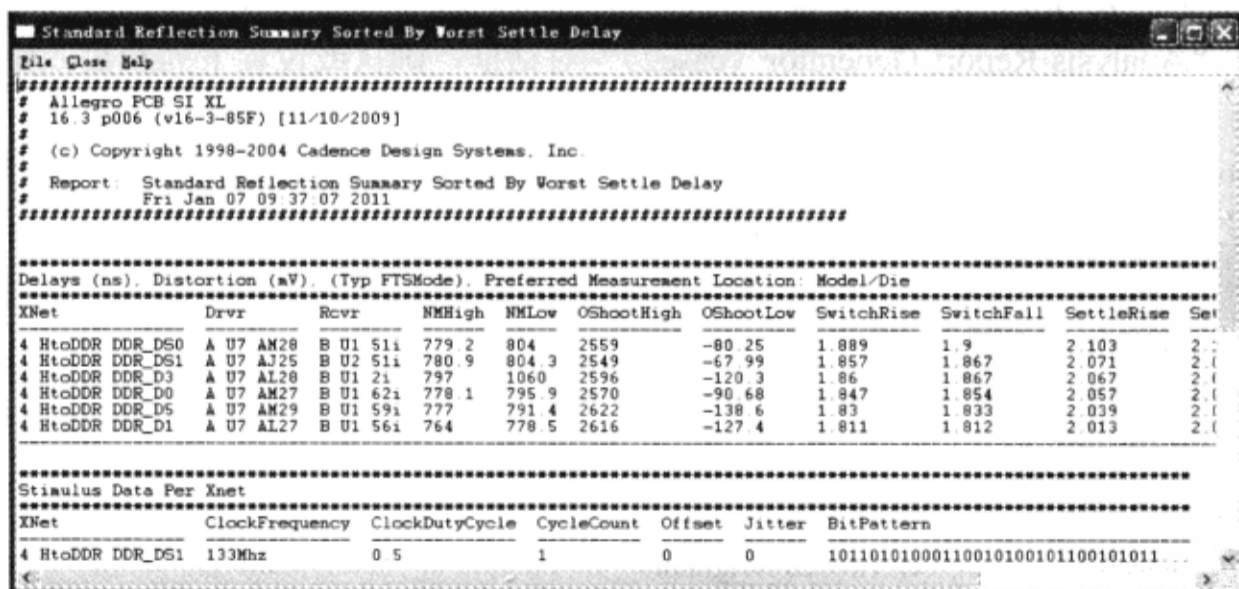


图 5-3-33 生成报告的内容

DDR\_DS0 网络驱动器为 A U7.AM28 时有最长的 SettleFall 值为 2.179ns。

(5) 查看“Standard Reflection Summary Sorted By Worst Settle Delay”报告中的数据。

(6) 在报告窗口执行菜单命令“File”→“Save As”，保存文件，文件名为“compodd-summary”。

(7) 使用记事本打开 `reflecsummary.txt` 文件。

(8) 比较两个报告的仿真结果。综合仿真数据不同于反射仿真数据，其不同之处在于，综合仿真包括电源和地连接的分布参数和邻近网络的耦合影响。反射仿真包括封装元器件引脚间的耦合，但没有网络间的耦合。

(9) 关闭这两个报告。

### 3. 窜扰仿真

窜扰仿真模型如图 5-3-34 所示。

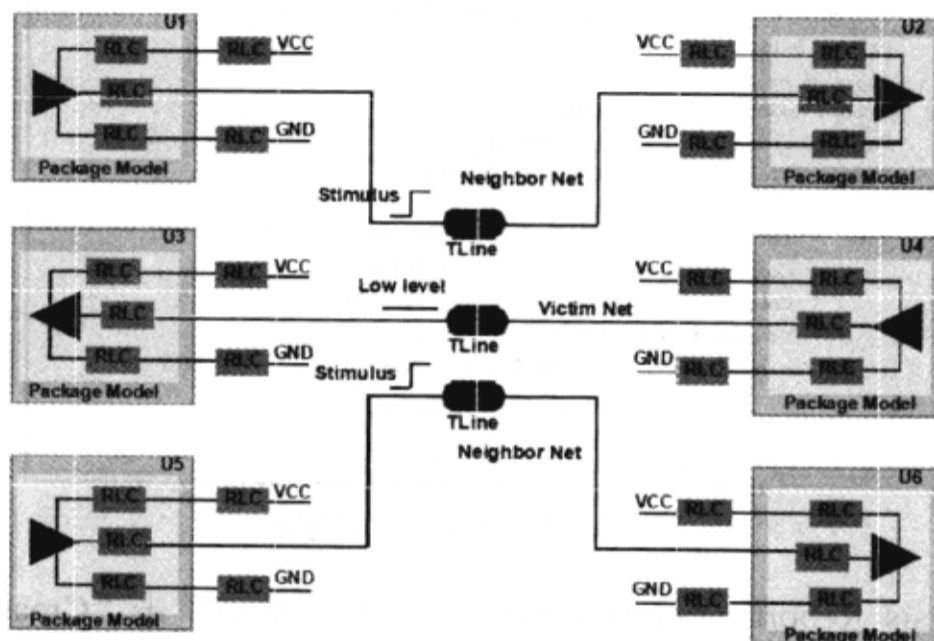


图 5-3-34 窜扰仿真模型

#### 1) 执行 All Neighbors 窜扰仿真

(1) 在“Analysis Report Generator (case2)”对话框，确认或设置下列参数，如图 5-3-35 所示。

- Report Types: 不选择“Reflection Summary”，选择“Crosstalk Detailed”。
- Fast/Typical/Slow Mode: 选择“Typical”。
- Primary Net
  - ◇ Net Selection: 选择“All Selected Nets”。
  - ◇ Driver Selection: 选择“Fastest Driver”。
- Aggressor
  - ◇ Switch Mode: 选择“Odd”。
  - ◇ Net Selection: 选择“All/Groups Neighbors”。
  - ◇ Driver Selection: 选择“Fastest Driver”。
- Reflection Data Simulation
  - ◇ Type: 选择“Reflection”。
  - ◇ Measurement: 选择“Pulse”。

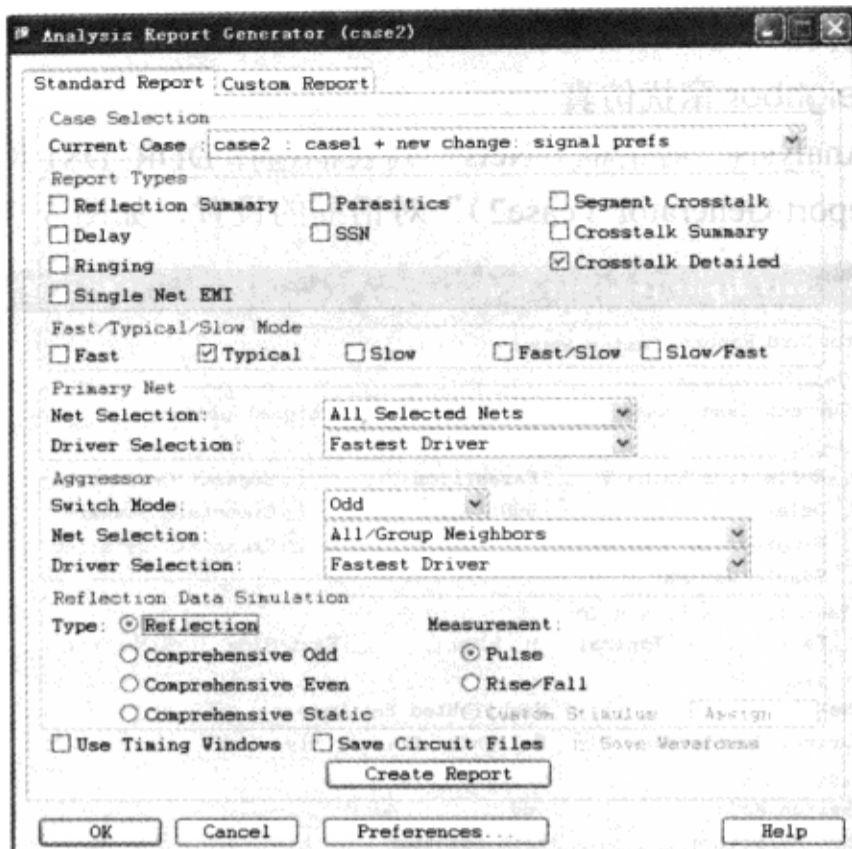


图 5-3-35 设置报告内容

(2) 在“Analysis Report Generator (case2)”对话框中单击“Create Report”按钮，执行仿真→当仿真完成时，弹出“Standard Crosstalk Report Sorted By Worst Case Crosstalk”窗口，如图 5-3-36 所示。

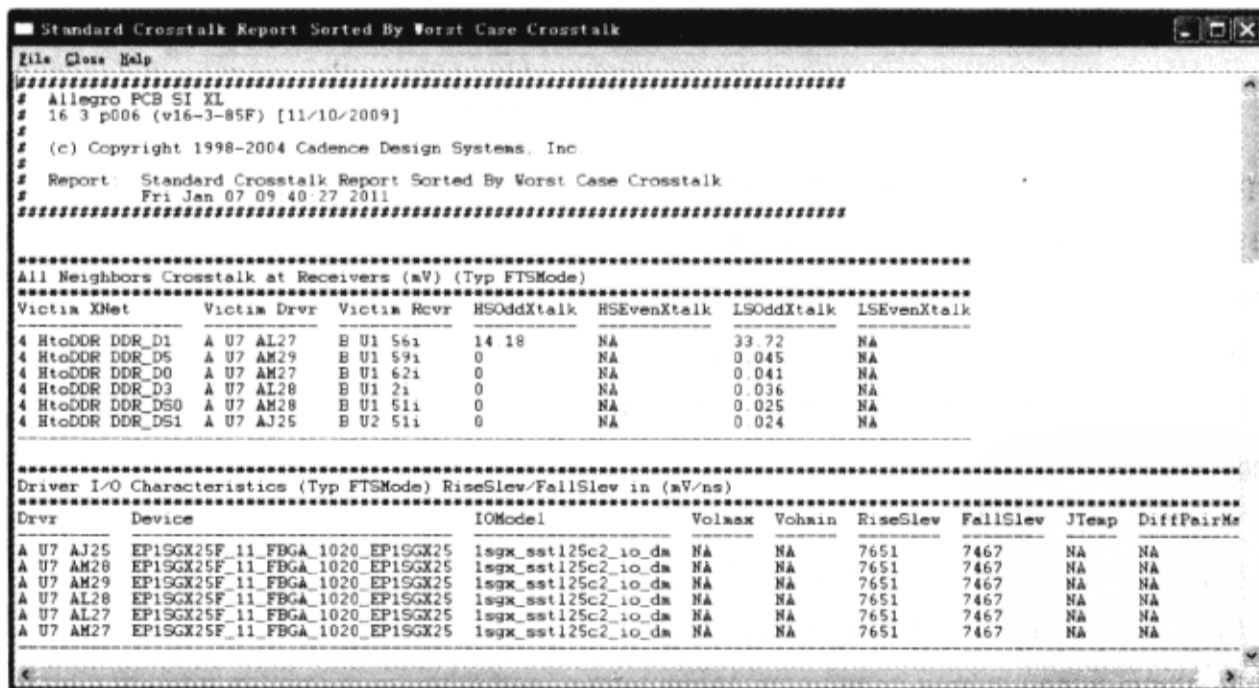


图 5-3-36 窜扰报告的内容

(3) 查看“Standard Crosstalk Report”报告，在 Typical 模式下，DDR\_D1 网络有最大的奇窜扰值，驱动器是 U7.AL27，窜扰值是 27.99mV。报告显示窜扰分析的结果，仅列出奇窜扰的数据，偶窜扰显示 NA。这个信息关系到在 DDR\_TEMPLATE 拓扑设置的 MAX XTALK 约束。

(4) 关闭窜扰报告。

## 2) 执行 Each Neighbor 窜扰仿真

(1) 在“Signal Analysis”对话框“Nets”列表框选择 DDR\_DS1 网络。

(2) “Analysis Report Generator (case2)”对话框的设置，如图 5-3-37 所示。

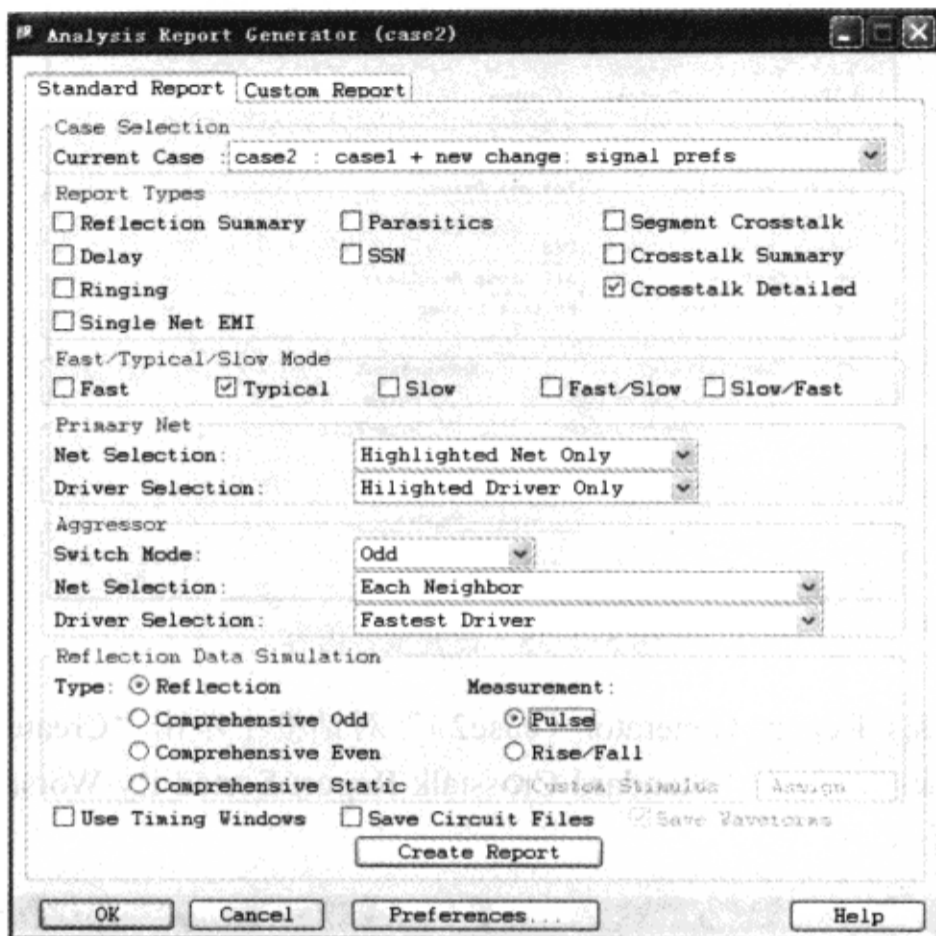


图 5-3-37 设置报告的内容

- Report Types: 选择“Crosstalk Detailed”。
- Fast/Typical/Slow Mode: 选择“Typical”。
- Primary Net
  - ✧ Net Selection: 选择“Highlighted Net Only”。
  - ✧ Driver Selection: 选择“Highlighted Driver Only”。
- Aggressor
  - ✧ Switch Mode: 选择“Odd”。
  - ✧ Net Selection: 选择“Each Neighbor”。
  - ✧ Driver Selection: 选择“Fastest Driver”。
- Reflection Data Simulation
  - ✧ Type: 选择“Reflection”。
  - ✧ Measurement: 选择“Pulse”。

(3) 在“Analysis Report Generator (case2)”对话框中单击“Create Report”按钮，执行仿真→当仿真完成时，弹出“Standard Crosstalk Report Sorted By Worst Case Crosstalk”窗口，如图 5-3-38 所示。



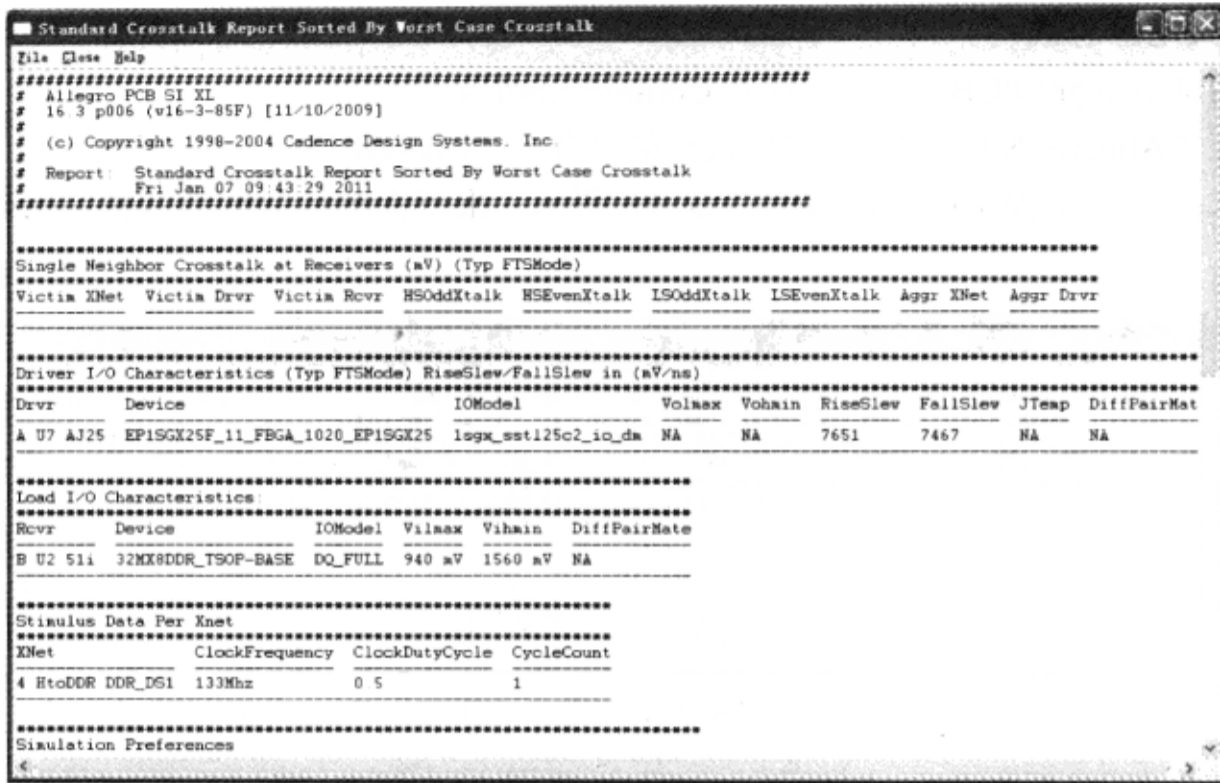


图 5-3-38 窜扰报告

(4) 查看“Standard Crosstalk Report”报告，BRIDGE\_RX\_N5 网络对 DDR\_D1 网络有最大的奇窜扰，被攻击网络的驱动器是 U7.AL27，窜扰值是 15.91mV。这个值与在 BRIDGE\_RX\_N5 拓扑设置的 MAX PEAK XTALK 有关。可能需要重新访问 MAX XTALK 约束查看是否条件不严格（当然，也需要运行奇模式仿真）。

(5) 关闭窜扰报告。

(6) 在“Allegro PCB SI XL”窗口执行菜单命令“File”→“Save”，弹出提示窗口→单击“是”按钮，保存 PCB 文件。

#### 4. 同步开关噪声（SSN）仿真

SSN 仿真模型如图 5-3-39 所示。

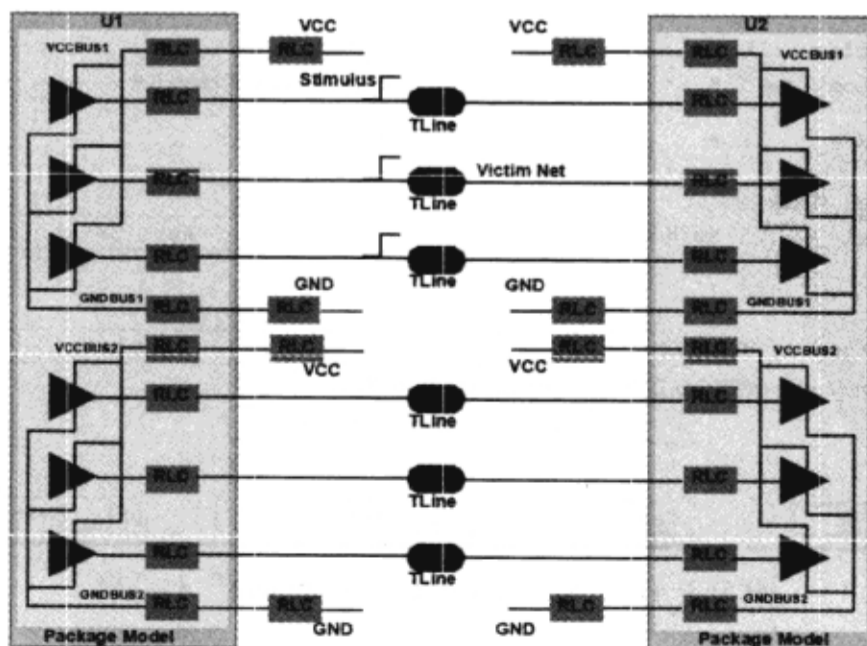


图 5-3-39 SSN 仿真模型

### 1) 定义电源总线

(1) 启动 Allegro PCB SI XL，打开 Complete.brd 文件。

(2) 在“Allegro PCB SI XL”窗口执行菜单命令“Analyze”→“SI/EMI Sim”→“Model Assignment...”，弹出提示信息，如图 5-3-40 所示。推荐在继续分配信号模型前确定所有的 DC Nets。

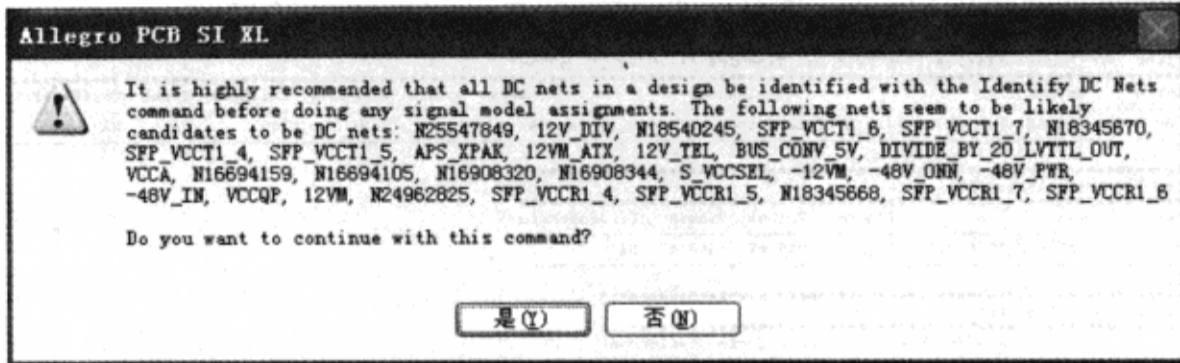


图 5-3-40 提示信息

(3) 单击“是”按钮，忽略推荐并继续进行信号模型分配→弹出“Signal Model Assignment”对话框，如图 5-3-41 所示。

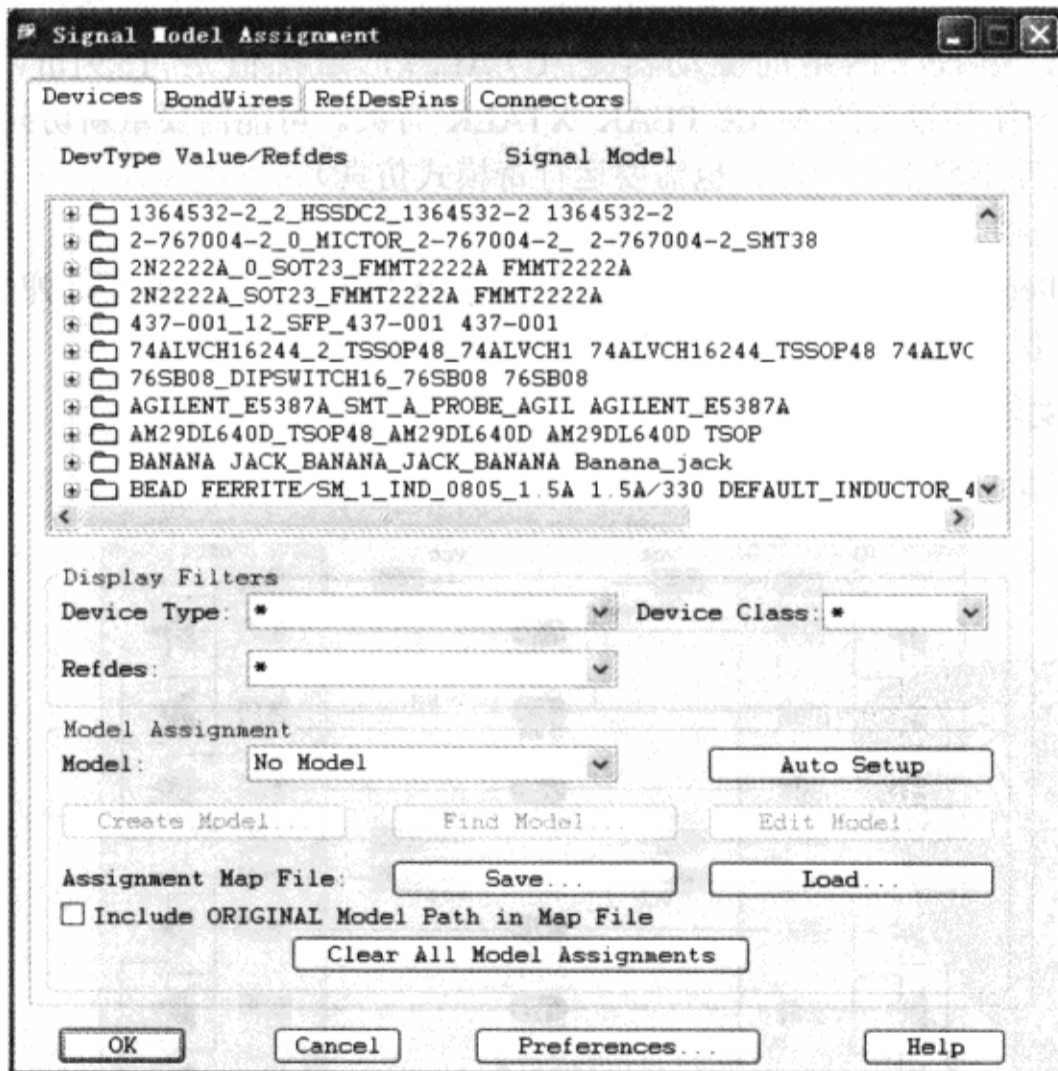


图 5-3-41 “Signal Model Assignment”对话框

(4) 在“Signal Model Assignment”对话框滚动列表→选择“EP1SGX25F”→单击

“Edit Model...” 按钮→弹出 “IBIS Device Model Editor” 对话框，如图 5-3-42 所示。

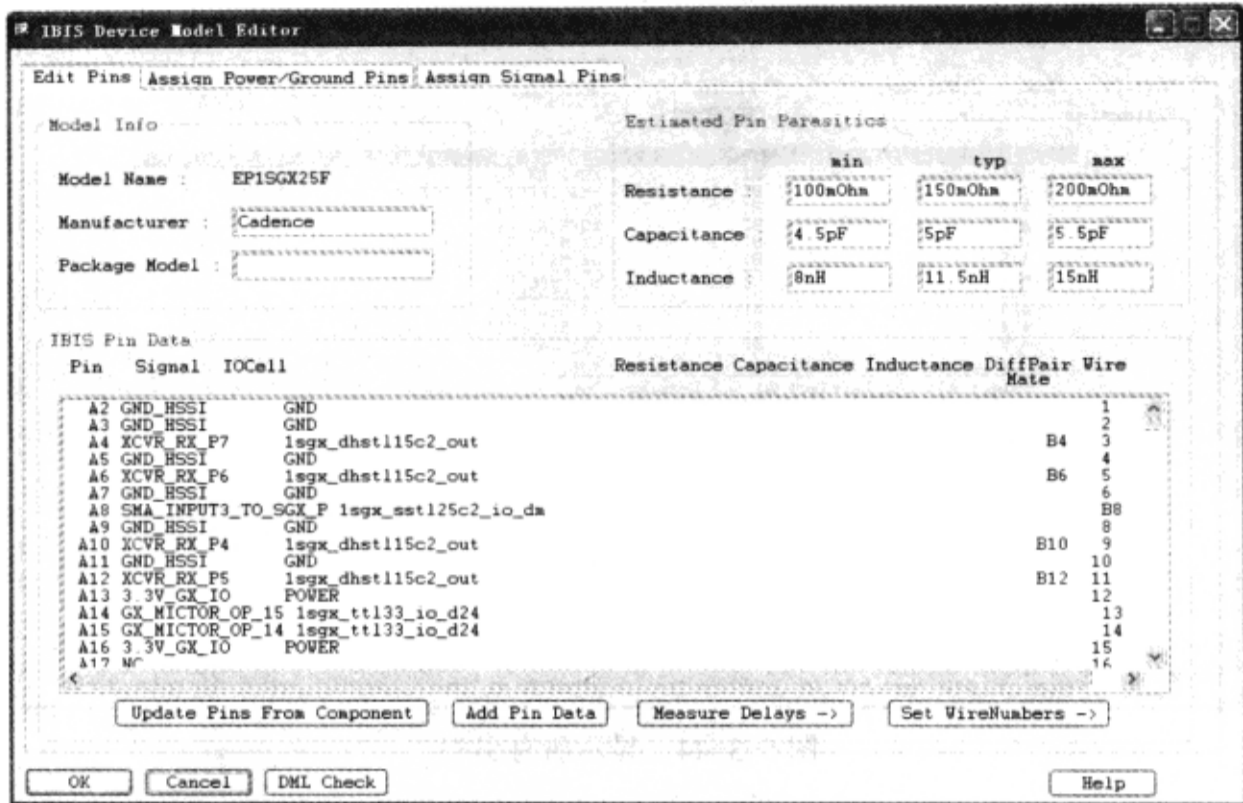


图 5-3-42 “IBIS Device Model Editor” 对话框

(5) 在 “IBIS Device Model Editor” 对话框选择 “Assign Power/Ground Pins” 标签页，如图 5-3-43 所示。

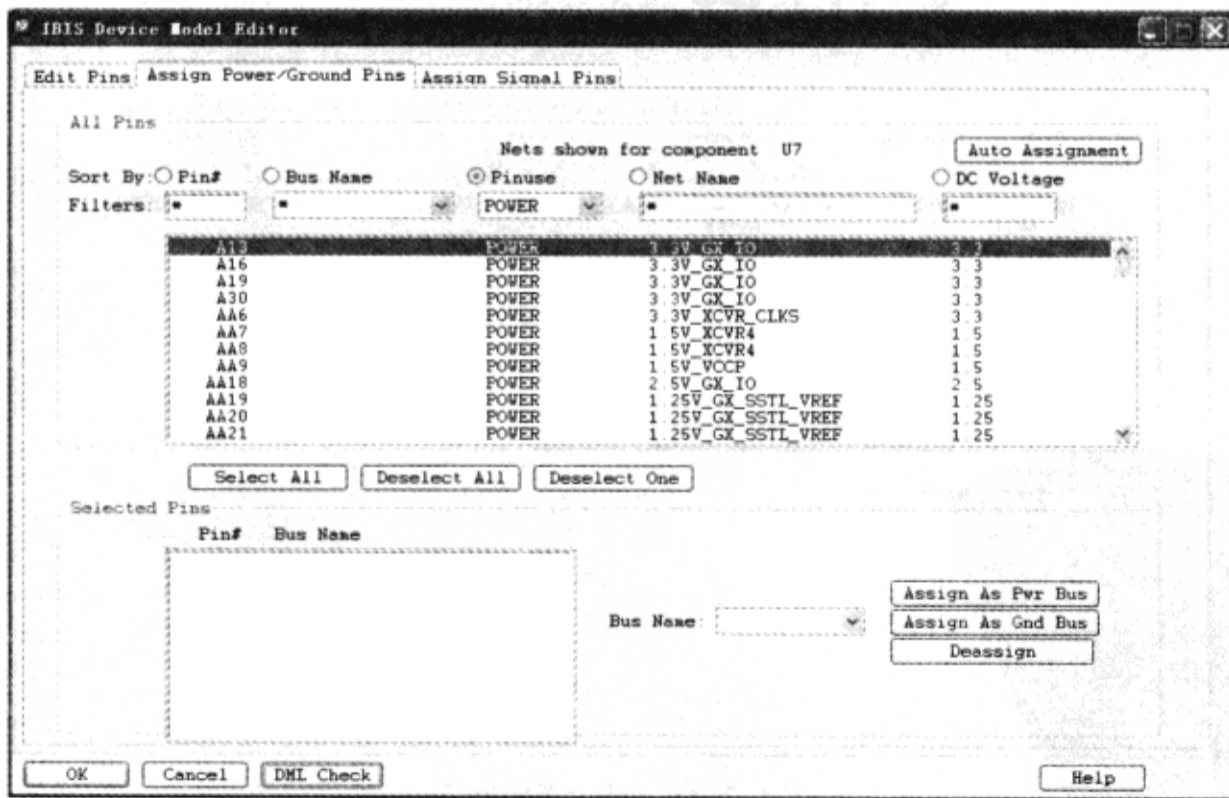


图 5-3-43 分配电源/地引脚

(6) 从 “IBIS Device Model Editor” 对话框的 “All Pins” 区域的 “Pinuse” 下拉菜单中选择 “\*” 号，如图 5-3-44 所示，显示 U7 的所有引脚。

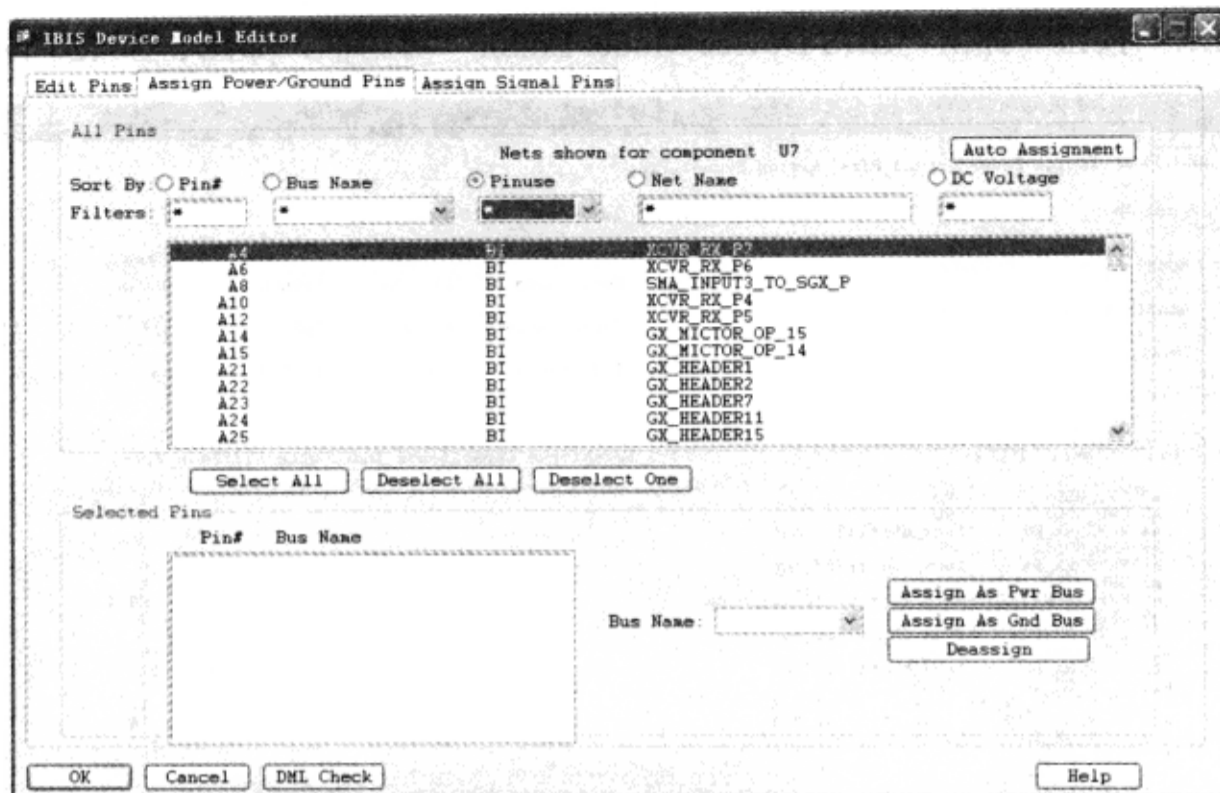


图 5-3-44 显示所有引脚

(7) 选中“Net Name”单选按钮→在“Net Name”下面的文本输入区域输入“2.5V\_GX\_IO”并按“Tab”键，显示那些网络，如图 5-3-45 所示，网络名仅显示“2.5V\_GX\_IO”。

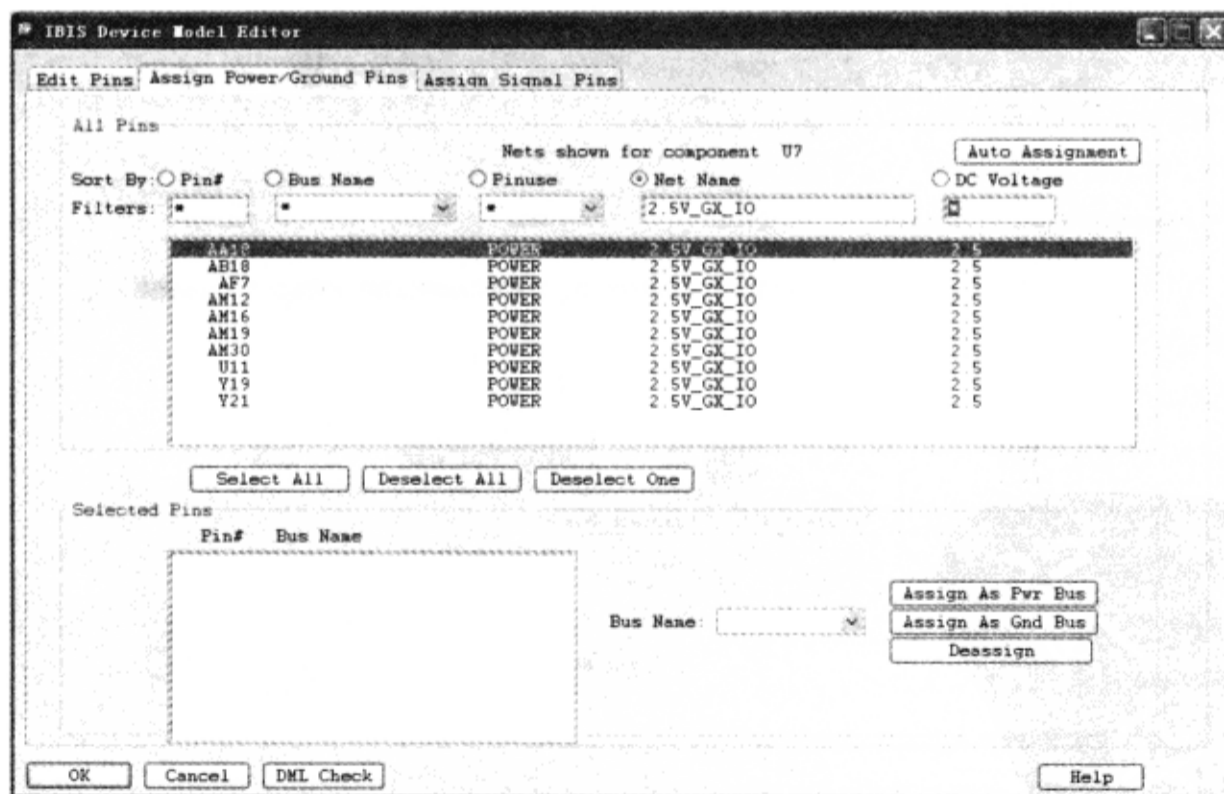


图 5-3-45 显示指定网络

(8) 在“IBIS Device Model Editor”对话框中单击“Select All”按钮，这些网络现在显示在“IBIS Device Model Editor”对话框的“Selected Pins”区域，如图 5-3-46 所示（仅显示引脚号和总线名）。

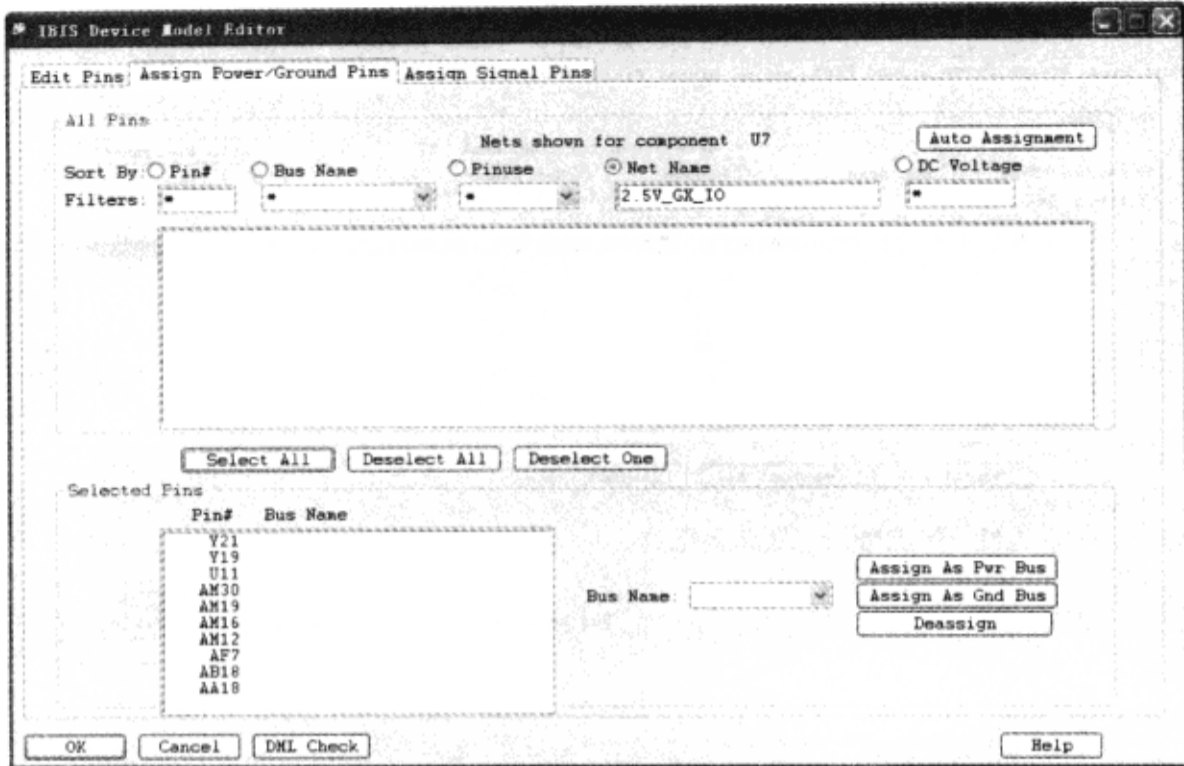


图 5-3-46 选择引脚

(9) 在“IBIS Device Model Editor”对话框的“Selected Pins”区域“Bus Name”栏输入“pwr25IO”，定义 2.5V\_GX\_IO 网络为电源总线“pwr25IO”→单击“Assign As Pwr Bus”按钮，为选择的引脚分配这个总线名，如图 5-3-47 所示。

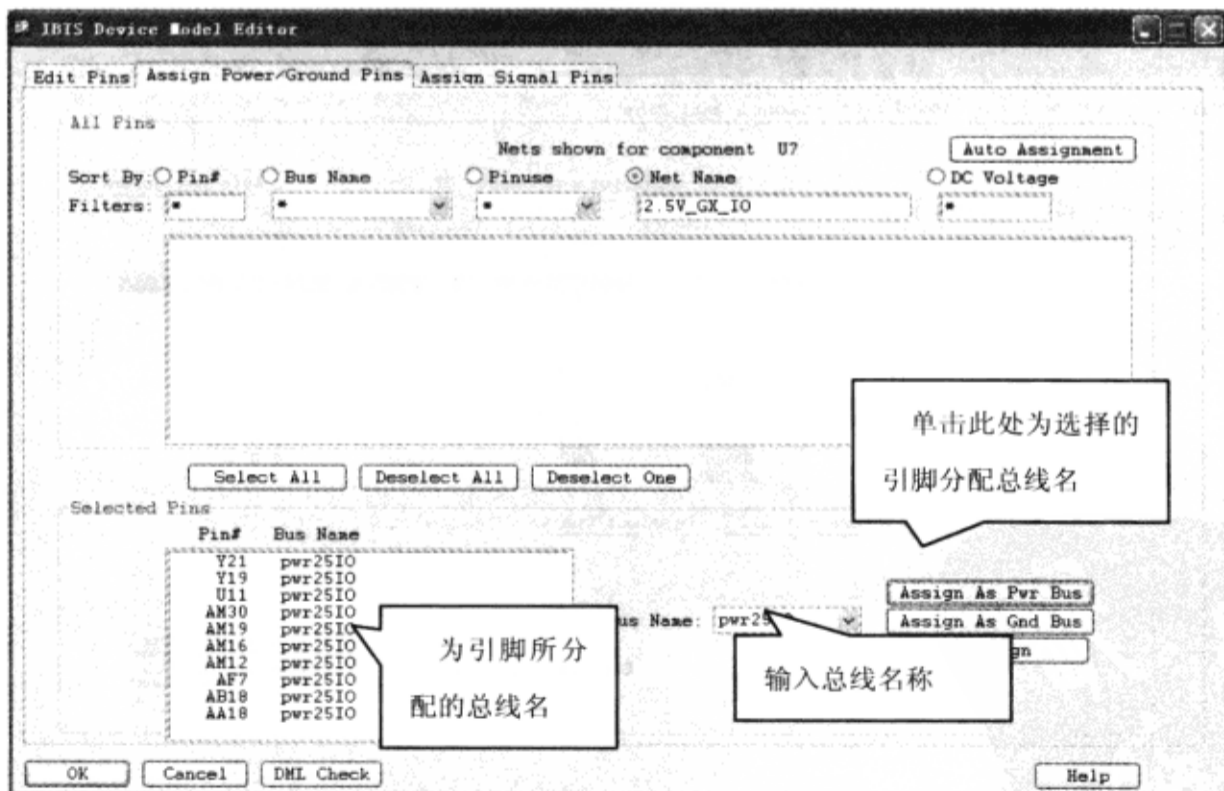


图 5-3-47 分配总线

(10) 在“IBIS Device Model Editor”对话框单击“Deselect All”按钮→网络列出在“IBIS Device Model Editor”对话框的“All Pins”区域的列表框，这些引脚现在显示总线名为“pwr25IO”，如图 5-3-48 所示。



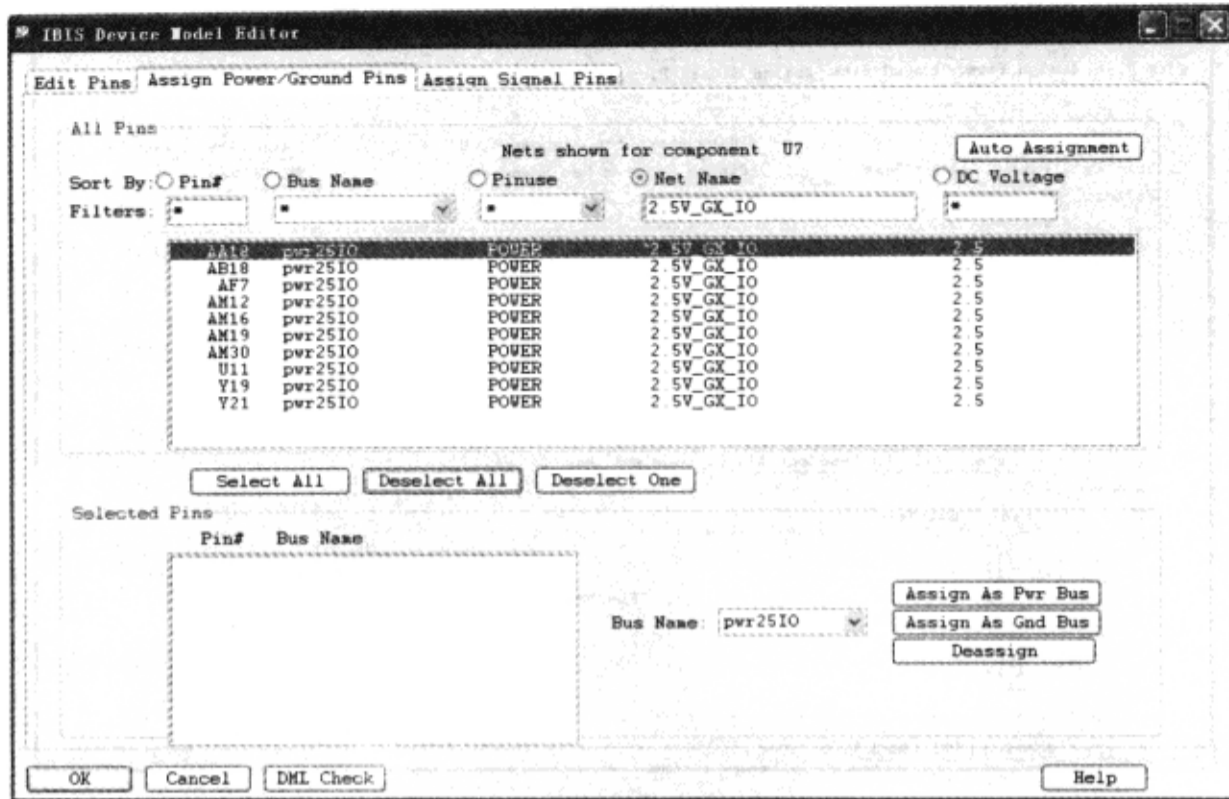


图 5-3-48 电源总线

## 2) 定义地总线

(1) 在“Net Name”栏输入“GND”并按“Tab”键，显示那些网络，如图 5-3-49 所示。因为 PCB 有一个公共地，需要定义一个地总线。

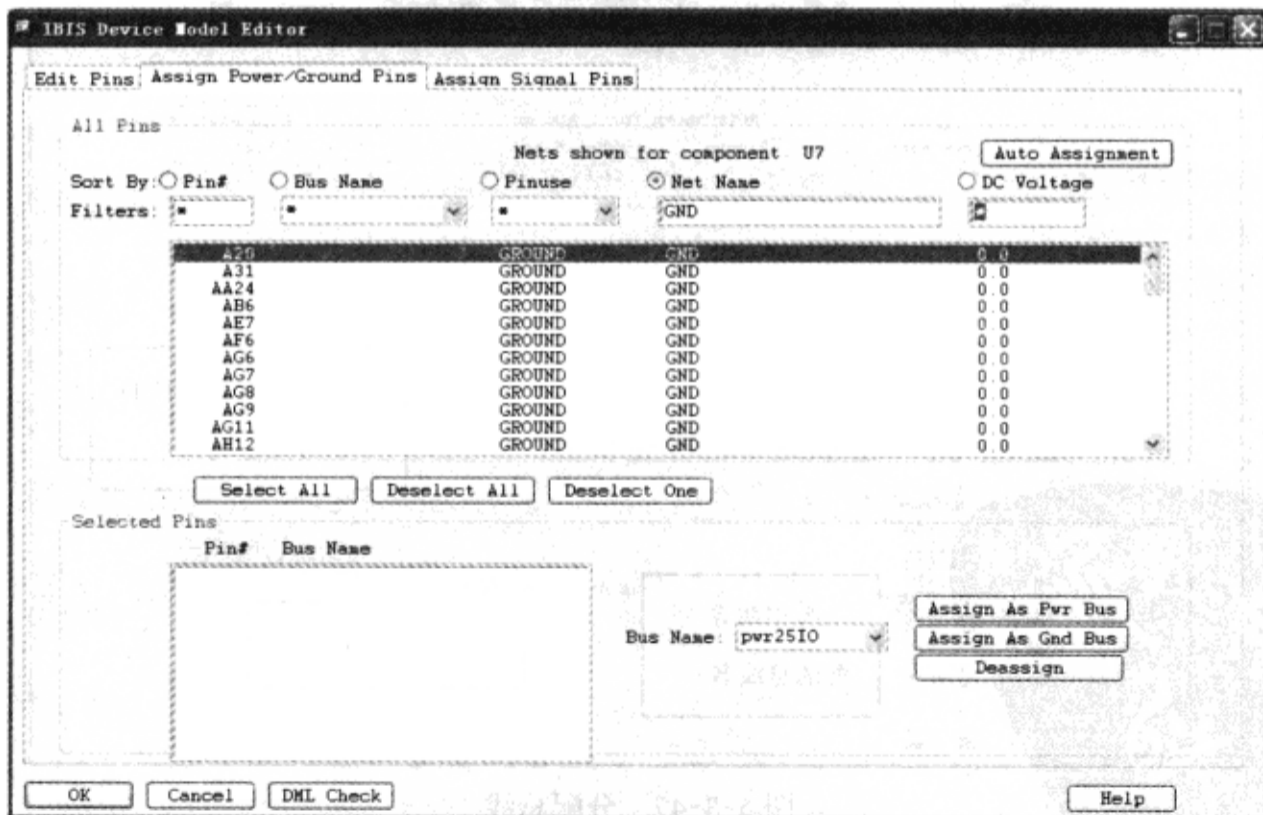


图 5-3-49 选择地网络

(2) 单击“IBIS Device Model Editor”对话框中的“Select All”按钮，地网络现在显示在“IBIS Device Model Editor”对话框的“Selected Pins”区域，如图 5-3-50 所示。

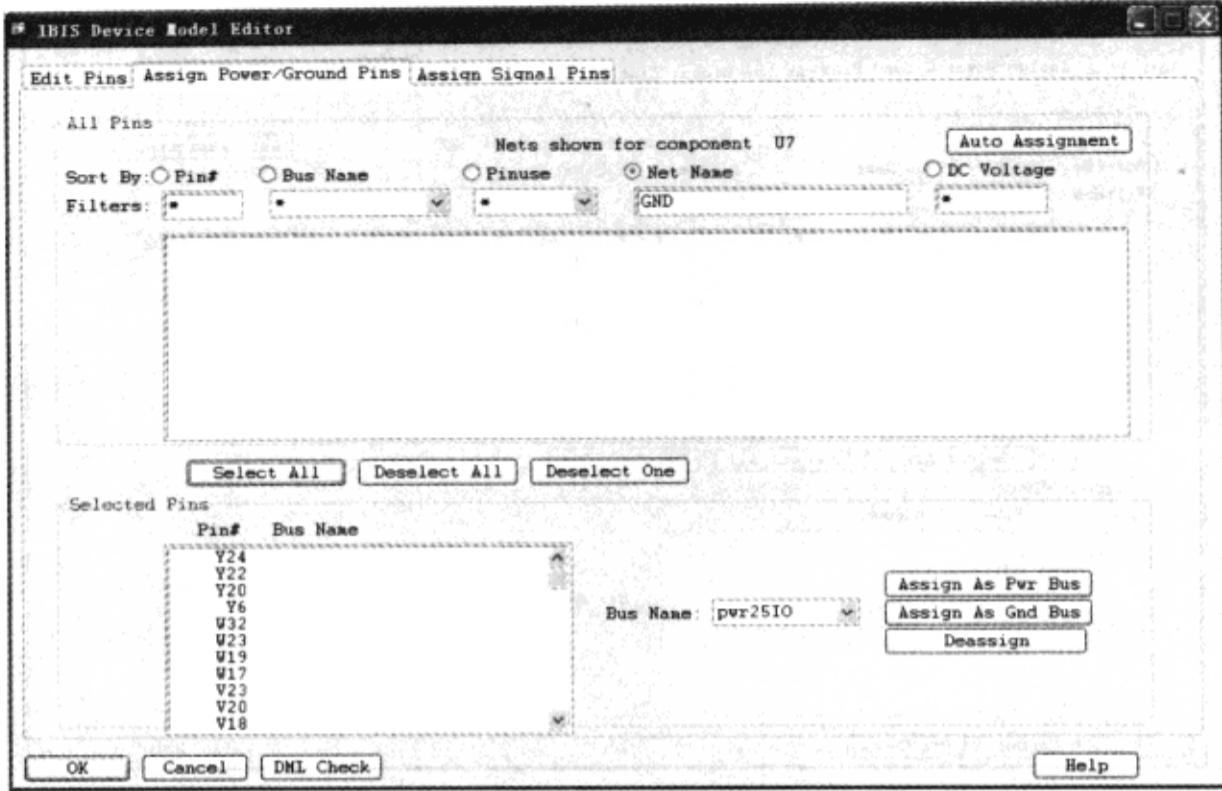


图 5-3-50 选择引脚

(3) 在“IBIS Device Model Editor”对话框的“Selected Pins”区域的“Bus Name”栏输入“gndbus”→定义地网络为地总线“gndbus”→单击“Assign As Gnd Bus”按钮，为选择的引脚分配这个总线名，如图 5-3-51 所示。

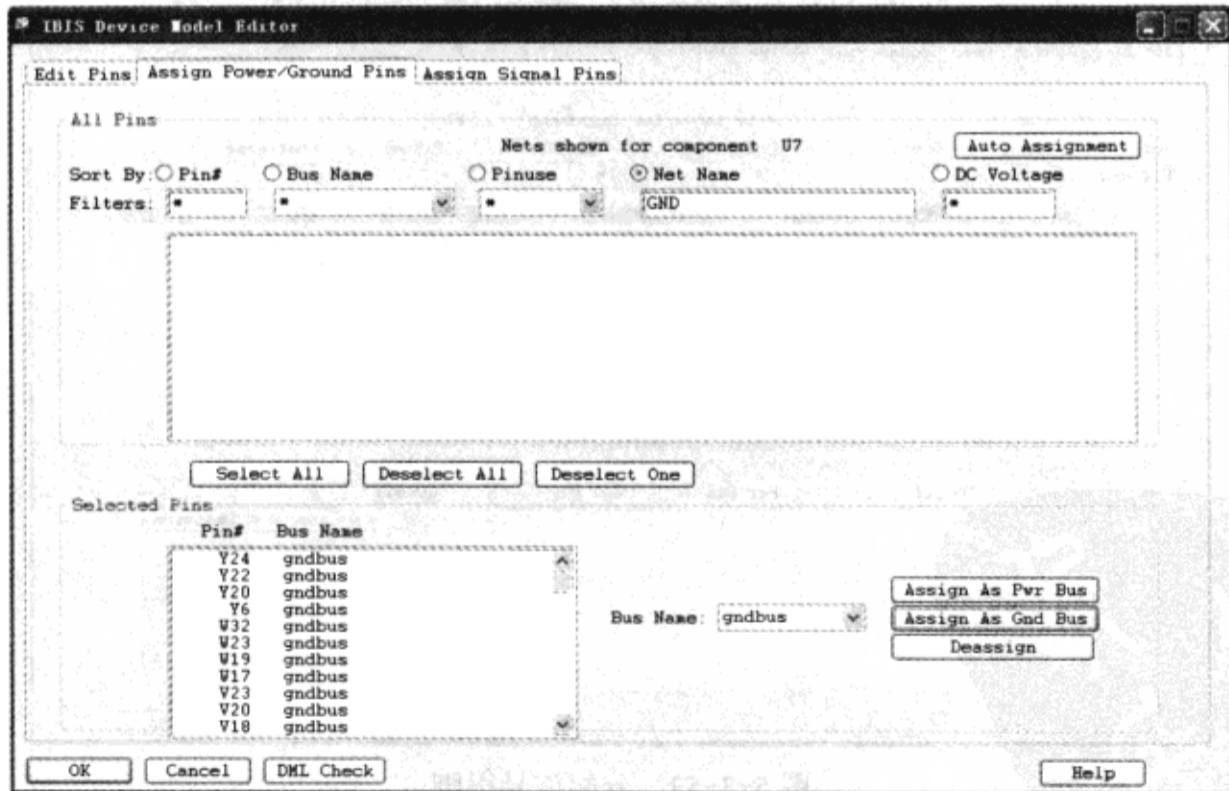


图 5-3-51 分配地总线

(4) 单击“IBIS Device Model Editor”对话框的“Deselect All”按钮→网络再次弹出在“IBIS Device Model Editor”对话框的“All Pins”区域，这些引脚现在显示总线名为“gndbus”，如图 5-3-52 所示。

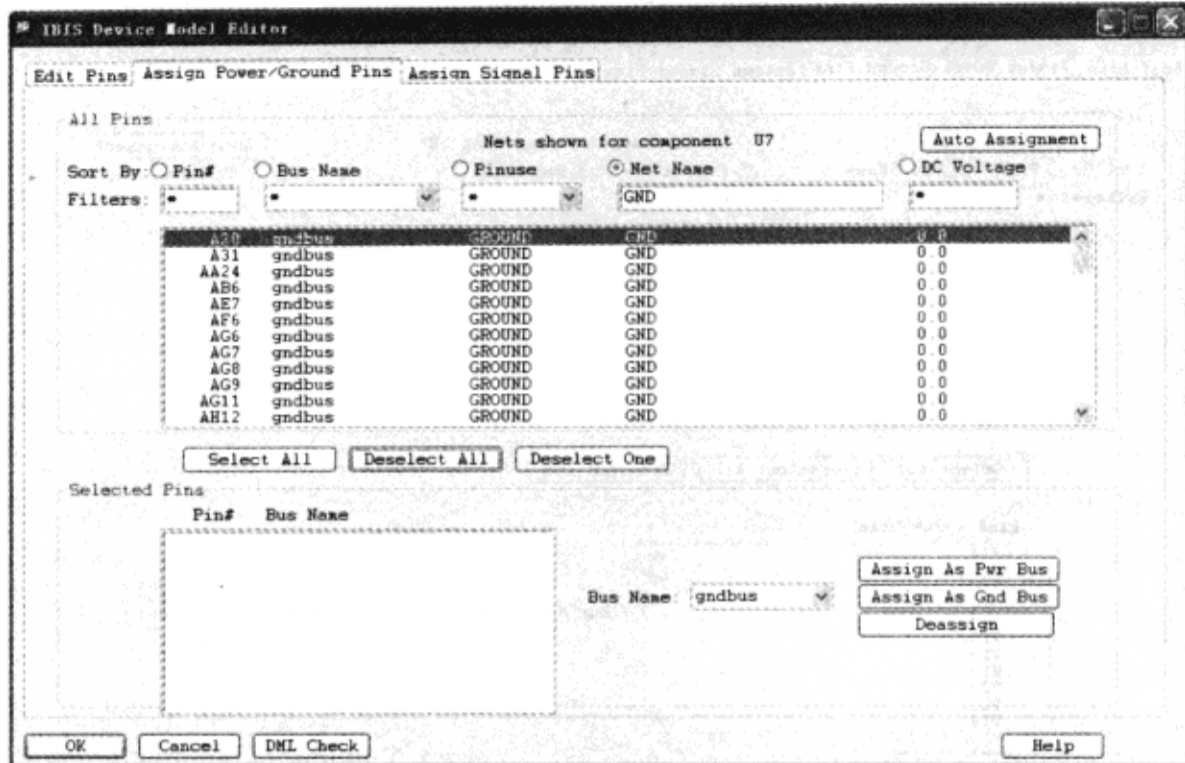


图 5-3-52 显示地总线

### 3) 为 IOCell 分配电源和地总线

(1) 选择“IBIS Device Model Editor”对话框的“Assign Signal Pins”标签页，如图 5-3-53 所示。

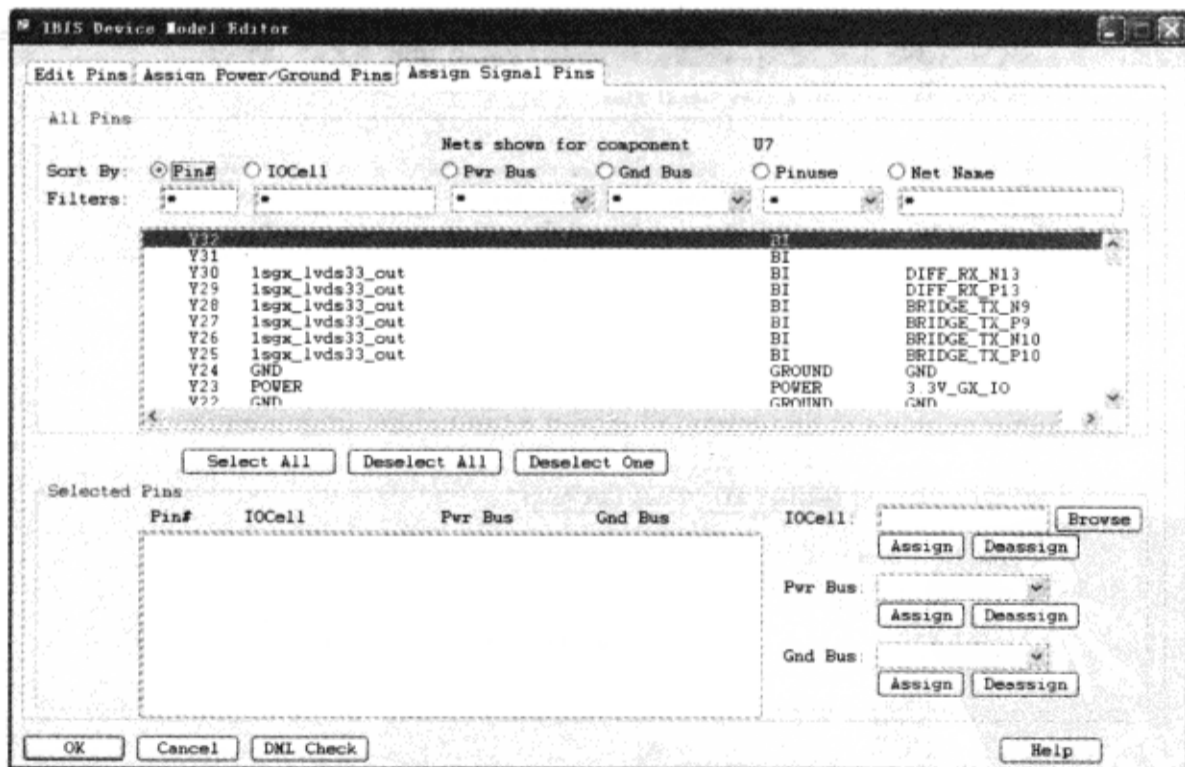


图 5-3-53 分配信号引脚

(2) 选中“IBIS Device Model Editor”对话框的“Net Name”单选按钮，如图 5-3-54 所示，网络已按网络名分组。

(3) 在“Net Name”栏输入“DDR\_D\*”→按“Tab”键，显示那些网络，如图 5-3-55 所示。

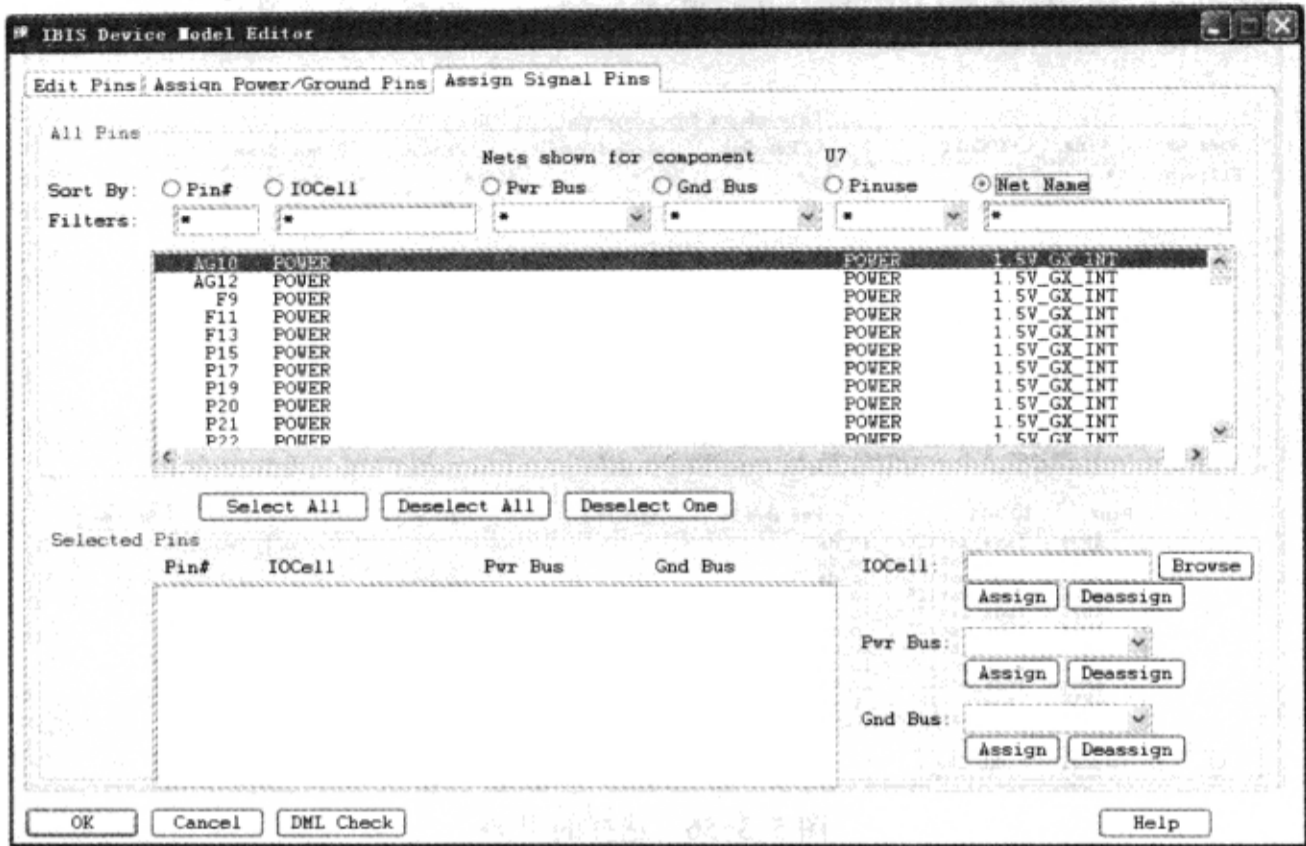


图 5-3-54 分配信号引脚

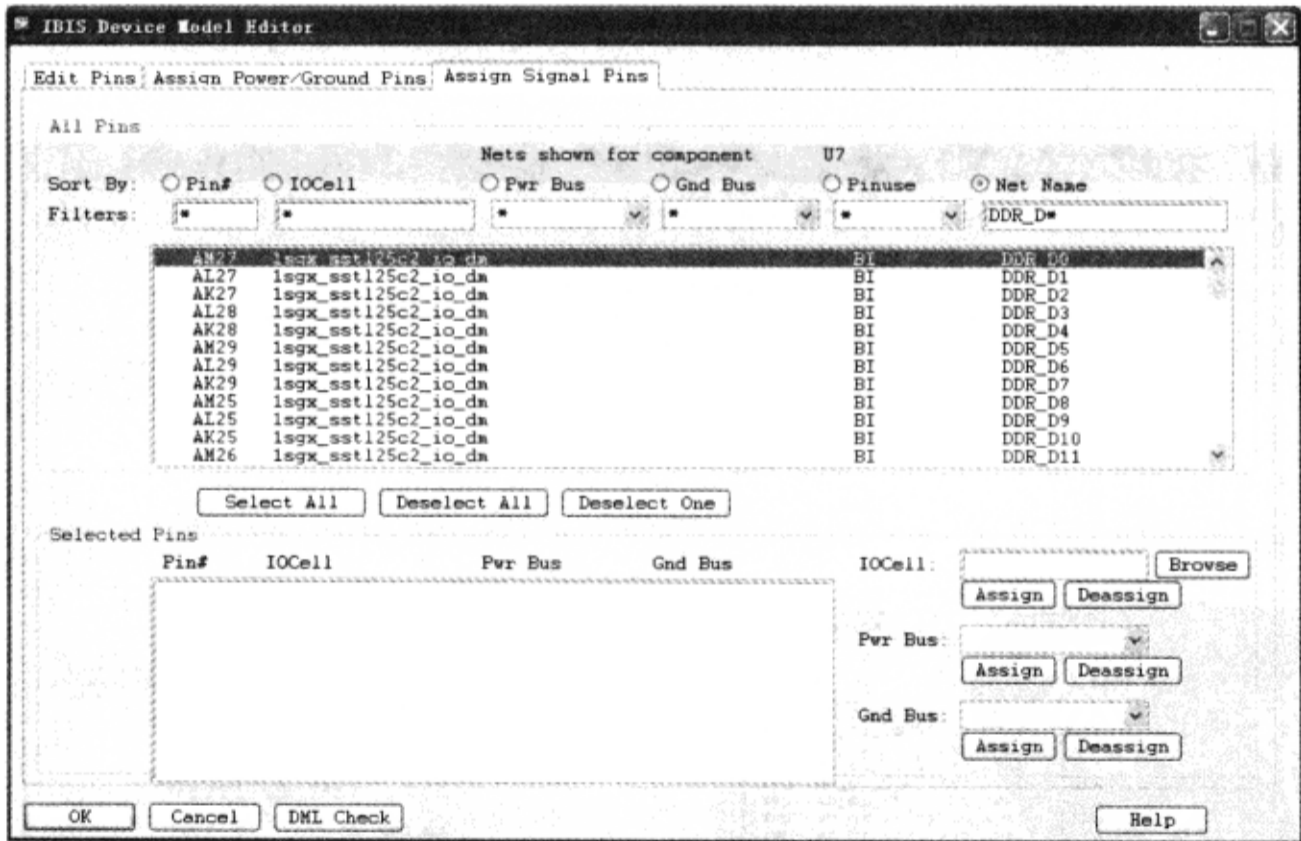


图 5-3-55 显示指定网络

(4) 单击“IBIS Device Model Editor”对话框中的“Select All”按钮→网络现在显示在“IBIS Device Model Editor”对话框的“Selected Pins”区域，如图 5-3-56 所示（仅显示引脚号、IOCell 模型、电源总线和地总线）。

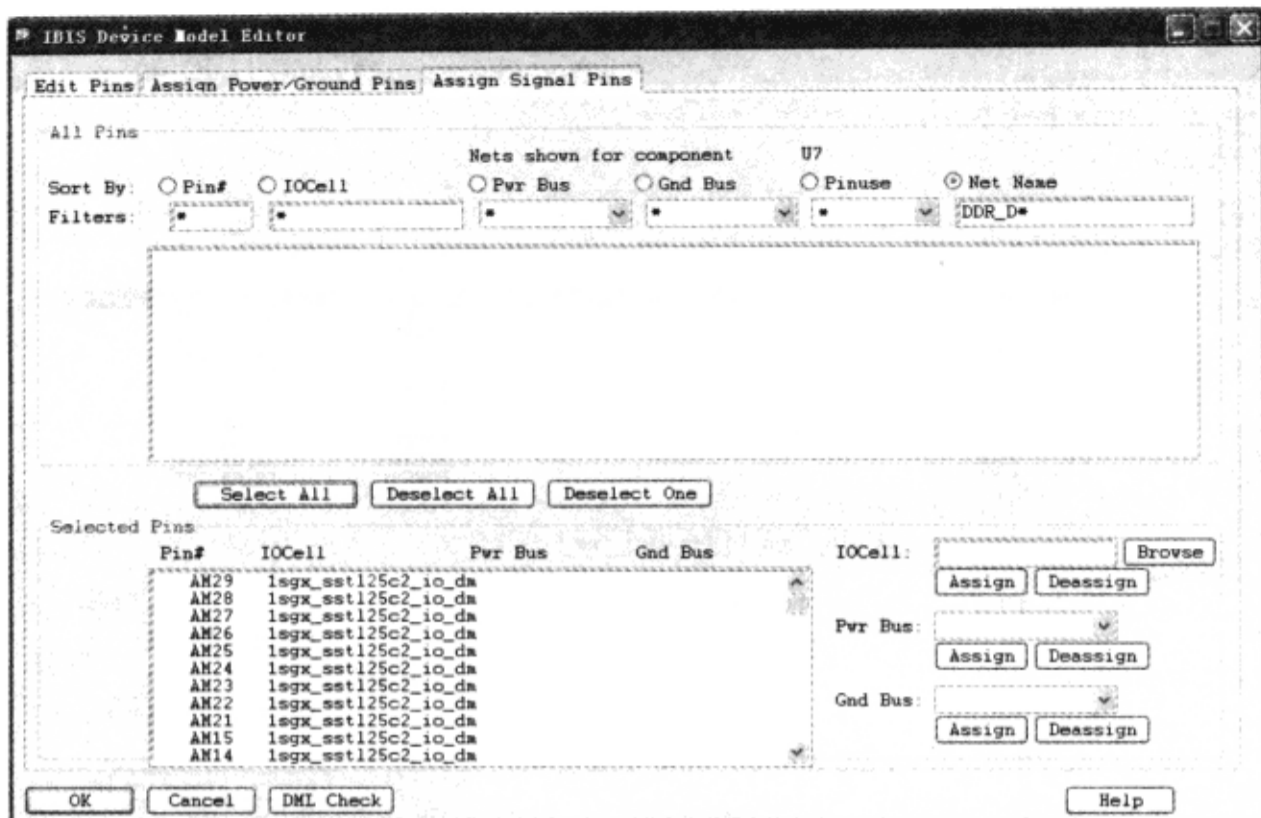


图 5-3-56 选择的引脚

(5) 从“Pwr Bus”下拉菜单选择“pwr25IO”→单击“Assign”按钮，为选择的引脚分配电源总线→“Selected Pins”列表框的“Pwr Bus”栏下列出“pwr25IO”，如图 5-3-57 所示。

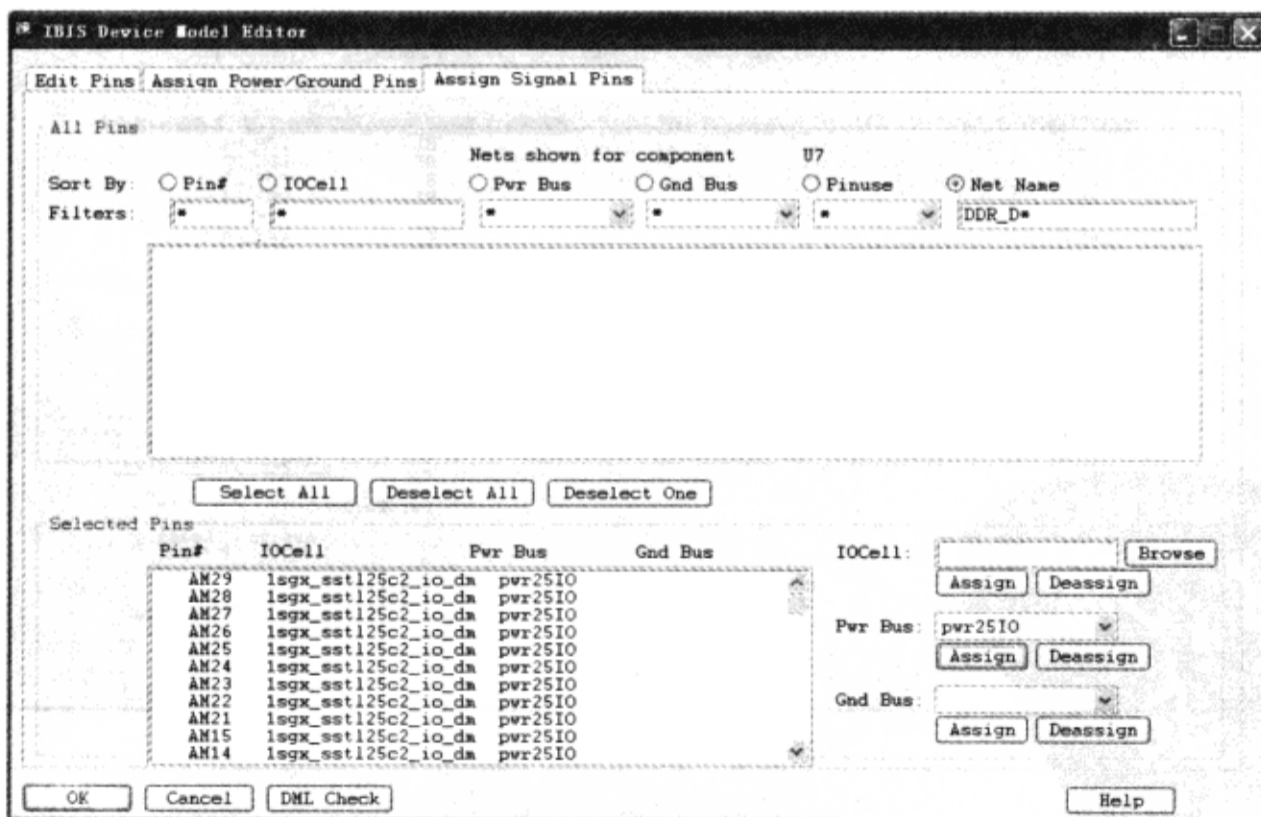


图 5-3-57 分配电源总线

(6) 从“Gnd Bus”下拉菜单中选择“gndbus”→单击“Assign”按钮，为选择的引脚分配地总线→“Selected Pins”区域的“Gnd Bus”栏下列出“gndbus”，如图 5-3-58 所示。



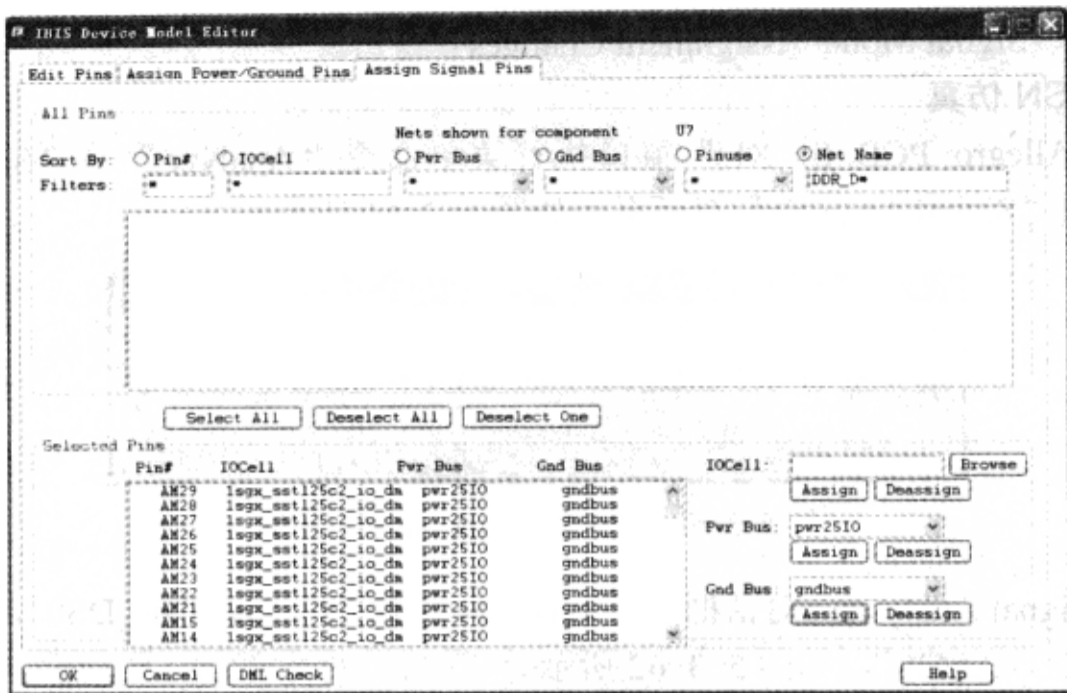


图 5-3-58 分配地总线

(7) 单击“IBIS Device Model Editor”对话框的“Deselect All”按钮→网络再次弹出在“IBIS Device Model Editor”对话框的“All Pins”区域，如图 5-3-59 所示，这些引脚现在显示连接 IO 电源（2.5V），所有引脚的电源总线名为“pwr2510”、地总线名为“gndbus”。

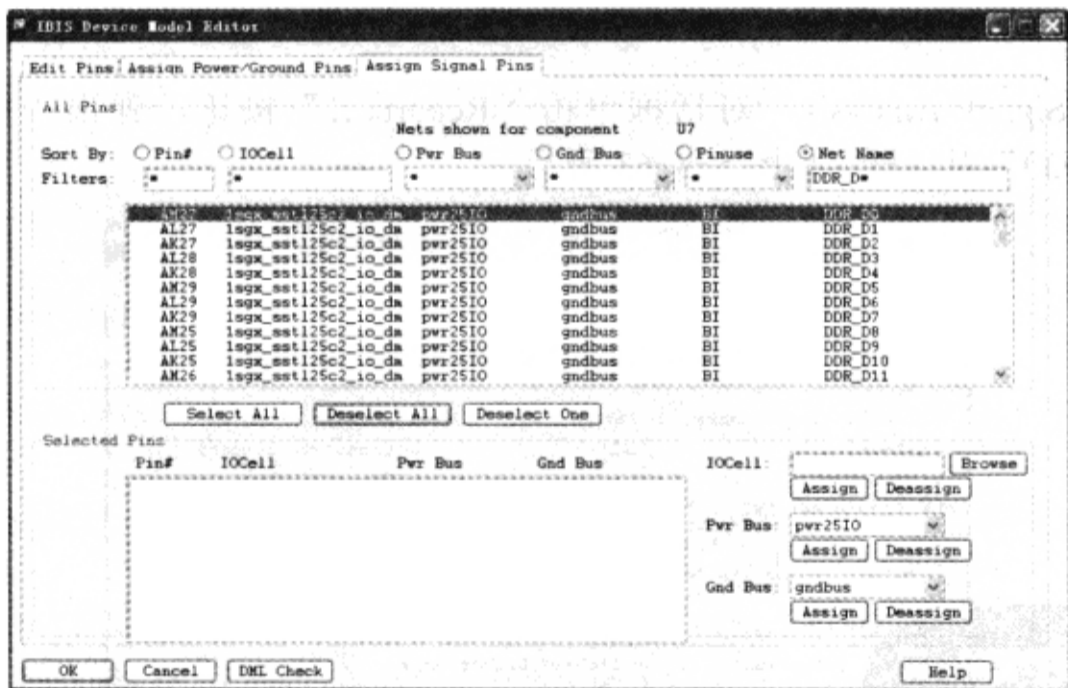


图 5-3-59 分配好的网络

(8) 单击“OK”按钮，关闭“IBIS Device Model Editor”对话框。

(9) 单击“OK”按钮，关闭“Signal Model Assignment”对话框→弹出“Signal Model Assignment Changes”窗口，如图 5-3-60 所示。

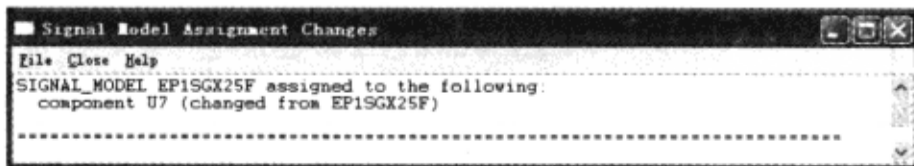


图 5-3-60 “Signal Model Assignment Changes”窗口

(10) 关闭“Signal Model Assignment Changes”窗口。

#### 4) 执行 SSN 仿真

(1) 在“Allegro PCB SI XL”窗口执行菜单命令“Analyze”→“SI/EMI Sim”→“Probe”→弹出“Signal Analysis”对话框，如图 5-3-61 所示。

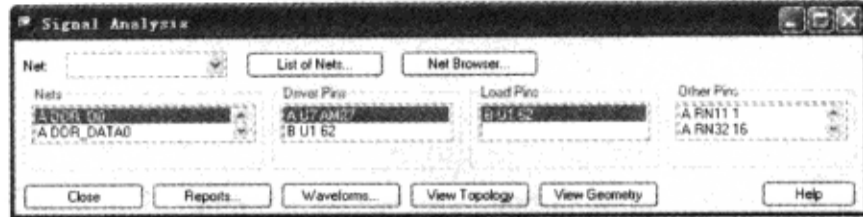


图 5-3-61 “Signal Analysis”对话框

(2) 在“Signal Analysis”对话框的“Nets”列表框选择“A DDR\_DS0”，“Driver Pins”列表框选择“A U7 AM28”，如图 5-3-62 所示。

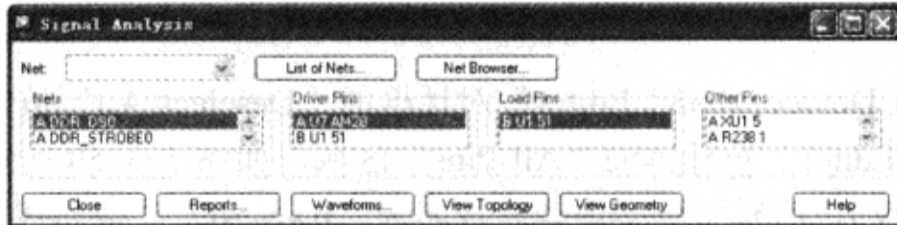


图 5-3-62 指定驱动器

(3) 在“Signal Analysis”对话框单击“Reports...”按钮，弹出“Analysis Report Generator (case3)”对话框，如图 5-3-63 所示。

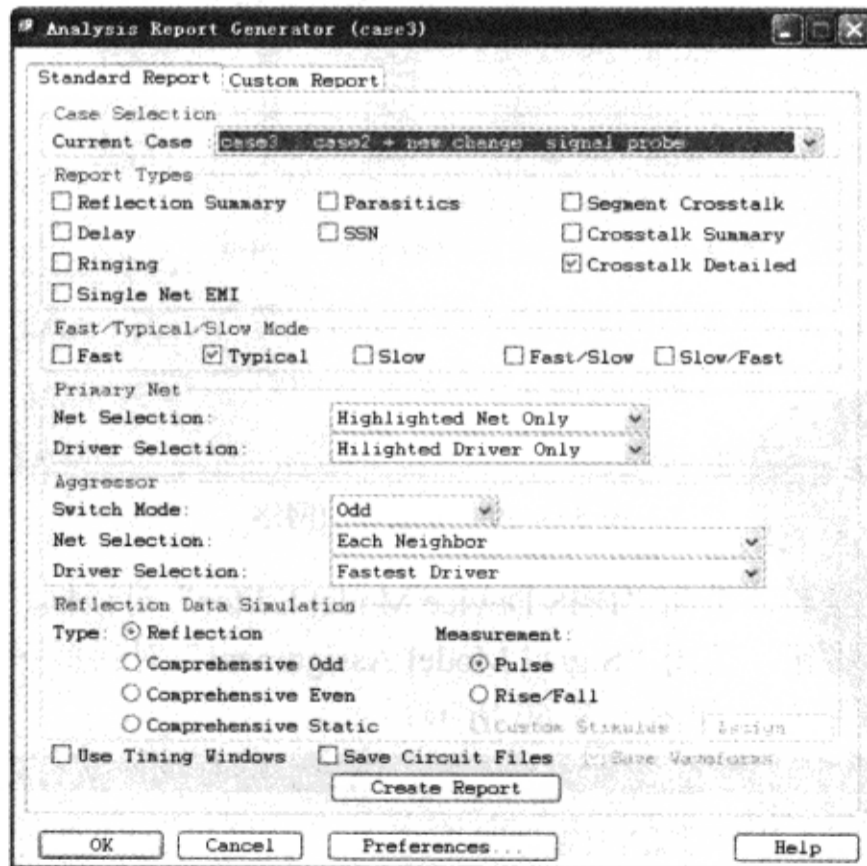


图 5-3-63 “Analysis Report Generator (case3)”对话框

(4) 确认或改变设置如图 5-3-64 所示。

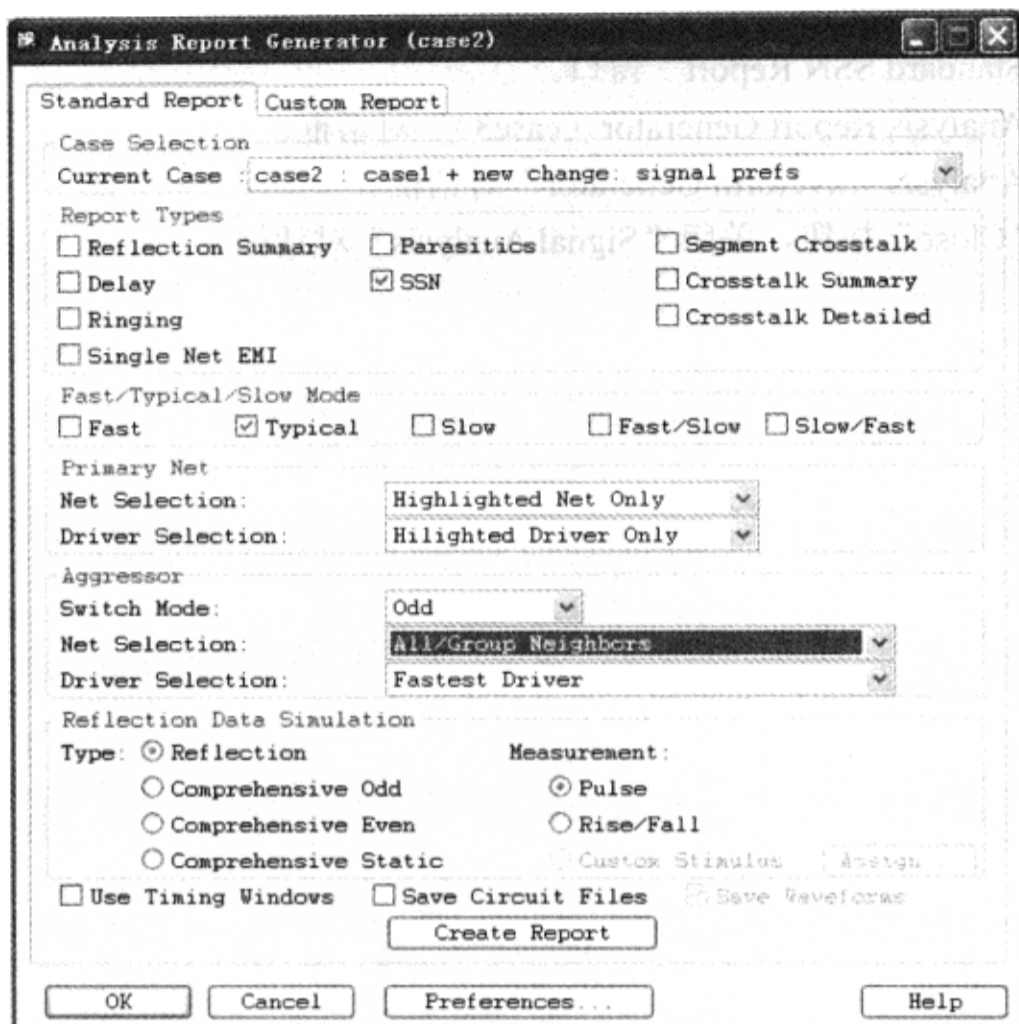


图 5-3-64 设置报告的内容

(5) 在“Analysis Report Generator (case3)”对话框中单击“Create Report”按钮→几分钟后弹出“Standard SSN Report”窗口，如图 5-3-65 所示。



图 5-3-65 SSN 报告内容

- (6) 查看“Standard SSN Report”窗口，SSNRise 值为 2940mV，SSNFall 值为 510.8mV。
- (7) 关闭“Standard SSN Report”窗口。
- (8) 关闭“Analysis Report Generator (case3)”对话框。
- (9) 关闭“Analysis Waveform Generator”对话框。
- (10) 单击“Close”按钮，关闭“Signal Analysis”对话框。

# 第6章 差分对设计

## 6.1 学习目标

本章主要学习对差分对进行仿真的方法，首先需要建立差分对并对其进行设置，然后提取差分对的拓扑并对其进行仿真和分析，根据分析结果建立差分对约束并对其进行差分对布线，最后对差分对进行后布线分析检验是否满足设计要求。

## 6.2 建立差分对

**【本节目的】** 主要学习建立差分对的方法，包括手工建立差分对和自动建立差分对，注意比较这两种方法的不同。

**【使用工具】** Allegro PCB SI GXL。

**【使用文件】** physical\diffPair\PCI1.brd。

### 1. 手工建立差分对

(1) 启动 Allegro PCB SI GXL，打开 D:\physical\diffPair\PCI1.brd 文件，如图 6-2-1 所示。

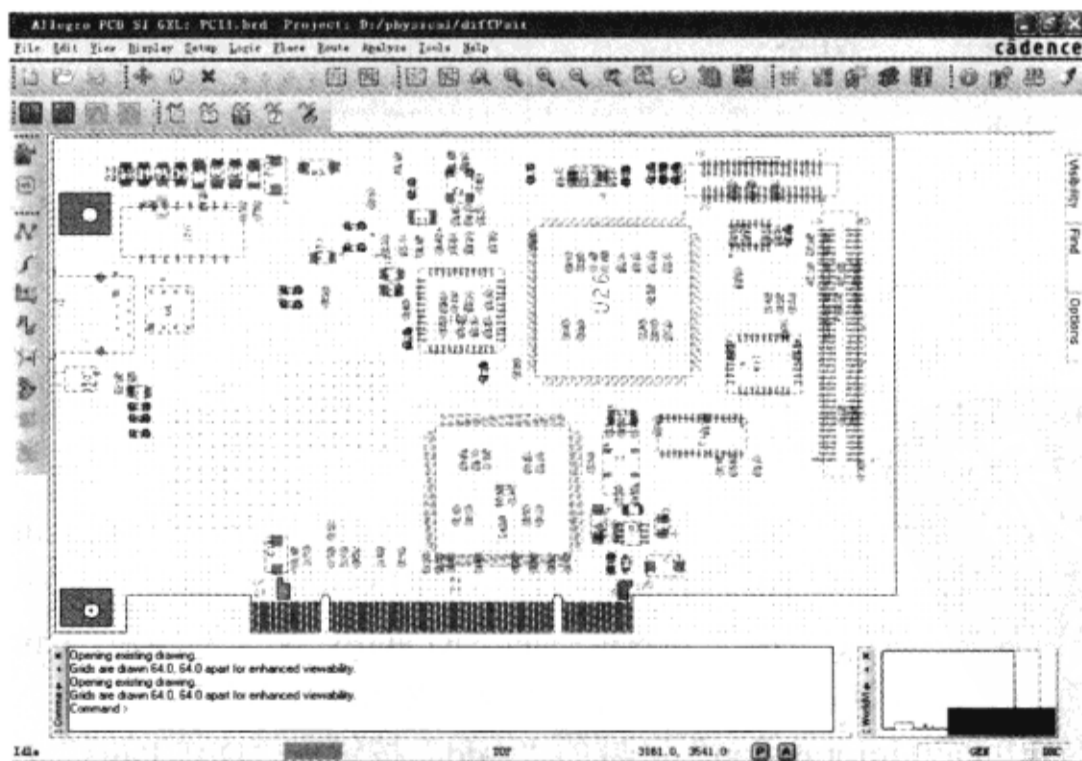


图 6-2-1 PCB 文件

(2) 执行菜单命令“Logic”→“Assign Differential Pair”，弹出“Assign Differential Pair”对话框，如图 6-2-2 所示。



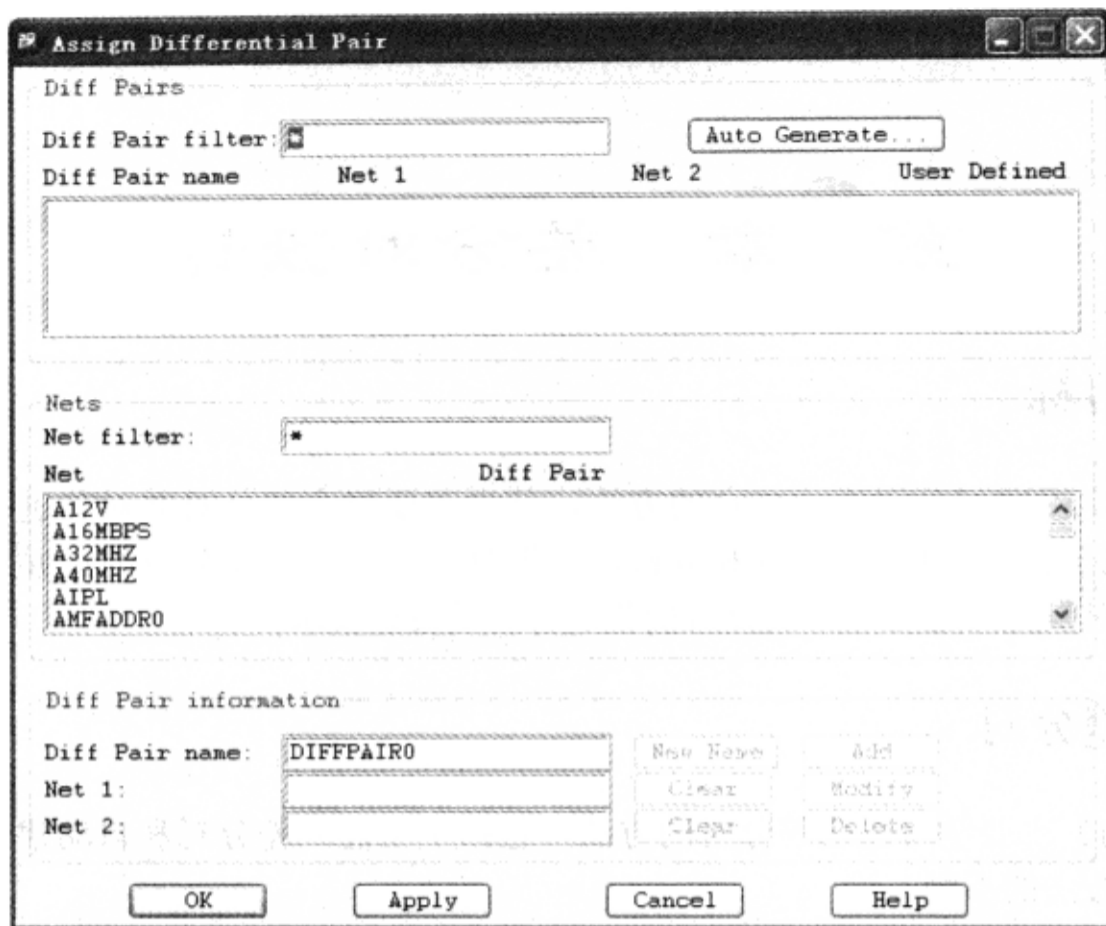


图 6-2-2 “Assign Differential Pair”对话框

(3) 在“Assign Differential Pair”对话框的“Nets”区域的“Net filter”栏中输入“ring\*”→按“Tab”键，仅 4 个网络在“Net”列表框列出，如图 6-2-3 所示。

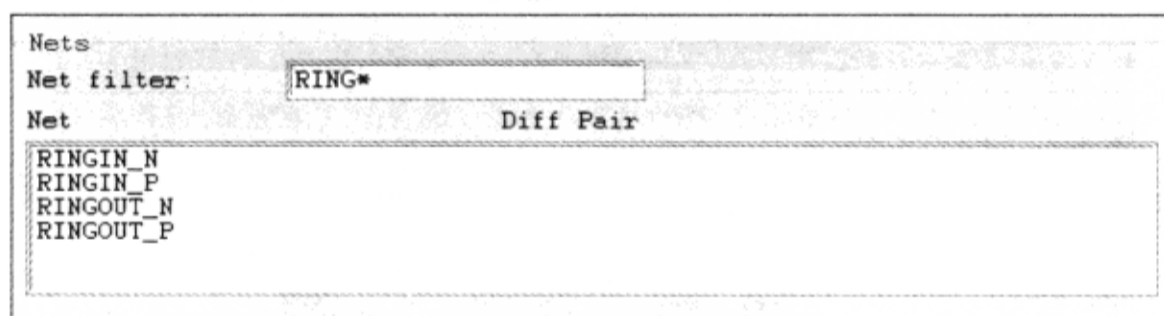


图 6-2-3 指定网络

(4) 在“Assign Differential Pair”对话框的“Diff Pair information”区域“Diff Pair name”栏输入“DIFFRING1”。

(5) 单击“Nets”区域的“Net”列表框中的“RINGIN\_P”→“Diff Pair information”区域“Net 1”栏后的文本区域现在显示选择的网络“RINGIN\_P”。

(6) 单击“Nets”区域的“Net”列表框中的“RINGIN\_N”→“Diff Pair information”区域“Net 2”栏后的文本区域现在显示选择的网络“RINGIN\_N”。

(7) 单击“Diff Pair information”区域的“Add”按钮→“Diff Pairs”栏显示建立的差分对，如图 6-2-4 所示，RINGIN\_N 和 RINGIN\_P 是这个差分对 DIFFRING1 的成员网络。“Diff Pairs”区域的列表框的“User Defined”栏显示“YES”，表示指定差分对在 SigNoise 模型中已经建立，已经为器件分配差分信号模型。

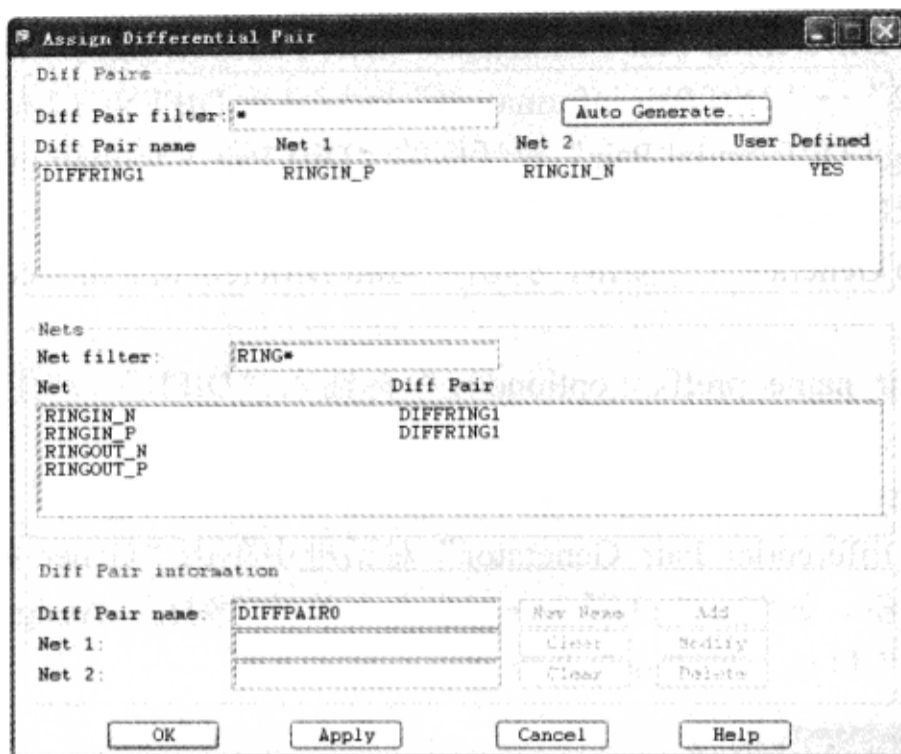


图 6-2-4 分配差分对 DIFFRING1

(8) 重复上面的步骤，为 RINGOUT\_N 和 RINGOUT\_P 分配差分对 DIFFRING2，如图 6-2-5 所示。

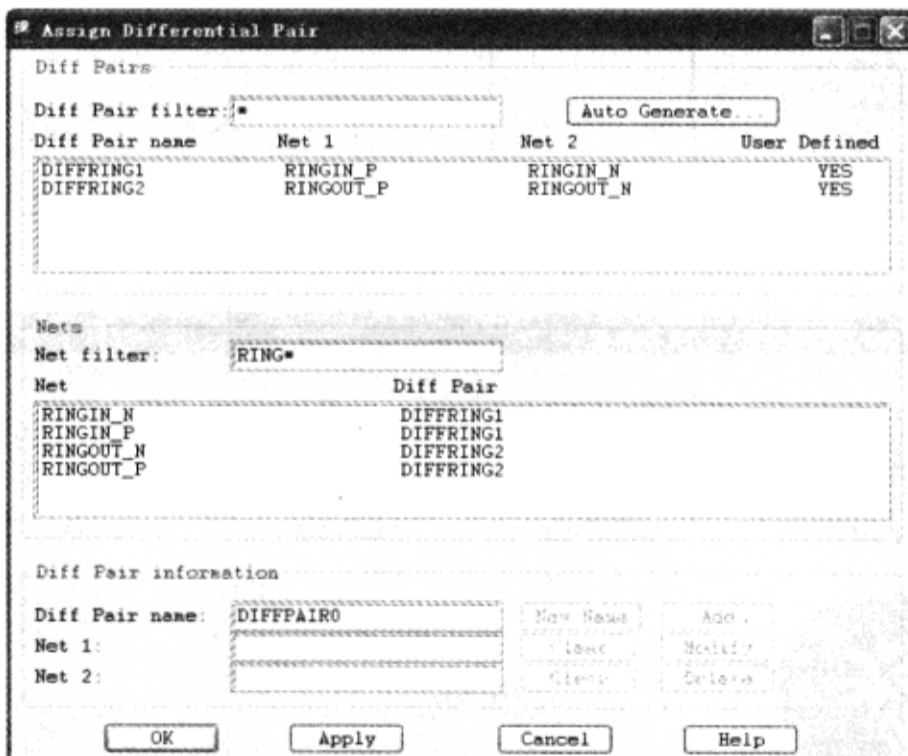


图 6-2-5 分配差分对 DIFFRING2

## 2. 自动建立差分对

(1) 在“Assign Differential Pair”对话框的“Diff Pairs”区域的“Diff Pair Name”列表框中选择“DIFFRING1”→“Diff Pair information”区域显示 DIFFNET1 信息。

(2) 单击“Assign Differential Pair”对话框的“Diff Pair information”区域的“Delete”按钮→差分对 DIFFRING1 从列表框中删除。

(3) 在“Assign Differential Pair”对话框的“Diff Pairs”区域的“Diff Pair name”列表框选择“DIFFRING2”→“Diff Pair information”区域显示 DIFFNET2 信息。

(4) 单击“Assign Differential Pair”对话框的“Diff Pair information”区域的“Delete”按钮→差分对 DIFFRING2 从列表框中删除。

(5) 单击“Auto Generate...”按钮，弹出“Auto Differential Pair Generator”对话框，如图 6-2-6 所示。

(6) 在“DiffPair name prefix (optional):”栏输入“DIFF”，产生的差分对名字将有 DIFF 前缀。

(7) 在“+polarity:”栏输入“\_P”，在“-polarity:”栏输入“\_N”。

(8) 在“Auto Differential Pair Generator”对话框中单击“Generate”按钮→产生差分对，并产生信息对话框，如图 6-2-7 所示→观察 4 个差分对列在“Assign Differential Pair”对话框的“Diff Pairs”区域，如图 6-2-8 所示。



图 6-2-6 “Auto Differential Pair Generator”对话框

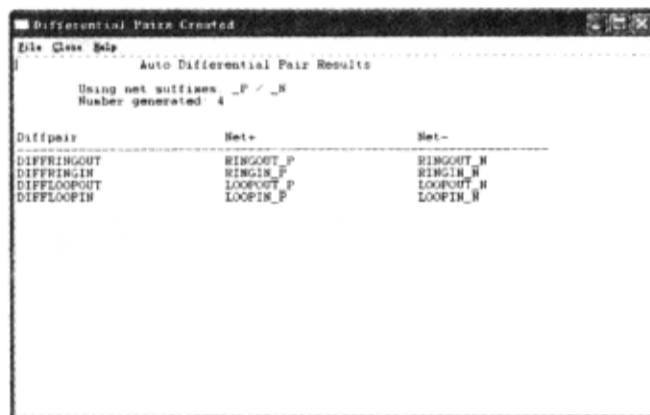


图 6-2-7 分配的差分对

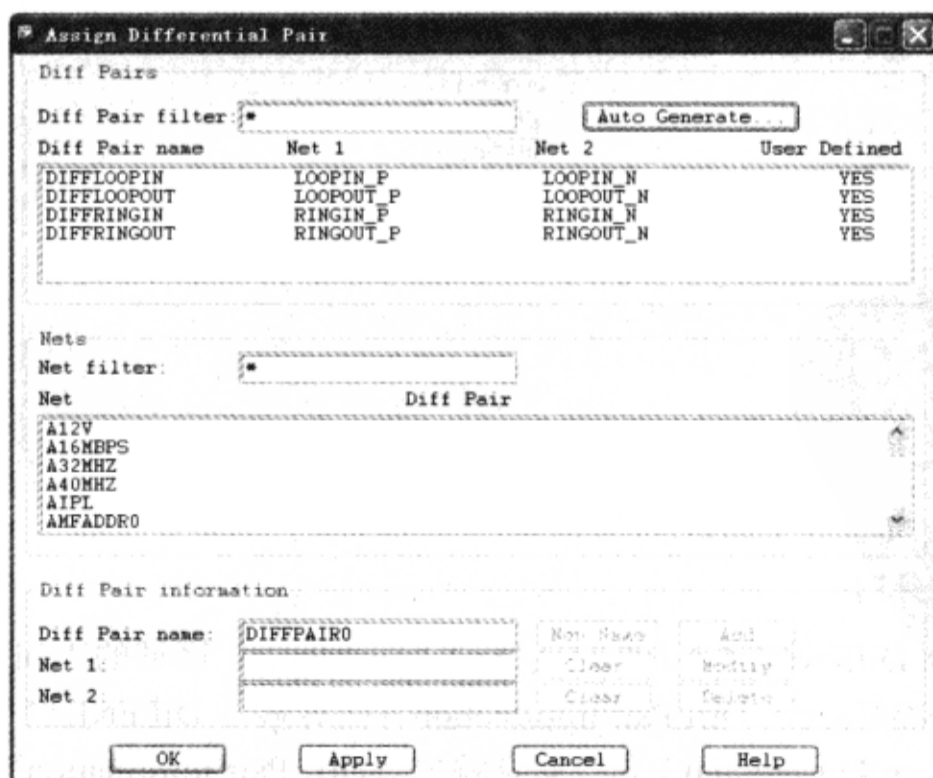


图 6-2-8 “Assign Differential Pair”对话框

- (9) 关闭“Differential Pairs Created”窗口。
- (10) 单击“OK”按钮，关闭“Assign Differential Pairs”对话框。
- (11) 执行菜单命令“File”→“Save as”，保存文件于 D:\ physical\diffPair，文件名为“PCI2.brd”。

### 6.3 仿真前的准备工作

**【本节目的】** 主要学习对差分对仿真前的一些准备工作，包括对 PCB 传输线阻抗的控制和分配 SI 仿真模型。

**【使用工具】** Allegro PCB SI GXL。

**【使用文件】** physical\diffPair\PCI2.brd, physical\diffPair\PCI3.brd。

#### 1. 阻抗控制

印制电路板 Trace 的关键参数之一就是特性阻抗，即波沿信号传输线路传送时电压与电流的比值，这是一个有关 Trace 物理尺寸（如 Trace 的宽度和厚度）和 PCB 底板材质的绝缘材料厚度的函数。Trace 的阻抗由其电感、电容和电阻决定。

实际情况中，PCB 传输线路通常由一个导线 Trace、一个或多个参考层及绝缘材质组成。传输线路，即迹线和板材构成了控制阻抗。PCB 通常采用多层结构，并且控制阻抗也可以采用多层方式来构建。但是，无论使用什么方式，阻抗值都将由其物理结构和绝缘材料的电子特性决定，包括：

- Trace 的宽度和厚度。
- Trace 两侧的内核和预填充材质的高度。
- Trace 和层的配置。
- 内核和预填充材质的绝缘常数。

阻抗控制技术在高速 PCB 设计中显得尤为重要。阻抗控制技术包括如下两个含义。

- 阻抗控制的 PCB 信号线是指沿高速 PCB 信号线各处阻抗连续，也就是说同一个网络上阻抗是一个常数。
- 阻抗控制的 PCB 是指 PCB 上所有网络的阻抗都控制在一定的范围以内，如 20~75Ω。

PCB 成为“可控阻抗 PCB”的关键是使所有线路的特性阻抗满足一个规定值，通常在 25~70Ω 之间。在多层 PCB 中，传输线性能良好的关键是使它的特性阻抗在整条线路中保持恒定。

当今的快速切换速度或高速时钟速率的 Trace 必须被视为传输线。传输线可分为单端（非平衡式）传输线和差分（平衡式）传输线，其中单端应用较多，如图 6-3-1 所示。

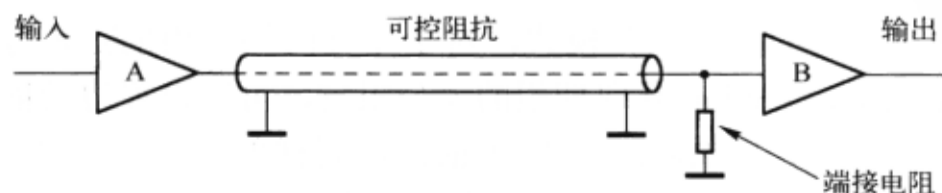


图 6-3-1 单端传输线

1) **单端传输线** 这是连接两个设备的最为常见的方法。在图 6-3-1 中，一条导线连接了一个设备的源和另一个设备的负载，参考（接地）层提供了信号回路。当信号跃变时，电流回路中的电流也是变化的，它将产生地线回路的电压降，构成地线回路噪声，这也成为系统中其他单端传输线接收器的噪声源，从而降低系统噪声容限。这是一个非平衡线路，信号线路和返回线路在几何尺寸上不同。

单端传输线特性阻抗与传输线尺寸、介质层厚度、介电常数的关系如下所述。

- 与迹线到参考平面的距离（介质层厚度）成正比。
- 与迹线的线宽成反比。
- 与迹线的高度成反比。
- 与介电常数的平方根成反比。

通常情况下单端传输线特性阻抗的范围为  $25\sim 120\Omega$ ，几个较常用的值是  $28\Omega$ 、 $33\Omega$ 、 $50\Omega$ 、 $52.5\Omega$ 、 $58\Omega$ 、 $65\Omega$ 、 $75\Omega$ 。

2) **差分传输线** 如图 6-3-2 所示，适用于对噪声隔离和改善时钟频率要求较高的情况。在差分模式中，传输线路是成对布放的，两条线路上传输的信号电压和电流值均相等，但相位（极性）相反。由于信号在一对 Trace 中进行传输，在其中一条 Trace 上出现的任何噪声与另一条 Trace 上出现的噪声完全相同（并非反向），两条线路之间生成的场将相互抵消，因此与单端非平衡式传输线相比，只产生极小的地线回路噪声，并且减少了外部噪声的问题。这是一个平衡线路，信号线和回路线的几何尺寸相同。平衡式传输线不会对其他线路产生噪声，同时也不易受系统其他线路产生的噪声的干扰。

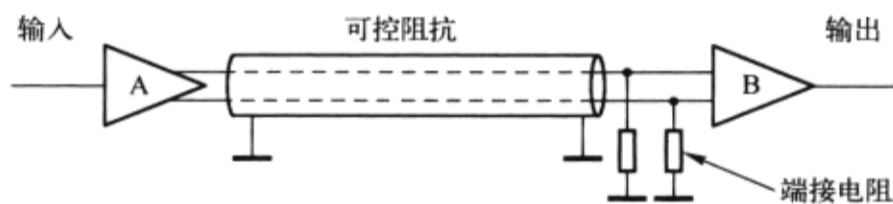


图 6-3-2 差分传输线

差分模式传输线的特性阻抗（也就是通常所说的差分阻抗）指的是差分传输线中两条导线之间的阻抗，它与差分传输线中每条导线对地的特性阻抗是有区别的，主要表现为：

- 间距较远的差分对信号，其特性阻抗是单个信号线对地特性阻抗的 2 倍。
- 间距较近的差分对信号，其特性阻抗比单个信号线对地特性阻抗的 2 倍小。
- 当其他因素保持不变时，差分对信号之间的间距越小，其特性阻抗越低（差分阻抗与差分线对之间的间距成反比）。
- 通常情况下差分传输线特性阻抗为  $100\Omega$ ，有时也用到  $75\Omega$ 。

Layout cross-section 包含 PCB 的全部层面，包括不同的参数，有两种模式。对于普通网络（如 HA 总线）使用的是非差分模式，对于差分网络使用的是差分模式（Differential Mode）。设置 Layout cross-section 获取期望的差分阻抗，可以设置边沿耦合 Trace 或全耦合 Trace 的差分阻抗。边沿耦合 Trace 是指 Trace 在同样的布线层。本设计使用边沿耦合 Trace。全耦合 Trace 是指 Trace 在用介质分开的两个邻近的层。本设计没有用介质层分开两个信号层，所以没有使用全耦合 Trace。在 Layout cross-section 中设置正在使用的差分对的



差分阻抗为 100Ω。

(1) 执行菜单命令“Setup”→“Cross-Section”，弹出“Layout Cross Section”对话框，在“Layout Cross Section”对话框右下角选中“Show Single Impedance”，如图 6-3-3 所示，Top 层的阻抗为 65.762 Ω。

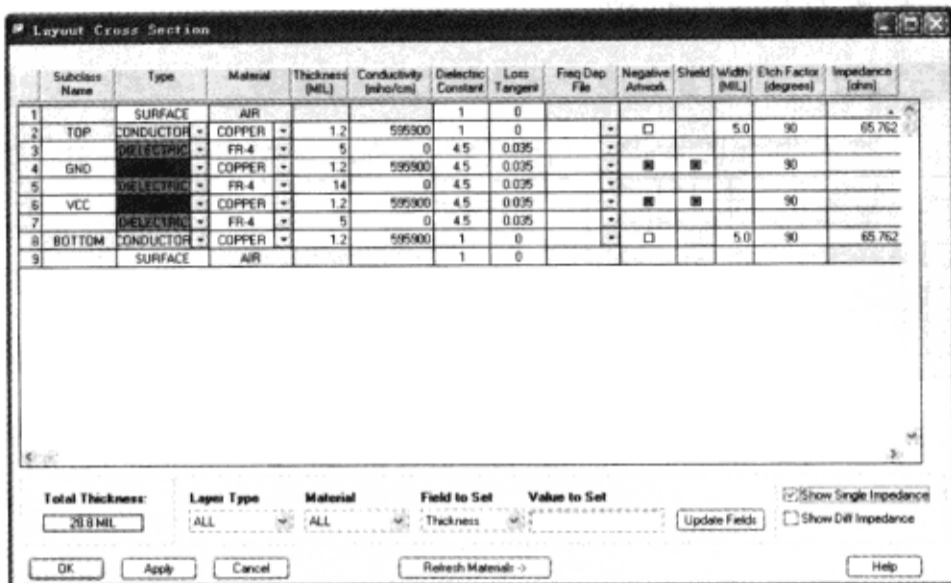


图 6-3-3 “Layout Cross Section”对话框

(2) 单击“Top”前面的数字“2”→单击鼠标右键→从弹出的菜单中选择“Add Layer Above”，一个新 DIELECTRIC 层被加到 TOP 层，如图 6-3-4 所示，这个层的“Dielectric Constant”值为 4.5，“Loss Tangent”值为 0.035，这是 FR-4 材料，Top 层的阻抗变为 59.049Ω。

Subclass Name	Type	Material	Thickness (MIL)	Conductivity (mho/cm)	Dielectric Constant	Loss Tangent	Freq Dep File	Negative Artwork	Shield	Width (MIL)	Etch Factor (degrees)	Impedance (ohm)
1	SURFACE	AIR			1	0						
2	DIELECTRIC	FR-4	8	0	4.5	0.035						
3	TOP CONDUCTOR	COPPER	1.2	595900	1	0		<input type="checkbox"/>		5.0	90	59.049
4	DIELECTRIC	FR-4	5	0	4.5	0.035						
5	GND CONDUCTOR	COPPER	1.2	595900	4.5	0.035		<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>		90	
6	DIELECTRIC	FR-4	14	0	4.5	0.035						
7	VCC CONDUCTOR	COPPER	1.2	595900	4.5	0.035		<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>		90	
8	DIELECTRIC	FR-4	5	0	4.5	0.035						
9	BOTTOM CONDUCTOR	COPPER	1.2	595900	1	0		<input type="checkbox"/>		5.0	90	65.762
10	SURFACE	AIR			1	0						

图 6-3-4 添加层面

(3) 选择新添加层的“Material”栏改变“FR-4”为“CONFORMAL\_COAT”，如图 6-3-5 所示，CONFORMAL\_COAT 的“Dielectric Constant”值为 3.00，“Loss Tangent”值为 0，“Thickness”值默认为 0.787402mil，TOP 层的 Trace 阻抗现在改为 64.256Ω。

Subclass Name	Type	Material	Thickness (MIL)	Conductivity (mho/cm)	Dielectric Constant	Loss Tangent	Freq Dep File	Negative Artwork	Shield	Width (MIL)	Etch Factor (degrees)	Impedance (ohm)
1	SURFACE	AIR			1	0						
2	DIELECTRIC	FORMAL_C	0.787402	0	3	0						
3	TOP CONDUCTOR	COPPER	1.2	595900	1	0		<input type="checkbox"/>		5.0	90	64.256
4	DIELECTRIC	FR-4	5	0	4.5	0.035						
5	GND CONDUCTOR	COPPER	1.2	595900	4.5	0.035		<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>		90	
6	DIELECTRIC	FR-4	14	0	4.5	0.035						
7	VCC CONDUCTOR	COPPER	1.2	595900	4.5	0.035		<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>		90	
8	DIELECTRIC	FR-4	5	0	4.5	0.035						
9	BOTTOM CONDUCTOR	COPPER	1.2	595900	1	0		<input type="checkbox"/>		5.0	90	65.762
10	SURFACE	AIR			1	0						

图 6-3-5 更改材料

(4) 单击数字“2” (Dielectric-CONFORMAL\_COAT) → 从弹出的菜单中选择“Remove Layer”，删除该层，阻抗又变为最初的 65.762Ω。

(5) 选中“Layout Cross Section”对话框右下角的“Show Diff Impedance”，如图 6-3-6 所示，现在激活了差分模式，TOP 的 Trace 阻抗设置为 65.762Ω，耦合类型也设置为“NONE”。“DiffZ0”栏没有显示任何值。

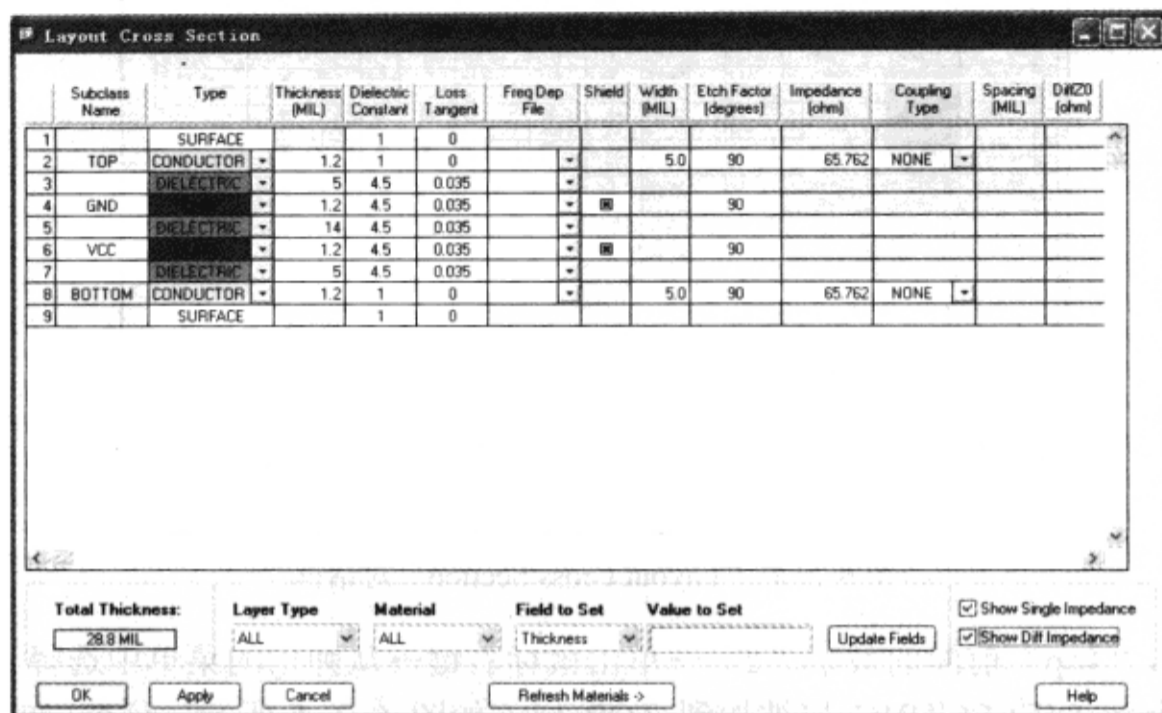


图 6-3-6 差分模式

(6) 从 Top 层的“Coupling Type”下拉菜单选择“EDGE”，如图 6-3-7 所示，“Spacing”栏现在显示 5.0mil，这就是从设计中设置的间距规则约束得到的默认间距值。“DiffZ0”栏现在显示 107.33Ω。

Subclass Name	Type	Thickness (MIL)	Dielectric Constant	Loss Tangent	Freq Dep File	Shield	Width (MIL)	Etch Factor (degrees)	Impedance (ohm)	Coupling Type	Spacing (MIL)	DiffZ0 (ohm)
1	SURFACE		1	0								
2	TOP CONDUCTOR	1.2	1	0			5.0	90	65.762	EDGE	5.0	107.33
3	DIELECTRIC	5	4.5	0.035								
4	GND DIELECTRIC	1.2	4.5	0.035		■		90				
5	DIELECTRIC	14	4.5	0.035								
6	VCC DIELECTRIC	1.2	4.5	0.035		■		90				
7	DIELECTRIC	5	4.5	0.035								
8	BOTTOM CONDUCTOR	1.2	1	0			5.0	90	65.762	NONE		
9	SURFACE		1	0								

图 6-3-7 设置耦合类型

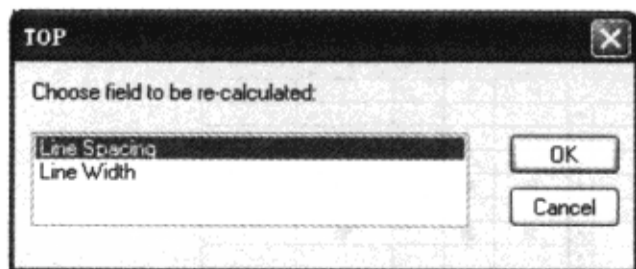


图 6-3-8 “TOP”窗口

(7) 单击“TOP”的“DiffZ0”栏输入 100 → 按“Tab”键 → 弹出“TOP”窗口，如图 6-3-8 所示，显示两个选项，即“Line Spacing”和“Line Width” → 将选择这两项重新计算以获得 100Ω 的输入差分阻抗。

(8) 选择“Line Width” → 单击“OK”按钮，Top 的“Spacing”栏改变为新值——目标差分阻抗 100Ω。差分阻抗值可能改变为一个很接近的值，同时改变“Spacing”值，“Width”值改

变为 5.9mil，对于 5.9mil 间距的差分阻抗是  $100.51\Omega$ ，如图 6-3-9 所示，还可以从“TOP”窗口选择“Line Width”作为目标重新计算，以获得  $100\Omega$  目标差分阻抗。

	Subclass Name	Type	Thickness (MIL)	Dielectric Constant	Loss Tangent	Freq Dep File	Shield	Width (MIL)	Etch Factor (degrees)	Impedance (ohm)	Coupling Type	Spacing (MIL)	DifZ0 (ohm)
1		SURFACE		1	0								
2	TOP	CONDUCTOR	1.2	1	0			5.9	90	61.109	EDGE	5.0	100.51
3		DIELECTRIC	5	4.5	0.035								
4	GND	DIELECTRIC	1.2	4.5	0.035		<input checked="" type="checkbox"/>		90				
5		DIELECTRIC	14	4.5	0.035								
6	VCC	DIELECTRIC	1.2	4.5	0.035		<input checked="" type="checkbox"/>		90				
7		DIELECTRIC	5	4.5	0.035								
8	BOTTOM	CONDUCTOR	1.2	1	0			5.0	90	65.762	NONE		
9		SURFACE		1	0								

图 6-3-9 设置差分阻抗

(9) 单击“TOP”层的“Width”栏→输入 6.0→按“Tab”键，则自动按照更改“Differential Impedance”值进行计算，此时 TOP 层的差分阻抗为  $99.814\Omega$ ，阻抗值为  $60.636\Omega$ ，如图 6-3-10 所示。

	Subclass Name	Type	Thickness (MIL)	Dielectric Constant	Loss Tangent	Freq Dep File	Shield	Width (MIL)	Etch Factor (degrees)	Impedance (ohm)	Coupling Type	Spacing (MIL)	DifZ0 (ohm)
1		SURFACE		1	0								
2	TOP	CONDUCTOR	1.2	1	0			6.0	90	60.636	EDGE	5.0	99.814
3		DIELECTRIC	5	4.5	0.035								
4	GND	DIELECTRIC	1.2	4.5	0.035		<input checked="" type="checkbox"/>		90				
5		DIELECTRIC	14	4.5	0.035								
6	VCC	DIELECTRIC	1.2	4.5	0.035		<input checked="" type="checkbox"/>		90				
7		DIELECTRIC	5	4.5	0.035								
8	BOTTOM	CONDUCTOR	1.2	1	0			5.0	90	65.762	NONE		
9		SURFACE		1	0								

图 6-3-10 更改线宽

(10) 编辑 BOTTOM 层参数获得  $100\Omega$  差分阻抗，设置“Coupling Type”为“EDGE”，“Line Width”值为 6.0mil，“Spacing”值为 5.0mil。现在差分阻抗值是  $99.814\Omega$ ，阻抗值是  $60.636\Omega$ ，如图 6-3-11 所示。

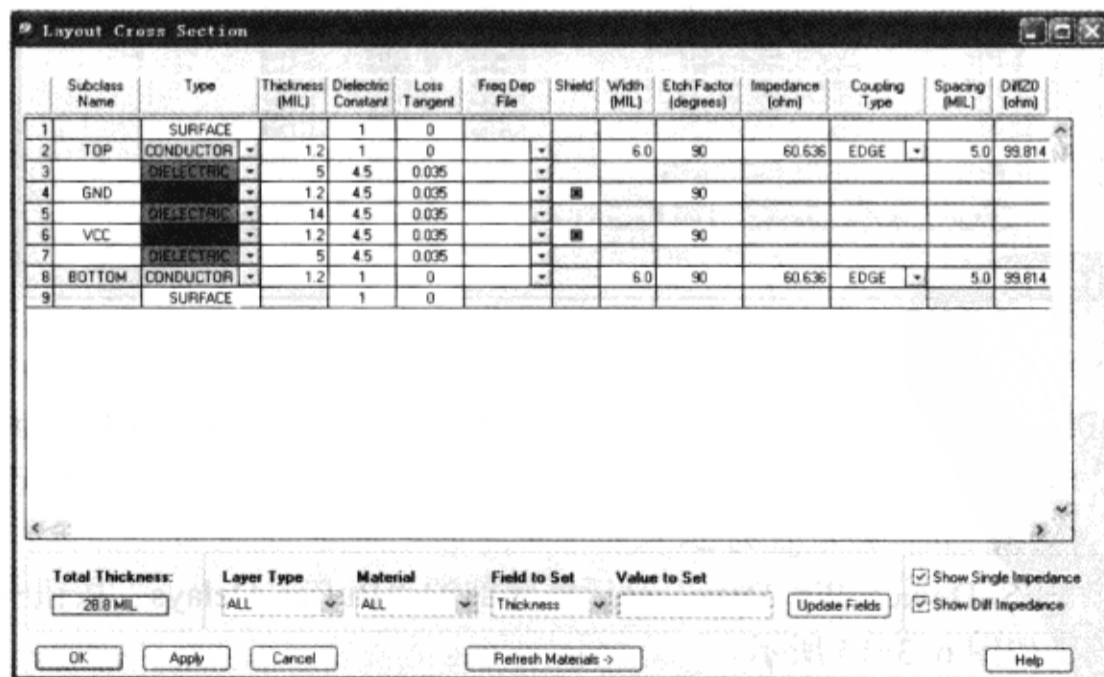


图 6-3-11 设置 BOTTOM 层参数

(11) 单击“OK”按钮，关闭“Layout Cross Section”对话框。

(12) 执行菜单命令“File”→“Save as”，保存文件为 D:\physical\diffPair\PCI3.brd。

## 2. 分配器件模型

### 1) 测量差分缓冲延迟

(1) 从“Allegro PCB SI GXL”窗口执行菜单命令“Analyze”→“SI/EMI Sim”→“Model Browser...”，弹出“SI Model Browser”对话框，如图 6-3-12 所示。

(2) 在“SI Model Browser”对话框的列表框下面的“Library”显示 sunspot.dml 库→在“SI Model Browser”对话框中选择“sunspot”→单击“Edit”按钮→弹出“IBIS Device Model Editor”对话框，如图 6-3-13 所示。

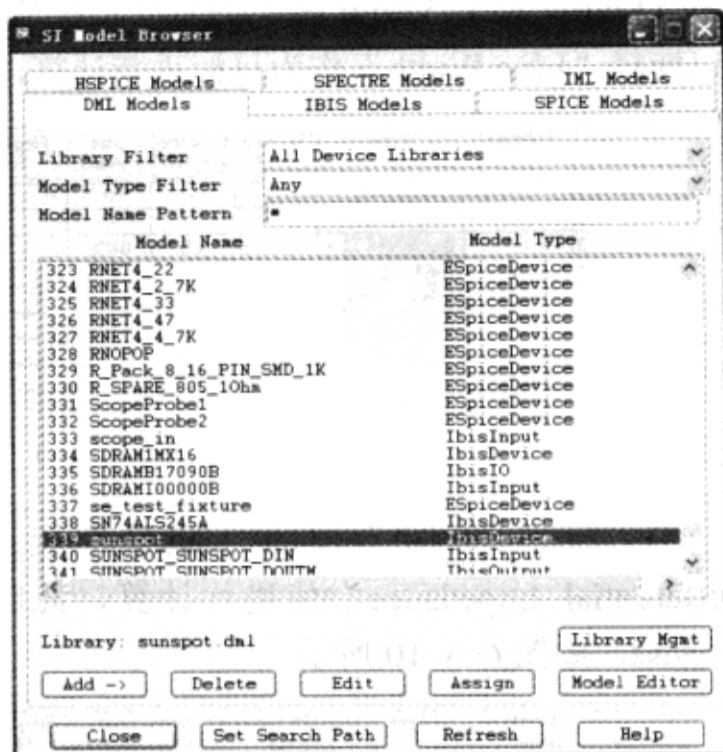


图 6-3-12 “SI Model Browser”对话框

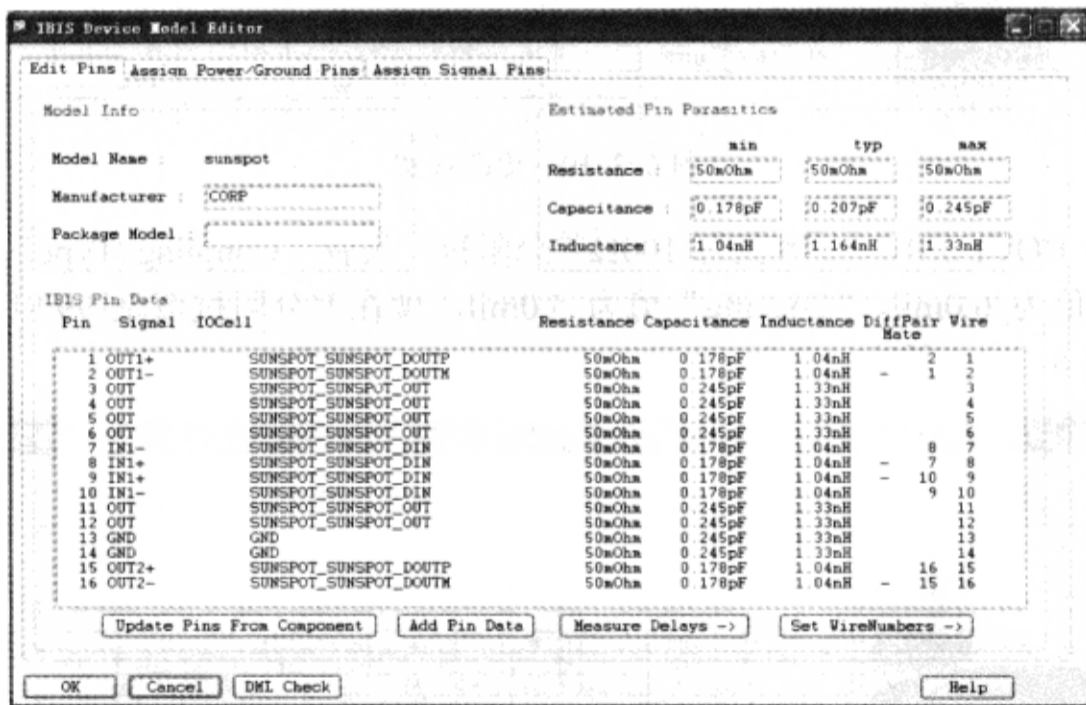


图 6-3-13 “IBIS Device Model Editor”对话框

(3) 在“IBIS Pin Data”列表框单击“Pin 1”（第一行）→弹出“IBIS Device Pin Data”对话框，如图 6-3-14 所示→在“Diff Pair Data”栏，将“Pin 1”栏设置为“Non-Inverting”，将“Mate Pin”栏设置为 2。

(4) 单击“IBIS Device Pin Data”对话框底部的“Buffer Delays”按钮→弹出“Buffer Delays”对话框，如图 6-3-15 所示。

(5) 在“Differential Buffer Delay”区域的“ESpice Model”栏中选择“C5P”→在“Diff Ref Voltage”的“Min”、“Typical”和“Max”区域输入 0V，将假定一个默认的差分参考电压 0V，如图 6-3-16 所示。

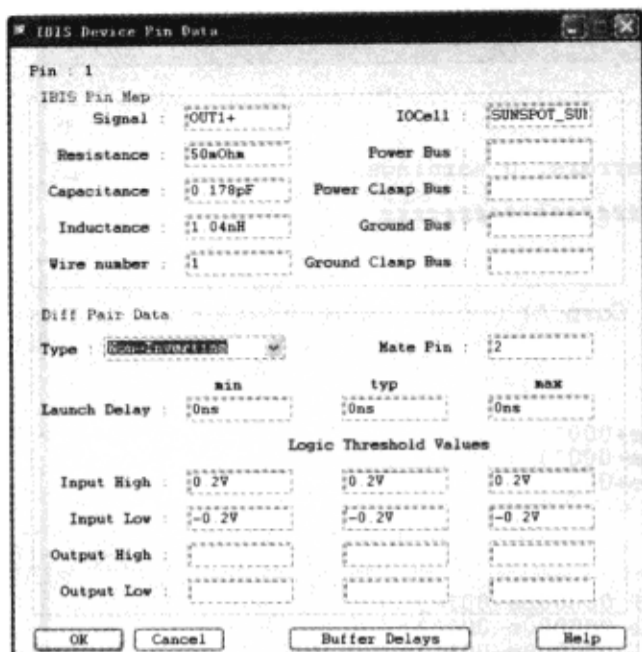


图 6-3-14 “IBIS Device Pin Data”对话框



图 6-3-15 “Buffer Delays”对话框

(6) 单击“Buffer Delays”对话框的“Differential Buffer Delay”区域的“Measure Differential Buffer Delays”按钮，测量这个驱动器的差分 Rise 和 Fall 延迟。“Diff Rise Delay”和“Diff Fall delay”区域填入了测量的缓冲器延迟值，如图 6-3-17 所示。



图 6-3-16 设置差分参考电压

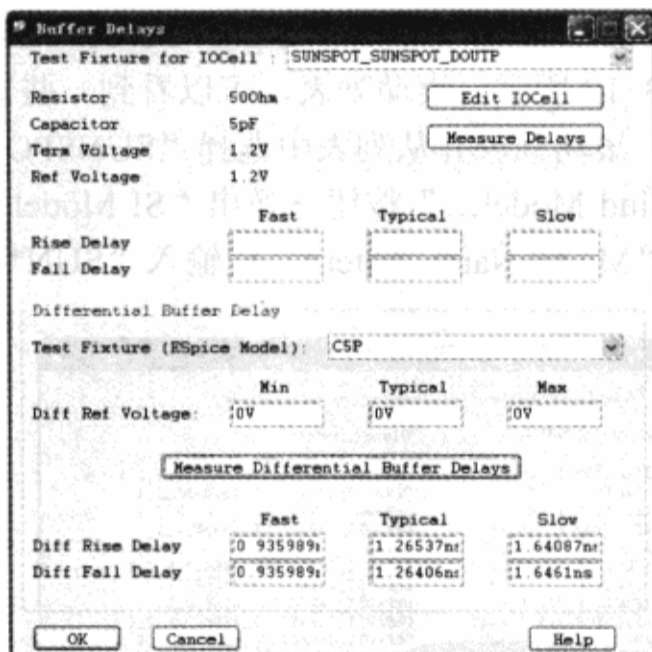


图 6-3-17 测量缓冲延迟

- (7) 单击“OK”按钮，关闭“Buffer Delays”对话框。
- (8) 单击“OK”按钮，关闭“IBIS Device Pin Data”对话框。
- (9) 对于第 15 引脚和第 16 引脚重复上面步骤，测量缓冲差分延迟。
- (10) 单击“OK”按钮，关闭“IBIS Device Model Editor”对话框，弹出“dmlcheck messages”窗口，如 6-3-18 所示。
- (11) 分析 dmlcheck 信息，Differential Buffer Delays 结果现在包含在 dml 模型中。
- (12) 关闭“dmlcheck messages”窗口。
- (13) 单击“Close”按钮，关闭“SI Model Browser”对话框。



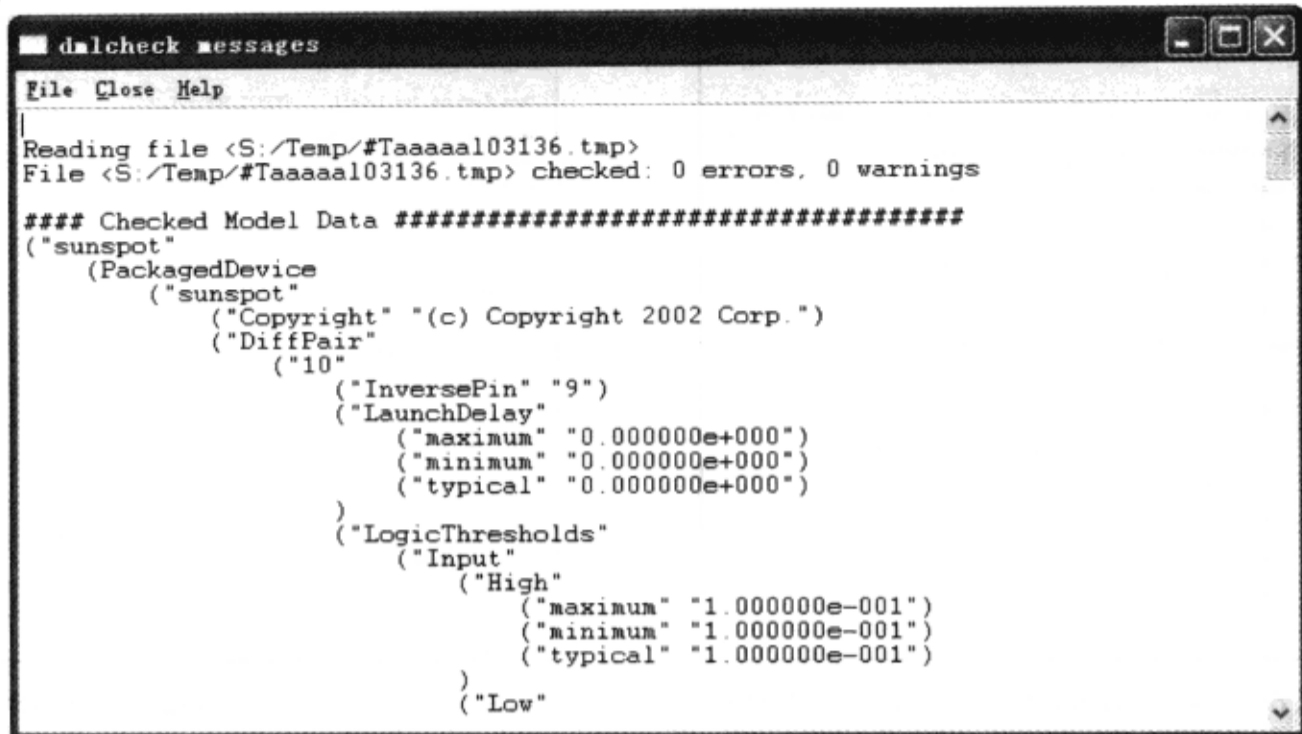


图 6-3-18 “dmlcheck messages” 窗口

## 2) 分配 SI 模型

(1) 从“Allegro PCB SI GXL”窗口执行菜单命令“Analyze”→“SI/EMI Sim”→“Model Assignment”，弹出“Signal Model Assignment”对话框，单击“Auto Setup”按钮，如图 6-3-19 所示→滚动列表，可以看到一些器件分配了 SI 模型。

(2) 滚动列表并从列表中选择“SUNSPOT-1”→单击“Signal Model Assignment”对话框的“Find Model...”按钮→弹出“SI Model Browser”对话框→在“SI Model Browser”对话框的“Model Name Pattern”栏输入“SUN\*”，显示 sunspot，如图 6-3-20 所示。



图 6-3-19 “Signal Model Assignment” 对话框



图 6-3-20 浏览模型

(3) 从“Model Name”列表框选择“sunspot”→单击“Assign”按钮→“Signal Model

Assignment”对话框中“SUNSPOT-1”器件被分配了模型 sunspot，如图 6-3-21 所示。

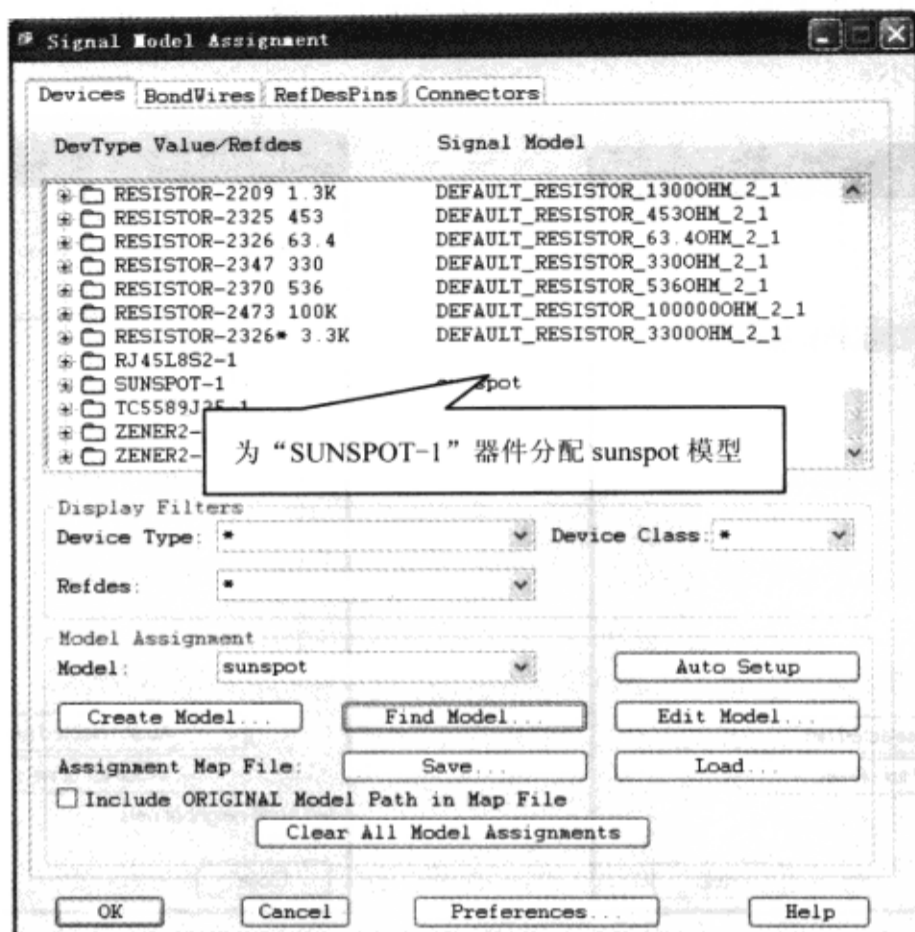


图 6-3-21 分配模型

(4) 重复前面的步骤，为 ATOMIC\_TRAC-1 和 CMCHOKE-5 分配模型。

(5) 单击“OK”按钮，关闭“Signal Model Assignment”对话框→弹出“Signal Model Assignment Changes”窗口，如图 6-3-22 所示。

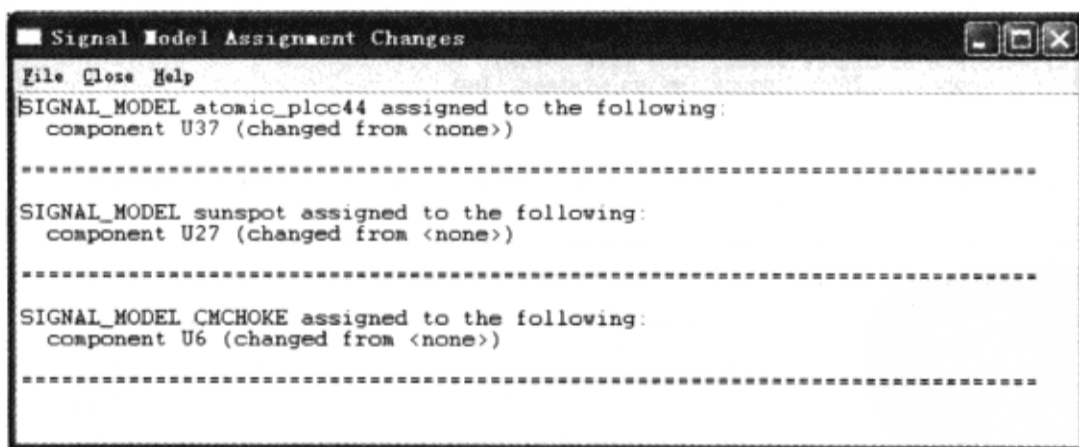


图 6-3-22 “Signal Model Assignment Changes”窗口

(6) 关闭“Signal Model Assignment Changes”窗口。

(7) 从“Allegro PCB SI GXL”窗口执行菜单命令“File”→“Save As”，保存文件 D:\physical\diffPair\PCI4.brd。

### 3) 检查网络 (Net Audit)

(1) 从“Allegro PCB SI GXL”窗口执行菜单命令“Analyze”→“SI/EMI Sim”→

“Audit” → “Net audit”，弹出“Net Audit”对话框，如图 6-3-23 所示。

(2) 在“Net Filter”栏输入“loop\*” → 按“Tab”键，以 LOOP 开头的网络显示在列表中，如图 6-3-24 所示。

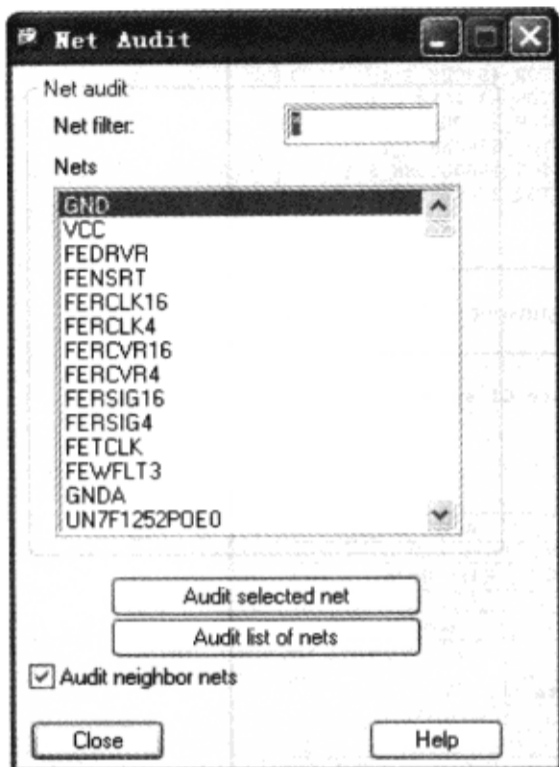


图 6-3-23 “Net Audit”对话框

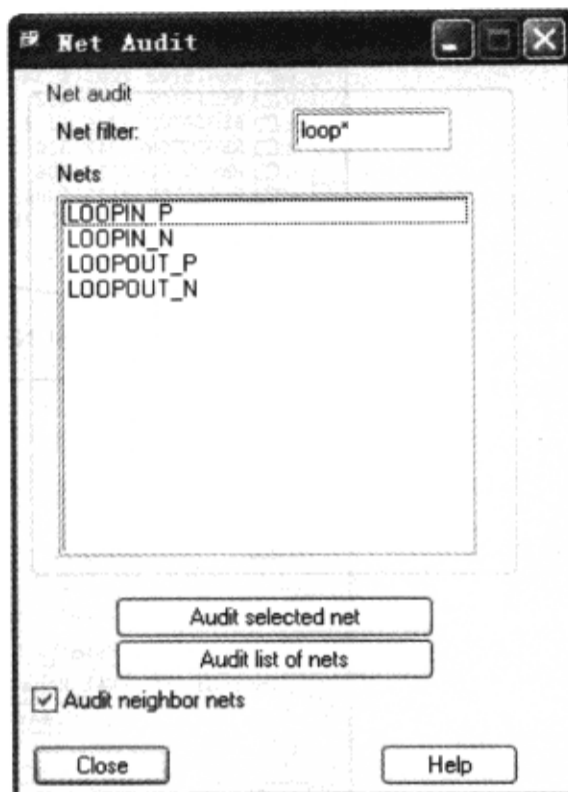


图 6-3-24 显示网络

(3) 从列表中选择“LOOPIN\_P” → 单击“Audit selected net”按钮 → 弹出“SigNoise Setup Report”窗口，如图 6-3-25 所示。

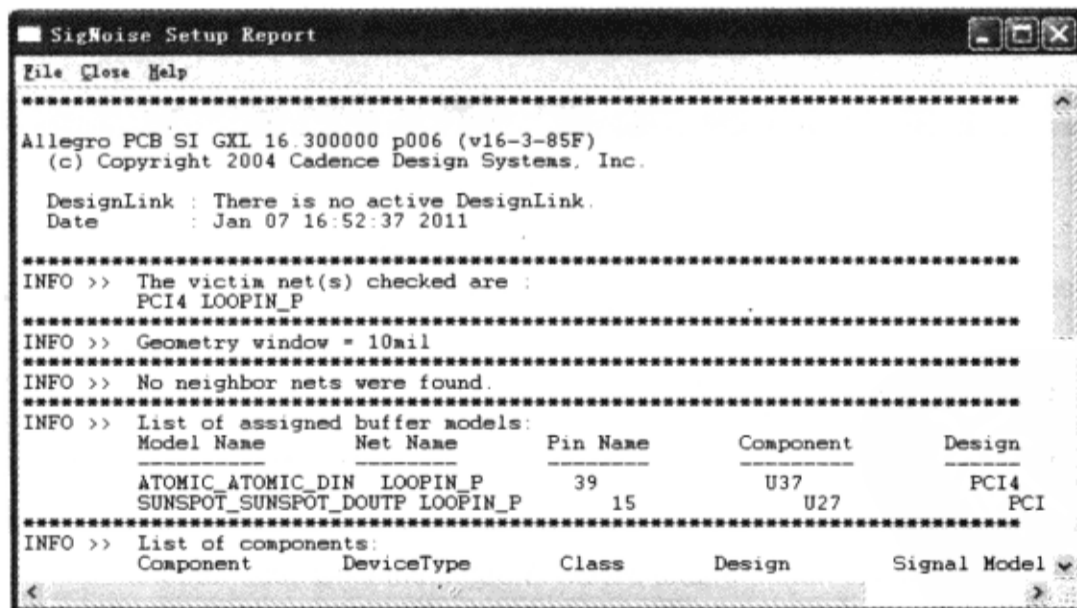


图 6-3-25 “SigNoise Setup Report”窗口

- (4) 仔细阅读报告并注意网络名、元件名、器件类型、CLASS 和分配的信号模型。
- (5) 关闭“SigNoise Setup Report”窗口。
- (6) 重复前面步骤，检查其余网络报告，显示没有问题。
- (7) 关闭“Net Audit”对话框。

## 6.4 仿真差分对

【本节目的】主要学习对差分对仿真的方法，首先需要提取差分对的拓扑，然后对其进行仿真并对仿真结果进行分析。

【使用工具】Allegro PCB SI GXL, SigXplorer PCB SI GXL。

【使用文件】physical\diffPair\PCI4.brd, physical\diffPair\diff\_sim.top。

### 1. 提取差分对拓扑

#### 1) 设置互连模型参数

(1) 从“Allegro PCB SI GXL”窗口执行菜单命令“Analyze”→“SI/EMI Sim”→“Preferences”，弹出“Analysis Preferences”对话框，如图 6-4-1 所示。

(2) 在“Analysis Preferences”对话框选择“InterconnectModels”标签页→在“Unrouted Interconnect Models”区域，设置“Percent Manhattan”为 100，“Default Impedance”为“100ohm”，“Default Diff-Velocity”为“1.4142e+008 M/s”→在“Topology Extraction”区域确保选择了“Differential Extraction Mode”，如图 6-4-2 所示，若没有选择，差分对拓扑将被看做 Xnet，提取的拓扑将仅使用理想传输线模型。为了使用理想的耦合传输线模型，必须选择“Differential Extraction Mode”。

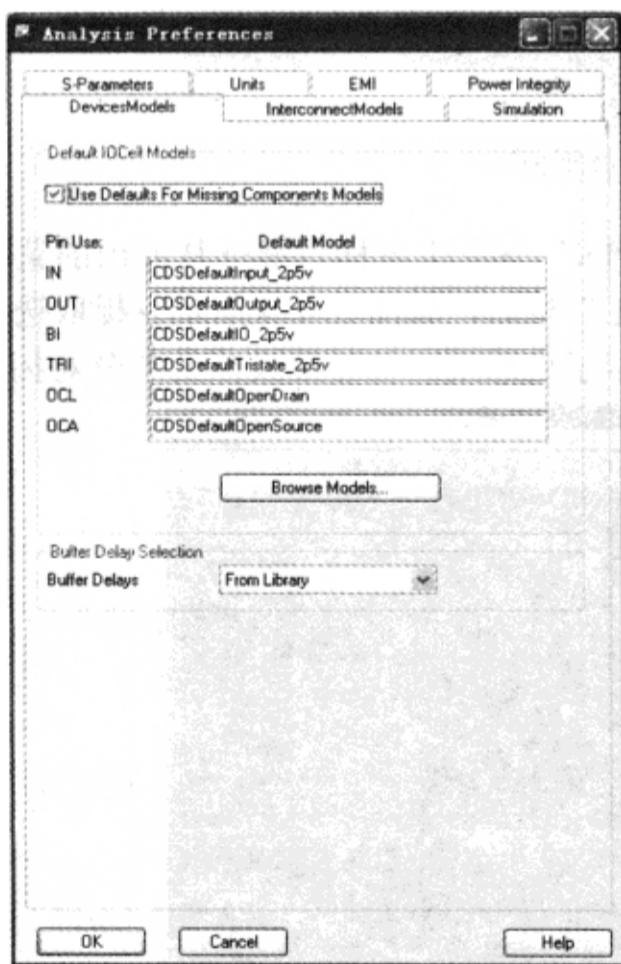


图 6-4-1 “Analysis Preferences”对话框

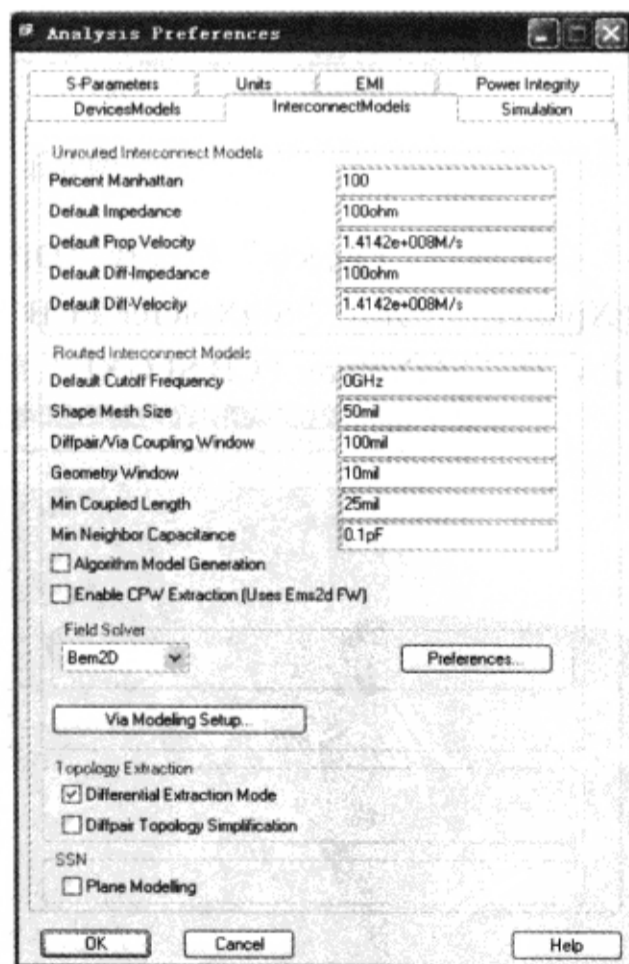


图 6-4-2 设置互连参数

(3) 单击“OK”按钮，关闭“Analysis Preferences”对话框。

## 2) 提取拓扑

(1) 从“Allegro PCB SI GXL”窗口执行菜单命令“Setup”→“Constraints”→“Electrical...”，弹出“Allegro Constraint Manager”窗口。

(2) 关闭显示的“Tip of the Day”窗口。

(3) 在“Allegro Constraint Manager”窗口选择“Net”→“Routing”→“Differential pair”表格，如图 6-4-3 所示。

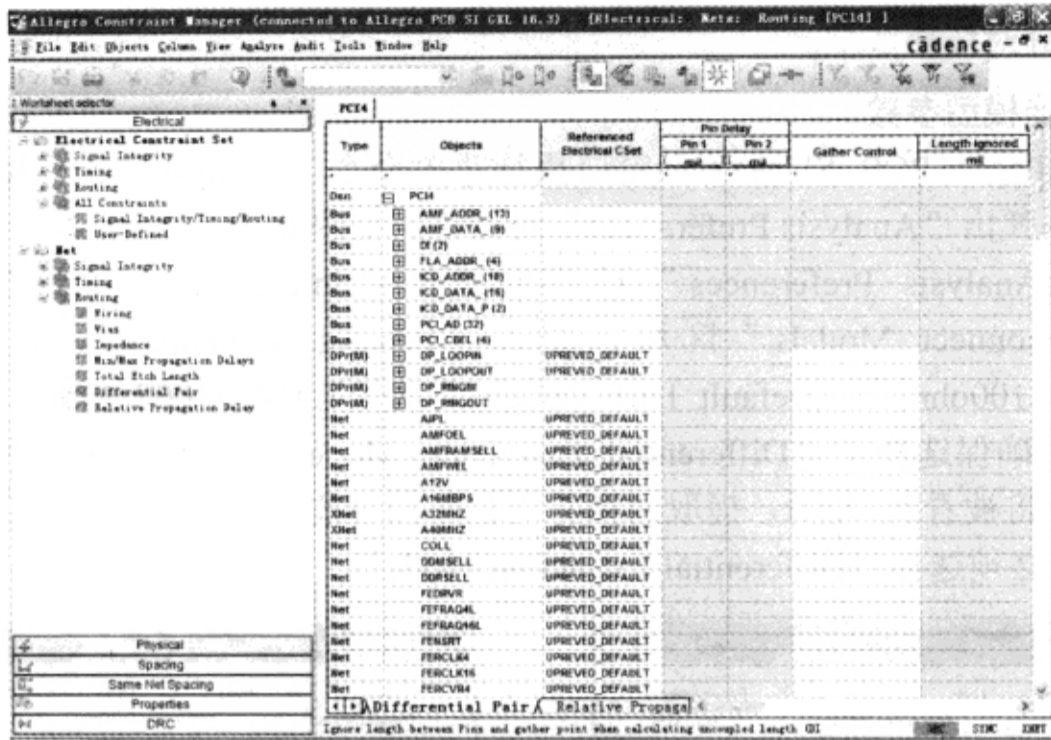


图 6-4-3 约束管理器

(4) 在表格的“Objects”栏选择“DP\_LOOPIN”→单击鼠标右键→从弹出的菜单中选择“SigXplorer”→弹出“SigXplorer PCB SI GXL”窗口，如图 6-4-4 所示→提取选择差分对的拓扑，在“SigXplorer PCB SI GXL”窗口显示了理想耦合传输线模型的差分对拓扑。

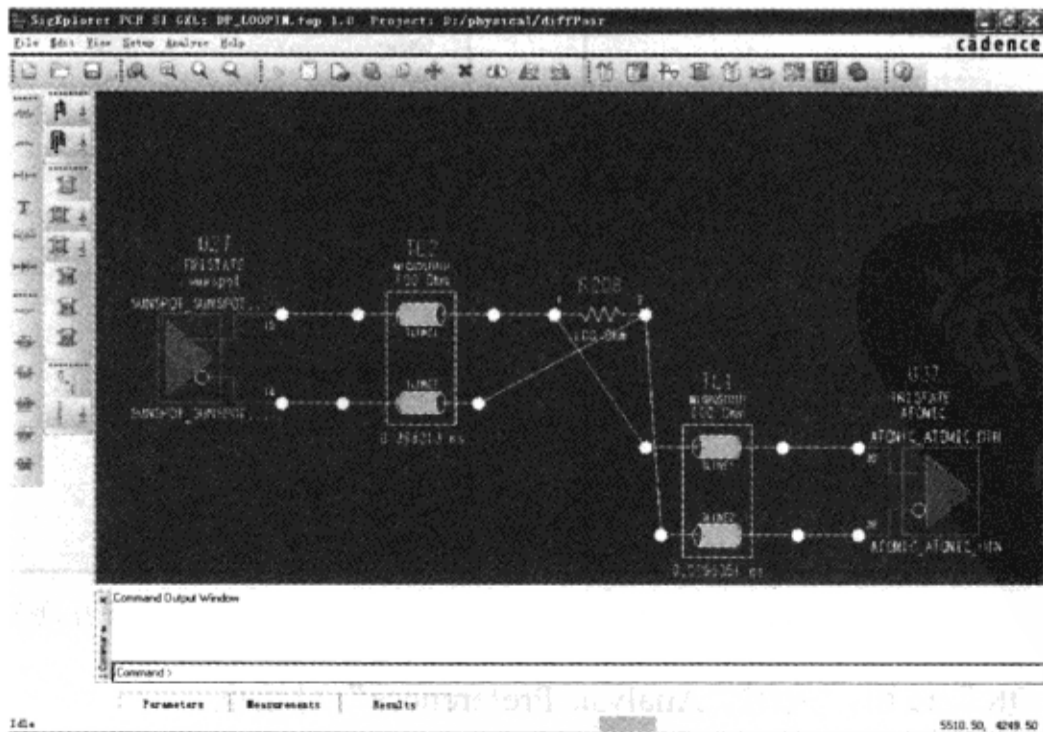


图 6-4-4 “SigXplorer PCB SI GXL”窗口



(5) 选择“SigXplorer PCB SI GXL”窗口的“Parameters”表格，在“Name”栏显示“CIRCUIT”。

(6) 单击“CIRCUIT”前面的“+”号展开表格，如图6-4-5所示。

Name	Value	Count
<input type="checkbox"/> CIRCUIT		1
autoSolve	On	1
tlineDelayMode	time	1
userRevision	1.0	1
<input type="checkbox"/> PCI4		1

图 6-4-5 查看电路信息

(7) 单击“CIRCUIT”下面“tlineDelayMode”表格“Value”区域的“time”→从下拉菜单中选择“length”→按“Tab”键→拓扑参数改变为长度单位，如图6-4-6所示。

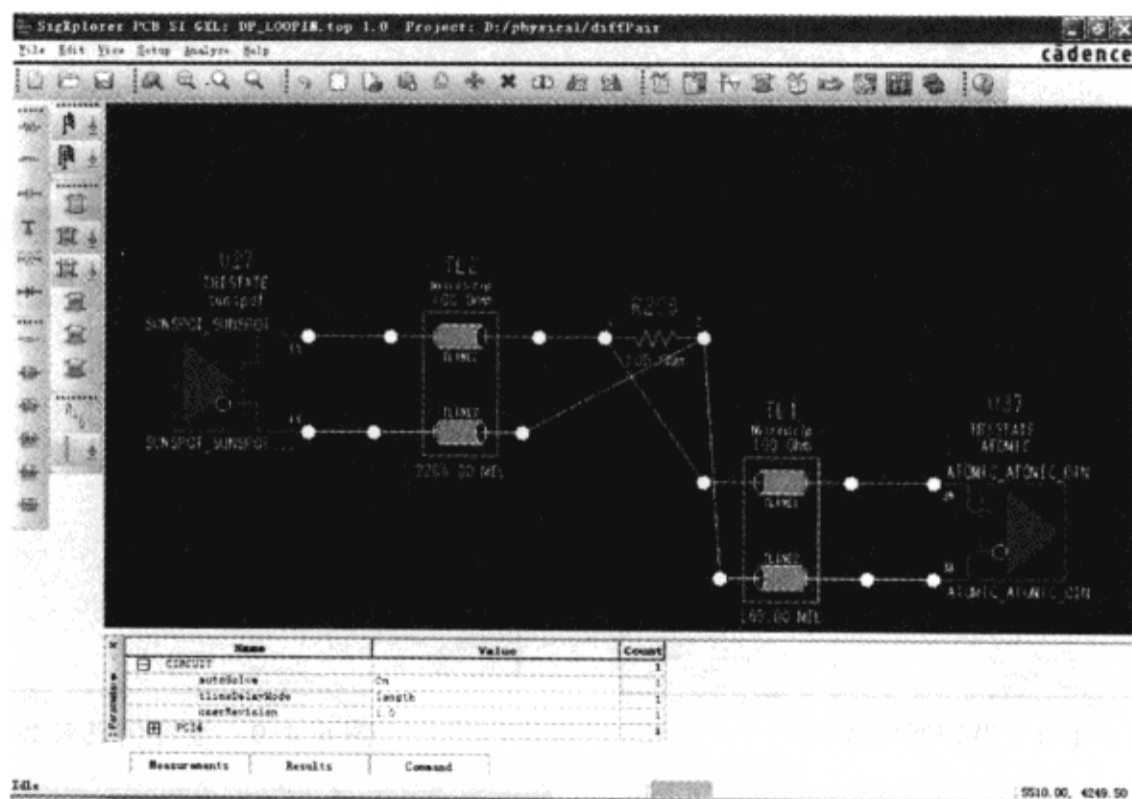


图 6-4-6 差分对拓扑

(8) 从“SigXplorer PCB SI GXL”窗口执行菜单命令“File”→“Save”，保存拓扑于当前目录下。

## 2. 分析差分对网络

### 1) 设置仿真参数

(1) 在“SigXplorer PCB SI GXL”窗口重新调整拓扑，如图6-4-7所示。

(2) 在“SigXplorer PCB SI GXL”窗口执行菜单命令“Analyze”→“Preferences”，弹出“Analysis Preferences”对话框→设置“Pulse Stimulus”栏，如图6-4-8所示。

(3) 设置“Simulation Parameters”栏，如图6-4-9所示。

(4) 设置“Simulation Modes”栏，如图6-4-10所示。

(5) 设置“Measurement Modes”栏，如图6-4-11所示。

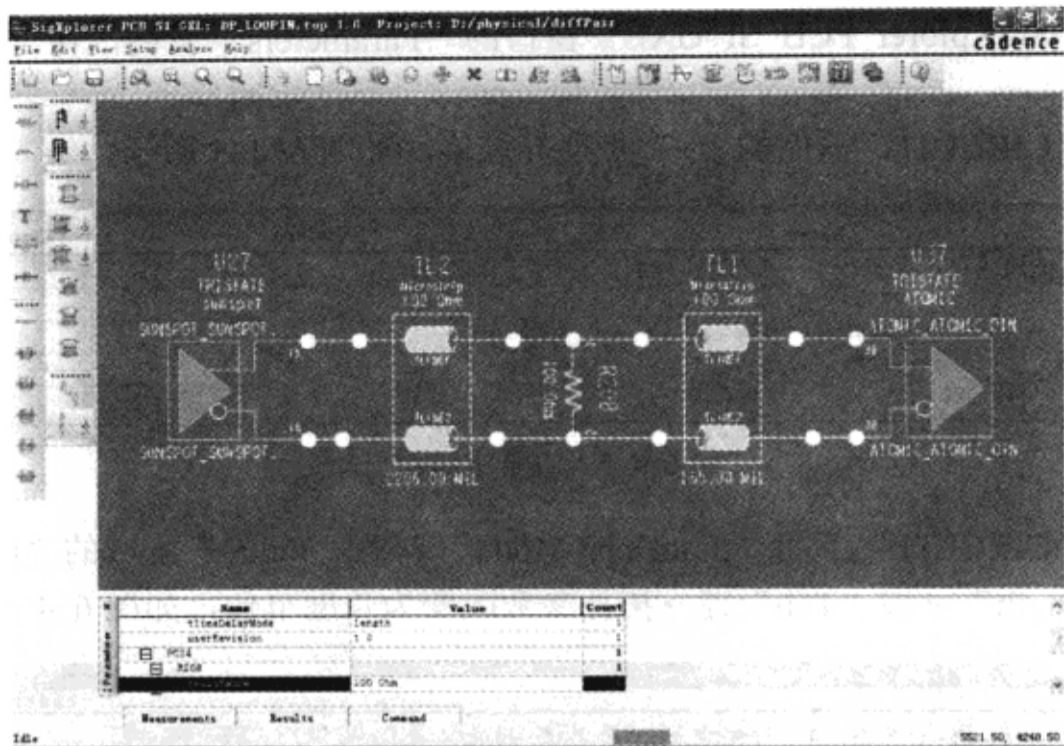


图 6-4-7 调整拓扑

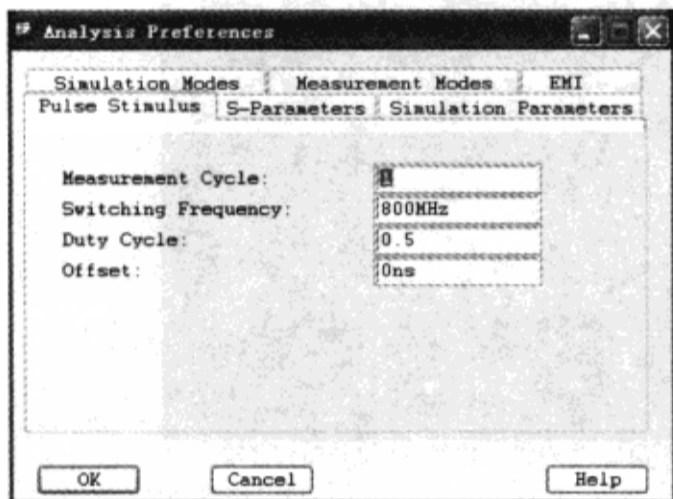


图 6-4-8 设置激励参数

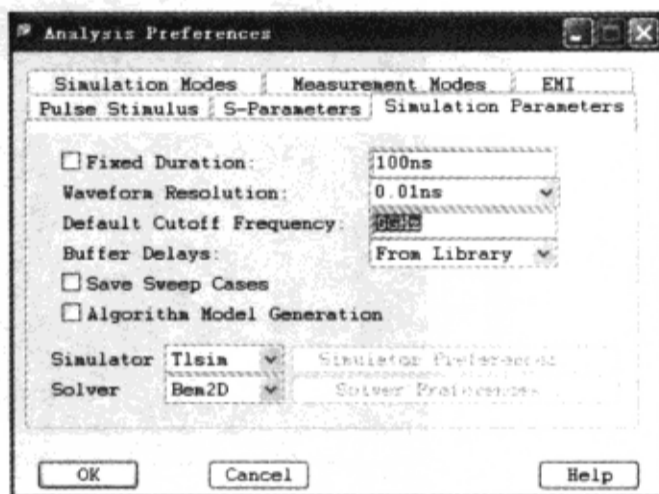


图 6-4-9 设置仿真参数

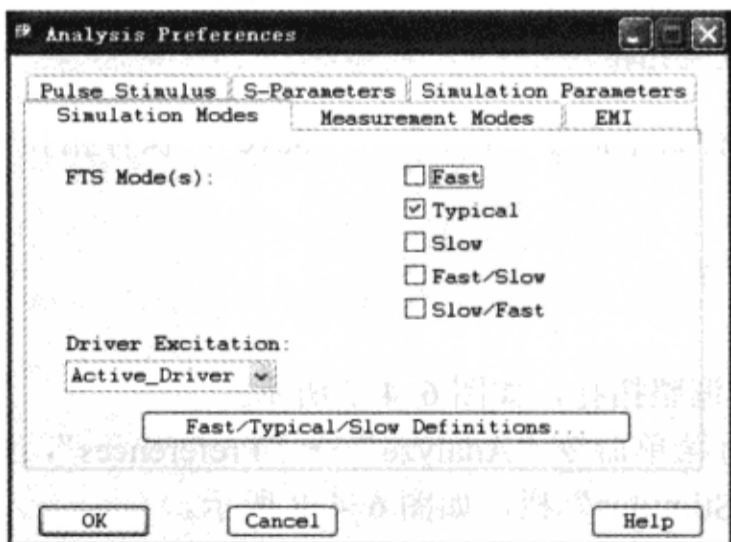


图 6-4-10 设置仿真模式

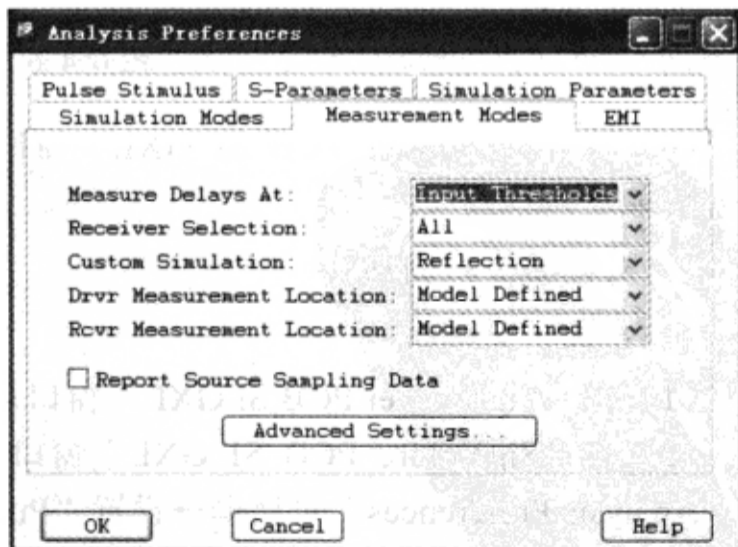


图 6-4-11 设置测量模式

(6) 单击“OK”按钮，关闭“Analysis Preferences”对话框。

## 2) 设置差分驱动器激励

(1) 单击差分驱动器 U27 上面的文本“TRISTATE”→弹出“IO Cell (U27) Stimulus Edit”对话框,如图 6-4-12 所示。

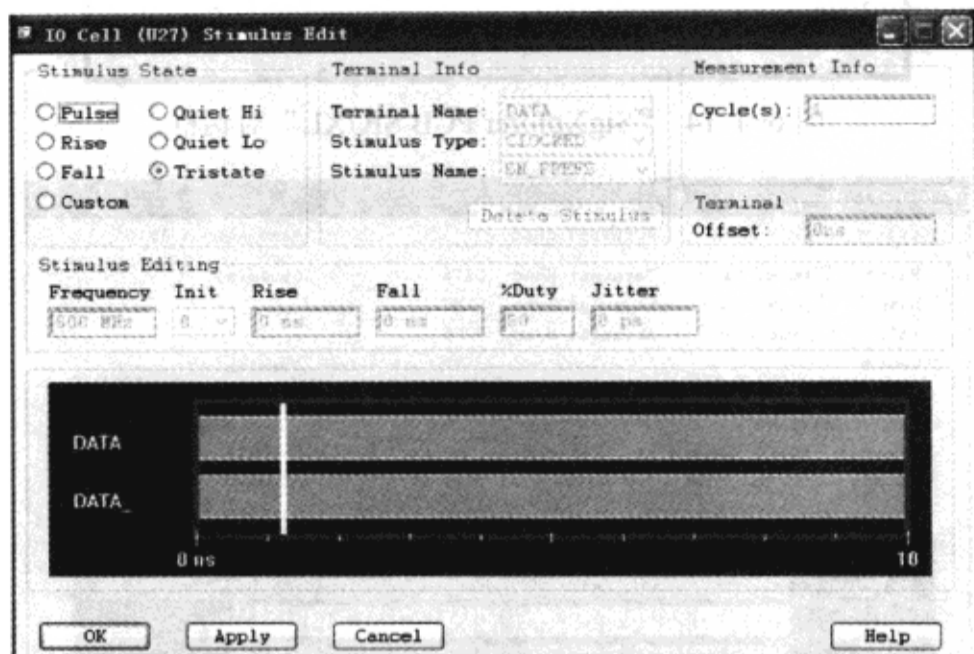


图 6-4-12 “IO Cell(U27) Stimulus Edit”对话框

(2) 选中“IO Cell (U27) Stimulus Edit”对话框“Stimulus State”区域“Custom”前的单选按钮→选择“IO Cell (U27) Stimulus Edit”对话框的“Terminal Info”区域“Stimulus Type”为“SYNC”,如图 6-4-13 所示。

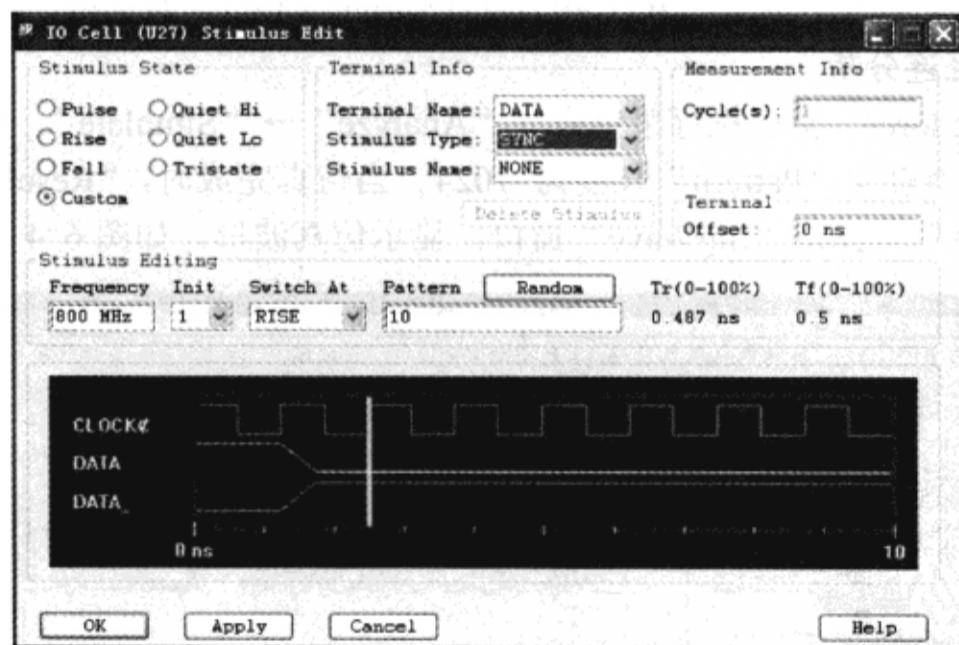


图 6-4-13 设置激励类型

(3) 设置“IO Cell (U27) Stimulus Edit”对话框的“Stimulus Editing”区域“Frequency”为“400MHz”,“Init”为 0,“Switch At”为“BOTH”→单击“Random”按钮→弹出“SigXplorer PCB SI GXL”对话框,如图 6-4-14 所示。

(4) 在“Enter pattern length”栏输入 1024→单击“OK”按钮→“IO Cell (U27) Stimulus Edit”对话框如图 6-4-15 所示。

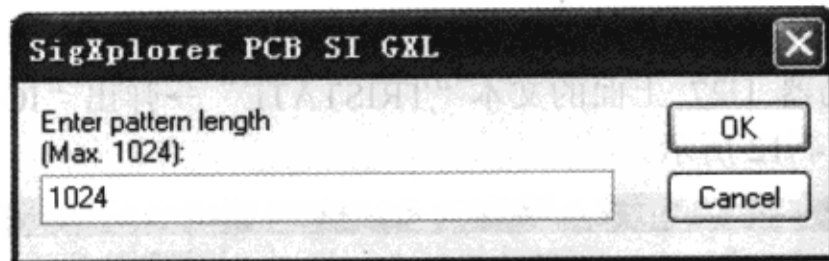


图 6-4-14 “SigXplorer PCB SIGXL”对话框

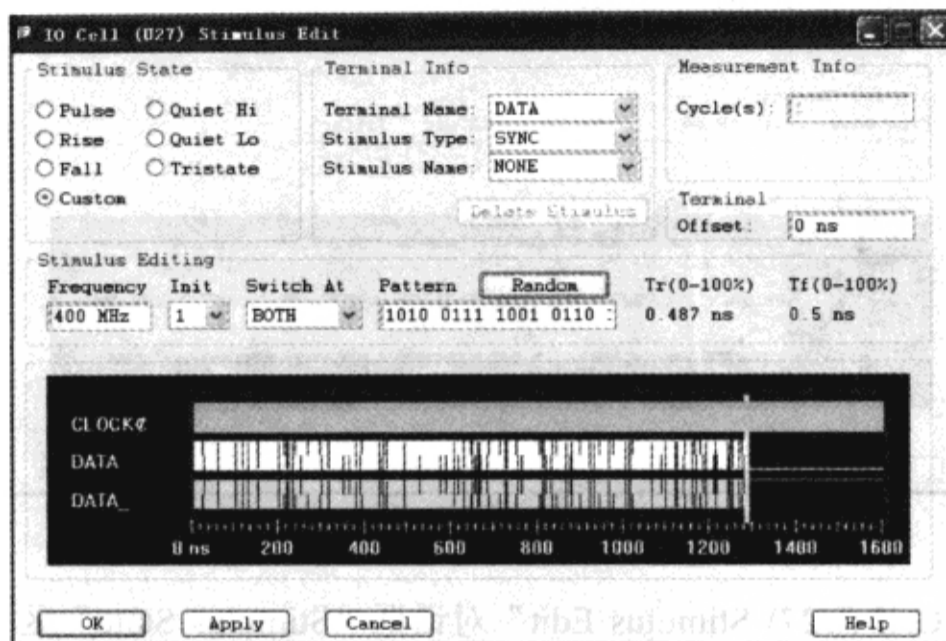


图 6-4-15 设置的激励

(5) 单击“OK”按钮，关闭“IO Cell (U27) Stimulus Edit”对话框。

### 3) 使用无损互连分析

(1) 从“SigXplorer”窗口执行菜单命令“Analyze”→“Simulate”，开始仿真。仿真将花费一些时间，因为设置“Pattern”长度为 1024。当仿真完成时，“Results”栏被选择并显示一些测量为“NA”→弹出“SigWave”窗口，显示仿真波形，如图 6-4-16 所示。

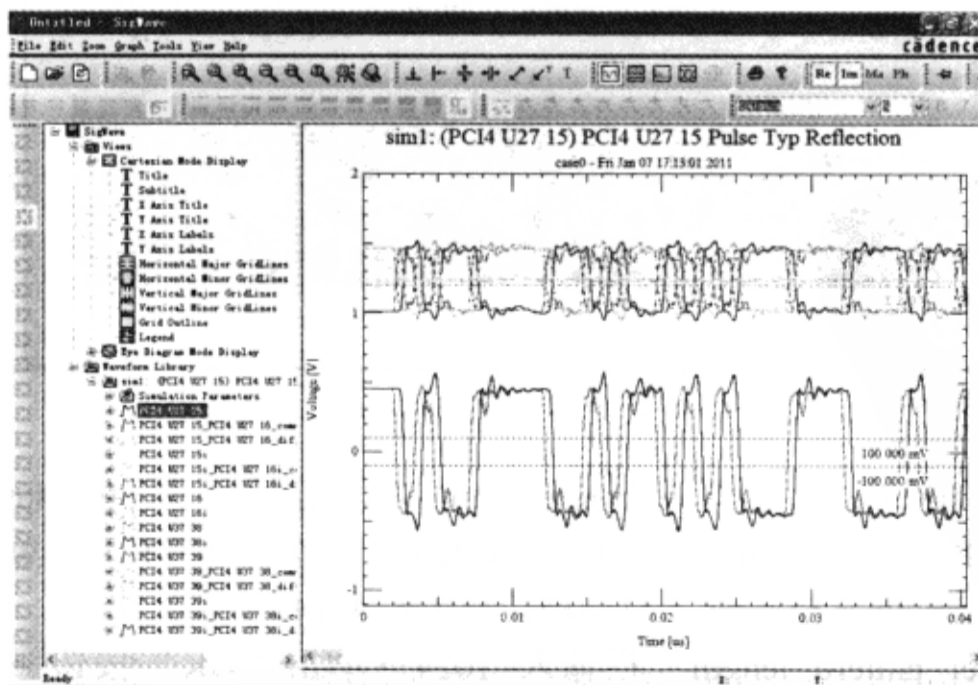


图 6-4-16 显示仿真波形

(2) 从“SigWave”窗口执行菜单命令“Graph”→“Eye Diagram Preferences”，弹出“Eye Diagram Preferences”对话框，“Clock Freq”栏设置为400MHz，“No. of Eyes”栏为1→设置“Clock Offset”值为1/2时钟周期值（即1.25ns），“Clock Start”栏为0s，如图6-4-17所示。

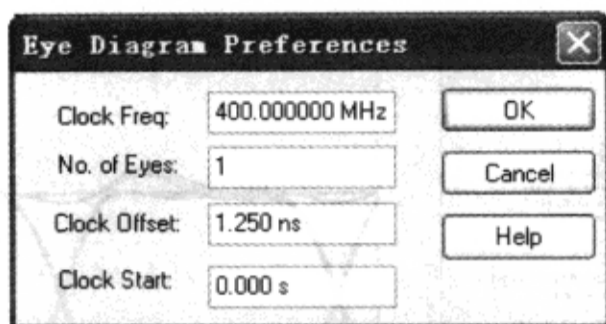


图 6-4-17 设置眼图参数

(3) 单击“OK”按钮，关闭“Eye Diagram Preferences”对话框。

(4) 从“SigWave”菜单栏执行菜单命令“Graph”→“Eye Diagram Mode”，波形的眼图现在显示在波形窗口，如图6-4-18所示。

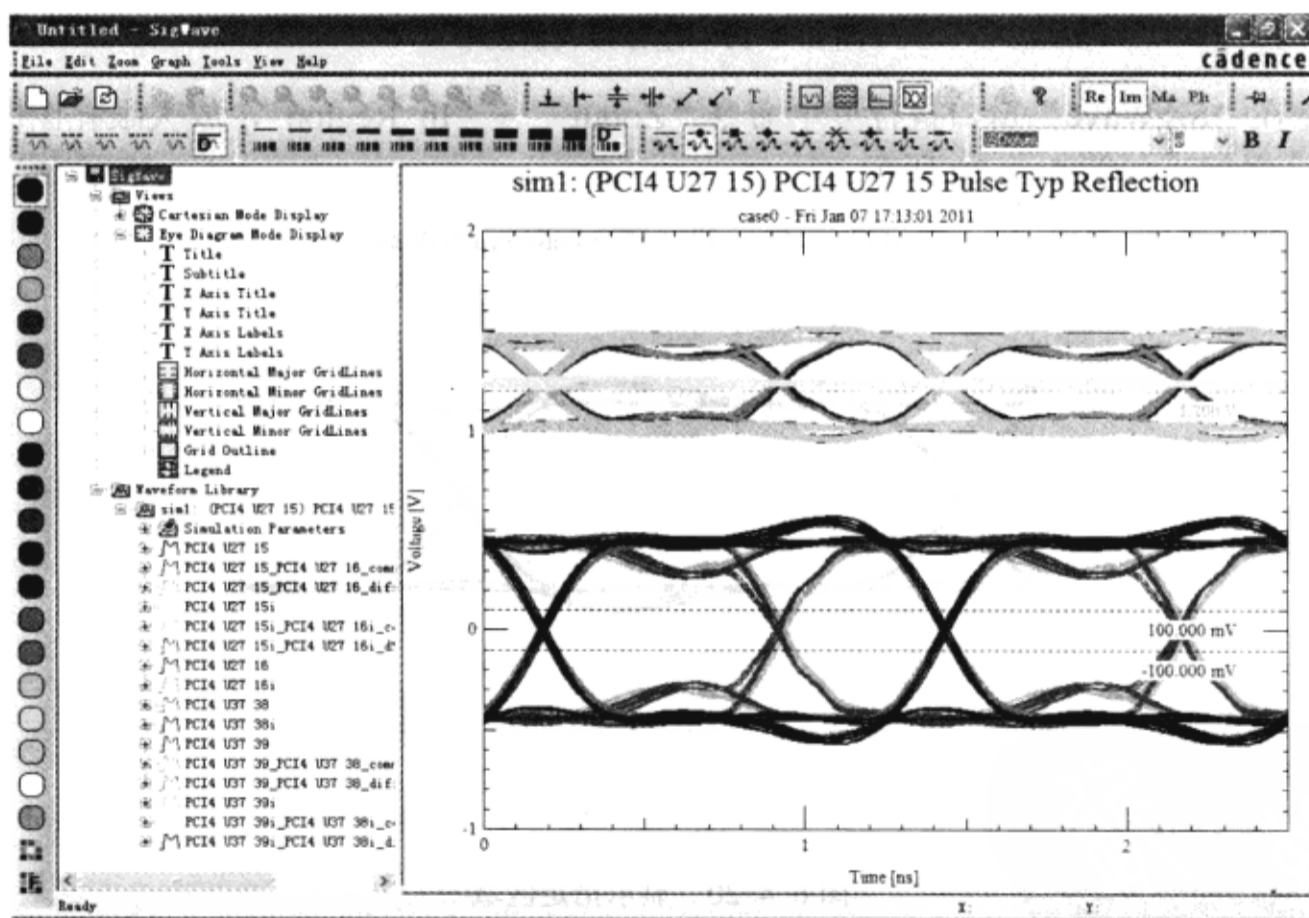


图 6-4-18 波形的眼图

(5) 选择“SigWave”左边列表框的波形库符号“Sim1: (PCI4 U27 15) PCI4 U27 15 Pulse Typ Reflection”→单击鼠标右键→从弹出的菜单中选择“Hide All Subitems”，所有波形都不显示。

(6) 单击“Sim1: (PCI4 U27 15) PCI4 U27 15 Pulse Typ Reflection”前面的“+”号，显示所有子项。



(7) 双击“PCI4 U37 39\_PCI4 U37 38\_diff”前的波形符号，仅显示差分接收器波形，如图 6-4-19 所示。

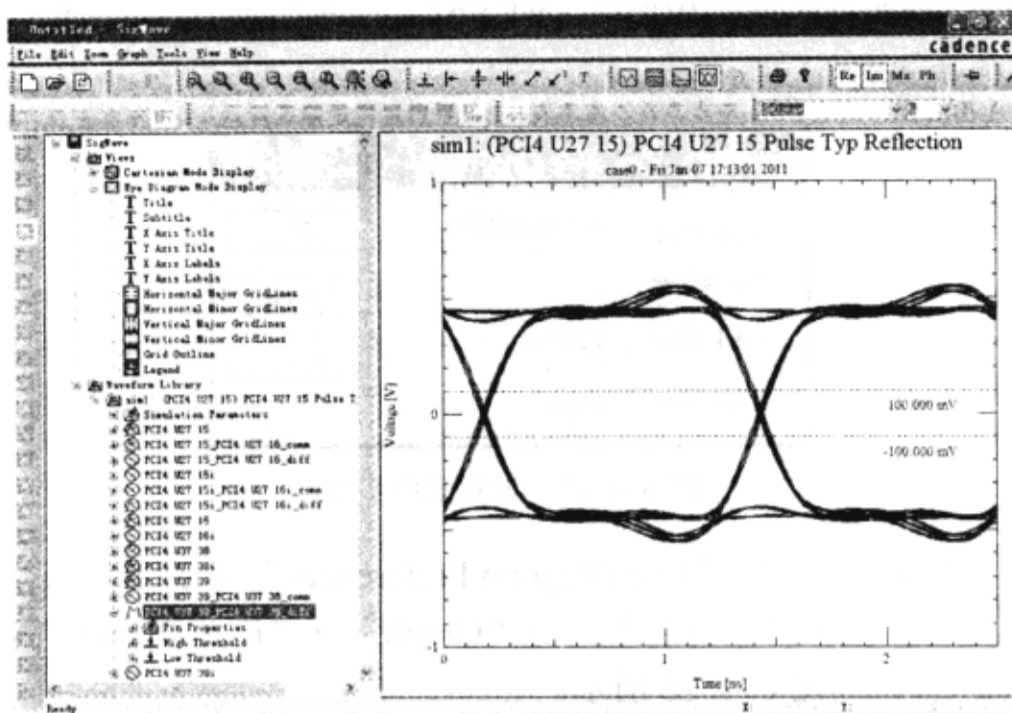


图 6-4-19 差分接收器波形

(8) 在“SigWave”窗口执行菜单命令“Zoom”→“In Region”，放大眼孔图区域显示在 0~2ns 之间，如图 6-4-20 所示。

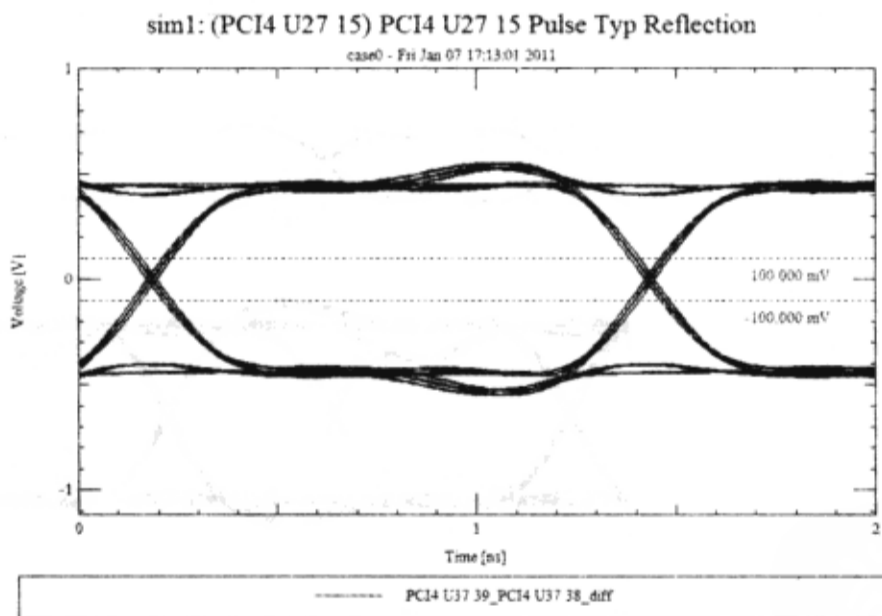


图 6-4-20 显示指定区域

(9) 单击“SigWave”窗口的  $\pm$  图标→添加“Differential Horizontal Marker”标志线→选中标志线→单击鼠标右键→从弹出的菜单中选择“Line Style”，使标志线为实线→调整标志线位置，如图 6-4-21 所示。

(10) 在“SigWave”窗口单击  $\pm$  图标→单击“Differential Vertical Marker”标志线→从最左边的颜色块中选择红色。

(11) 调整“Differential Vertical Marker”标志线的位置，如图 6-4-22 所示。

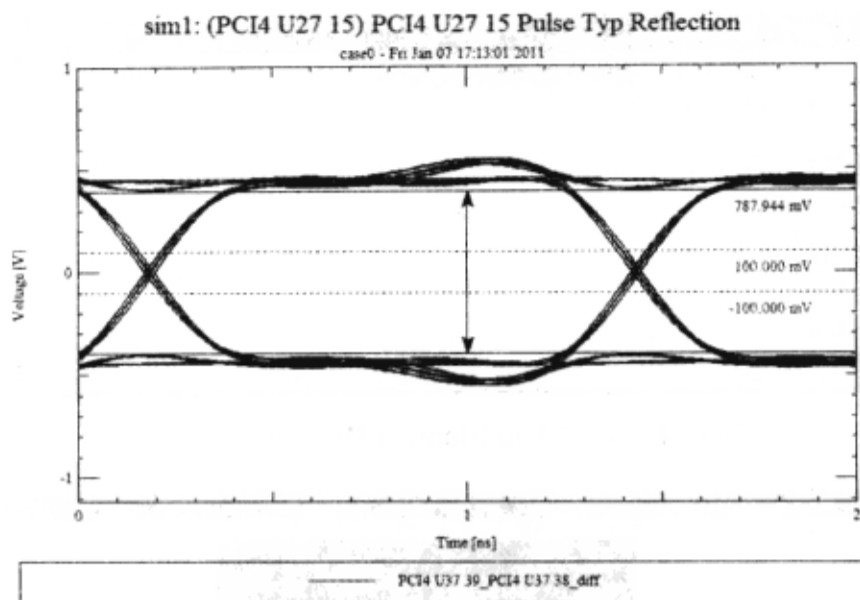


图 6-4-21 调整标志线位置

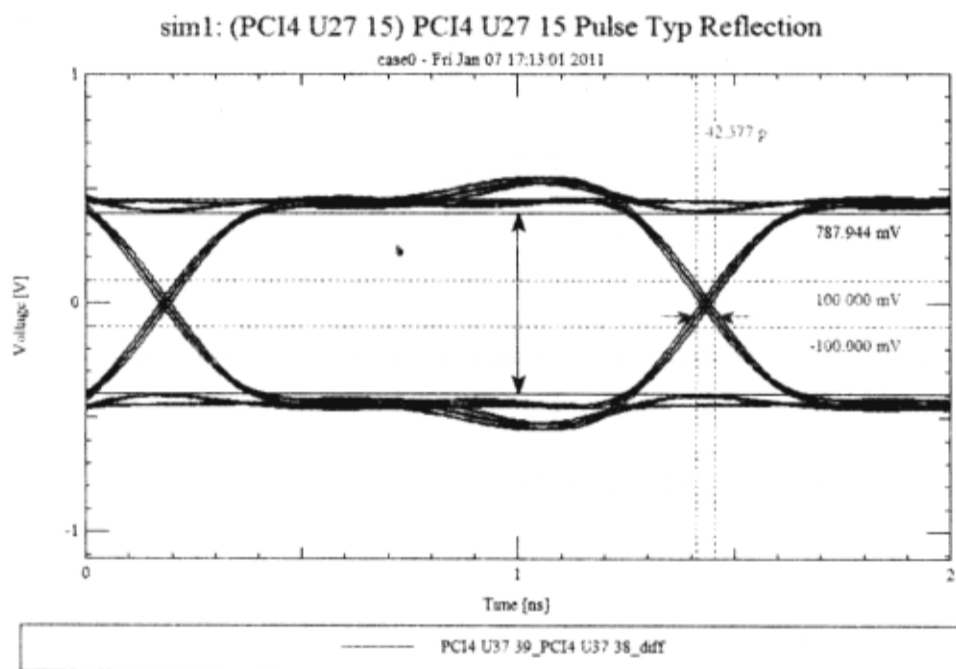


图 6-4-22 调整“Differential Vertical Marker”标志线位置

(12) 从“SigXplorer PCB SI GXL”窗口执行菜单命令“File”→“Save as”，保存拓扑于当前目录，文件名为“diff\_sim.top”。

#### 4) 使用有损互连分析

(1) 从“SigXplorer PCB SI GXL”窗口执行菜单命令“Edit”→“Add Element...”，弹出“Add Element Browser”对话框，如图 6-4-23 所示。

(2) 在“Add Element Browser”对话框的“Model Type Filter”栏选择“Interconnect”→从“Add Element Browser”列出的互连模型中选择“Microstrip\_2”→在工作空间任意地方双击摆放“Microstrip\_2”。

(3) 单击“OK”按钮，关闭“Add Element Browser”对话框。

(4) 单击 Trace 模型 MS1 的长度参数值 1000mil，TL\_MS1 长度参数显示在“Parameters”表格栏→在“length”表格单击鼠标右键→选择“View Trace Parameters”，弹出“View Trace Model Parameters”窗口，如图 6-4-24 所示。

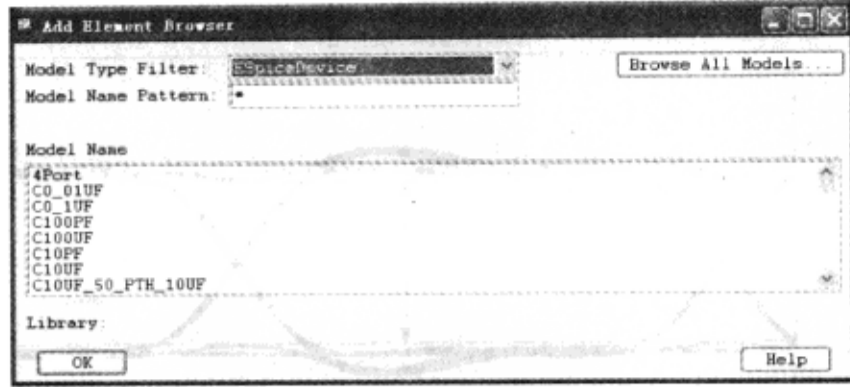


图 6-4-23 “Add Element Brower” 对话框

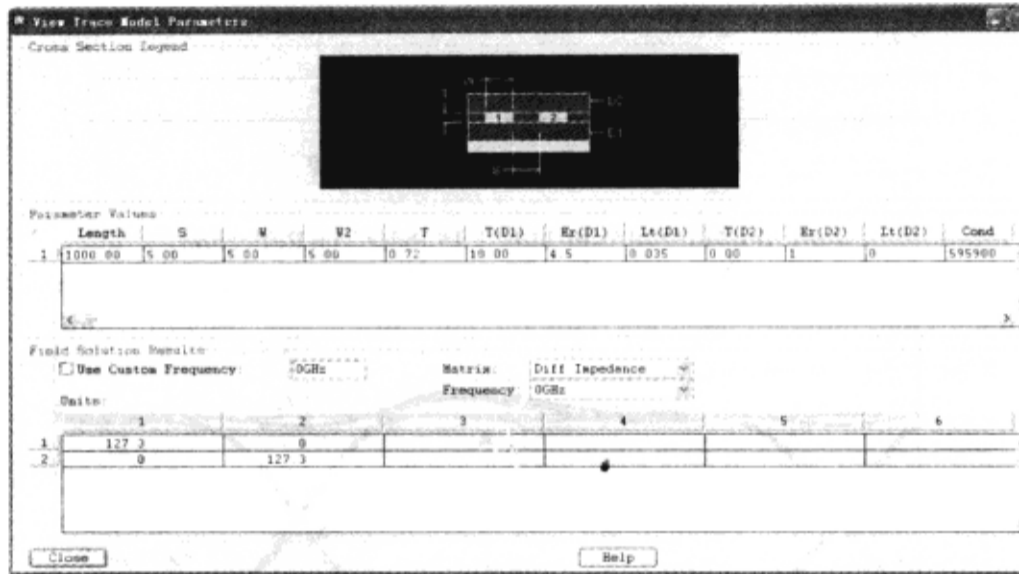


图 6-4-24 “View Trace Model Parameters” 窗口

(5) 设置 TL\_MS1 的参数，如图 6-4-25 所示。

Parameter	Value	Units
TL_MS1		
d1Constant	4.5	
d1LossTangent	0.035	
d1Thickness	5.00 MIL	
d1FreqDepFile		
d2Constant	1	
d2LossTangent	0	
d2Thickness	0.00 MIL	
d2FreqDepFile		
length	10000.00 MIL	
spacing	5.00 MIL	
traceConductivity	595900 mho/cm	
traceEtchFactor	90	
traceThickness	1.20 MIL	
traceWidth	6.00 MIL	
traceWidth2	TL_MS1.traceWidth	

图 6-4-25 设置 TL\_MS1 参数

(6) 在 “View Trace Model Parameters” 窗口显示差分阻抗，如图 6-4-26 所示。

Field Solution Results		Matrix:	Diff Impedance
Use Custom Frequency:		0GHz	
Units:		Frequency:	0GHz
	1	2	3
1	99.81	0	
2	0	99.81	

图 6-4-26 差分阻抗

(7) 从“SigXplorer PCB SI GXL”窗口单击 TL\_MS1 模型→执行菜单命令“Edit”→“Copy”，在新的位置单击添加模型 TL\_MS2，如图 6-4-27 所示。

(8) 改变 Trace 模型 TL\_MS2 的长度为 200 mil，不改变其他参数。

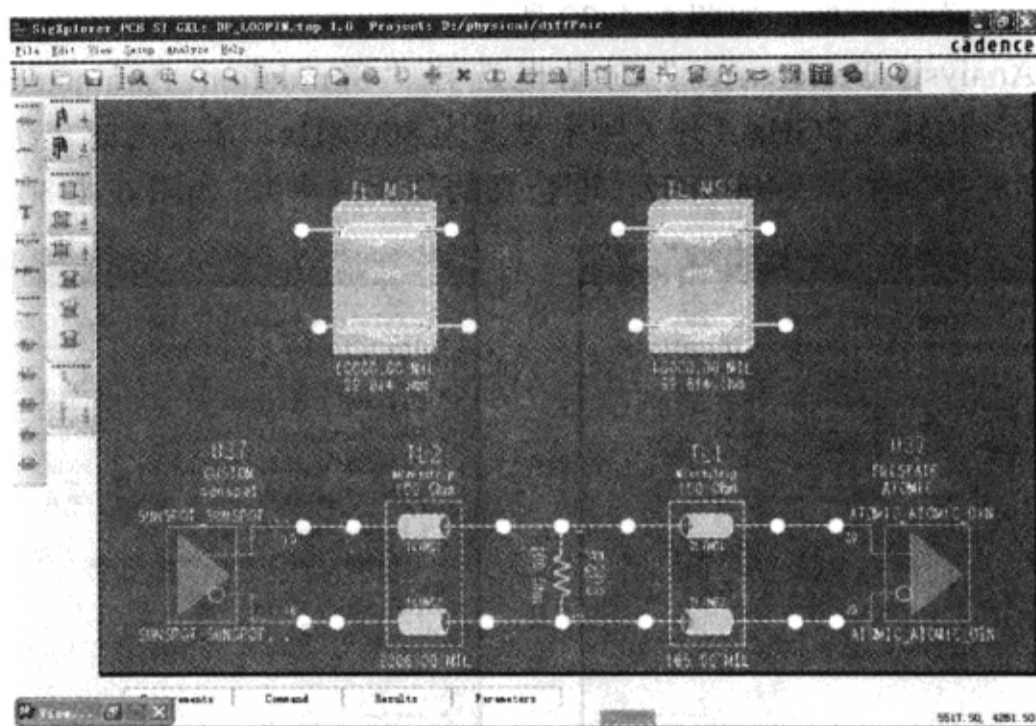


图 6-4-27 添加模型 MS2

(9) 单击“Close”按钮，关闭“View Trace Model Parameters”窗口。

(10) 从“SigXplorer”窗口单击 TL1 和 TL2→执行菜单命令“Edit”→“Delete”，删除理想耦合传输线模型。

(11) 从“SigXplorer”窗口单击 TL\_MS1 和 TL\_MS2→执行菜单命令“Edit”→“Move”移动 TL\_MS1 和 TL\_MS2 到原来 TL1 和 TL2 的位置→重新连接拓扑，如图 6-4-28 所示。

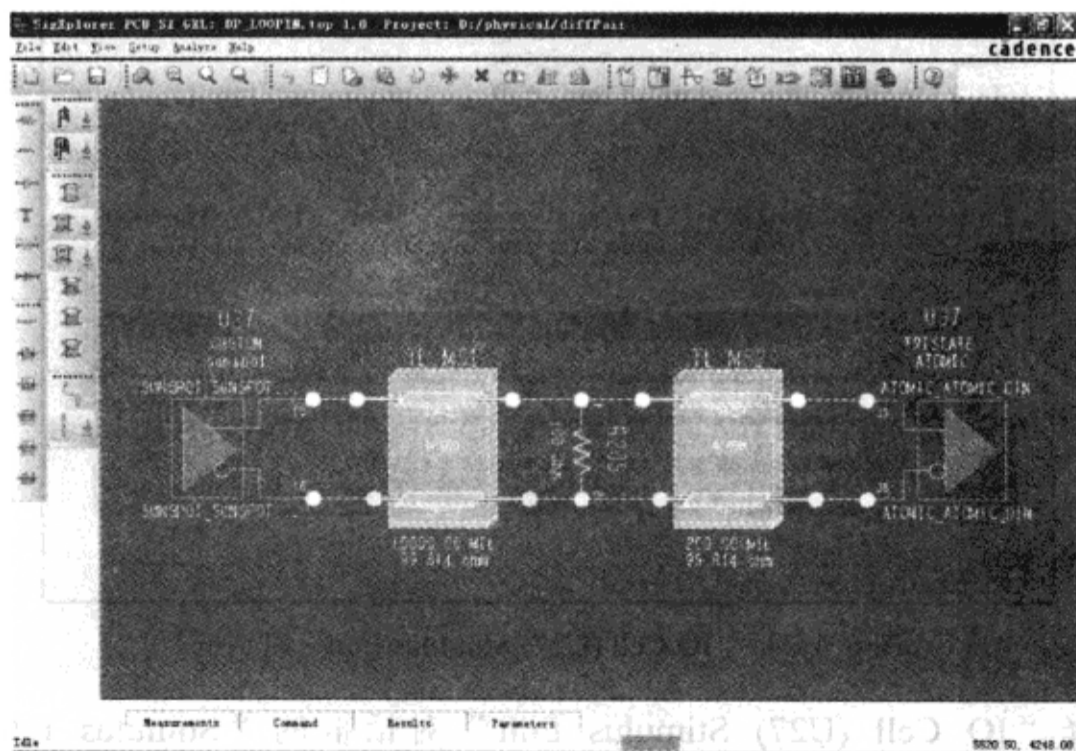


图 6-4-28 重新连接拓扑

(12) 从“SigXplorer PCB SI GXL”窗口执行菜单命令“File”→“Save as”，保存文件于当前目录，文件名为“Diffloopin\_trace.top”。

(13) 从“SigXplorer”窗口执行菜单命令“Analyze”→“Preferences”，弹出“Analysis Preferences”对话框，如图6-4-29所示。

(14) 在“Analysis Preferences”对话框选择“Simulation Parameters”标签页→在“Cutoff Frequency”栏输入3GHz（开关频率设置为800MHz，需要考虑3次谐波对Trace模型的影响，3次谐波频率值是2400MHz，即仿真的截止频率），如图6-4-30所示。

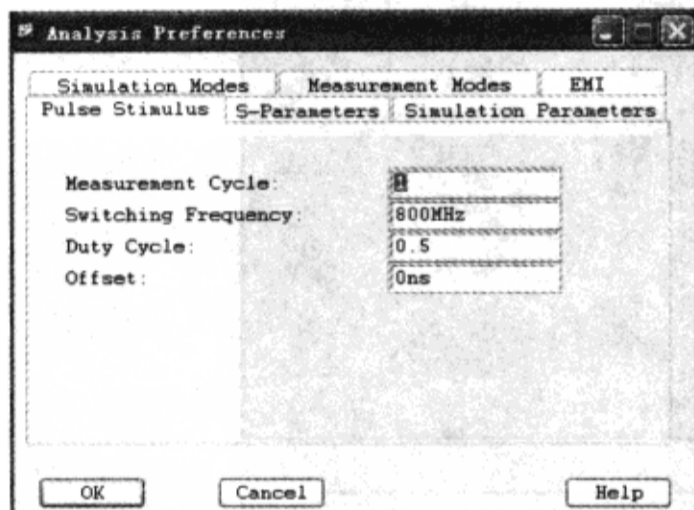


图6-4-29 “Analysis Preferences”对话框

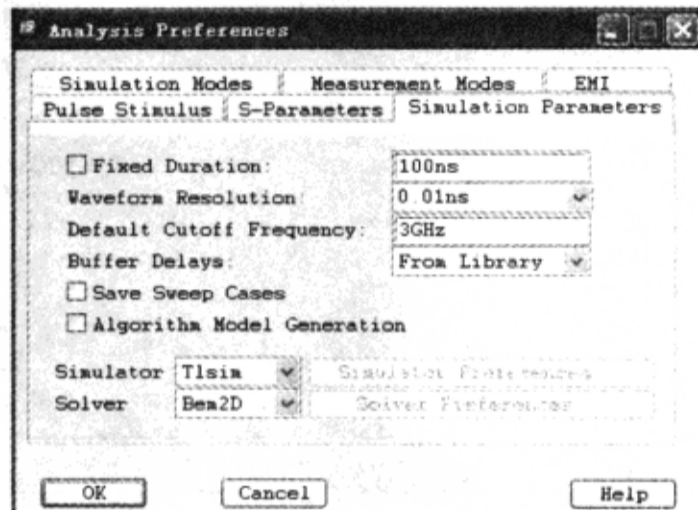


图6-4-30 设置仿真参数

(15) 单击“OK”按钮，关闭“Analysis Preferences”对话框。

(16) 单击差分驱动器 U27 上面的文字“CUSTOM”→弹出“IO Cell (U27) Stimulus Edit”对话框，如图6-4-31所示。

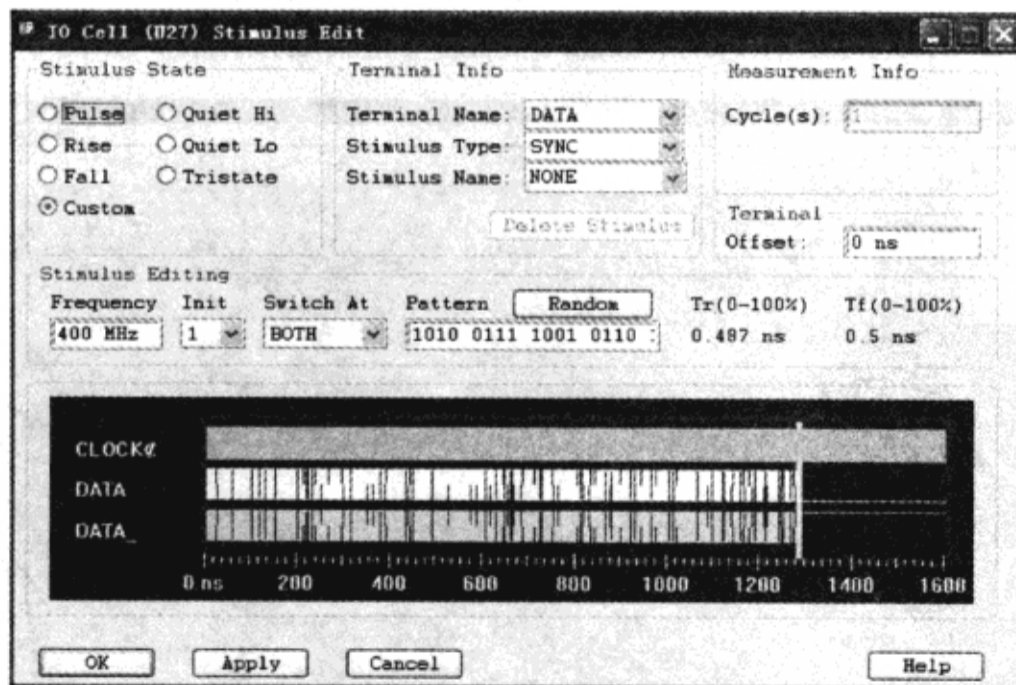


图6-4-31 “IO Cell (U27) Stimulus Edit”对话框

(17) 选择“IO Cell (U27) Stimulus Edit”对话框的“Stimulus Editing”区域的“Pattern”栏的数字→单击鼠标右键→从弹出菜单中选择“Copy”→从“IO Cell (U27)



“Stimulus Edit”对话框的“Terminal Info”区域的“Stimulus Type”下拉菜单选择“PERIODIC”→清除“Pattern”栏的值→在“Pattern”栏单击鼠标右键→从弹出菜单中选择“Paste”，粘贴随机值，如图6-4-32所示。



图 6-4-32 复制并粘贴 Pattern

(18) 确认“Frequency”栏为“800MHz”→在“IO Cell (U27) Stimulus Edit”对话框“Stimulus Editing”区域的“Jitter”栏输入“250ps”。

(19) 单击“OK”按钮，关闭“IO Cell (U27) Stimulus Edit”对话框。

(20) 在“SigXplorer PCB SI GXL”窗口执行菜单命令“Analyze”→“Simulate”，开始仿真（仿真将花费一些时间）→当仿真完成时，弹出“SigWave”窗口，显示仿真波形，如图6-4-33所示。

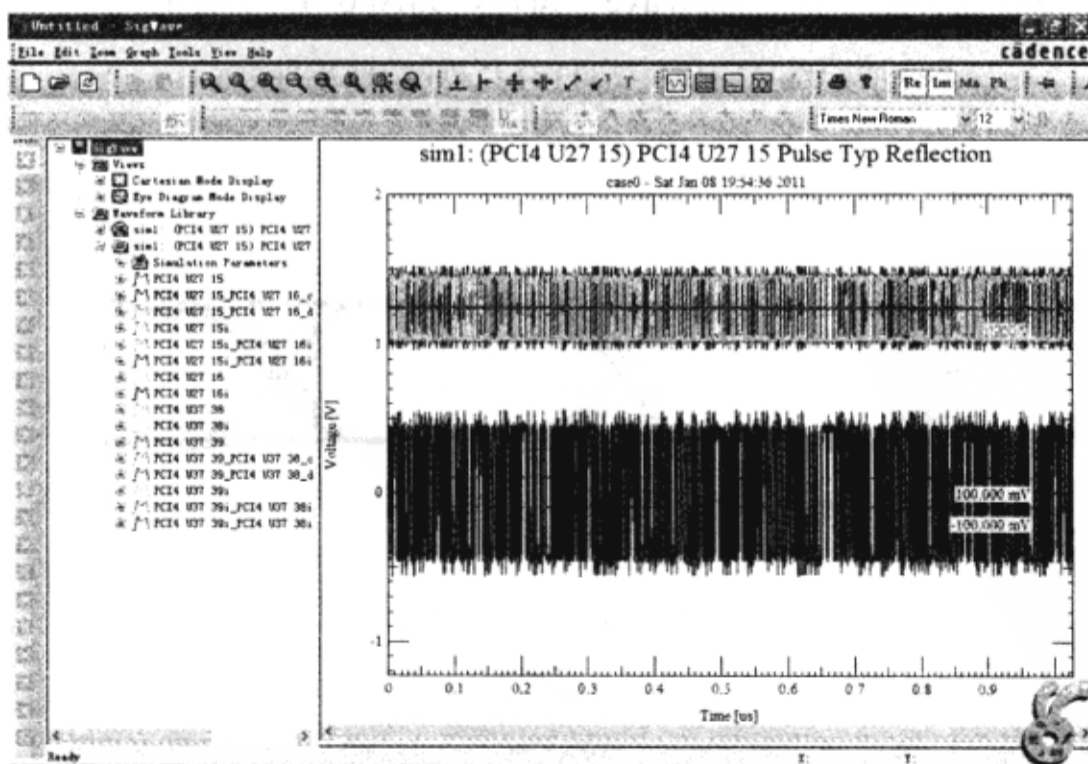


图 6-4-33 显示仿真波形

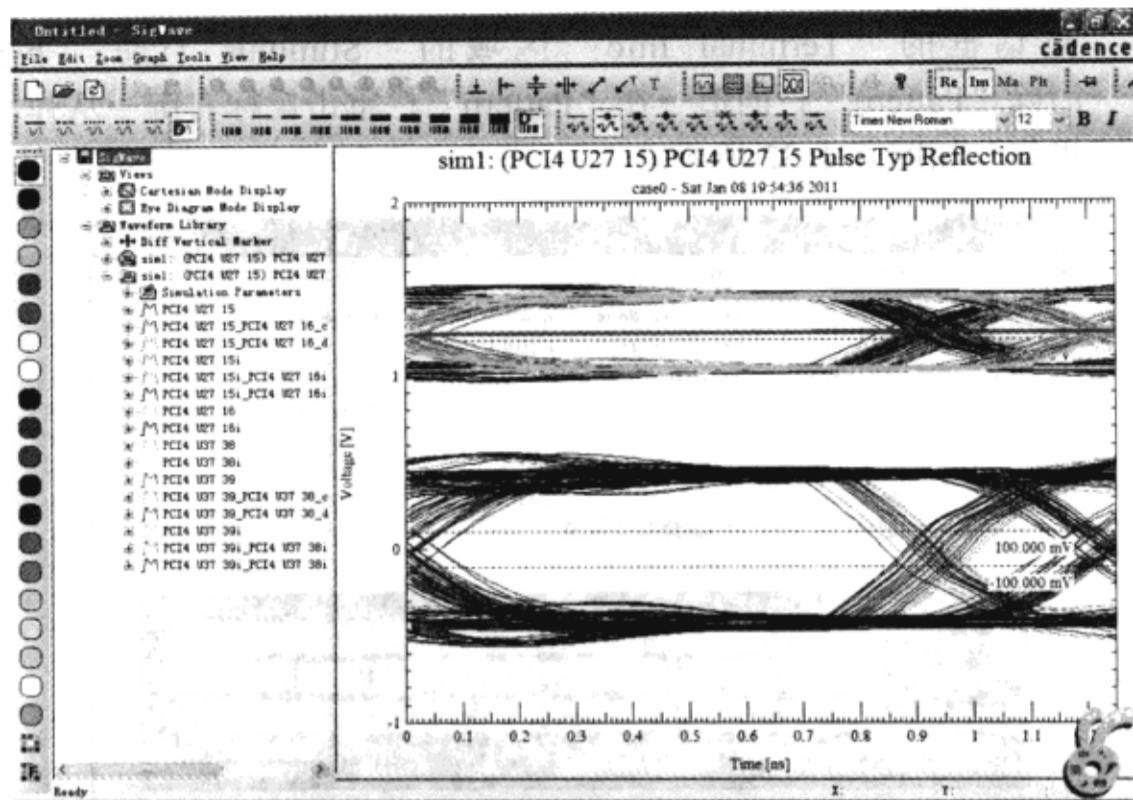


图 6-4-33 显示仿真波形（续）

前面仿真产生的波形没有显示，但仍然在波形库中。目前仿真的波形在波形库的第 2 个目录并显示在“SigWave”窗口中。

(21) 选择“SigWave”波形库窗口的波形库符号“Sim1: (PCI4 U27 15) PCI4 U27 15 Pulse Typ Reflection”（新产生的波形）→从弹出菜单中选择“Hide All Subitems”，现在没有任何波形显示在“SigWave”窗口。

(22) 单击“Sim1: (PCI4 U27 15) PCI4 U27 15 Pulse Typ Reflection”（新产生的波形）前面的“+”号，展开项目→双击“PCI4 U37 39\_PCI4 U37 38\_diff”的波形符号，仅 PCI4 U37 39\_PCI4 U37 38\_diff 波形显示在“SigWave”窗口，如图 6-4-34 所示。

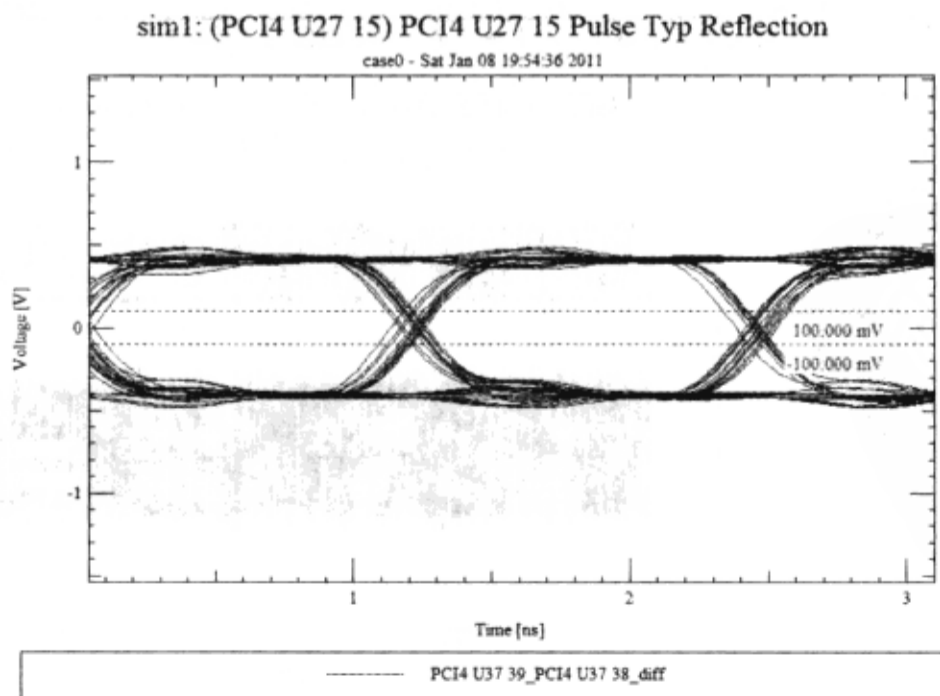


图 6-4-34 差分接收器波形

(23) 在“SigWave”窗口执行菜单命令“Zoom”→“In Region”，放大眼孔图区域显示在0~2ns之间，如图6-4-35所示。

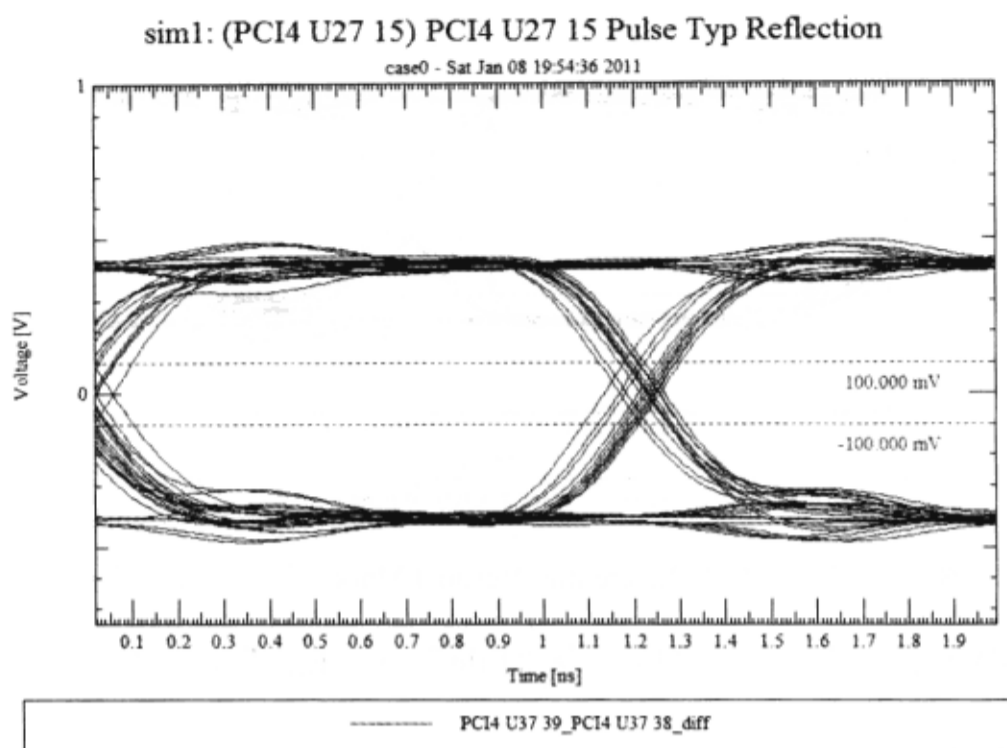




图 6-4-35 显示指定区域

(24) 单击“SigWave”窗口的  图标→添加“Differential Horizontal Marker”标志线→选中标志线→单击鼠标右键→从弹出菜单中选择“Line Style”，使标志线为实线→调整标志线位置，如图6-4-36所示。

(25) 在“SigWave”窗口单击  图标→单击“Differential Vertical Marker”标志线→从最左边的颜色块中选择黑色。

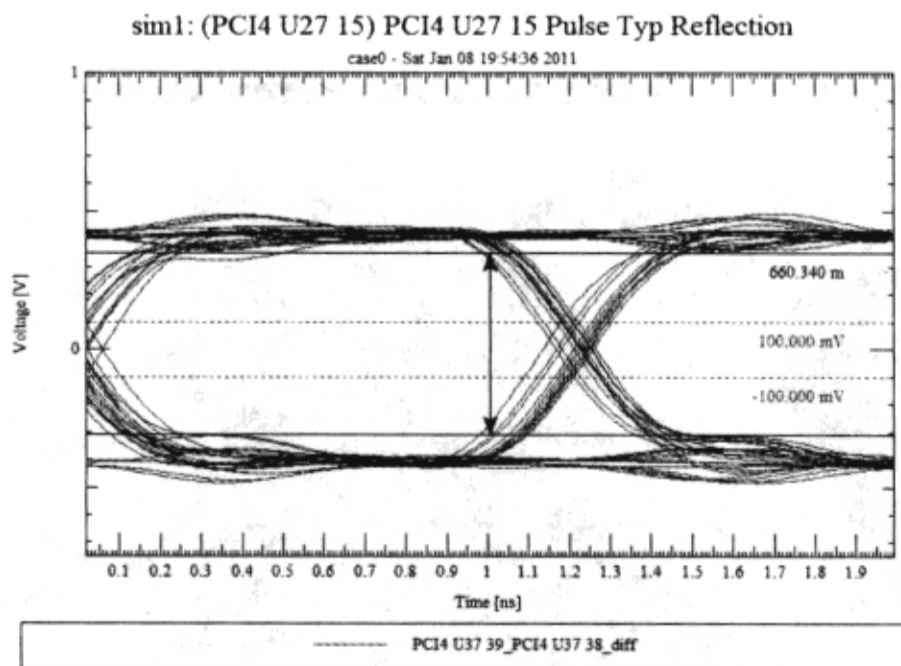


图 6-4-36 调整标志线位置

(26) 调整“Differential Vertical Marker”标志线的位置，如图6-4-37所示。

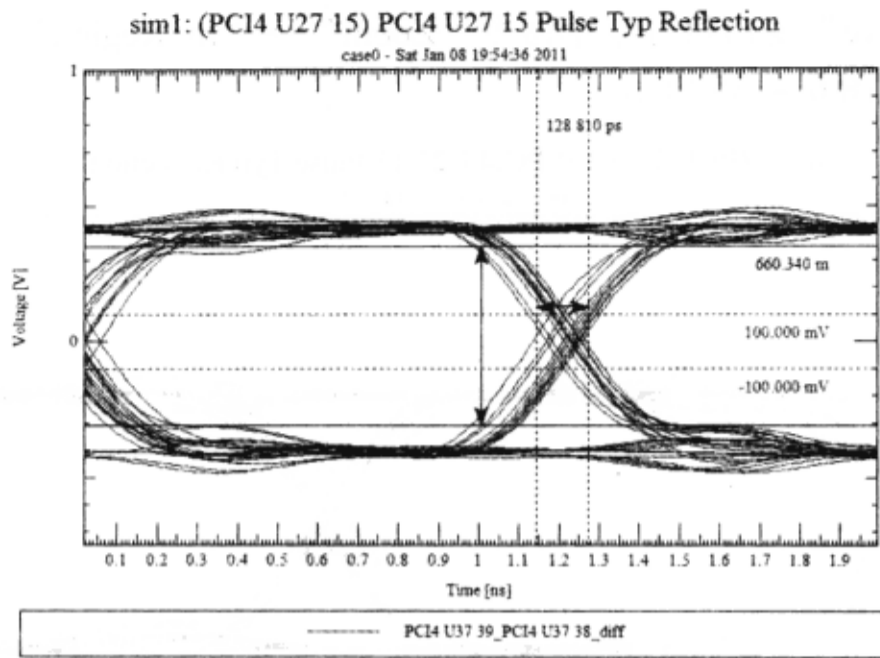


图 6-4-37 调整“Differential Vertical Marker”标志线的位置

(27) 从“SigWave”窗口执行菜单命令“File”→“Exit”，退出。

## 6.5 差分对约束

【本节目的】学习建立差分对约束的方法。

【使用工具】SigXplorer PCB SI GXL, Allegro Constraint Manager。

【使用软件】physical\diffPair\diff\_sim.top。

### 1. 设置差分对约束

(1) 从“SigXplorer PCB SI GXL”窗口执行菜单命令“File”→“Open”，打开diff\_sim.top 拓扑，如图 6-5-1 所示。

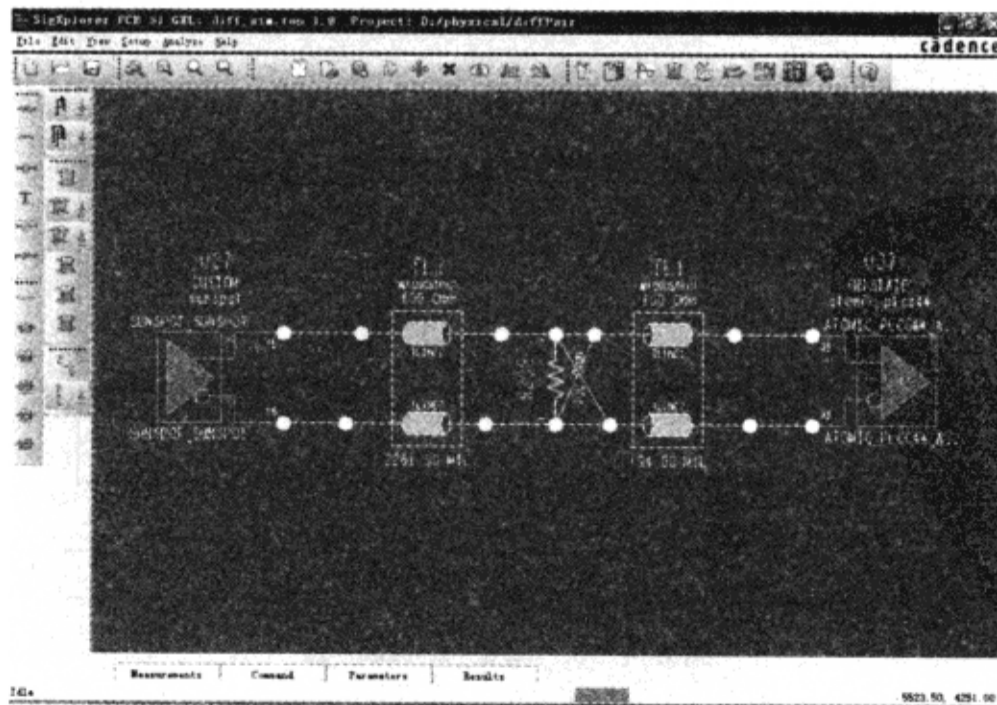


图 6-5-1 拓扑结构

(2) 从“SigXplorer PCB SI GXL”窗口执行菜单命令“Setup”→“Constraints...”，弹出“Set Topology Constraints”对话框，如图6-5-2所示。

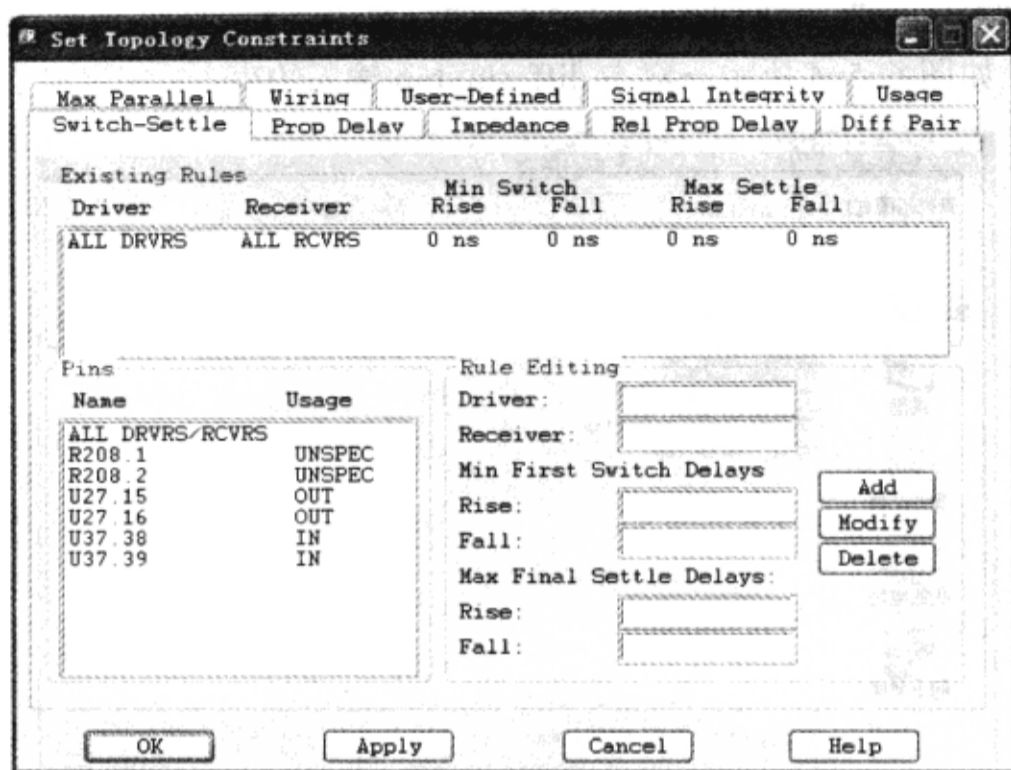


图6-5-2 “Set Topology Constraints”对话框

(3) 在“Set Topology Constraints”对话框选择“Diff Pair”标签页，具体设置如图6-5-3所示。

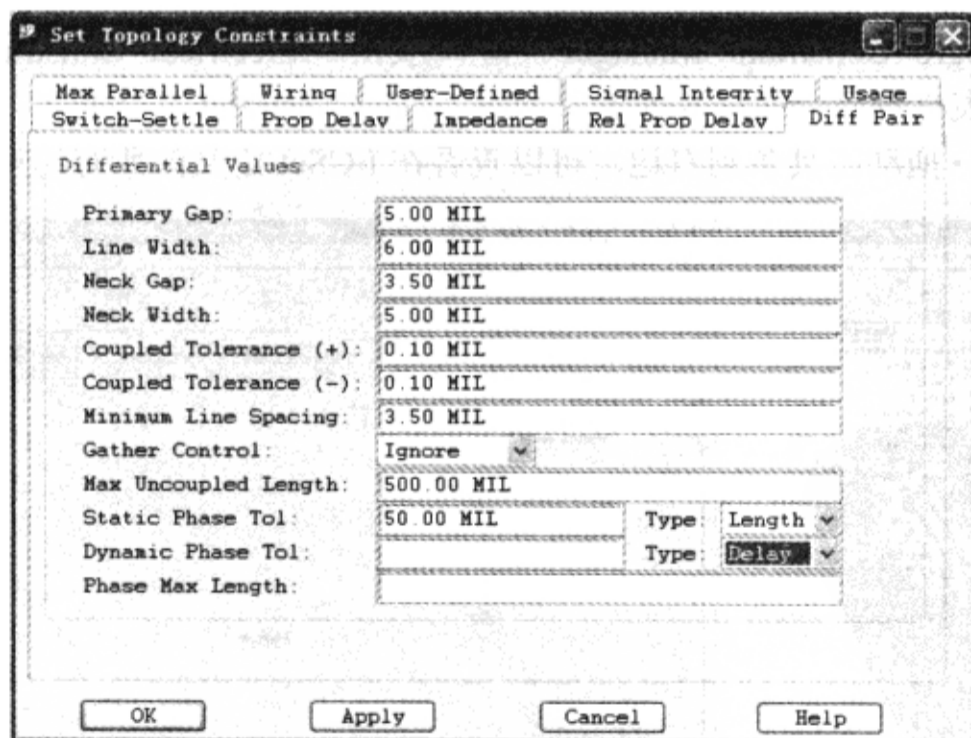


图6-5-3 设置差分约束

(4) 单击“OK”按钮，关闭“Set Topology Constraints”对话框。

(5) 从“SigXplorer PCB SI GXL”窗口执行菜单命令“File”→“Save”，保存拓扑。

(6) 从“SigXplorer PCB SI GXL”窗口执行菜单命令“File”→“Exit”，退出。



## 2. 应用差分对约束

(1) 在 Allegro PCB SI GXL 窗口中打开“Allegro Constraint Manager”窗口，执行菜单命令“File”→“Import”→“Electrical CSets”，弹出“Import an electrical ECSet file (.top)”对话框，如图 6-5-4 所示→双击 diff\_sim.top 输入约束。



图 6-5-4 “Import an electrical ECSet file (.top)”对话框

(2) 在“Allegro Constraint Manager”窗口双击“Electrical Constraint Set”→“All Constraints”前的表格符号，如图 6-5-5 所示→“All Constraints”表格的“Objects”栏列出的“DIFF\_SIM”→拖动工具条到右边，可以查看在 ECSet 定义的所有约束。

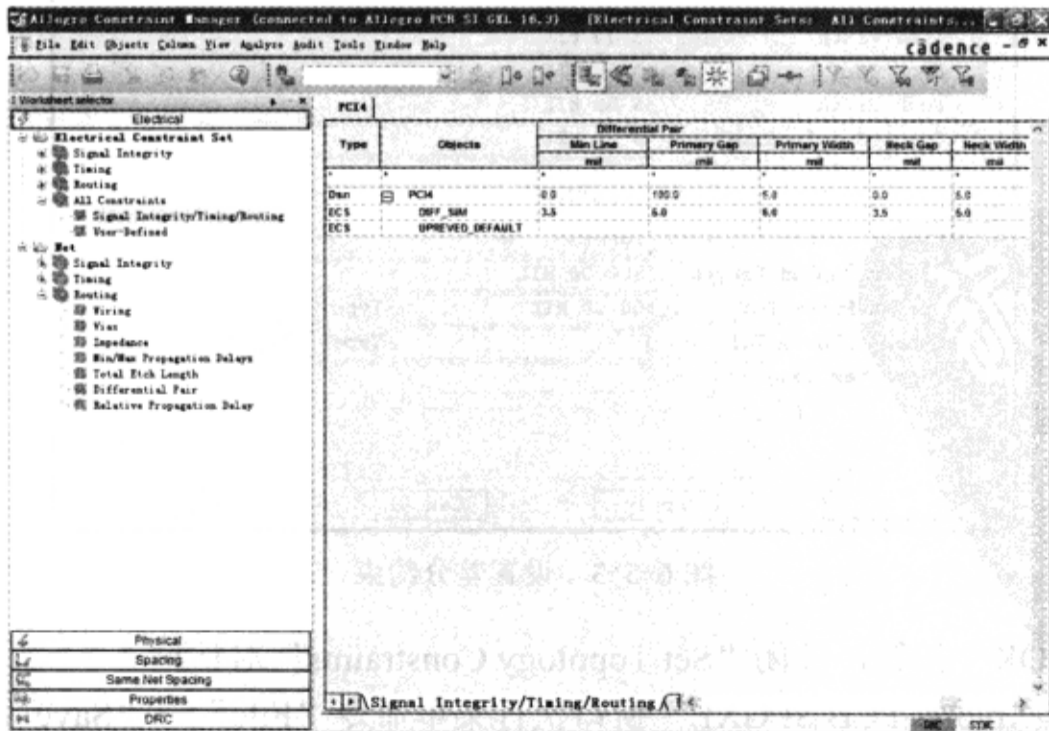


图 6-5-5 显示约束

(3) 在“Allegro Constraint Manager”窗口双击“Net”→“Routing”→“Differential Pair”前的表格符号，如图6-5-6所示。

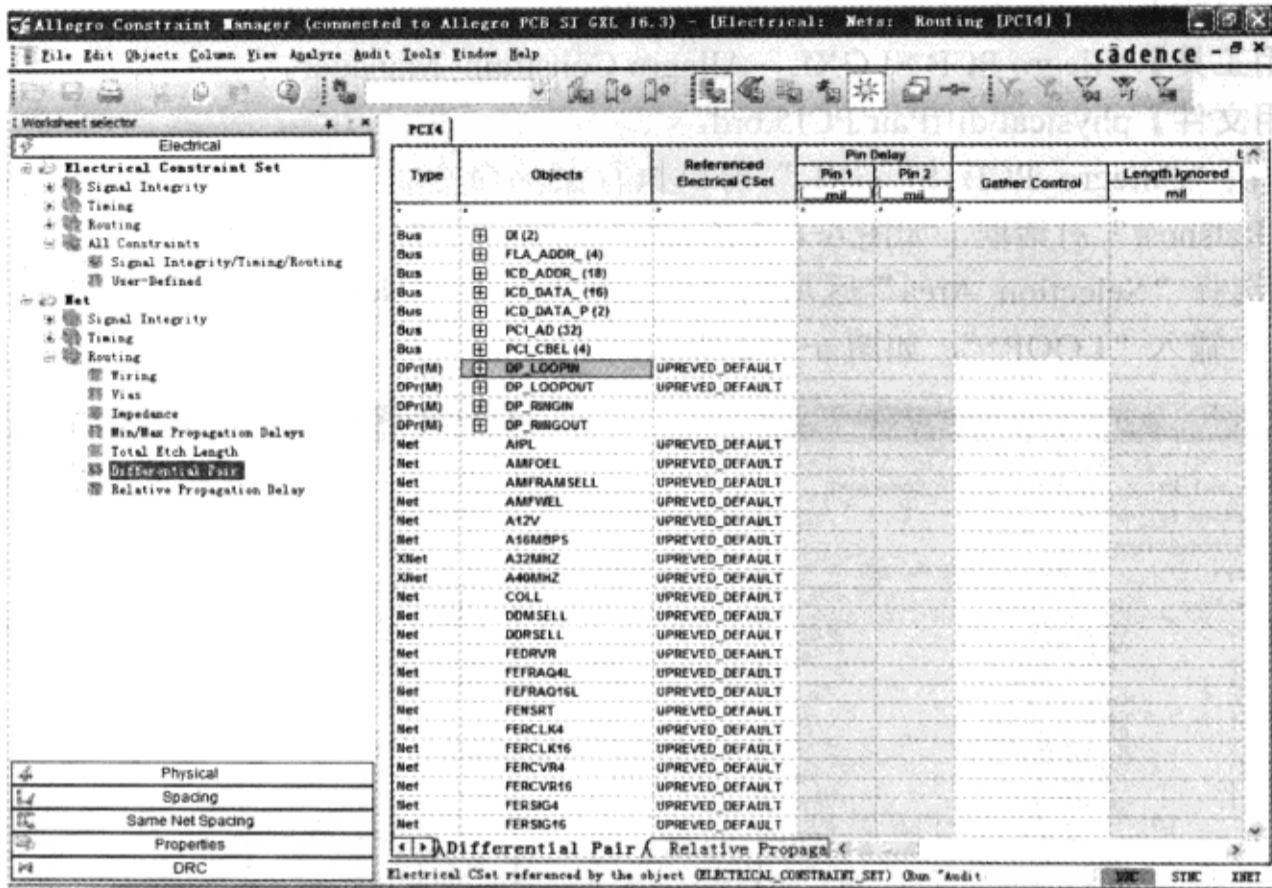


图 6-5-6 显示差分对

(4) 用鼠标右键单击“DPLOOPIN”后面的“Referenced Electrical CSet”表格→在弹出的菜单中选择“Change”→弹出“Electrical CSet References”对话框→从下拉菜单选择“DIFF\_SIM”，如图6-5-7所示。

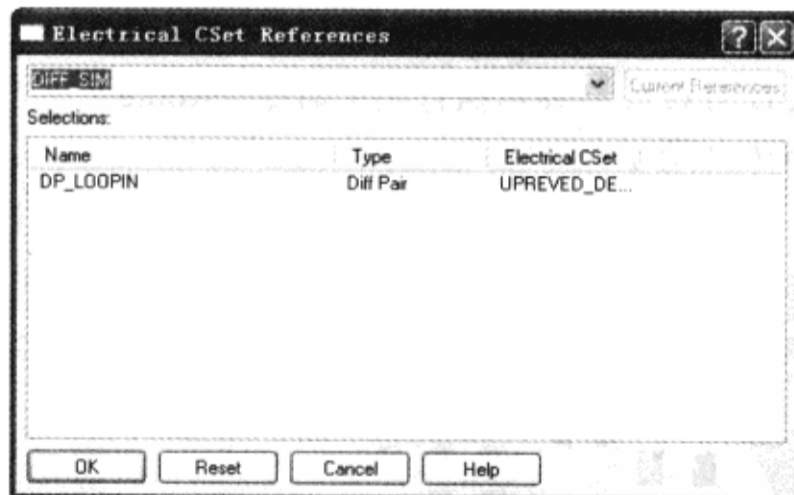


图 6-5-7 分配约束

(5) 单击“OK”按钮，关闭“Electrical CSet References”对话框。

(6) 单击“Close”按钮，关闭“Electrical CSet Apply Information”窗口。

(7) 在“Allegro PCB SI GXL”窗口执行菜单命令“File”→“Save as”，保存文件于当前目录，文件名为“PCI5.brd”。

## 6.6 差分对布线

**【本节目的】** 学习在差分对约束的情况下进行差分对布线的方法。

**【使用工具】** Allegro PCB SI GXL, Allegro Constraint Manager。

**【使用文件】** physical\diffPair\PCI5.brd。

(1) 在“Allegro PCB SI GXL”窗口执行菜单命令“Display”→“Ratsnest”，弹出“Display-Ratsnest”对话框，如图 6-6-1 所示。

(2) 选择“Selection Area”区域的“Select By”栏“Net”前面的单选按钮→在“Net Filter”栏中输入“LOOP\*”，如图 6-6-2 所示。

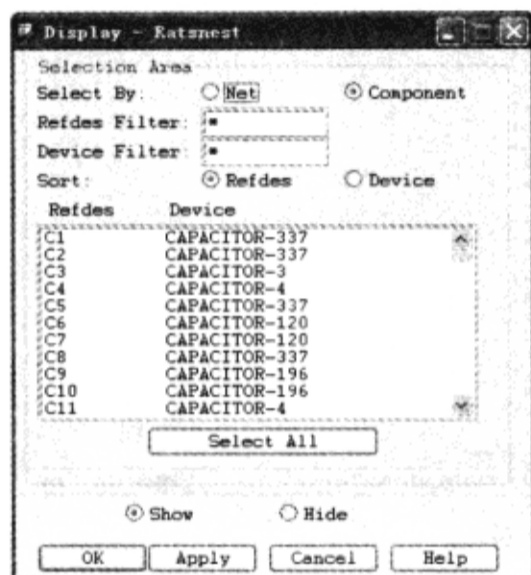


图 6-6-1 “Display-Ratsnest”对话框



图 6-6-2 选择网络

(3) 确保对话框底部的“Show”前面的单选按钮被选择→单击“LOOPIN\_P”和“LOOPIN\_N”，显示飞线，如图 6-6-3 所示。

(4) 单击“OK”按钮，关闭“Display-Ratsnest”对话框。

(5) 从“Allegro PCB SI GXL”窗口执行菜单命令“Route”→“Connect”，控制面板的“Options”页设置如图 6-6-4 所示。

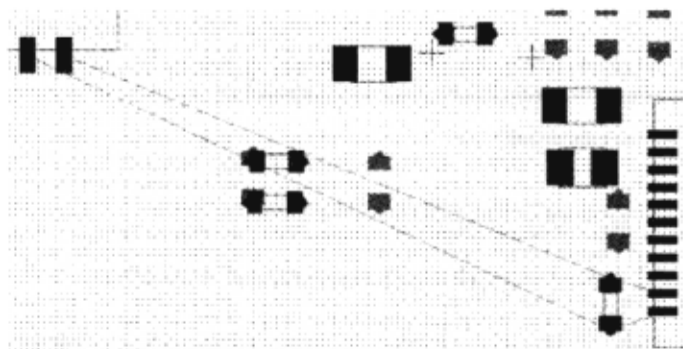


图 6-6-3 显示飞线



图 6-6-4 “Options”页设置

(6) 单击 U27 的引脚，从指针到目标引脚有 2 个飞线，如图 6-6-5 所示。一个飞线是 LOOPIN\_P，另一个是 LOOPIN\_N，网络名 Loopin\_P 现在显示在“Options”页面，“<V016C030>”显示在“Options”页面的“Via”栏中。

(7) 继续移动鼠标→靠近 R208 附近单击一点，如图 6-6-6 所示。

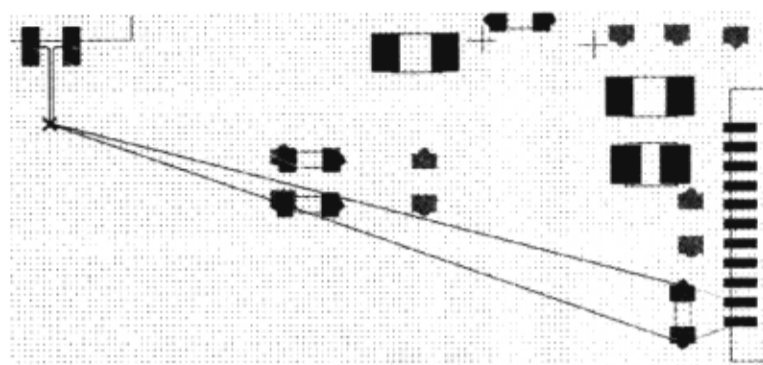


图 6-6-5 开始布线

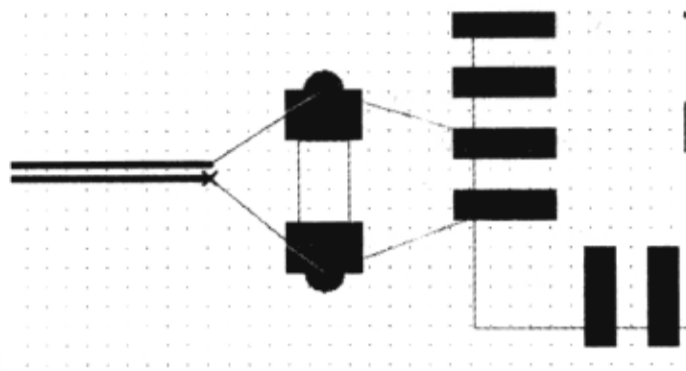


图 6-6-6 布线

(8) 单击 R208 的引脚，布线将自动完成。

(9) 单击 U37 的一个引脚向 R208 布线→靠近 R208 附近单击一点→单击 R208 的引脚→单击鼠标右键→从弹出菜单中选择“Done”，完成布线，如图 6-6-7 所示。

(10) 查看“Allegro Constraint Manager”窗口的约束，如图 6-6-8 所示，没有约束违背。

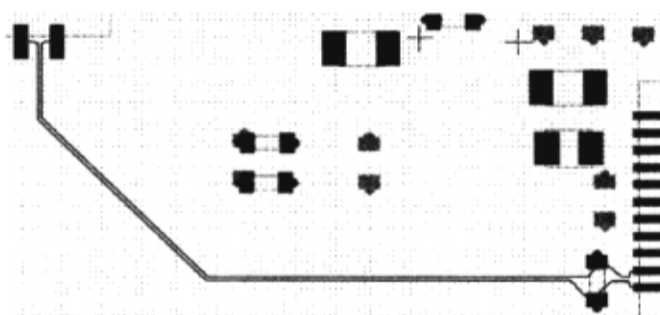


图 6-6-7 完成布线

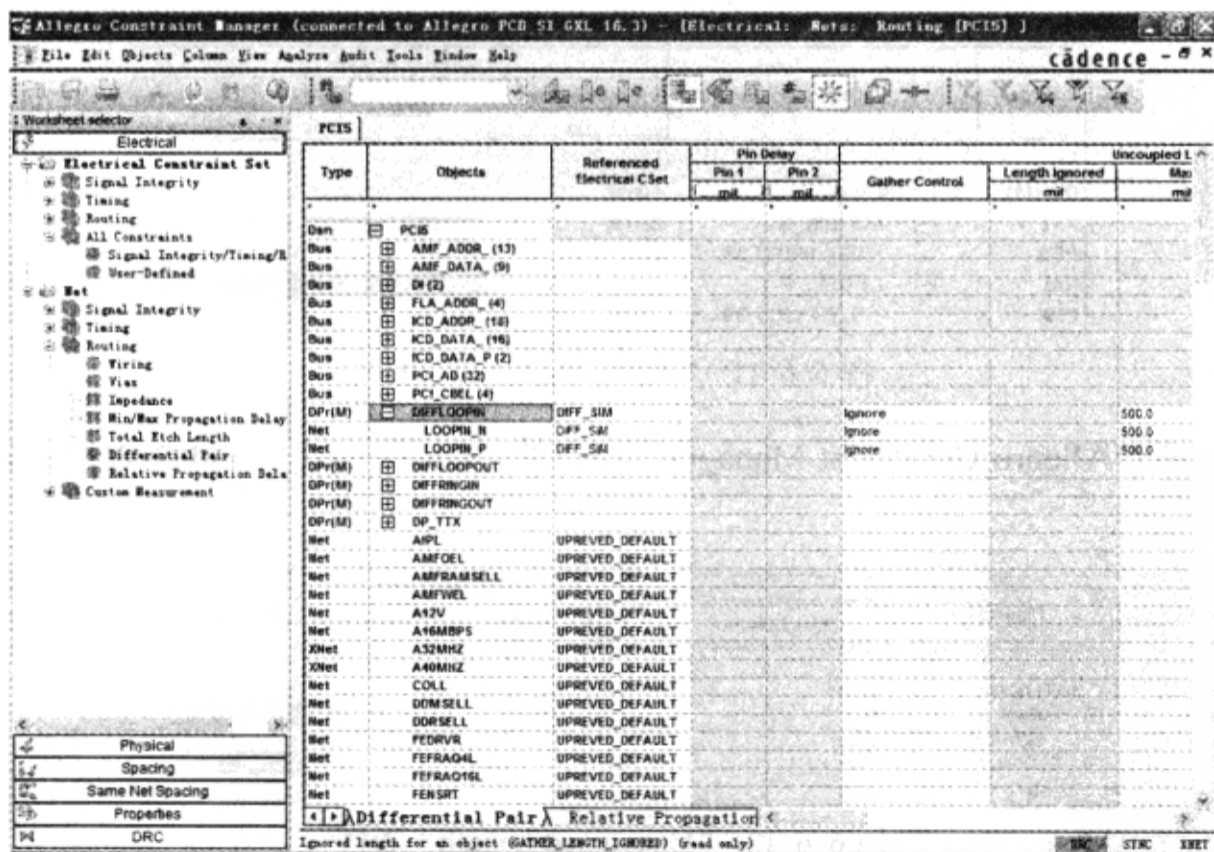


图 6-6-8 查看约束

(11) 在“Allegro PCB SI GXL”窗口执行菜单命令“Route”→“Slide”，控制面板的

“Options” 页设置如图 6-6-9 所示。

(12) 调整差分对布线，如图 6-6-10 所示。



图 6-6-9 “Options” 页设置

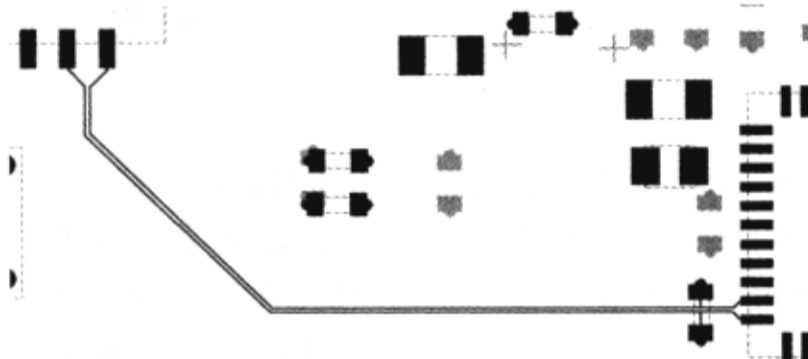


图 6-6-10 调整差分对布线

(13) 查看“Allegro Constraint Manager”窗口的“Static Phase”表格，如图 6-6-11 所示。其中，Tolerance 值为允许的差分对两个成员网络的长度差。

Type	Objects	Static Phase		
		Tolerance	Actual	Margin
		ns		
DPr(M)	<input type="checkbox"/> DIFFLOOPIN	50 mil		31.40
Net	<input type="checkbox"/> LOOPIN_N	50 mil		31.40
PPR	U27.16:U37.38	50 mil	18.60	31.40
Net	<input type="checkbox"/> LOOPIN_P	50 mil		
PPR	U27.15:U37.39	50 mil		

图 6-6-11 “Phase Tolerance” 表格

(14) 查看“Allegro Constraint Manager”窗口的“Uncoupled Length”表格，如图 6-6-12 所示。

Type	Objects	Gather Control	Uncoupled Length			Margin
			Length Ignored	Max	Actual	
			mil	mil	mil	
DPr(M)	<input type="checkbox"/> DIFFLOOPIN	ignore		500.0		500.0
Net	<input type="checkbox"/> LOOPIN_N	ignore		500.0		500.0
PPR	U27.16:U37.38	ignore	112.2	500.0	0.0	500.0
Net	<input type="checkbox"/> LOOPIN_P	ignore		500.0		500.0
PPR	U27.15:U37.39	ignore	113.8	500.0	0.0	500.0

图 6-6-12 “Uncoupled Length” 表格

(15) 单击“Gather Control”表格的“Ignore” → 在下拉菜单中选择“Include”，如图 6-6-13 所示。



Type	Objects	Gather Control	Uncoupled Length			Margin
			Length Ignored mil	Max mil	Actual mil	
DPr(M)	<input type="checkbox"/> DIFFLOOPIW	Include		500.0		386.2
Net	<input type="checkbox"/> LOOPIN_N	Include		500.0		387.8
PPR	U27.16:U37.38	Include	0.0	500.0	112.2	387.8
Net	<input type="checkbox"/> LOOPIN_P	Include		500.0		386.2
PPR	U27.15:U37.39	Include	0.0	500.0	113.8	386.2

图 6-6-13 “Gather Control” 表格

当两个成员网络的间距超过“Primary Gap”约束值 5.0mil 时，报告为不耦合的长度值。“Gather Control”为“Ignore”时，不考虑成员网络的引脚的不耦合长度；“Gather Control”为“Include”时，完全考虑成员网络的引脚的不耦合长度。

(16) 从“Allegro PCB SI GXL”窗口执行菜单命令“File”→“Save”，保存文件于当前目录下。

## 6.7 后布线分析

【本节目的】主要学习对完成布线的差分对进行分析的方法。

【使用工具】Allegro PCB SI GXL, Allegro Constraint Manager, SigXplorer PCB SI GXL。

【使用文件】physical\diffPair\PCI5.brd。

(1) 从“Allegro PCB SI GXL”窗口中执行菜单命令“Analyze”→“SI/EMI Sim”→“Preferences”，弹出“Analysis Preferences”对话框→选择“Interconnect Models”栏，设置互连参数，如图 6-7-1 所示。

(2) 单击“OK”按钮，关闭“Analysis Preferences”对话框。

(3) 从“Allegro Constraint Manager”窗口执行菜单命令“Tools”→“Options”，弹出“Options”窗口，按图 6-7-2 所示进行设置。



图 6-7-1 设置互连参数

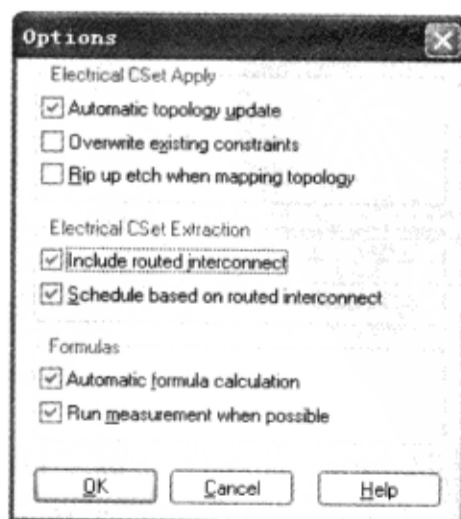


图 6-7-2 “Options” 窗口

(4) 单击“OK”按钮，关闭“Options”窗口。

(5) 在“Allegro Constraint Manager”窗口执行菜单命令“Objects”→“Filter”，弹出“Filter”窗口，具体设置如图 6-7-3 所示。

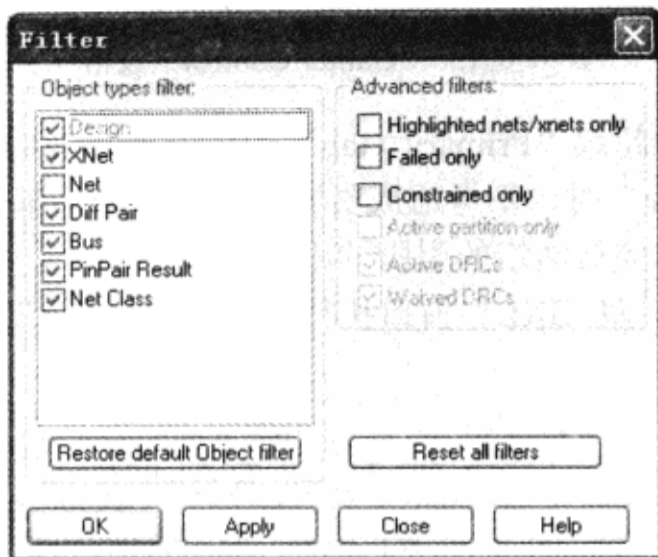


图 6-7-3 “Filter”窗口

(6) 单击“OK”按钮，关闭“Filter”窗口。

(7) 在“Allegro Constraint Manager”窗口双击“Net”→“Routing”→“Differential Pair”前的表格符号，如图 6-7-4 所示。

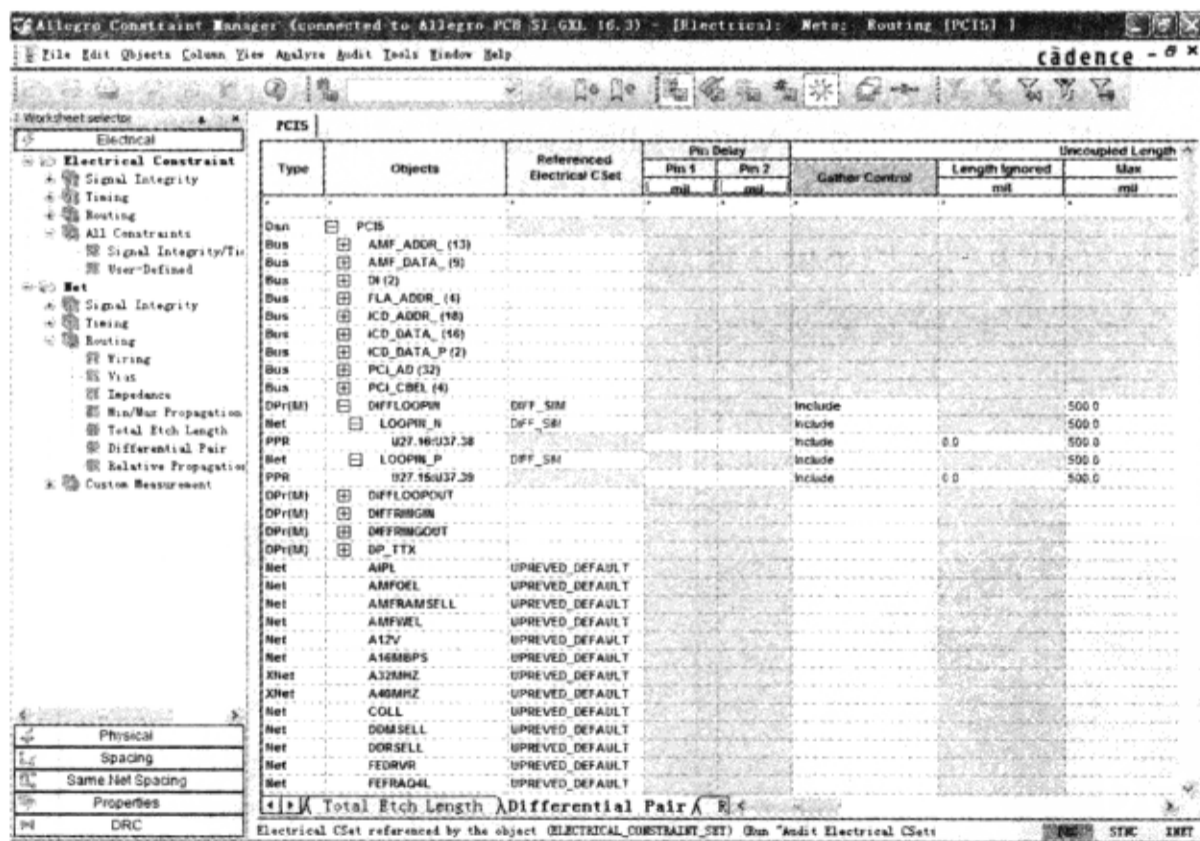


图 6-7-4 差分对约束

(8) 选择“Objects”表格中的“DIFFLOOPIN”→单击鼠标右键→从弹出菜单中选择“SigXplorer”→弹出“SigXplorer PCB SI GXL”窗口，提取布线的拓扑，如图 6-7-5 所示。由图 6-7-5 可见，有单 Trace 也有耦合 Trace，单 Trace 是在弯曲处的额外的 Trace 长度且引

脚的 Trace 没有按 5.0mil 间距耦合，驱动器 IO Cell 设置为 CUSTOM 激励。这与预布线分析过程中的 CUSTOM 激励相同。

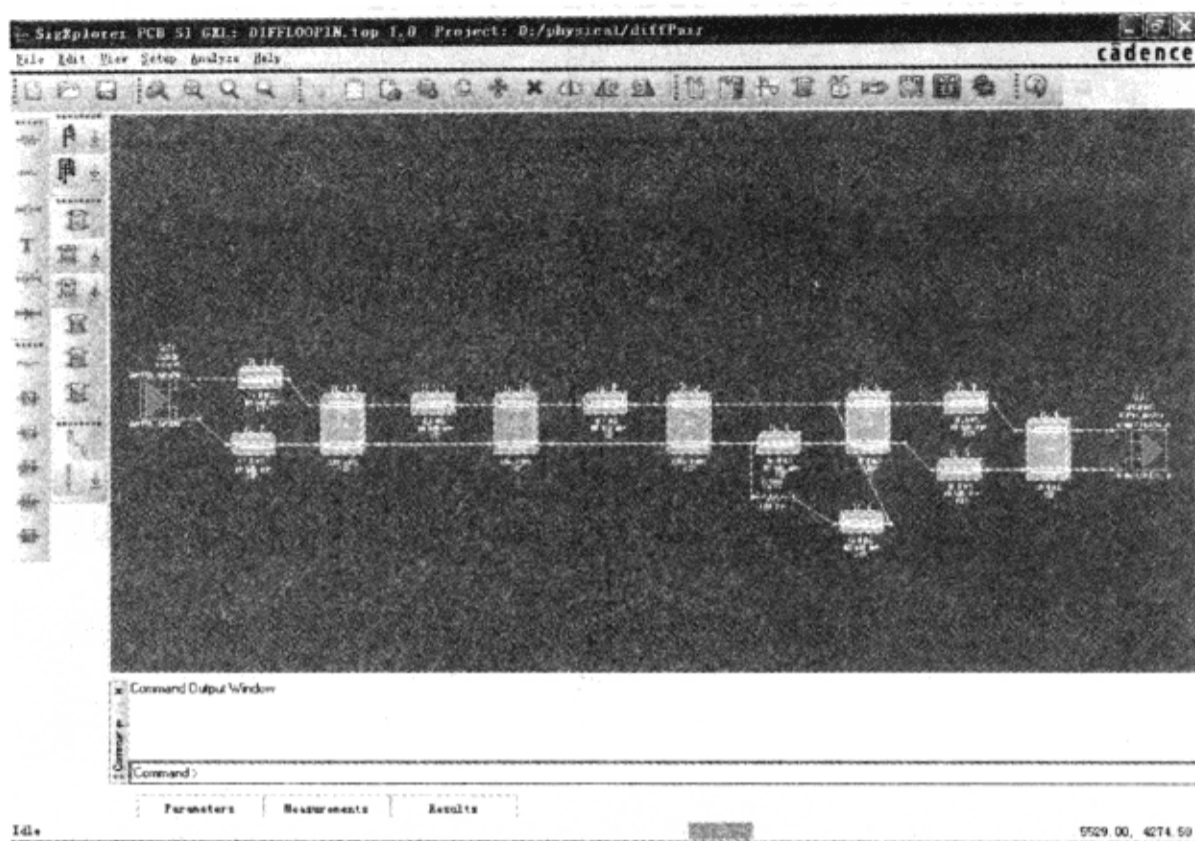


图 6-7-5 提取布线的拓扑

(9) 从“SigXplorer PCB SI GXL”窗口执行菜单命令“Analyze”→“Preferences”，弹出“Analysis Preferences”对话框→设置“Pulse Stimulus”栏参数，如图 6-7-6 所示。

(10) 设置“Simulation Parameters”栏，如图 6-7-7 所示。

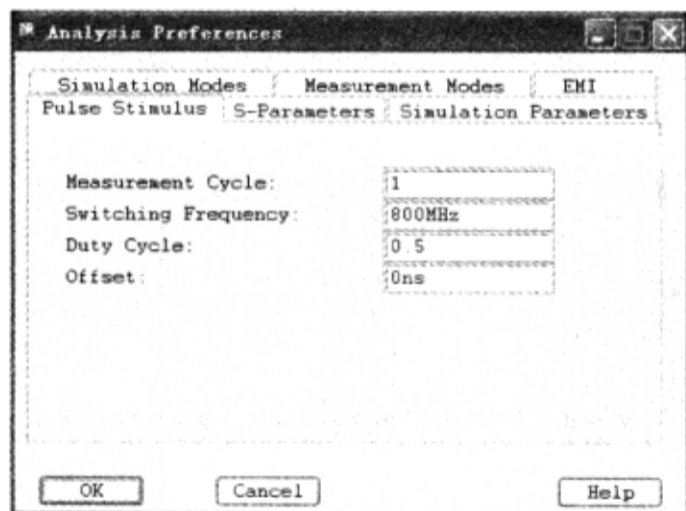


图 6-7-6 设置激励参数

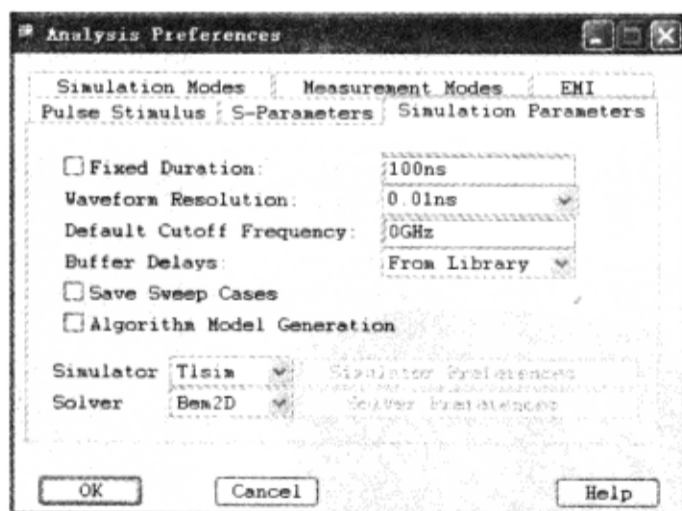


图 6-7-7 设置仿真参数

(11) 单击“OK”按钮，关闭“Analysis Preferences”对话框，“Simulation Modes”标签页和“Measurement Modes”标签页保持不变。

(12) 从“SigXplorer PCB SI GXL”窗口执行菜单命令“Analyze”→“Simulate”，仿真完成后，弹出“SigWave”窗口显示仿真波形，如图 6-7-8 所示。

(13) 选择波形库“Sim1:(PCI5 U27 15) PCI5 U27 15 Pulse Typ Reflection”→单击鼠标

右键→从弹出菜单中选择“Hide All Subitems”，不显示子项。

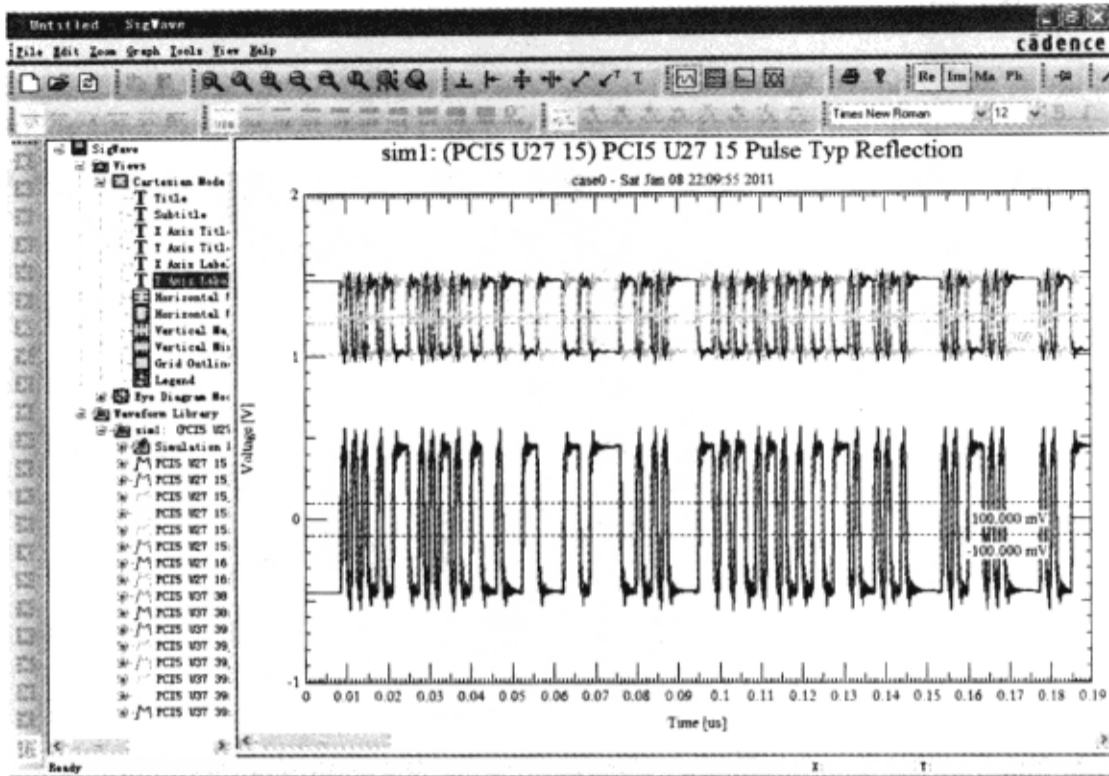


图 6-7-8 显示仿真波形

(14) 单击“Sim1:(PCI5 U27 15) PCI5 U27 15 Pulse Typ Reflection”前的“+”号展开项目→双击“PCI5 U37 39\_PCI5 U37 38\_diff”前的波形符号，显示波形如图 6-7-9 所示。

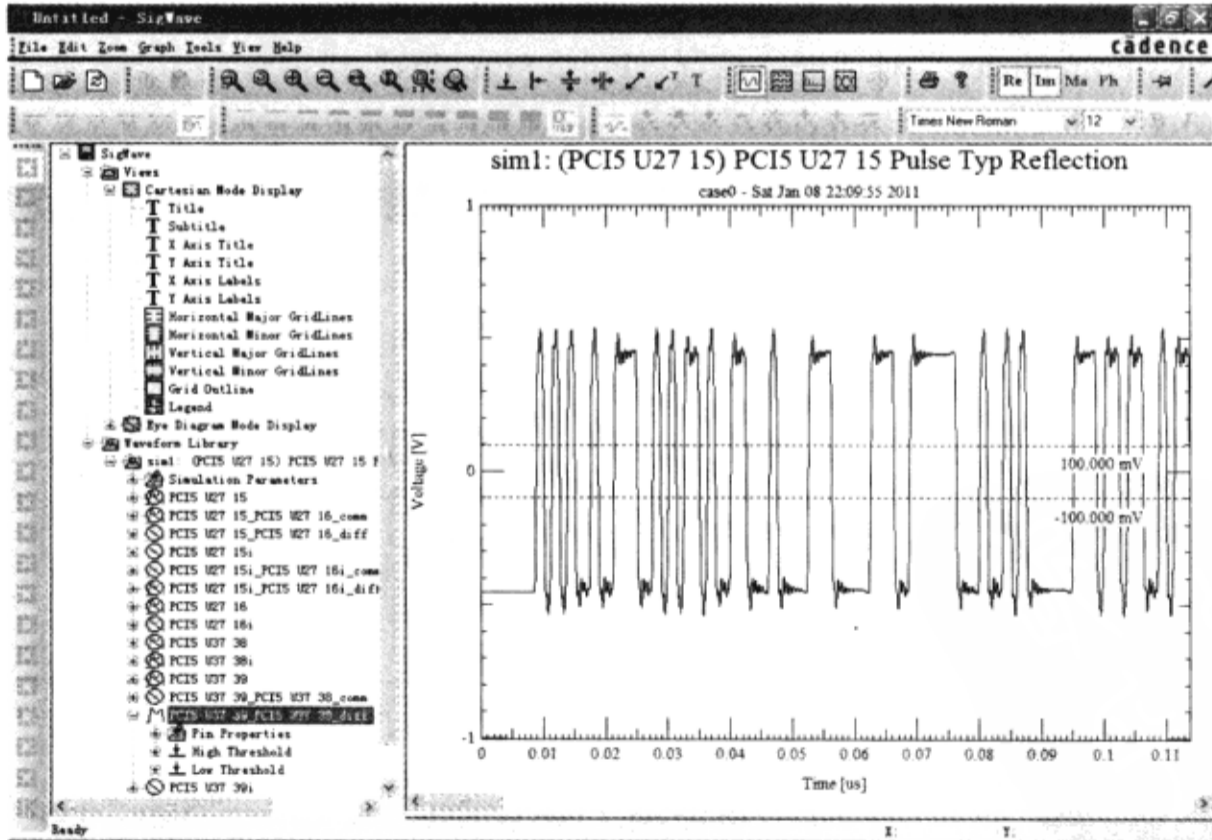


图 6-7-9 差分接收器波形

(15) 从“SigWave”窗口执行菜单命令“Graph”→“Eye Diagram Mode”，显示眼图，如图 6-7-10 所示。

(16) 从“SigWave”窗口执行菜单命令“Zoom”→“In Region”，放大波形（0~1.7ns），如图6-7-11所示。

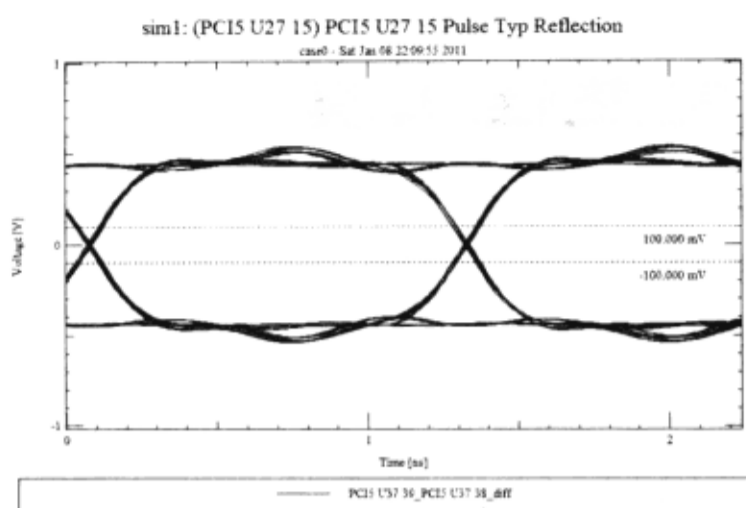


图 6-7-10 显示眼图

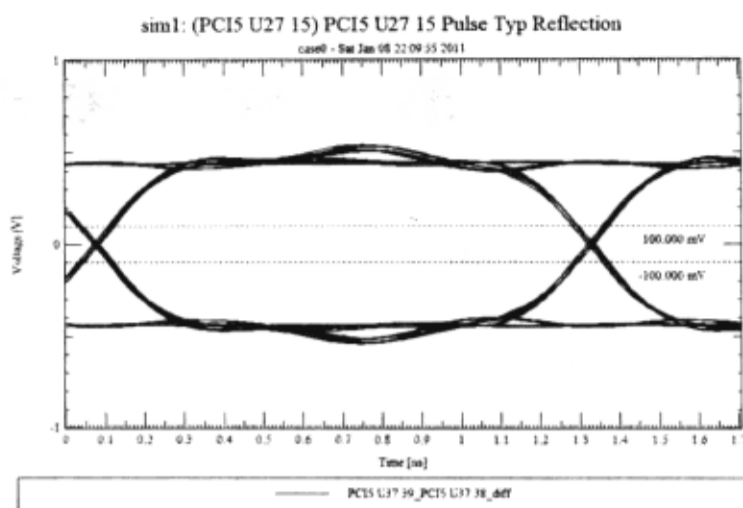




图 6-7-11 显示指定区域

(17) 单击“SigWave”窗口的  图标→添加“Differential Horizontal Marker”标志线→选中标志线→单击鼠标右键→从弹出菜单中选择“Line Style”，使标志线为实线→调整标志线位置，如图6-7-12所示。

(18) 在“SigWave”窗口单击  图标→单击“Differential Vertical Marker”标志线→从最左边的颜色块中选择红色。

(19) 调整“Differential Vertical Marker”标志线的位置，如图6-7-13所示。

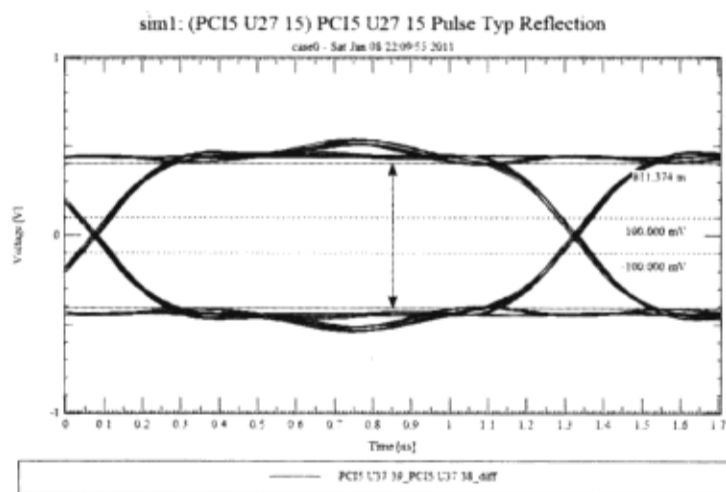


图 6-7-12 调整标志线位置

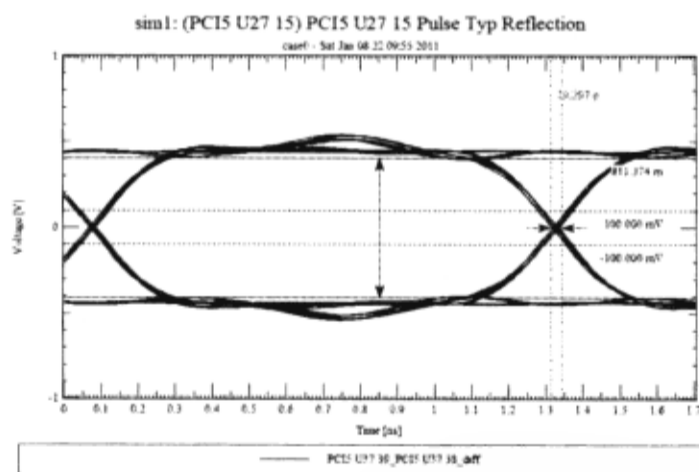


图 6-7-13 调整“Differential Vertical Marker”标志线的位置

(20) 从“SigWave”窗口执行菜单命令“File”→“Exit”，退出。

(21) 从“SigXplorer PCB SI GXL”窗口执行菜单命令“File”→“Exit”，弹出提示信息→单击“是”按钮，保存拓扑。

(22) 从“Allegro Constraint Manager”窗口执行菜单命令“File”→“Close”，退出。

(23) 从“Allegro PCB SI GXL”窗口执行菜单命令“File”→“Exit”，弹出提示信息→单击“否”按钮，退出。



# 第7章 电源完整性工具

## 7.1 学习目标

本章主要介绍 Allegro PCB PI option XL 电源完整性工具的使用方法，内容包括：

- (1) 描述电源完整性的设计要求；
- (2) 总体介绍电源分配系统；
- (3) 初步学习使用 Allegro PCB PI option XL 电源完整性工具；

使用现代 CMOS 技术的电源系统越来越难设计，其中的一种设计方法是先确定与 PCB 频率范围相符合的目标阻抗 (Target Impedance)，然后再根据这个阻抗值指定元器件。根据电源分配系统 (Power Distribution System, PDS) 元器件 (其中包括电压调节模块，去耦电容器、高频陶瓷电容器) 的阻抗—频率曲线将其定义并生成 SPICE 模型。在设计中需要放置足够多的电容器来满足目标阻抗，陶瓷电容器的等效串联电阻 (Equivalent Series Resistance, ESR) 和等效串联电感 (Equivalent Series Inductance, ESL) 是两个非常重要的参数，根据这两个值来确定需要多少电容器。然后在时域对元器件的 SPICE 模型进行分析，找出负载的暂态响应。

## 7.2 课程内容

Allegro PCB PI option XL 电源完整性课程主要分为以下 4 个部分。

- (1) 为电源配送系统分析创建一个 PCB；
- (2) 学习如何摆放电容器，以及摆放的电容器对电源分配系统的影响；
- (3) 分析一个现有的 PCB 电源分布系统是否满足用户设定的目标；
- (4) 创建和使用电容器的仿真模型。

## 7.3 电源完整性分析工具

### 1. Allegro PCB PI option XL 简介

本课程主要使用 Cadence SPB 16.3 软件中 PCB SI 下的 Allegro PCB PI option XL 进行电源完整性分析。

Allegro PCB PI 是 Allegro PCB SI 的一个附加软件，它为设计人员提供了一个集成的设计与分析环境，使得量化和控制电源分配系统 (PCB) 内的噪声计算和控制不再依靠估计来完成。Allegro PCB PI 模块把来自 Sun 微系统的经过验证的技术集成到 Cadence 设计与分析环境中，解决高速系统设计中碰到的电源分配问题。Allegro PCB PI Option 包含一种方法，

用于在高速设计中设计和优化电源/地供给系统的频率相关特征（供给路径阻抗）。它允许用户进行快速和简单的“修改—仿真—分析”迭代。Cadence 设计方法是基于这样一个事实，即电源/地供给系统的阻抗是频率相关的，因此设计者必须在感兴趣的频段上进行分析和控制。最大供给电流和容许电压波动用于获得主 PDS 的设计参数——目标阻抗。在系统运行的频段内优化目标阻抗能够获得一个相对平稳的电源分配系统。在仿真阶段，PCB 的 PI 选项考虑了整个 PDS——VRM、体电容、旁路电容和电源平面。Allegro PCB PI option 计算耦合电容的数目和数值，并引导设计人员对它们进行摆放以获得最优的结果。它提供一个集成的设计与分析环境，让设计人员把注意力集中在问题上面，而不是把精力花在 CAD 系统与分析引擎之间的数据转换问题上。

## 2. Allegro PCB PI option XL 使用方法

Allegro PCB PI option XL 是一个电子设计自动化（EDA）软件，它为在高速 PCB 上设计和创建 PDS 提供了一种协同设计的方法。PDS 的设计包括电压调节模块（Voltage Regulator Modules, VRM）、去耦电容（Decoupling Capacitors）、电源/地平面的设计等内容。

使用电源完整性工具的目的就是确定一个适合 PCB 频率范围的目标阻抗，然后选择适合这个目标阻抗的元器件。根据 PDS 的元器件（其中包括电压调节模块，体去耦电容器、高频陶瓷电容器）的阻抗—频率曲线将其定义并生成 SPICE 模型。需要放置足够多的电容器来满足目标阻抗，陶瓷电容器的 ESR 和 ESL 是两个非常重要的参数，使用这两个参数来确定需要多少电容器。然后在时域对元器件的 SPICE 模型进行分析，找出负载的暂态响应。

## 7.4 进行电源完整性分析的意义

### 1. 电源完整性的重要性

电源完整性工具能帮助设计人员设计一个支持高速 PCB 运行的稳定 PDS。电源完整性有如下作用：

（1）减小共模阻抗耦合（Common-Impedance Coupling）与共模开关噪声（Common-Mode Switching Noise）；

（2）减小或者消除与供电系统相关的信号完整性问题。

现代高速系统的性能与 PDS 的设计密切相关，因为如果要使 PDS 在超过 400MHz 的情况下很好地进行电源配送，仅依靠人工方法对 PDS 进行设计是相当复杂的，而且这样做通常会带来一些不期望的后果：要么是设计不足（存在大量的电磁辐射干扰及稳定性问题），要么设计过度（增加了系统的成本和复杂性）。

如今主要使用一种新的设计和分析方法：通过在频域对 PDS 的性能进行观测，设计者就能确定所设计的 PDS 是可靠的、稳定的。

### 2. 技术趋势

现代集成电路（IC）功能的不断增加促使我们要设计这样的一个 PDS：它能在频率超过 400MHz 的情况下进行很好的电源配送。随着集成电路运行频率的增加，PDS 所要求的阻抗值降低了，如图 7-4-1 所示。其原因如下所述。



图 7-4-1 日益减小的目标阻抗和日益增加的时钟频率

- (1) 集成电路变得越来越小，在其中集成了越来越多的晶体管，从而需要更低的偏置电压；
- (2) 时钟频率和数据读取速率的增加需要消耗更多的电能；
- (3) 在 PDS（如图 7-4-2 所示）设计中必须要考虑到不断增加的储存电荷。

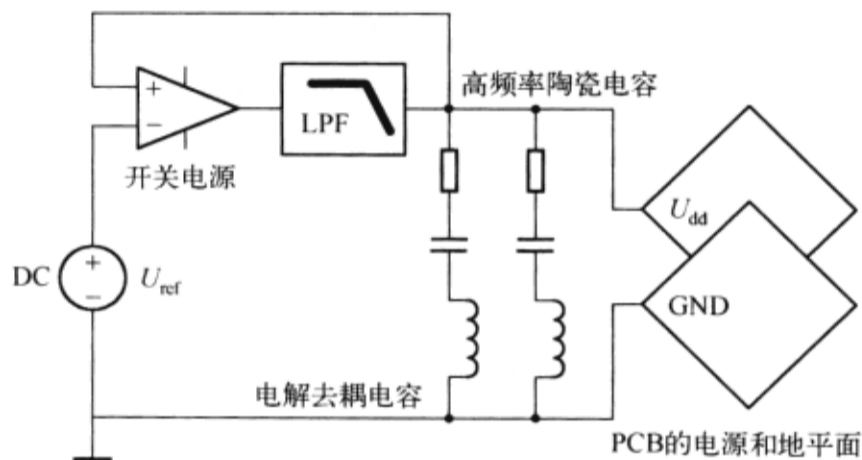


图 7-4-2 电源分配系统（PDS）

每当新一代计算机技术的成功诞生，如何为其提供更低的阻抗就变成了越来越迫切的问题。运行电压在不断降低，电流在不断增大，同时，在平面上允许的波动范围也在不断降低。

## 7.5 目标阻抗

目标阻抗以欧姆定律为基础，欧姆定律表述为电压与电流的比值等于网络的阻抗。对于 PDS，电压是电源上允许的波动电压（ $\Delta u$ ）。电源配送网络的目标阻抗  $Z_T$ （单位为  $\Omega$ ）可以通过下式计算：

$$Z_T = \frac{U_{dd} \times \text{波动}}{50\% \times I_{\max}} (\Omega)$$

式中，假设开关电路流出的平均电流为最大电流的 50%， $U_{dd}$  为电源电压。假设波动电压为 5V 电压的 5%，并且最大电流为 1A，则目标阻抗计算为

$$Z_T = \frac{5 \times 5\%}{50\% \times 1} = 0.5\Omega$$

因为集成电路的功率  $P$  和电压  $U$  是已知的，所以集成电路中流出的最大电流可通过关系式  $P = UI_{\max}$  求出。目标阻抗  $Z_T$  在频域内确定了集成电路电源端 PDS 最大阻抗的上限。低于  $Z_T$  的阻抗能够确保任何电流跳变引起的电压噪声均小于 5V 的 5%。因此，对于必须把噪声电压控制在电源电压一定范围内（如 5%）的 PDS 的设计，目标阻抗  $Z_T$  是非常有用的参数。

图 7-5-1 所示为  $Z_T - f$  曲线，频率轴表示激励源的频率分量。由图可知，如果阻抗在某些频率超过目标阻抗，在这个频率上有电流源激励时就可能导致电源噪声超过 5V 的 5%，即 250mV。图中假定电流跳变为最大电流的 50%。

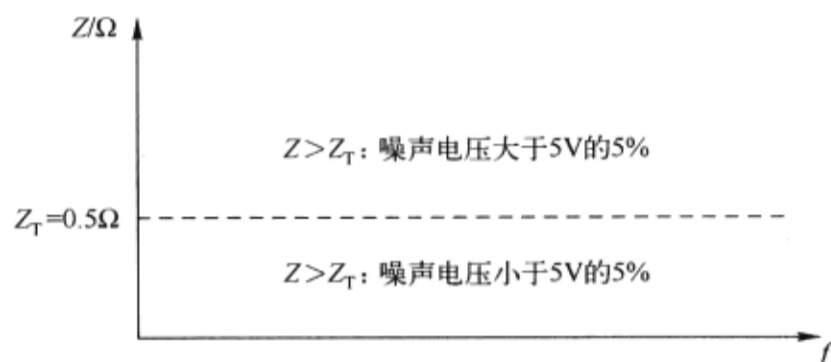


图 7-5-1  $Z_T - f$  曲线

表 7-5-1 列出了 1990—2002 年期间 5 种微处理器的目标阻抗值。可以看出，在过去的 10 余年里，由于电压的降低及功率的增加，目标阻抗降低了 500 倍。因为 PDS 的阻抗可由公式  $Z = \sqrt{L/C}$  得到（其中  $L$  和  $C$  为该网络的电感和电容），所以降低系统的目标阻抗就意味着提高系统的电容和减小系统的电感。从表 7-5-1 中可以看到，在过去的 10 余年里，微处理器的频率从 16MHz 上升到了 1.2GHz，这意味着目标阻抗必须维持满足基本的时钟频率。然而，这种极其苛刻的条件并不能在所有的频率范围内都得到满足，而且常常导致系统成本的增加。因此，必须谨慎地把系统中的频率响应和各种电流跳变联系起来，更好地理解 PDS 中可能被激励的频率，在这些激励频率上的目标阻抗必须得到满足。

从表 7-5-1 中可以看出，随着计算机技术的发展，微处理器系统的目标阻抗在不断的降低，因此可以得出这样的结论，即如今遇到的挑战就是创造这样的一个：它要在微处理器系统时钟频率不断增加的情况下使其目标阻抗不断降低。我们该用哪种设计分析技术来理解和解决这个问题呢？

表 7-5-1 目标阻抗的发展趋势

年份	电压/V	消耗电能/W	电流/A	目标阻抗/mΩ	频率/MHz
1990	5.0	5.0	1.0	250	16.0
1993	3.3	10.0	3.0	54.0	66.0
1996	2.5	30.0	12.0	10.0	200.0
1999	1.8	90.0	50.0	1.8	600.0
2002	1.2	180.0	150.0	0.4	1200.0

由此可以看出，随着现代 CMOS 技术的发展，PDS 的设计遇到了越来越严峻的挑战。现代 CMOS 技术标志之一就是提供越来越小和越来越快的晶体管，因此所提供的电源电压

必须降低。如今微处理器（Micro Processors）与专用集成电路（Application Specific Integrated Circuits, ASIC's）的时钟频率在不断增加，且集成了越来越多的功能，这就是 20 世纪 90 年代后 PDS 的发展趋势。

## 7.6 PDS 中的噪声

### 1. 开关噪声

产生开关噪声的原因如下所述。

(1) 包含有高频能量的 CPU 快速时钟速率和快速边沿速率：在 kHz 的频率范围内，CPU 处理代码的速度是 0.5ms，在这个频率范围内，CPU 可连续访问硬盘；在 MHz 的频率范围内，CPU 可连续访问内存、处理数据。在以上时间范围内，由 CPU 的开关特性产生时钟频率，时钟频率会产生谐波，这些谐波会导致严重的普通模式噪声问题。

(2) 在总线中含有高频能量的总线时钟速率和边沿速率。

(3) 当 CPU 由空闲状态向全能状态转变时，CPU 的运行速度随之上升，同时要求 PDS 的频率由低变高。

必须注意的是，PDS 必须能够处理所有可能的电流暂态频率。

在理想的情况下，PCB 的电源平面能够在瞬间提供大量的电流，地平面能表现出相似的电流消耗特性。但是在现实情况下却不是这样的，地平面和电源平面含有有限的、非理想的寄生值，当平面中流过大量电流时，就会引起相应的电压下降，电压的变化就会导致器件的参考电压高于电源的参考电压，当大量电流流过由电源平面所产生的寄生电感时，会产生类似的效果，这些电流会导致芯片电源引脚的电压要比电源输出的电势低。

在器件的输出改变状态时，有时需要一个较大的电流，器件电源引脚和地引脚的电压就会发生跳变。当器件的输出设置为静态值时，电压值就会恢复正常，这种现象通常被称为地反射或电源反射，当器件的多重引脚同时同向（全部高电平或全部低电平）发生转换时，将会产生更为严重的问题。

### 2. 共模噪声

共模噪声（Common-mode noise）是一种在电源层和地层都存在的噪声，它发生在电荷由电源平面传输到地平面的时候。共模噪声在 PCB 的边缘不断来回反射，在高频、高速指令的模式下异常严重（这一点与波导模式非常相像），此时会形成一些热点（hot spots）。

共模阻抗耦合会在 PCB 周围不同功能模块之间引起干扰。

高速集成电路开关中的晶体管把电荷从电源平面提取出来并将其导入地平面，电源平面缺乏足够的电荷来满足电荷传送的需求，所以当频率达到 400MHz 时，在电荷传送的过程中就需要去耦电容器。

打个比方来说，高速开关事件所产生的效应对电源和地平面电压的影响就像在寂静的水面中扔进一块巨石，巨石相当于开关事件，水面的波动相当于平面波动电压的波峰和波谷。

如果频率高于平面的固有谐振频率，平面表现的就像一个大的谐振结构，平面就会支持在开关事件激励结构体时产生的高速指令模式。这样做会引起高频热点（hot spots），如果这



些热点在 I/O 器件，或者连接器的位置及其附近产生，这样会导致相关传输线带来大量辐射。

### 3. 电源噪声

在图 7-6-1 所示的电源和地平面中的电感会引起电源噪声，电源噪声的计算公式为

$$\Delta U = L_{\text{eff}} \left( \frac{dI}{dt} \right)$$

式中， $dI/dt$  表示电路中电流的变化率。流过电感器的正  $dI/dt$  会在电感器两端产生电压降，从而造成芯片（chip）接入端供电电压的下降，并引起由于芯片供电电压的负尖峰（spike）导致的性能问题。类似地，电感器上负的  $dI/dt$  会造成芯片接入端电压升高，从而造成正尖峰，引发可靠性问题。

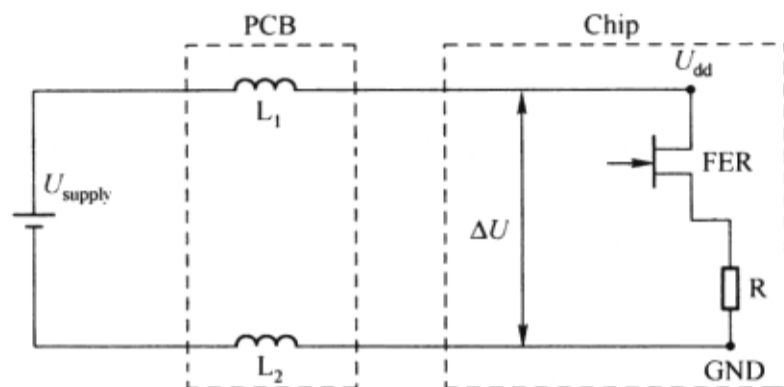


图 7-6-1 在电源/地平面的电感引起电源噪声和芯片引脚的压差

电源噪声实际上是共模阻抗中的一个耦合问题，电源平面对应的阻抗是由平面之间间隔距离、每层平面的厚度、材料的介电常数等因素决定的。

当从电源流出的电流为某一特定的电路供电时，就会在 PCB 的其他电路上看到电压变化。减小电源平面的电感的同时，有效地增加电源平面的电容有助于减小电源噪声，为所设计的 PDS 设定一个特定的目标阻抗值有助于降低电源平面对应的电感，从而减小了电源噪声。

## 7.7 去耦电容器

### 1. 去耦电容器的作用

如图 7-7-1 所示，电荷  $Q$  要对  $C_{\text{load}}$  进行充电，这就会在电路中产生一个变化电流  $\Delta I$ ，去耦电容器  $C_d$  会提供必要的电流来应对这种变化， $C_d$  减小了环路电流，即减小了  $\Delta U$ 。

在容性耦合技术支持的最宽频率范围内，使用这样的方法选择和安装去耦电容器来尽可能地减少在回路中引起的变化电流（ $\Delta I$ ），这是非常有挑战性的。此外，如果去耦电容器因频率太高而失去作用，就必须依靠在电源和地平面叠层结构设计中存在的去耦电容来起作用。

### 2. 体去耦电容器与高频去耦电容器

在频率超出了电压调节模块的工作频率，并且未进入中频电容器的有效范围（典型值从数千赫兹到数兆赫兹）时，体去耦电容器（bulk decoupling capacitors）能够将 PDS 的阻抗维持在所需要的数值。由于体去耦电容器与电压调节模块相连，因此必须结合电压调节模块的

输出阻抗去估计它们的电容值。在电压调节模块响应前，PDS 的必须要有足够的电容来提供电流和电压。

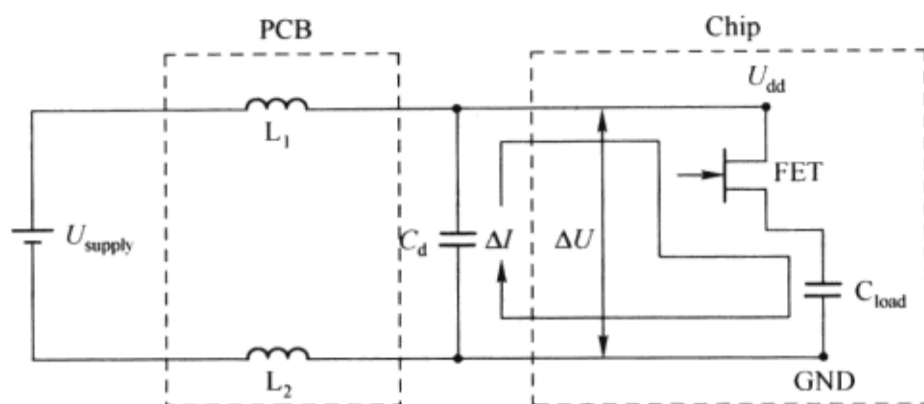


图 7-7-1 添加去耦电容

高频陶瓷电容器（High-Frequency Ceramic Capacitors）是 PDS 中越来越重要的组成部分。对维持目标阻抗所需电容器数目的计算是在频域中进行的。高频表贴电容器的使用范围是从 10~100MHz，甚至更高。这些电容器主要是用不同介质（NPO、X7R、X5R 和 Y5V）和不同尺寸（1206、0805、0603）制成的陶瓷电容器。NPO 电容器拥有最低的等效串联电阻及最好的温度和电压特性，但是电容值只能做到几纳法。X7R 电容器的电压和温度参数比较理想，而且电容值可以做到几纳法到几微法。X5R 电容器与 X7R 电容器类似，但是可靠性不如 X7R，其电容值最大可达 100 $\mu$ F。Y5V 介质电容器用于需要获得大电容的场合，但是它的电压和温度特性都比较差。

## 7.8 电源分配系统（PDS）

### 1. PDS 概述

PDS 是由以下器件组成的：目标阻抗（Target Impedance）、电压调节模块（Voltage Regulator Module, VRM）、电源/地平面（Power/Ground Planes）、去耦电容器（Bulk Capacitors）与高频率陶瓷电容器（High-Frequency Ceramic Capacitors）。

我们把电源、电压调整模块、大量电容器、高速去耦电容器和电源层的组合称为电源分布系统。在现代设计中，在向器件进行供电时，PDS 的各元器件之间会相互影响。

电压调节模块（VRM）向 PCB 特定位置提供局部控制的电压源，它会根据电流的需求自动调节电压，但是响应时间有限且速度慢。实际上，VRM 反馈环的速度很慢，以至于在 100ms 或更低的范围内，VRM 不会对电流需求的瞬时波动做出响应。在这样的情况下，电流需求会不断产生，但 VRM 根本无法了解到这些需求，因此，当器件的开关频率高于 10~100kHz 时，VRM 不能满足这些器件的瞬时电源需求。

### 2. PDS 设计的关键

PDS 设计的关键主要是目标阻抗（Target Impedance），目标阻抗提供电源电压并带来电源消耗。使用欧姆定律可计算目标阻抗，必须定义允许的电压波动范围（通常取 5%），目标阻抗的计算公式为

$$\text{目标阻抗} = \frac{\text{电源电压} \times \text{波动范围}}{\text{变化电流}}$$

变化电流 (Delta current,  $\Delta I$ ) 定义为在电流消耗过程中所发生的电流变化的最大值, 最大电流 (Maximum current) 就是最大动态电流与最大静态电流之和, 最大变化电流 (Maximum delta current) 就是最大电流所发生变化的最大值。

举个例子来说, 微处理器在一个时钟周期内, 不可能由无功耗状态跳转到全功耗状态, 它会消耗好几个周期, 通常最大变化电流取最大电流的 20%~40%, 因此 50% 是最大变化电流在最坏情况下取得一个比较保险的值。

当最大瞬时 (开关) 电流和允许电源偏差 (电压波动) 已知时, 就能用欧姆定律计算所允许目标阻抗的最大值。举个例子来说, 已知瞬时电流最大值  $I_{\text{instmax}} = 10\text{A}$  和波动电压最大值  $U_{\text{ripplemax}} = 100\text{mV}$ , PDS 允许阻抗的最大值为  $R = U/I = 0.1/10 = 10\text{m}\Omega$ , 这意味着要想使系统正常工作, PDS 就得为元器件与电源/地之间提供低阻抗路径。

### 3. 目标阻抗和频率

在不同的频率范围内都需要传送电荷: kHz 范围内的一些低频行为 (ms 以下), 如微处理器访问硬盘; MHz 范围内微处理器对内存的访问; 时钟频率的谐振会对高频电压产生一个低阻抗。

在所有频率范围内, PDS 的阻抗必须达到或接近目标阻抗, 微处理器各种不同的功能 (如与硬盘和内存之间的数据交换) 所发生的时间不同, 速率也不相同, 可能包含有不同范围的频率。

PDS 必须能够在微处理器的时钟频率下传送电荷, 并能保证合格的脉冲形状, 高频下的低阻抗有助于阻止热点 (hot spots) 的形成。

## 7.9 电压调节模块 (VRM)

### 1. 电压调节模块原理图

电压调节模块 (VRM) 把一个直流电压转化为另一个直流电压, 其中包含一个参考电压和一个反馈回路, 电压调节模块检测负载端的电压, 并调整输出电流以调节负载电压。调节回路的带宽通常在 1kHz 到数百 kHz 之间, 在高于回路带宽的频率处, 电压调节模块变为高阻, 因此电压将不能得到有效的调整。

图 7-9-1 所示为电压调节模块的简化方框图。图 7-9-1 的左边是输入电压, 假定它为一个常数。当  $S_1$  开通时, 电感器  $L_1$  的功能是储存能量, 并将电流传送到负载。如果  $L_1$  储存的电流大于负载所需要的电流, 那么  $S_1$  关断,  $S_2$  闭合。电流不断减少并持续流向负载, 直到  $S_1$  再次闭合,  $S_2$  再次关断。采用频率补偿的放大器 A, 以参考电压  $U_{\text{ref}}$  为标准检测负载电压。当负载电压太低时, 它导致开关动作和电感器增加电流; 当负载电压太高时, 它导致开关动作和电感器减小电流。电感器电流在  $C_1$  中积分, 这使得电压变化更加平滑。  $C_1$  有一个等效串联电阻。因为开关的通和断都是时间的函数, 所以降压型稳压器是非线性的。

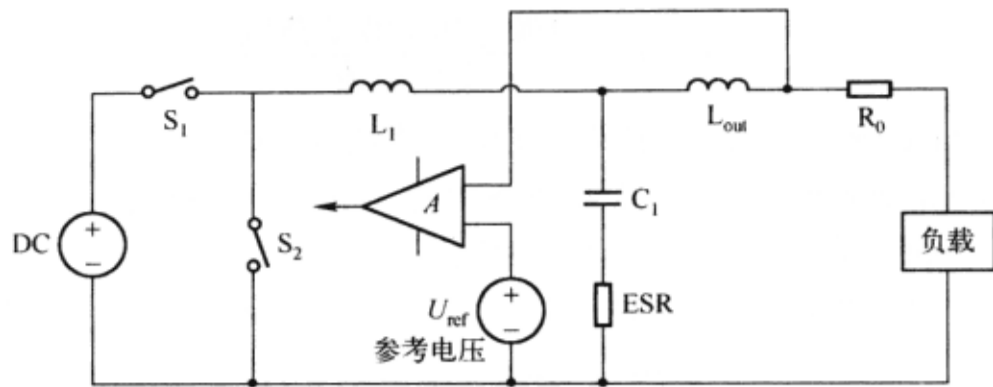


图 7-9-1 电压调节模块的简化方框图

## 2. 电压调节模块等效电路

Allegro PCB PI option XL 电源完整性工具会把电压调整模块定义为一个 4 元件的 SPICE 模型，如图 7-9-2 所示。

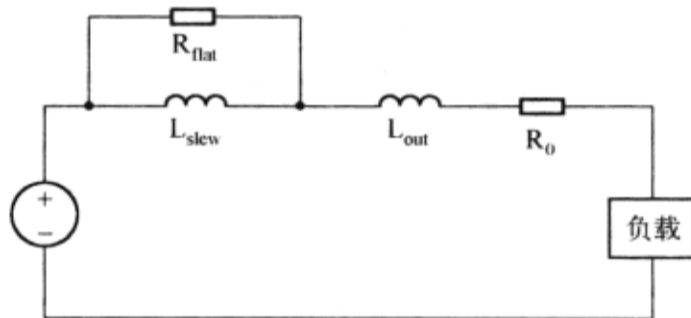


图 7-9-2 电压调整模块的模型

由图 7-9-2 可以看出，电压调节模块的线性模型包含了一个理想电压源和 4 个无源元件。在线性模型中， $R_0$  是电压调节模块感应点和实际负载之间的电阻值，通常只有几毫欧。 $L_{out}$  表示电压调节模块的输出电感。它可能是连接电压调节模块和模块的引脚电感（分别约为 200nH 和 4nH）。电压调节模块的最大有效频率取决于  $L_{out}$ 。 $R_{flat}$  表示的是与电压调节模块的电容等效串联电阻。通常情况下，电容器决定了在超过回路响应时间的频率外电压调节模块的输出阻抗。理想电压源具有供电电压值。选择合适的  $L_{slew}$  值，使得在线性模型中电流增加所需要的时间与在实际电压调节模块中电流增加所需要的时间相同。这可以通过等式  $U = \frac{dI}{dt}$  计算得到。在这个方程中， $U$  表示可以接受的电压下垂或尖峰（1.8V 的 5%）。 $dI$  表示最大的瞬时电流， $dt$  表示电压调节模块中这个瞬时电流线性增加或减小所用的时间。

## 7.10 电源平面

### 1. 电源和地平面对

电源和地平面对是 PDS 设计过程中一个关键的因素。在现代计算机系统中，电源平面为逻辑内核（core logic）和 I/O 电路配送电源。随着计算机技术的进步，所需要配送的电源越来越大。电源平面输送电流的需求急剧增加，对噪声的容限降低了，这就要求 PDS 必须

是低阻抗的。在低频的情况下，电源平面呈现容性；在高频的情况下，会根据它们的空腔（cavity）尺寸产生谐振。

## 2. 平面模型参数

电源平面是由两层被介质隔开的平行导电材料形成的，可用一个 SPICE 电路元件矩阵对其建模，根据构成电源和地平面对的材料和形状计算出电源平面模型参数。

PDS 最后一个重要的组成部分就是电源和地平面对。电源平面在高频时的去耦效果主要取决于 PCB 叠层结构的特性，如导电平面的紧密程度、层的厚度、隔离层的介电常数、平面的形状和尺寸、平面上过孔的个数。在数百兆赫兹以下，电源平面层不会产生有效的去耦电容；在 400MHz 以上，电源平面会产生有效的去耦电容。

## 7.11 Allegro PCB PI option XL 电源完整性分析流程

进行电源完整性分析的流程如下所述。

- (1) 对所要分析的 PCB 的参数进行设置；
- (2) 定义目标阻抗；
- (3) 进行单节点仿真验证和改进电容器的选择；
- (4) 进行多加点仿真以改进布局。

使用设置向导（Setup Wizard）可一步完成对要进行电源完整性分析的 PCB 的参数设置。通过设置向导，可创建或导入 PCB 边框、确定叠层结构、为平面形状设置直流电压、选择平面对和去耦电容器。

通过设定一些仿真参数，如电源平面电压、波动范围和最坏情况动态电流，就可确定目标阻抗。通过以上的参数，Allegro PCB PI option XL 会向提供一个用于维持目标阻抗所需电容器的数目。可以先选择一个要分析的平面对，然后指定波动容限、指定最大变化电流和指定电压调节模块的参数。

对从 PCB 单独节点提取出来的子电路进行分析，来验证所选择的用于维持目标阻抗电容器的性能，这种分析方法称为单节点分析（Single-node Analysis）。单节点仿真并不需要考虑去耦电容器的摆放位置。电源平面分析是在理想状况下进行的，先选择一个要分析的平面对，然后指定波动容限、最大变化电流，电压调节模块的参数来验证电容器的选择。

通过对从 PCB 上多个节点提取出来的子电路进行分析，来改进电容器在 PCB 上的布局的分析方法称为多节点分析（Multi-node Analysis）。在多节点仿真中，Allegro PCB PI option XL 电源完整性工具在电源平面分析中要考虑去耦电容器的摆放位置，设置分析参数、选择要分析的平面对、指定波动容限、最大变化电流、电压调节模块的参数，评估阻抗图形、放置噪声源。

### 1. 参数设置

选择“Cadence SPB 16.3”→“PCB SI”→“Allegro PCB PI option XL”，然后执行菜单命令“Analysis”→“Preferences”，打开“Analysis Preferences”对话框，选择“Power Integrity”标签页，对电源完整性进行属性设置，如图 7-11-1 所示。



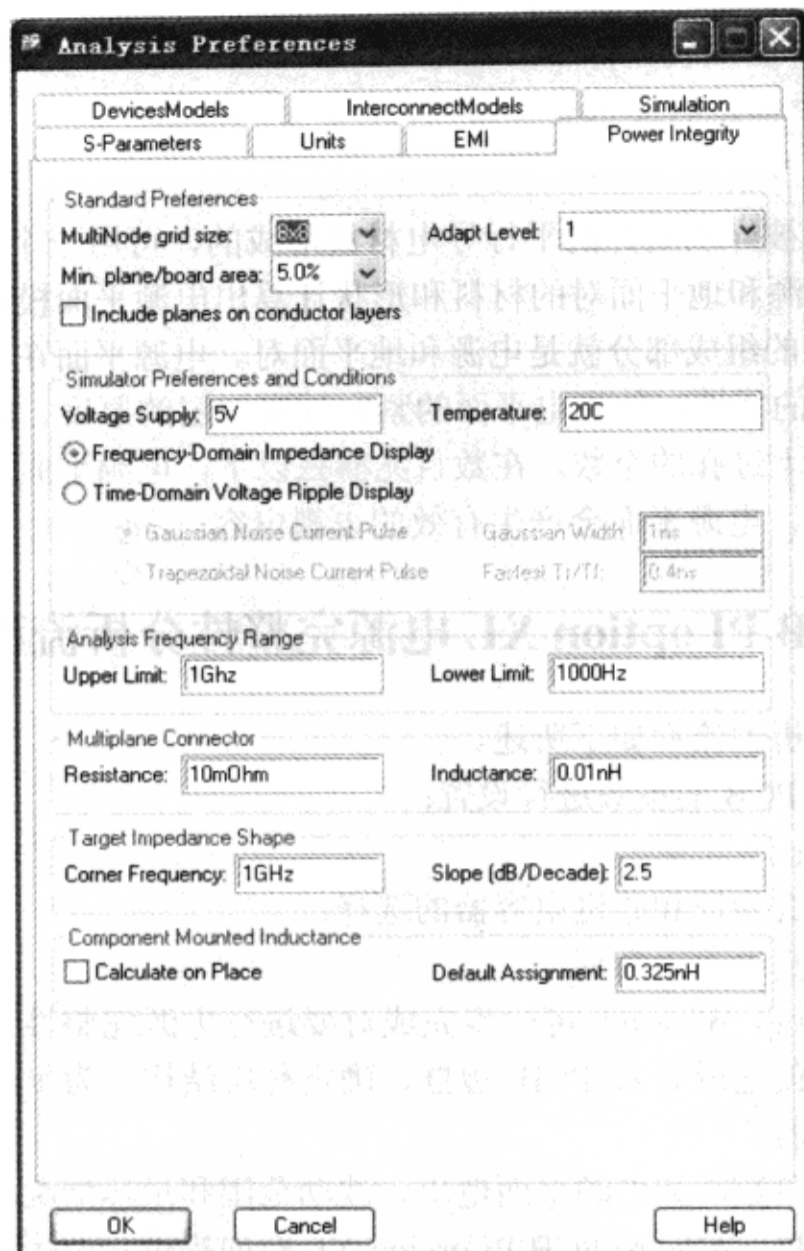


图 7-11-1 “Analysis Preferences” 对话框

这个对话框包含了多个参数（见表 7-11-1），在后续章节中将进行详细的介绍。

表 7-11-1 “Analyze Preferences” 对话框中各参数的含义

参数名称	含义
Multi-Node Grid Size	进行多节点分析中电源完整性平面栅格点的尺寸
Min Plane/Board Area	导电层平面形状的最小区域，Allegro PCB PI option XL 会在分析过程当中考虑平面层上的形状，和下边的“Include Planes on Conductor Layers”参数结合使用
Include Planes on Conductor Layers	是否在分析过程当中包括导电层，当选中这个复选框时，Allegro PCB PI option XL 电源完整性工具会在分析中考虑导电层，和上边的“Min Plane/Board Area”结合使用
Upper Analysis Limit	仿真频率范围的上限
Lower Analysis Limit	仿真频率范围的下限
Corner Frequency	目标阻抗是常数时的频率
Slope	在转折频率后上升的目标阻抗
Calculate on Place	当这个复选框被选中后，Allegro PCB PI option XL 工具会计算电容器的额外电感，为其添加“PQ_MOUNTED_INDUCTANCE”属性
Default Assignment	为所有额外电感属性的电容器指定一个默认的额外电感值
Voltage and Temperature	仿真器的电压和温度

## 2. 设置向导简介

执行菜单命令“Analyze”→“Power Integrity...”，启动设置向导（Setup Wizard），如图 7-11-2 所示。如果电源完整性工具需要一些进行电源完整性分析的必要信息，就会弹出图 7-11-2 所示的窗口。

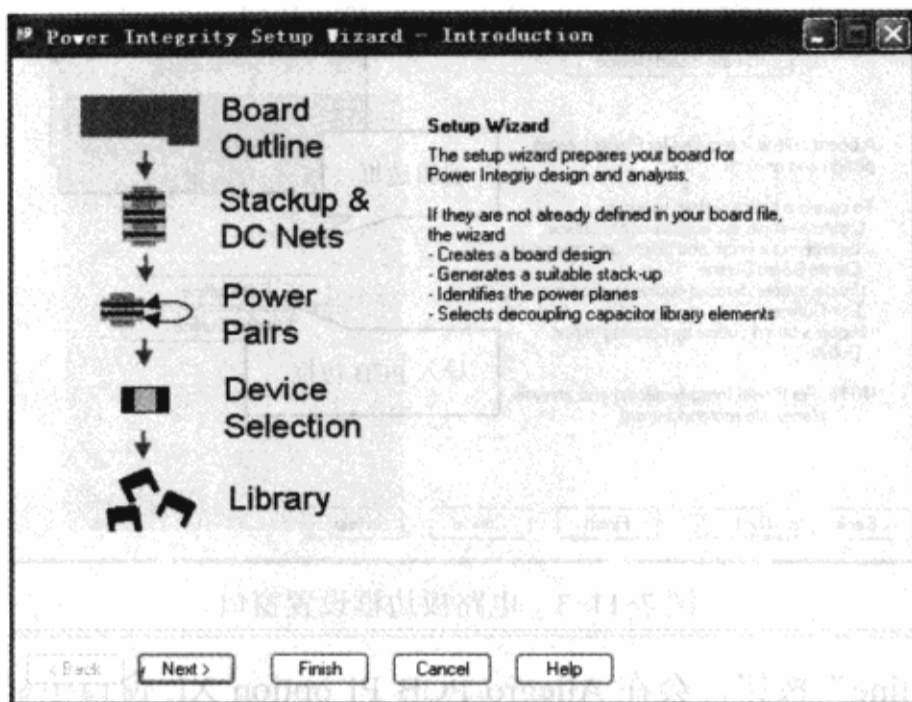


图 7-11-2 “Power Integrity Setup Wizard-Introduction” 窗口

在 Allegro PCB PI option XL 电源完整性工具能对 PCB 的 PDS 进行分析之前，电路板的数据库当中必须包括以下信息：

- (1) PCB 边框（Board outline）；
- (2) 叠层结构（Layer stackup）；
- (3) 电源平面形状（Power plane shapes）；
- (4) 和电源平面相关联的直流电压；
- (5) 电压和地平面对；
- (6) 电容库模型。

Allegro PCB PI option XL 工具的设置向导在电源完整性的准备阶段对用户进行指导，用户可从“Power Integrity Design & Analysis”对话框中直接启动设置向导。当需要添加一些信息时，电源完整性工具也会启动设置向导。

在电源完整性设置向导中设置的参数（“Analyze”菜单下的“Power Integrity”）和在 PCB 设置向导中设置的参数（“Board”菜单下的“Setup Advisor”）是相互独立的。

## 3. 生成边框

Allegro PCB PI option XL 电源完整性工具在布局和平面模型提取的过程中，需要 PCB 边框的参数。如果 PCB 的边框不存在，或者还没有完成，就会在屏幕的右上角提示“Board Outline Incomplete or Required”，如图 7-11-3 所示。

可以自己创建一个边框，或者从其他设计当中导入一个边框。一旦创建好了 PCB 边框，就会在屏幕的右上角显示 PCB 边框的形状。为满足设计的需要，还可以对 PCB 边框进

行修改。

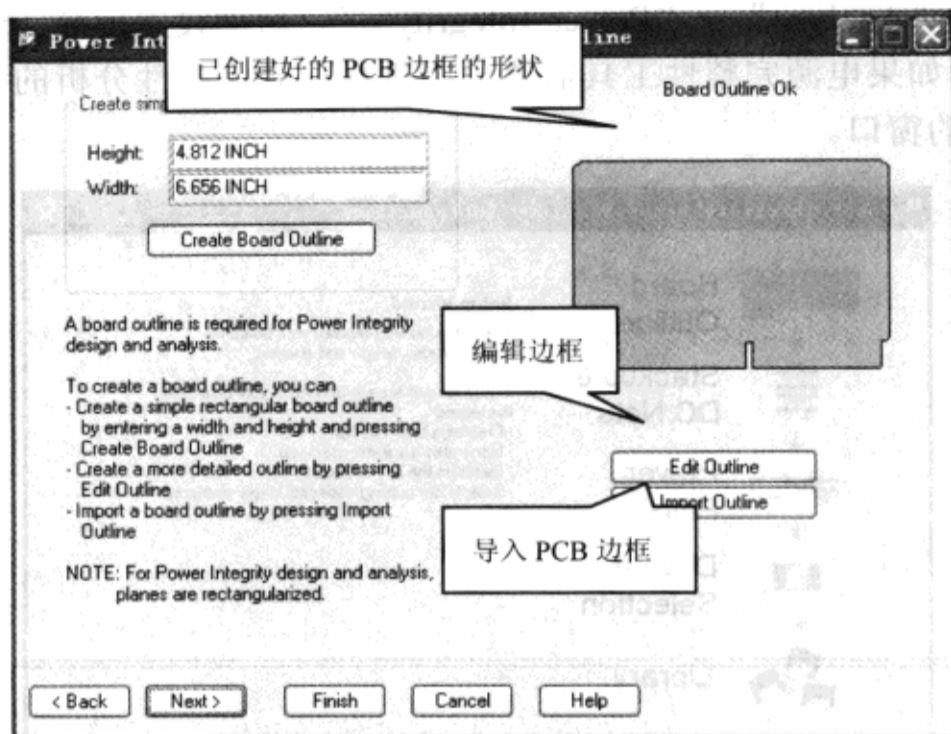


图 7-11-3 电路板边框设置窗口

单击“Edit Outline”按钮，会在 Allegro PCB PI option XL 窗口中显示 PCB 的边框。在该窗口中单击“Edit”按钮，然后单击和拖动调整标志符，就可改变 PCB 边框的大小和形状。单击“OK”按钮，就完成了对 PCB 边框的修改。

#### 4. 叠层结构

电源完整性工具需要一个叠层结构（Stackup）来计算电源和地平面之间的间隔距离，这个距离用于创建平面模型，如图 7-11-4 所示。如果叠层结构不存在，或者其中没有平面层，就会在屏幕的右上角提示信息。

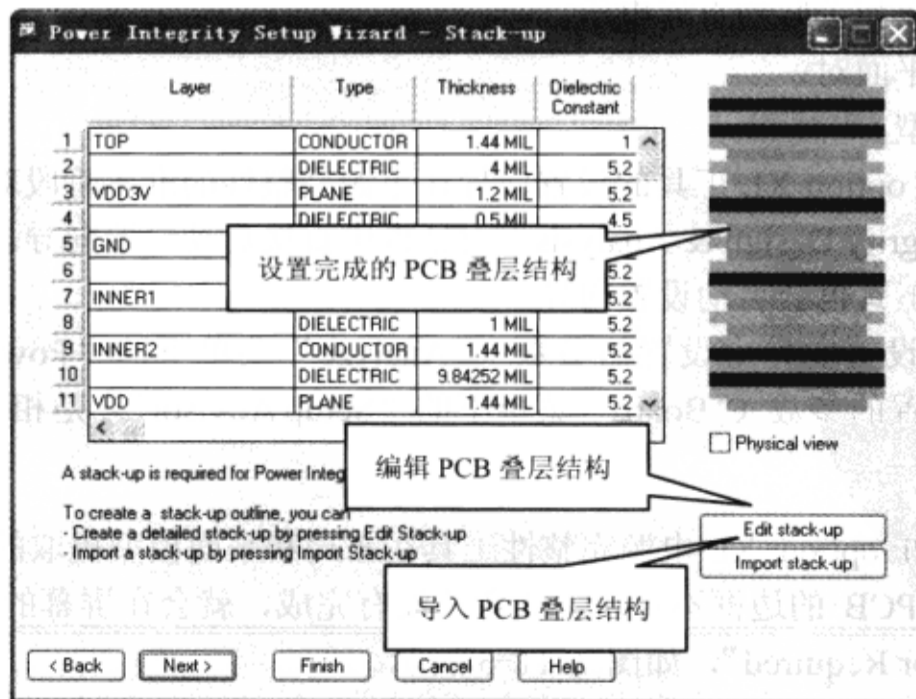


图 7-11-4 叠层结构设置对话框

用户可修改叠层结构（单击“Edit stack-up”按钮），或者从另一个设计中导入叠层结构（单击“Import stack-up”按钮）。

当导入叠层结构后，Allegro PCB PI option XL 电源完整性工具会搜索与 STACKUP\_PATH 环境变量相关的 PCB 文件。

叠层结构一旦设置完成，就会在窗口的右上角显示 PCB 的叠层结构。

### 5. 关联直流网络和平面

在电源完整性工具连接电容前，需要为每个平面形状分配一个直流电压。在图 7-11-5 所示的对话框中，可以修改一个已经存在的电压分配，或者重新指定一个新的电压分配，还可以对平面形状进行编辑。

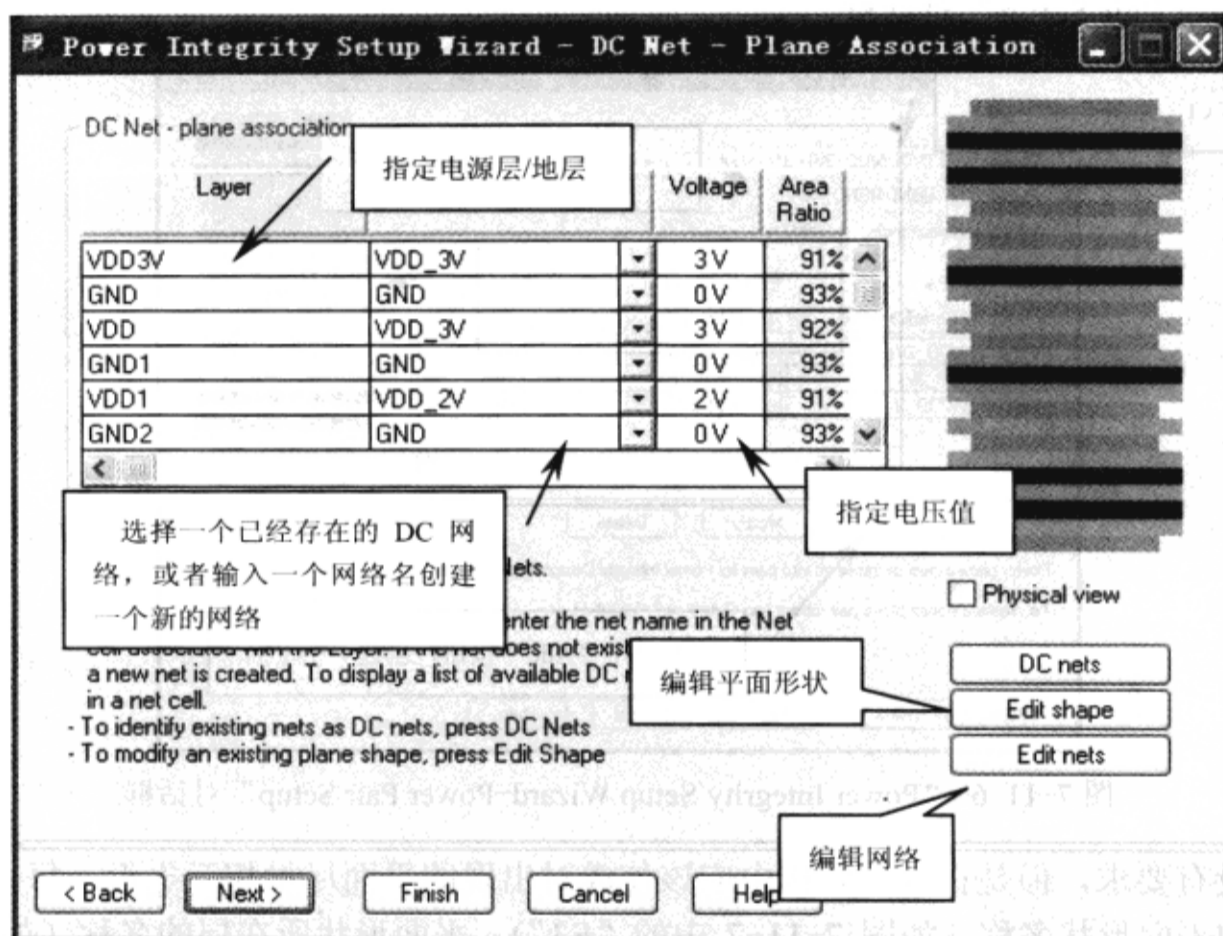


图 7-11-5 “Power Integrity Setup Wizard-DC Net-Plane Association” 对话框

同一个层（Layer）可以有很多平面形状（Plane Shapes）。在电源完整性分析中，可以选择忽略某些平面形状，如一些很小的平面形状。

电源完整性工具需要指定最小的平面/PCB 区间（所占区间的比率），这在“Analysis Preferences”对话框中的“Power Integrity”标签页进行设置（选择“Analyze”下的“Analyze Preferences”）。在导电层，任何小于这个比率的平面不会在设置向导的“Power Integrity Setup Wizard-DC Net-Plane Association”对话框中显示。电源完整性工具通常在平面上考虑平面形状，其他所有的层必须有一个直流网络与其相关联。在同一层上分割平面将会产生不同电压等级的平面形状，因此不同的平面形状将会关联不同的直流网络。

虽然可以在设置向导（Setup Wizard）中直接为平面形状关联直流电压，电源完整性工具还提供了一种可达到同样效果的方法，屏幕右下角的几个按钮的功能如下所述。

- 直流网络 (DC nets): 或者单击“Netlist”按钮, 弹出“Identify DC Nets”对话框, 在这个窗口中, 可以指定电源引脚和电压等级。Allegro PCB PI option XL 不允许在一个网络中指定单独的电压引脚。如果仅是需要了解网络的电压等级, 电源完整性工具就会把电源平面和网络关联起来。
- 编辑形状 (Edit Shape): 或者单击“Board”按钮, 弹出“Plane Outline”对话框。
- 编辑网络 (Edit Nets): 或者单击“Netlist”按钮, 弹出“Edit Nets”对话框。在这个对话框中, 可以创建一个新的网络, 或者改变已存在网络的引脚。

## 6. 设置直流电源对

在进行电源完整性分析前, 电源和地平面必须成对出现。一个或多个电源线路可共享同一个地平面, 但是一次只能分析一个平面对。图 7-11-6 所示的是“Power Integrity Setup Wizard-Power Pair Setup”对话框。



图 7-11-6 “Power Integrity Setup Wizard-Power Pair Setup”对话框

虽然没有要求, 但是在叠层结构中应该使成对出现的平面尽量相互靠近。每一个平面必须有单独的平面形状名称 (如图 7-11-7 中的“S3”), 平面形状所在层的名称 (如图 7-11-7 中的“VDD”), 以及与平面形状相关联的网络的名称 (如图 7-11-7 中的“VDD\_3V”)。



图 7-11-7 平面名称结构

一旦选择了所要配对的平面, 在“Power Integrity Setup Wizard-Power Pair Setup”对话框的“planes”区域就会显示计算出的平面间电容 (Inter pair capacitance)。

## 7. 电容器的选择

打开包含有电容器系列的文件夹, 展开电容器列表, 在其中选择去耦电容器。如



图 7-11-8 所示，当选中一个电容器时，垂线在频率轴上的位置就是它的谐振频率，垂线的高度代表了电容器的等效串联电阻（ESR）。所选的电容器将被用于接下来的分析和布局当中。选择频率范围内的电容器以满足 PCB 的目标阻抗。

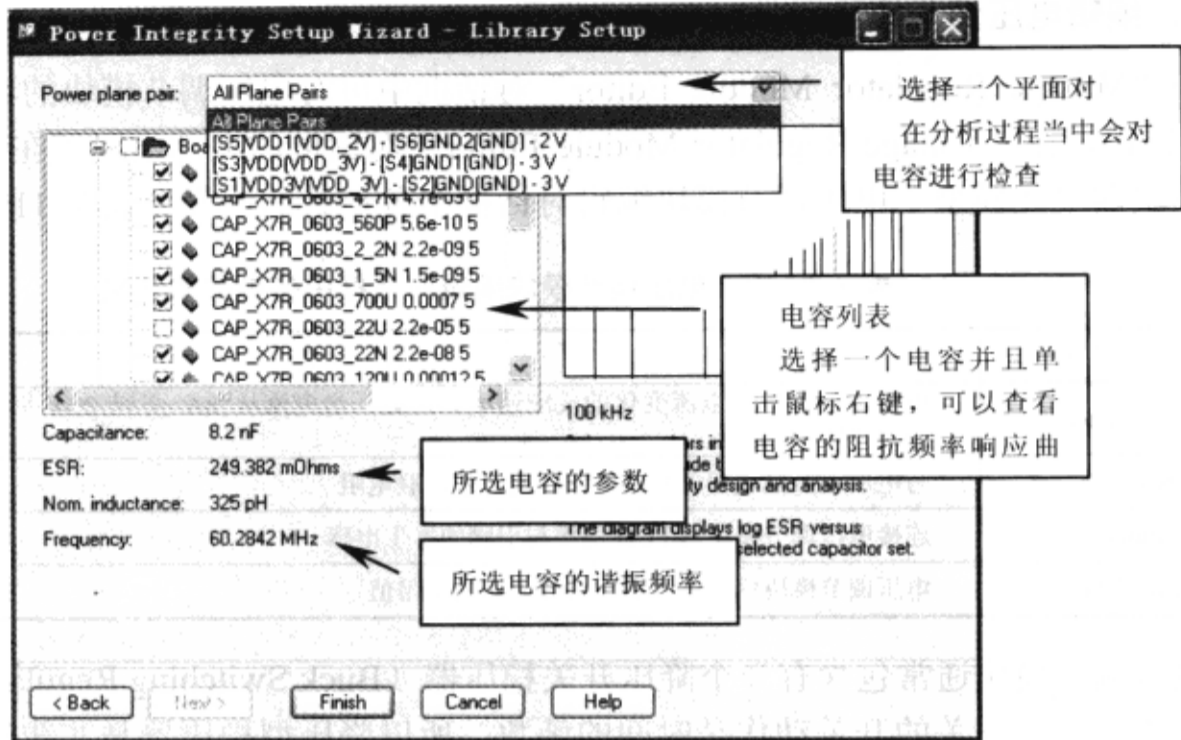


图 7-11-8 “Power Integrity Setup Wizard-Library Setup” 对话框

### 8. 电压调节模块编辑器

在图 7-11-9 所示的“Power Integrity Design & Analysis”对话框中单击“VRM Edit”按钮，进入电压调节模块编辑对话框。

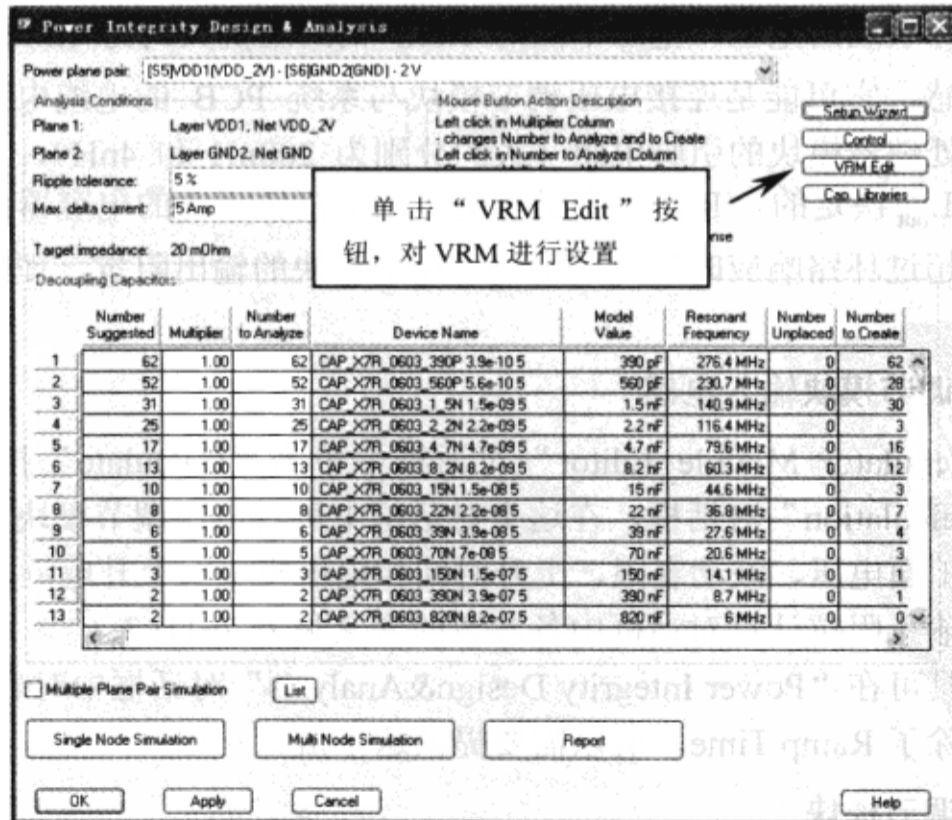


图 7-11-9 “Power Integrity Design & Analysis” 对话框

Allegro PCB PI option XL 电源完整性工具是在平面对的基础上进行电源完整性分析的，每一个平面对必须有单独指定的电压调节模块，因此要根据所选择的不同平面对更改电压调节模块的参数。

### 9. 编辑电压调节模块

在“Voltage Regulator Module Editor”对话框中可对电压调节模块的参数进行设置，如图 7-11-10，在“Voltage Regulator Module Editor”对话框的上部出现了在 7.9 节介绍的电压调节模块四单元模型。电压调节模块编辑对话框中各参数的含义见表 7-11-2。

表 7-11-2 电压调节模块编辑对话框中各参数的含义

参数名称	含 义
Slew Inductance	电压调节模块对电流变化的反应速率。比如，当电流从 8A 变到 20A 时，电压调节模块要花 15ms 的时间去反应
Flat Resistance	与电压调节模块相关联的电容器的等效串联电阻
Output Inductance	连接电压调节模块与 PCD 电缆与引脚的寄生电感
Output Resistance	电压调节模块感应点和实际负载之间的电阻值

电压调节模块通常包含有一个降压开关稳压器（Buck Switching Regulator），用于向电路提供电流。因为开关的开关动作是时间的函数，所以降压型稳压器是非线性的。在 PDS 设计阶段，需要电压调节模块的线性模型。

“Voltage Regulator Module Editor”对话框顶部显示的电压调节模块模型包含了一个理想的电压源和 4 个无源元件。在频域和时域对这个模型进行 SPICE 分析的速度是非常快的，它能准确的估计出 PDS 所需去耦电容的数量。很多元器件既有线性模型，也有非线性模型。 $R_0$  是电压调节模块感应点与实际负载之间的电阻，通常只有几毫欧，单独的电压调节模块并不能调节实际负载的电压，电源平面对  $1\text{mm}^2$  铜的阻抗大约为  $1\text{m}\Omega$ 。 $L_{\text{out}}$  代表了电压调节模块的输出电感，它可能是连接电压调节模块与系统 PCB 的电缆电感，也可能是连接电压调节模块与微处理器模块的引脚电感（大约分别为  $200\text{nH}$  和  $4\text{nH}$ ），电压调节模块的最大有效频率就是由  $L_{\text{out}}$  决定的。 $R_{\text{flat}}$  代表了与电压调节模块相连的电容器的等效串联电阻，通常电容器将决定超过环路响应时间频率下电压调节模块的输出阻抗。理想电压源用于产生电源电压值。

### 10. 计算电压调节模块输入电感

在“Voltage Regulator Module Editor”对话框中单击“Calculate”按钮，弹出“VRM Input Inductance Calculation”对话框，在这个对话框中可对电压调节模块的输入电感进行计算，需要的参数有平面电压、波动容限、上升时间和电压模块的上升电流，如图 7-11-11 所示。电压调节模块输入阻抗计算对话框中各参数的含义见表 7-11-3。

电源完整性工具可在“Power Integrity Design&Analysis”对话框中对表 7-11-2 中所有的数值进行设置，但除了 Ramp Time，所以需要提供一个值。

### 11. 放置电压调节模块

在进行仿真前，必须在 PCB 上放置电压调节模块（VRM），而且必须为每个平面对放

置一个电压调节模块，如图 7-11-12 所示。

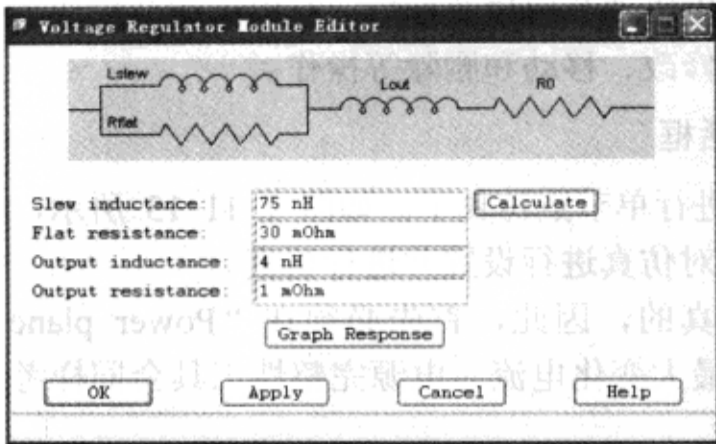


图 7-11-10 电压调节模块编辑对话框

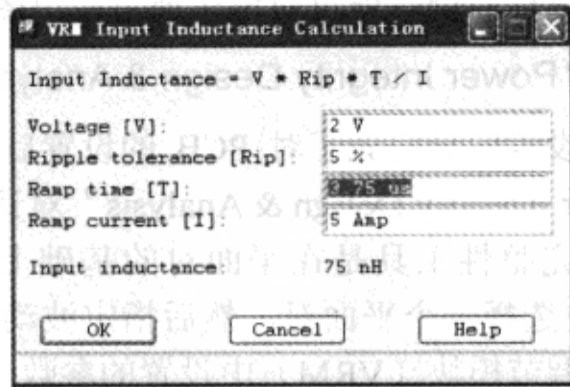


图 7-11-11 “VRM Input Inductance Calculation”对话框

表 7-11-3 电压调节模块输入阻抗计算对话框中各参数的含义

参 数	含 义
Voltage	平面对之间的电势差
Ripple Tolerance	设计所能容许的最大电压降或尖峰噪声（用电压的百分比来表示）
Ramp Time	电压调节模块对暂态电流响应的最大时间
Ramp Current	暂态电流的最大值，这个值通常和在“Power Integrity Design & Analysis”对话框中所设置的最大变化电流值相同

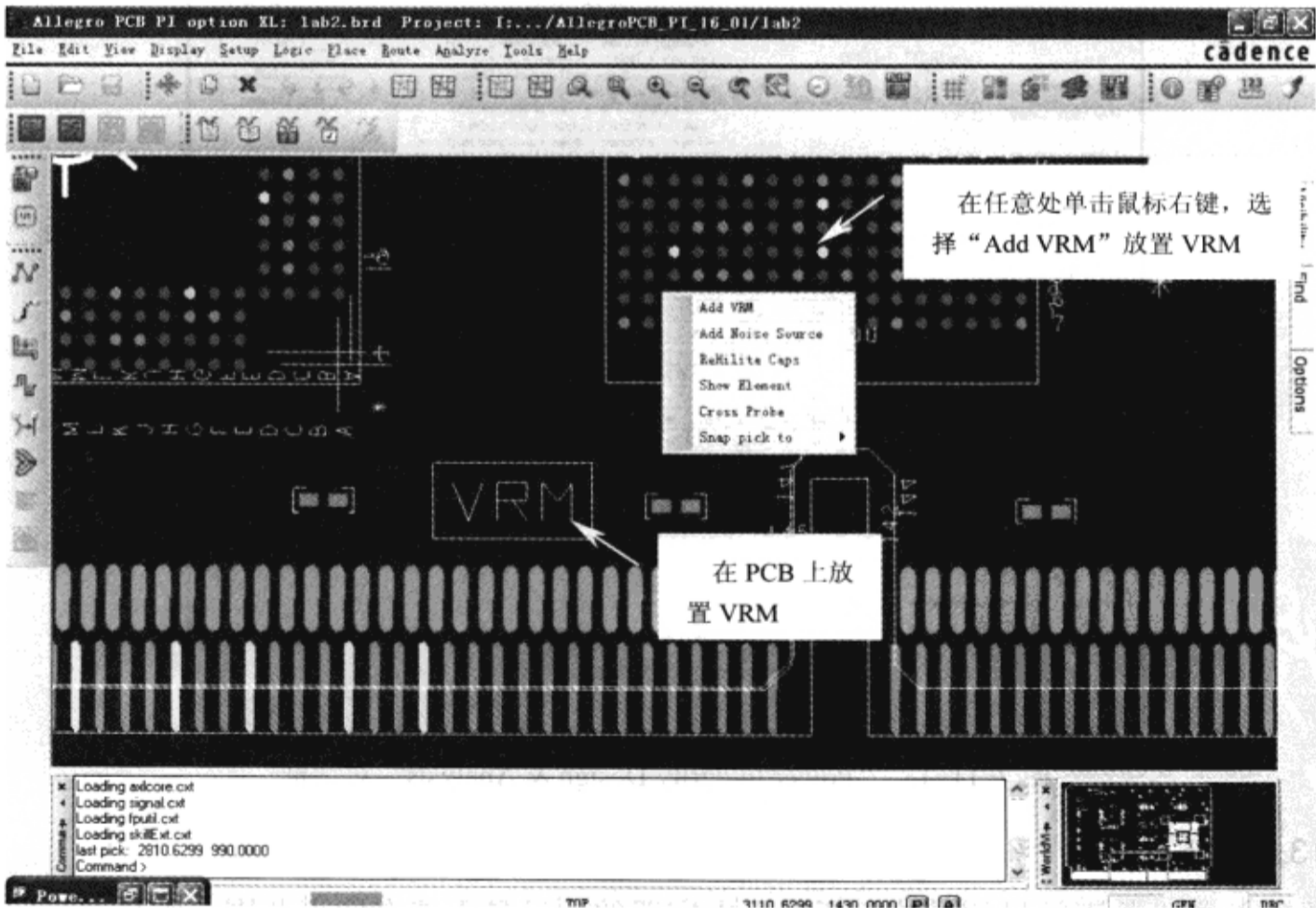


图 7-11-12 在 Allegro PCB PI option XL 窗口中摆放电压调节模块

在“Allegro PCB PI option XL”窗口的任意处单击鼠标右键，选择“Add VRM”，VRM

就会在 PCB 所要分析的层以图标的形式出现，当退出“Power Integrity Design & Analysis”对话框后，电压调节模块的图标就会消失。放置完电压调节模块图标后，在电压调节模块图标上单击鼠标右键，就可对电压调节模块图标进行修改、移动和删除等操作。

## 12. “Power Integrity Design & Analysis”对话框

通过设置向导完成了对 PCB 的设置后，就可进行单节点仿真了。如图 7-11-13 所示，在“Power Integrity Design & Analysis”对话框中可对仿真进行设置并进行仿真。

电源完整性工具是在平面对的基础上进行仿真的，因此，首先必须在“Power plane pair”栏中选择一个平面对，然后指定波动容限和最大变化电流。电源完整性工具会同样考虑在电压调节模块（VRM）中设置的参数。

接下来电源完整性工具会根据设置的参数（电压、波动容限和最大变化电流），以及所选择的去耦电容器计算出电源平面的目标阻抗。

电源完整性工具会根据在电容库设置过程当中所选择的电容器计算出最初估计的所需电容器数目，通过对估计值的修改和进行单节点仿真来评价其频率—阻抗特性。

最后，单击“Single Node Simulation”按钮，仿真结果的波形图就会显示出来，也可以单击“Report”按钮查看仿真报告。

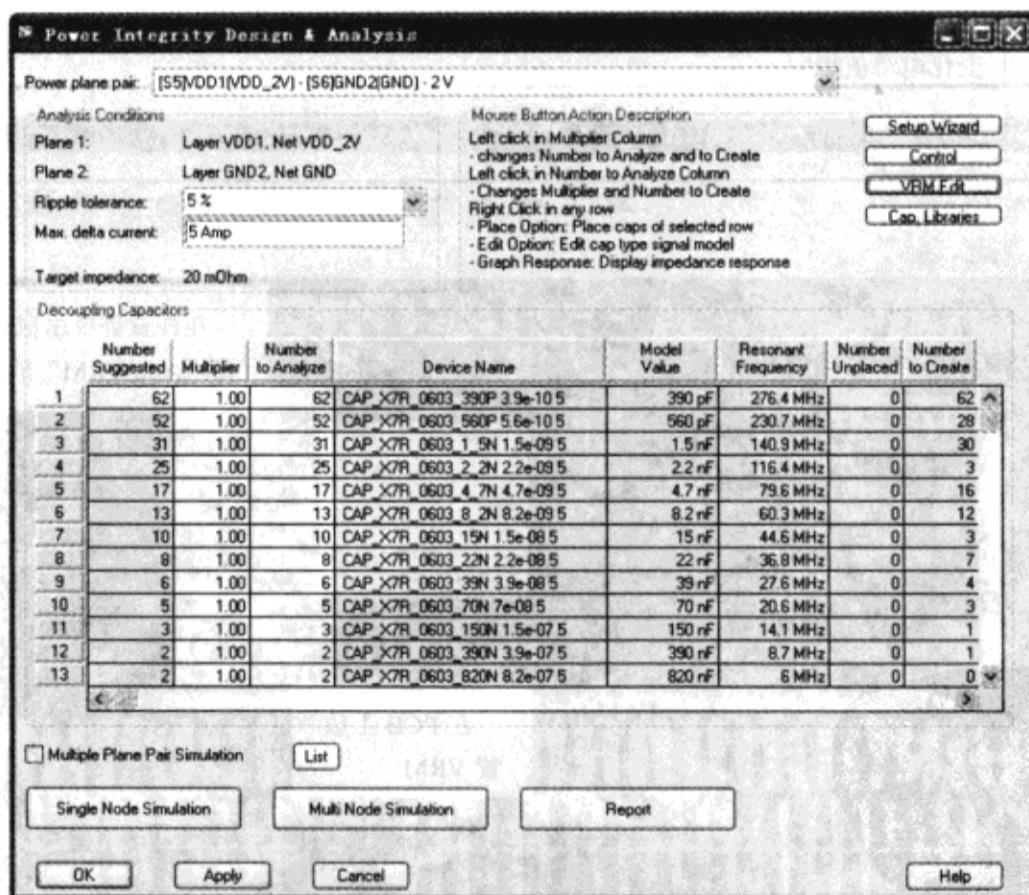


图 7-11-13 “Power Integrity Design & Analysis”对话框

## 13. 单节点仿真

进行单击点仿真的目的是验证所选择电容器的数目是否能在频率范围内维持目标阻抗。在进行单节点仿真时，并不考虑去耦电容器在 PCB 上的摆放位置。在进行多节点仿真时，需要同时考虑去耦电容器和噪声源在 PCB 上的摆放位置。



如图 7-11-14 所示，去耦电容器和电压调节模块是以并联电路的形式连接的。在单节点仿真中，电容器的内在电感和额定贴装电感会考虑在内，额外平面寄生电感并不考虑在内。理想情况下的单节点仿真能验证所选择的电容器的效果，如果在理想情况下都不能满足目标阻抗，当平面是电路的一部分时更不可能实现。

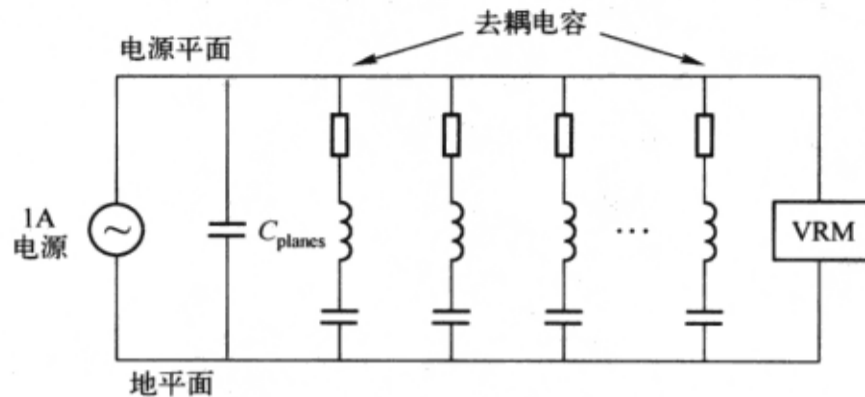


图 7-11-14 多电容连接的简化电路模型

在单节点仿真中，不论电容器是否已经摆放，电源完整性工具把在“Power Integrity Design & Analysis”对话框中列出的所有去耦电容器连接起来，电压调节模块会和一个 1A 的交流电流源并行连接。

在使用电源完整性工具设计目标阻抗的过程中，主要关系到以下的 3 种电源配送系统部件。

- 电压调节模块（VRM）。
- 电源和地平面对。
- 电解去耦电容器和高频陶瓷电容器。

在 7.12 节中，将介绍如何使用电源完整性设置向导，分析的重点将集中于在目标阻抗设计过程中电压调节模块和平面对的功能，将会看到去耦电容器与高频电容器所产生的效果。

## 7.12 Allegro PCB PI option XL 的使用步骤

**【本节目的】**熟悉 Allegro 电源完整性工具的基本用法，同时学习进行单节点仿真检验 PCB 是否满足设计要求。

**【使用工具】**Allegro PCB PI option XL Power Integrity。

**【使用文件】**AllegroPI/lab1/pwr\_integrity。

### 1. 创建 Allegro 电路板文件

#### 1) 在 Windows XP 当中启动 PI 工具

(1) 从“开始”→“所有程序”→“Cadence”→“Release 16.3”菜单中选择“PCB SI”，弹出“Cadence Product Choices-16.3”对话框，如图 7-12-1 所示。

(2) 从“Select the Product”列表中选择“Allegro PCB PI option XL”，单击“OK”按钮，打开“Allegro PCB PI option XL”窗口，如图 7-12-2 所示。

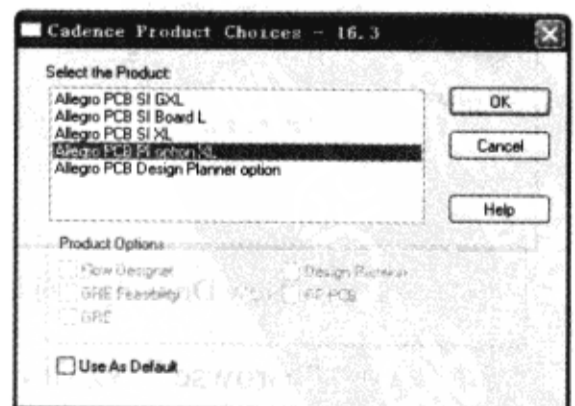


图 7-12-1 “Cadence Product Choices-16.3”对话框



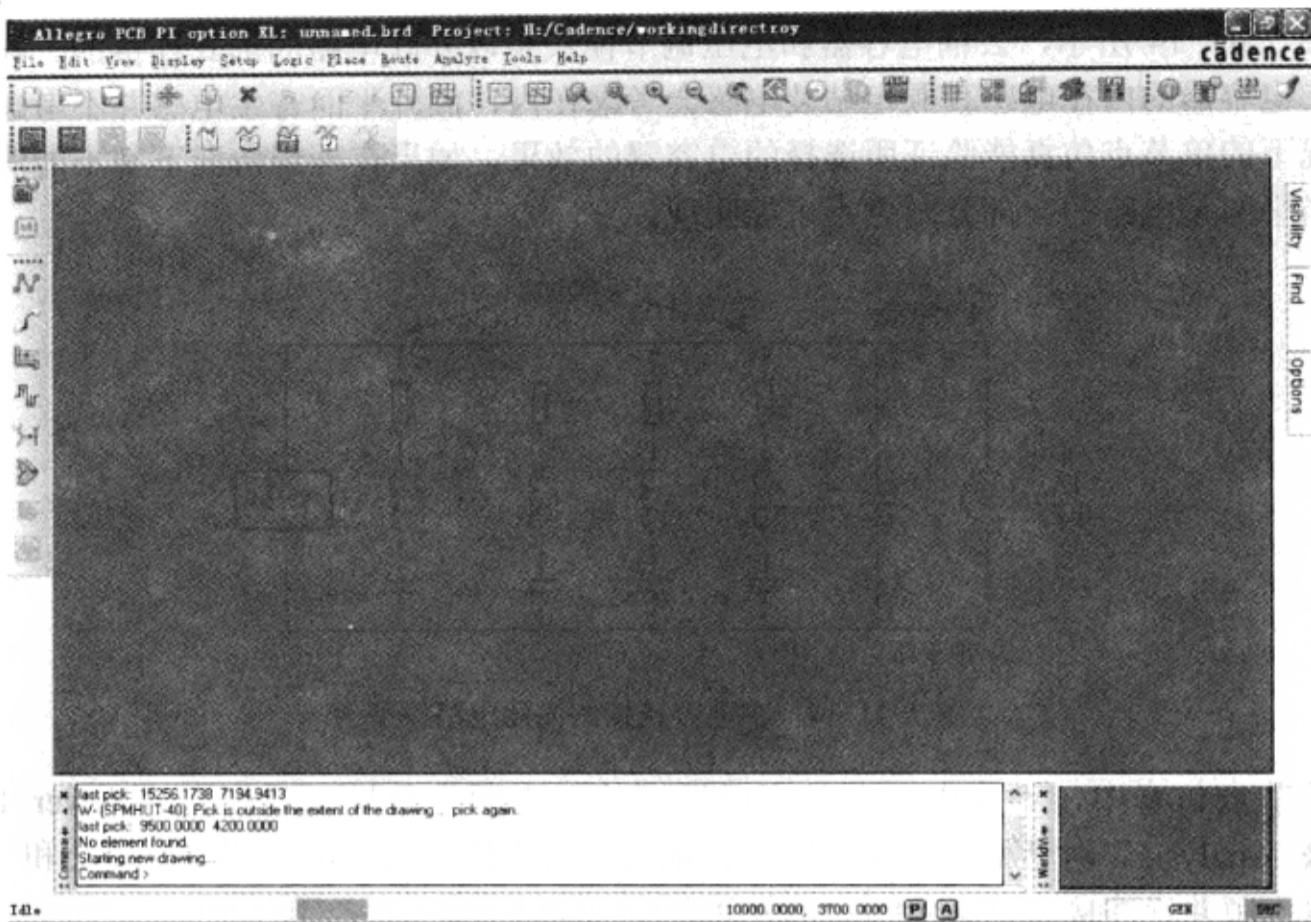


图 7-12-2 Allegro PCB PI option XL 工作窗口

Allegro PCB PI option XL 会在窗口顶部的显示文件名和文件所在的工作目录，这是 Allegro PCB PI option XL 当前默认的工作目录。

2) 生成新的 Allegro 电路板文件 现在将要创建一个新的 PCB 文件，以此来熟悉电源完整性设置向导的基本使用方法，以及在没有任何 PCB 文件的情况下如何进行假设分析。

(1) 在 Allegro PCB PI option XL 窗口中执行菜单命令“File”→“New”，打开“New Drawing”对话框，在对话框的顶部会显示当前的工作目录（Project Directory），如图 7-12-3 所示。

(2) 在“Drawing Name”栏中输入“pwr\_integrity”，这是新 PCB 文件的名称，如图 7-12-4 所示。



图 7-12-3 “New Drawing”对话框

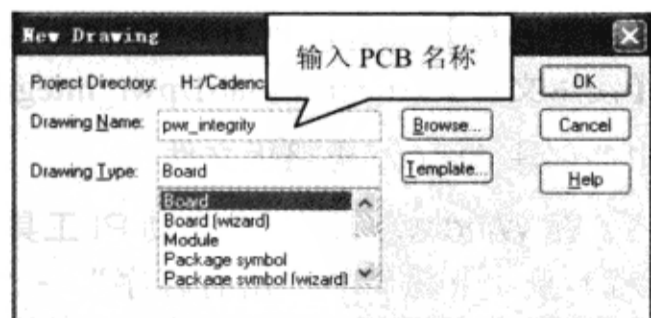


图 7-12-4 输入新设计的名称

(3) 单击“Browse”按钮，设置工作目录为“D:/AllegroPI/lab1”。选中“Change Directory”就会改变当前的工作目录，设置完成后，单击“打开”按钮，如图 7-12-5 所示。

(4) 在“New Drawing”对话框中选择设计的类型 (Drawing Type) 为“Board”，设置完成后，单击“OK”按钮，如图 7-12-6 所示。

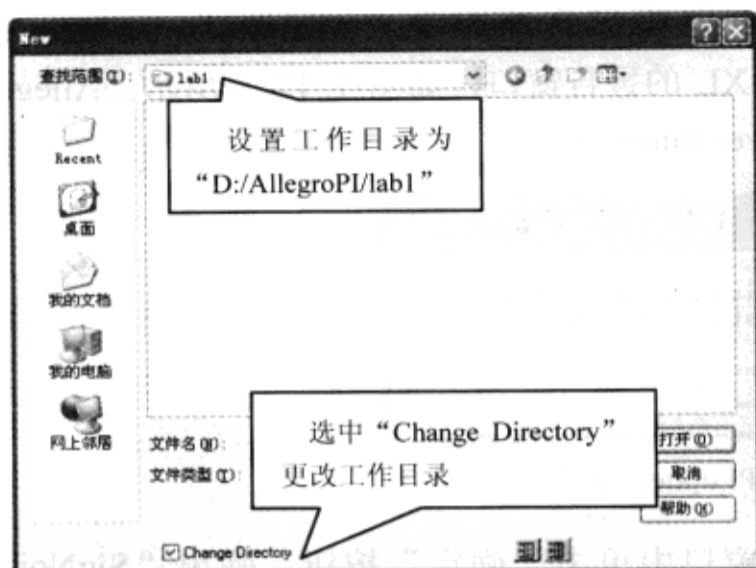


图 7-12-5 更改当前工作路径



图 7-12-6 选择文件的类型

以上设置完成后，就会在 Allegro PCB PI option XL 窗口中打开刚才创建的新 PCB 文件，因为还没有设置 PCB 边框，所以在 Allegro PCB PI Option 窗口中不会显示任何东西，如图 7-12-7 所示。因为在“New Drawing”对话框中更改了工作目录，所以当前工程文件所在的位置也发生了改变。一旦更改了工作目录，Allegro PCB PI option XL 就会在当前的工作目录下进行电源完整性的分析。

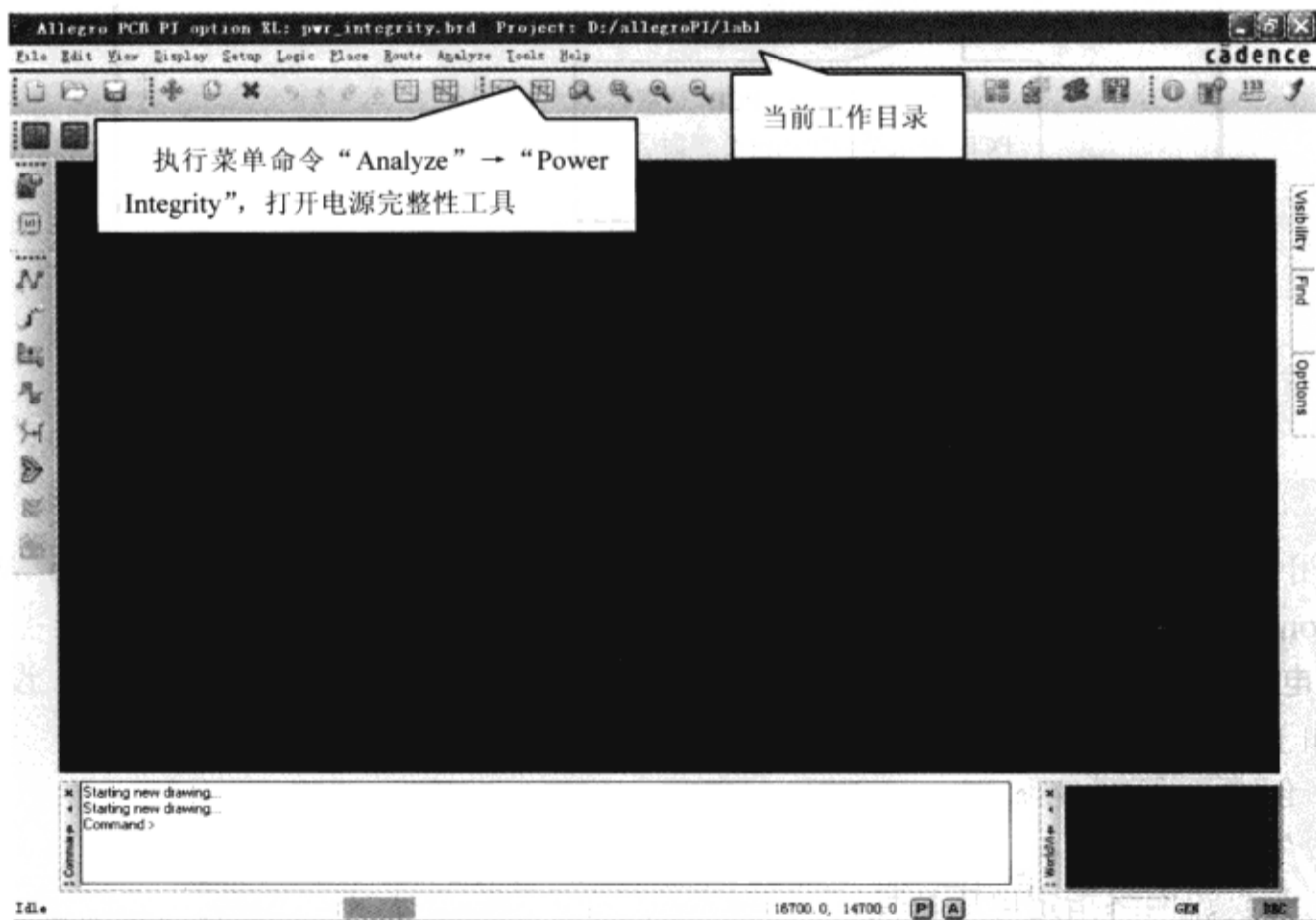


图 7-12-7 Allegro PCB PI option XL 窗口

## 2. 设置 PCB

### 1) 启动 Power Integrity

(1) 在 Allegro PCB PI option XL 窗口中执行菜单命令“Analyze”→“Power Integrity”，这时会弹出 Allegro PCB PI option XL 的警告窗口，如图 7-12-8 所示。Allegro PCB PI option XL 要求在进行分析前必须对 Power Integrity 进行一些设置。

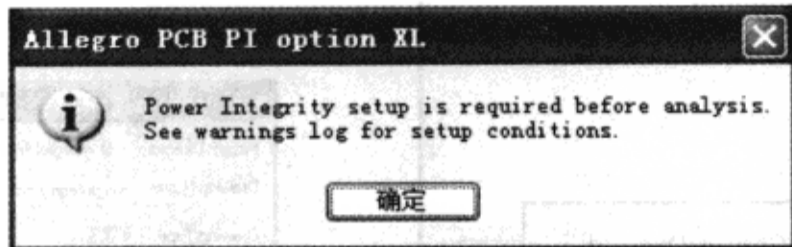


图 7-12-8 Allegro PCB PI option XL 警告窗口

(2) 在 Allegro PCB PI option XL 警告窗口中单击“确定”按钮，弹出“SigNoise Errors/Warnings”窗口和“Power Integrity Setup Wizard”窗口，Allegro PCB PI option XL 会提醒我们：需要创建一个 PCB 边框，同时还需要创建 PCB 的叠层结构，设置向导会在接下来的过程当中帮助我们对其进行设置，如图 7-12-9 所示。

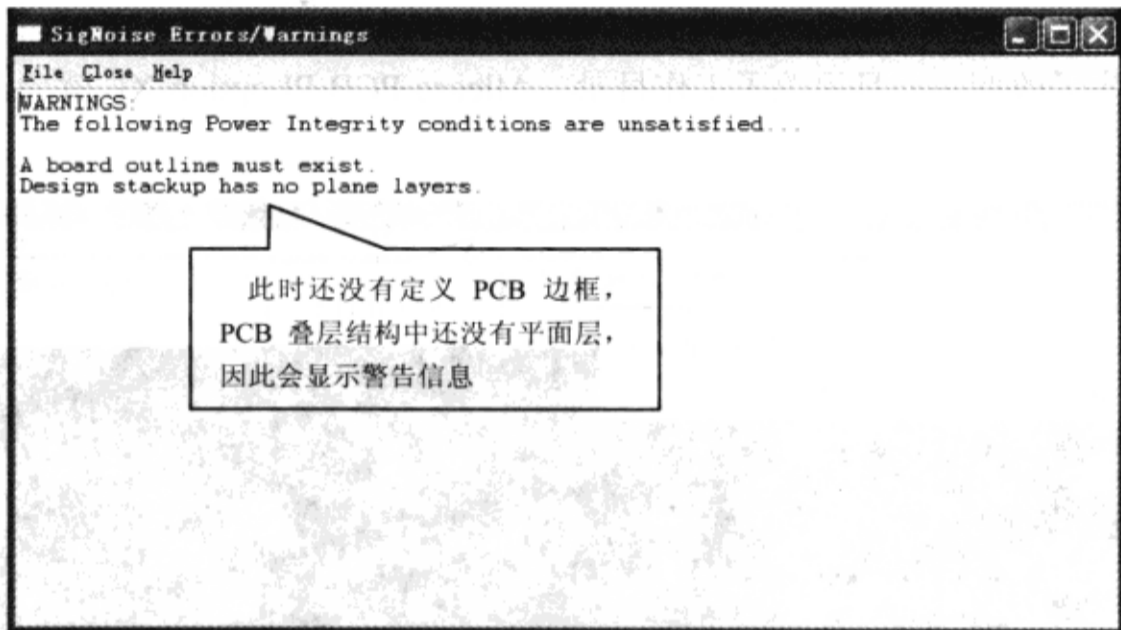


图 7-12-9 “SigNoise Errors/Warnings”窗口

关闭“SigNoise Errors/Warnings”窗口，弹出“Power Integrity Setup Wizard-Introduction”窗口，如图 7-12-10 所示。

2) 电源完整性设置向导 设置向导对进行电源完整性分析的 PCB 进行设置，设置向导会完成如下工作：

- (1) 创建一个 PCB；
- (2) 生成叠层结构；
- (3) 为直流网络指定电压特性；
- (4) 定义电源平面对；
- (5) 选择去耦电容器；

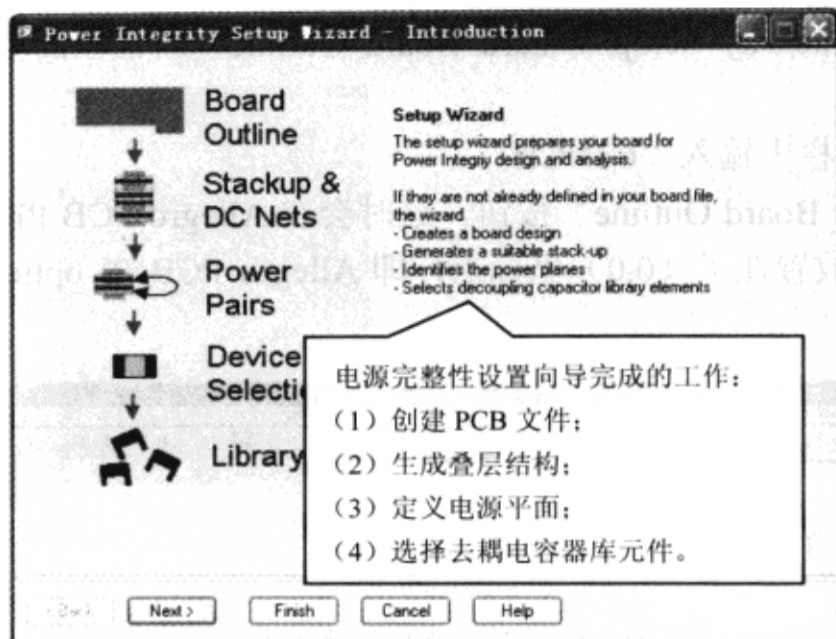


图 7-12-10 “Power Integrity Setup Wizard-Introduction” 窗口

(6) 在 PCB 上的每个平面对进行单节点仿真与多节点仿真;

以上的这些设置将帮助我们分析 PCB 的设计与去耦电容的选择是否满足所设计的目标阻抗。

### 3) 创建 PCB 边框

(1) 在“Power Integrity Setup Wizard-Introduction”窗口中单击“Next”按钮，弹出“Power Integrity Setup Wizard - Board Outline”对话框，如图 7-12-11 所示。有两种方法可以创建一个 PCB 边框：一种是在 Allegro PCB PI option XL 直接绘制；另一种是从其他 PCB 设计当中导入一个已经存在的 PCB 边框，本节将介绍如何在 Allegro PCB PI option XL 中绘制 PCB 边框。

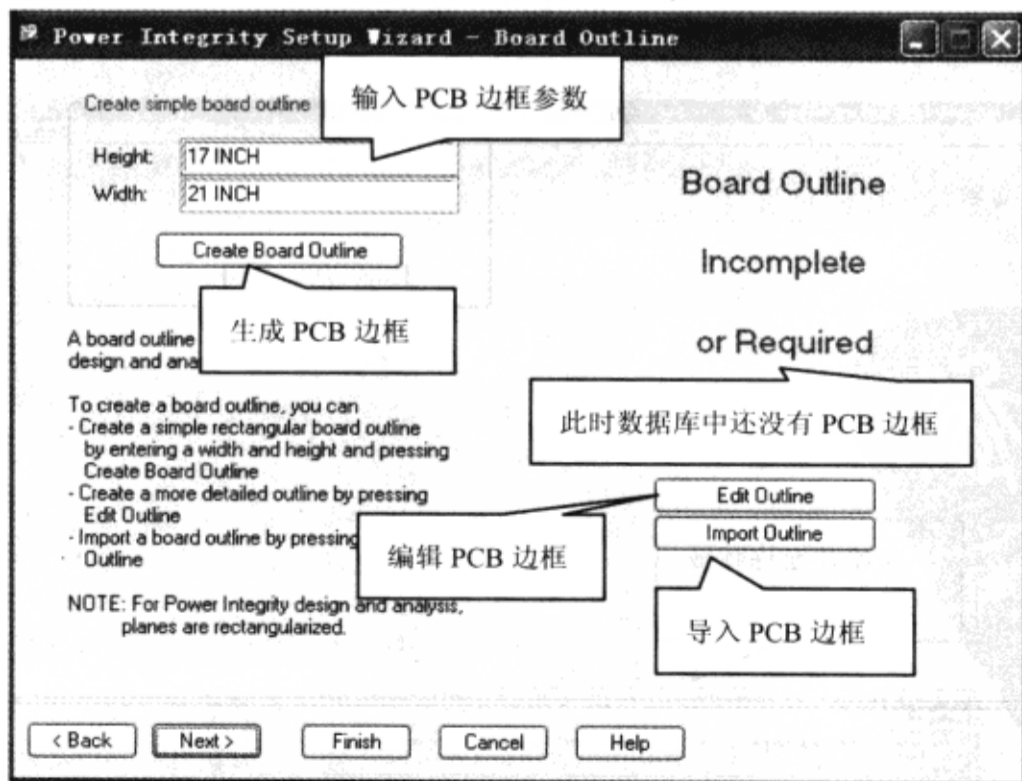


图 7-12-11 “Power Integrity Setup Wizard-Board Outline” 对话框

(2) 在“Power Integrity Setup Wizard-Board Outline”对话框的“Height”栏中输入“5 INCH”。

(3) 在“Width”栏中输入“6 INCH”。

(4) 单击“Create Board Outline”按钮。这时会在 Allegro PCB PI option XL 窗口中显示一个矩形 PCB，它被放置在了 (0,0) 坐标点，即 Allegro PCB PI option XL 窗口的左下角，如图 7-12-12 所示。

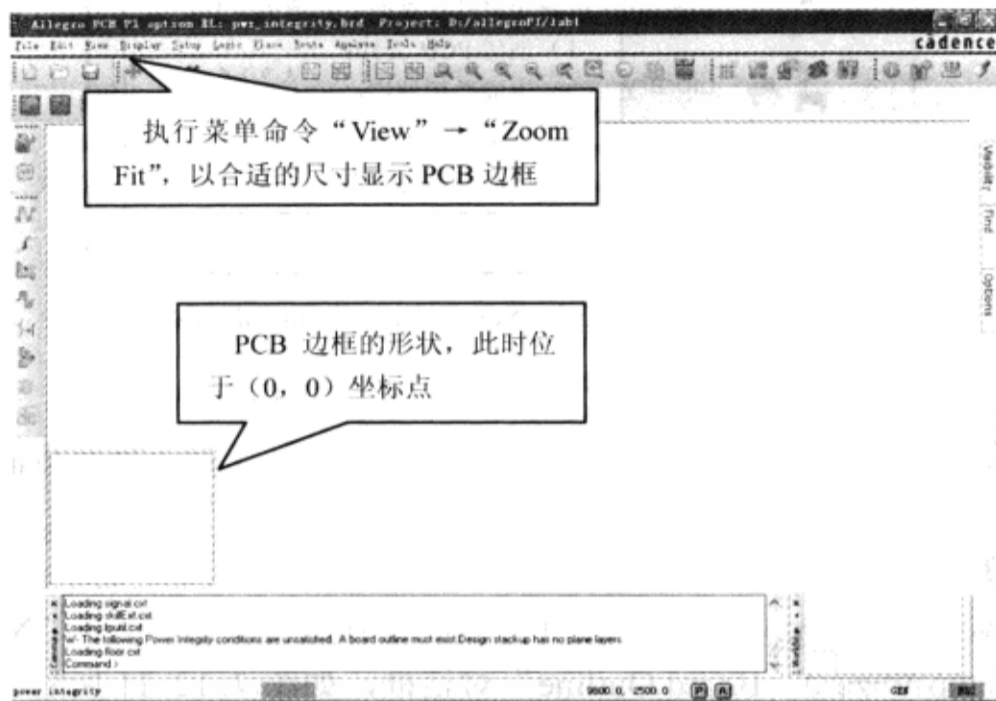


图 7-12-12 生成 PCB 边框

(5) 从 Allegro PCB PI option XL 窗口中执行菜单命令“View”→“Zoom Fit”，此时不仅可以看到 PCB 的边框，还可以看到默认的元器件允许摆放区（Package Keepin）与允许布线区（Route Keepin）的边界，它们与 PCB 边框的距离是 100mil，如图 7-12-13 所示。



图 7-12-13 显示 PCB 边框



(6) 在“Power Integrity Setup Wizard - Board Outline”对话框中单击“Edit Outline”按钮，这时就会在屏幕的右上角显示“Board Outline”对话框，通过这个对话框，可以对 PCB 的边框进行编辑。“Edit”选项被自动选择，默认的栅格点大小是 100mil，这就意味着每个栅格点之间的距离是 100mil，如图 7-12-14 所示。

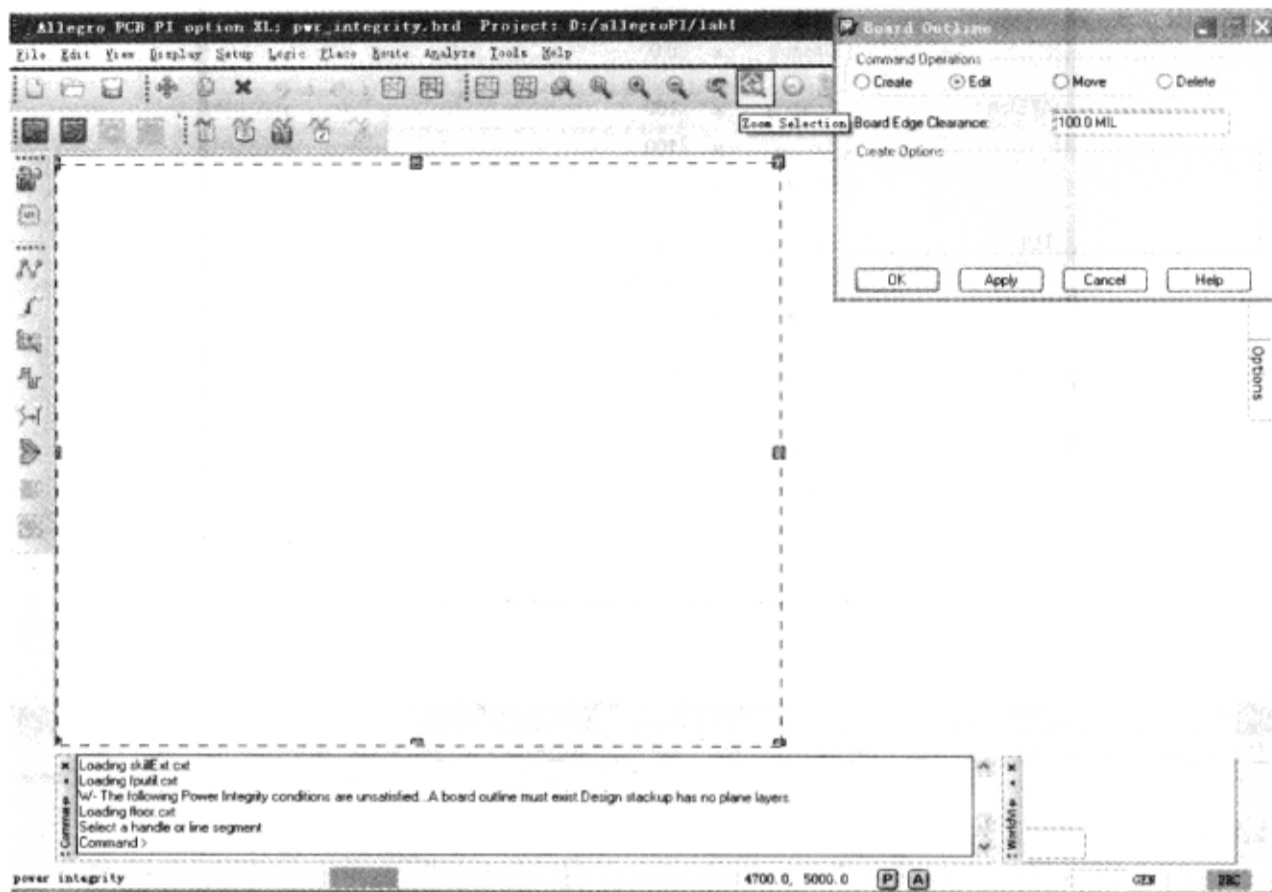


图 7-12-14 PCB 边框编辑对话框

(7) 在“Board Edge Clearance”文本框中输入“50mil”→按“Tab”键。Board Edge Clearance 定义了 PCB 边框与元器件允许摆放区及允许布线区之间的间距，这个参数仅在选择了“Create”或者“Edit”选项时才会显示。

接下来将要在 PCB 的底部创建一个凹槽，这样做的目的是演示如何对 PCB 的边框进行编辑。此时栅格点的大小为 100mil，PCB 的长度为 6inches (6000mils)。在 PCB 边框的底部的中点有一个小长方形，可选择这个顶点并并且重新定位它。为了设置方便，还需要显示栅格点，在 Allegro PCB PI option XL 窗口中执行菜单命令“Setup”→“Grids”，弹出“Define Grid”对话框，勾选“Grids On”选项，这时就会在 Allegro PCB PI option XL 窗口中显示栅格点，如图 7-12-15 所示。

(8) 在 Allegro PCB PI option XL 窗口中，单击 PCB 边框下边线中点的小矩形左边 200mils 处（两个栅格点，坐标为 2800.0,0.0）。在 Allegro PCB PI option XL 窗口的右下角可以观测到当前光标所处的位置，如图 7-12-16 所示。

(9) 在当前光标右边 400mils 处单击鼠标左键（4 个栅格点，坐标值为 3200.0,0.0），向上滑动光标 300mils（3 个栅格点，坐标值为 3200.0,300.0）→单击鼠标左键。此时就在 PCB 的底部创建了一个凹槽。使用同样的方法可根据需要对 PCB 的形状进行修改，如图 7-12-17 所示。

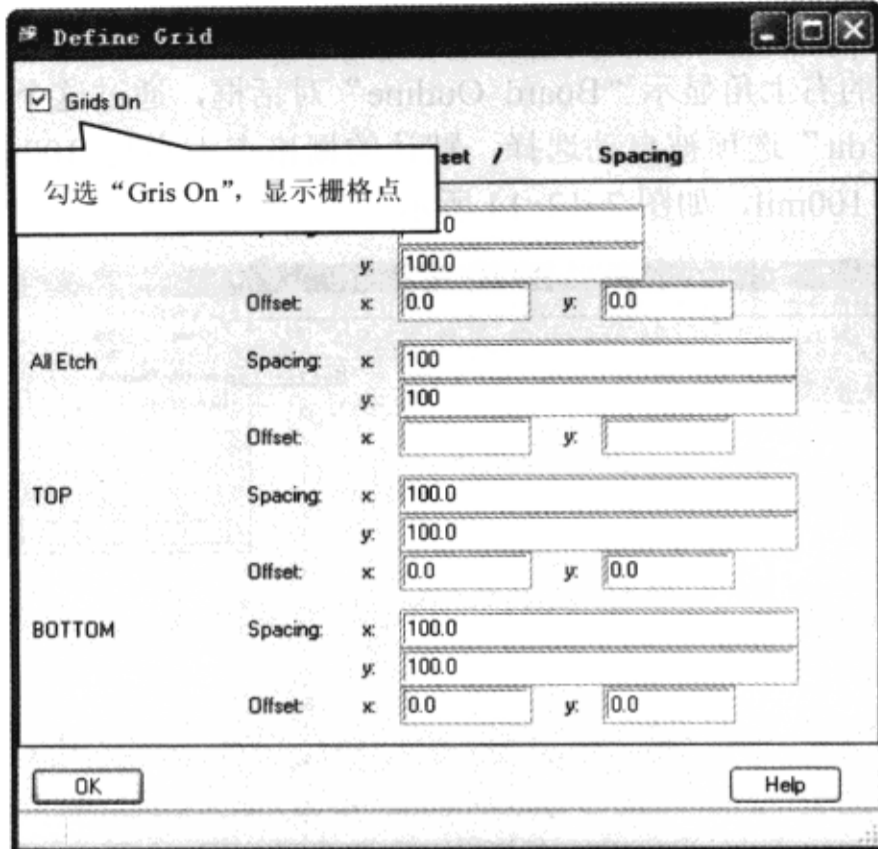


图 7-12-15 设置栅格点

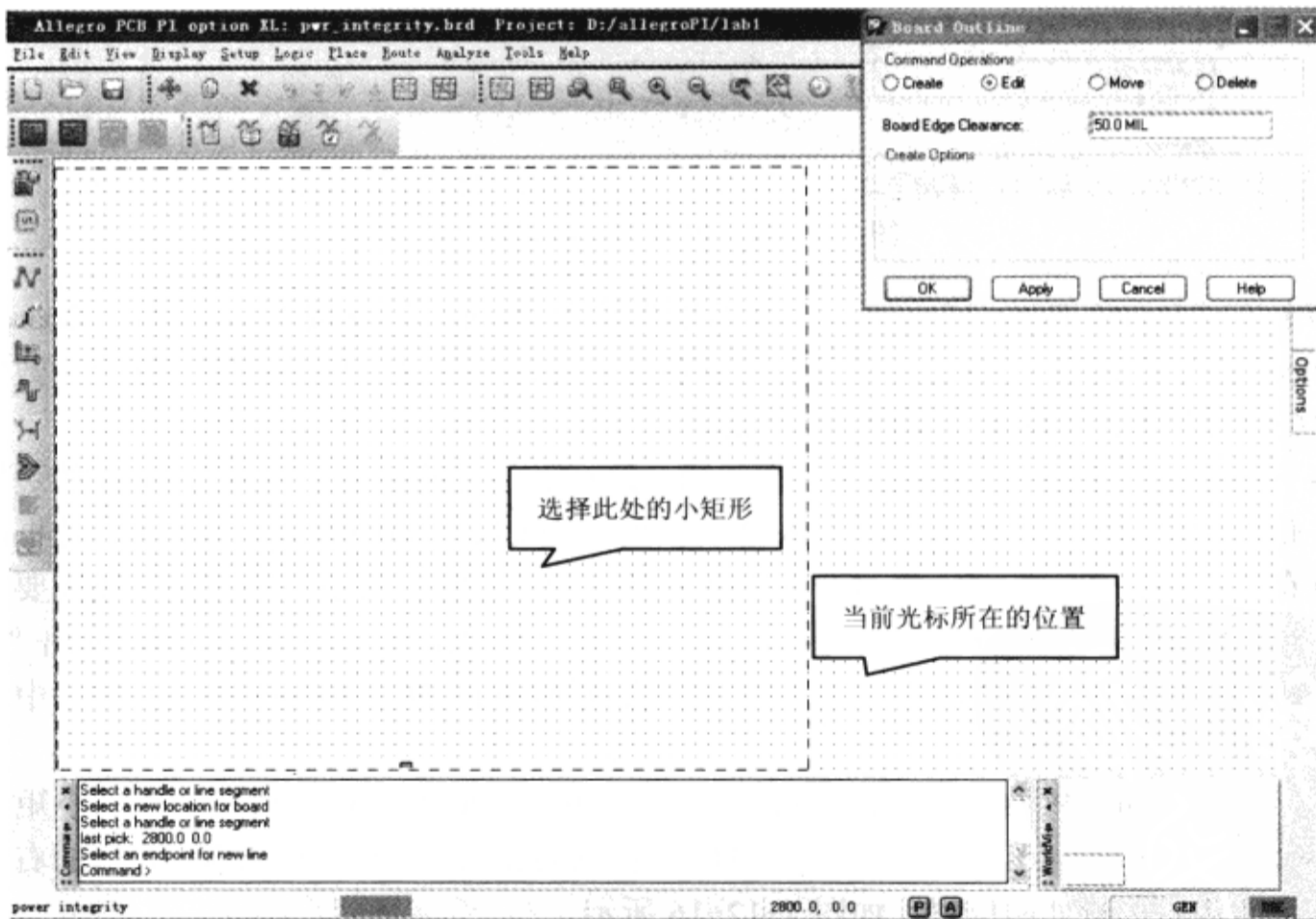


图 7-12-16 编辑 PCB 边框

(10) 在屏幕右上角的“Board Outline”对话框中单击“OK”按钮，这时会再次显示“Power Integrity Setup Wizard - Board Outline”对话框。

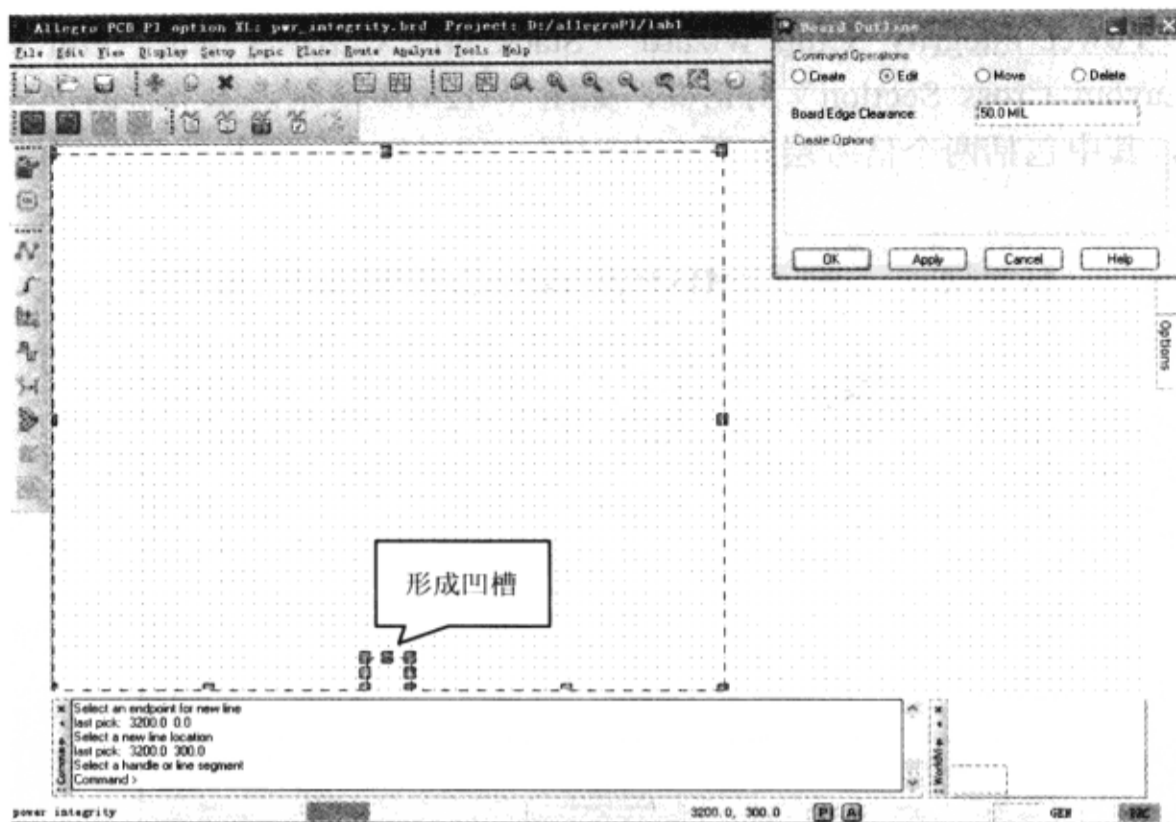


图 7-12-17 编辑 PCB 的边框

#### 4) 创建新的叠层结构

(1) 在“Power Integrity Setup Wizard - Board Outline”对话框中单击“Next”按钮，此时会显示“Power Integrity Setup Wizard - Stack-up”对话框，如图 7-12-18 所示。有两种方法可以创建 PCB 的叠层结构：可在 Allegro PCB PI option XL 中创建一个 PCB 叠层结构，或者从其他 PCB 设计中导入一个已经存在的 PCB 叠层结构。本节将介绍如何创建一个 PCB 叠层结构。

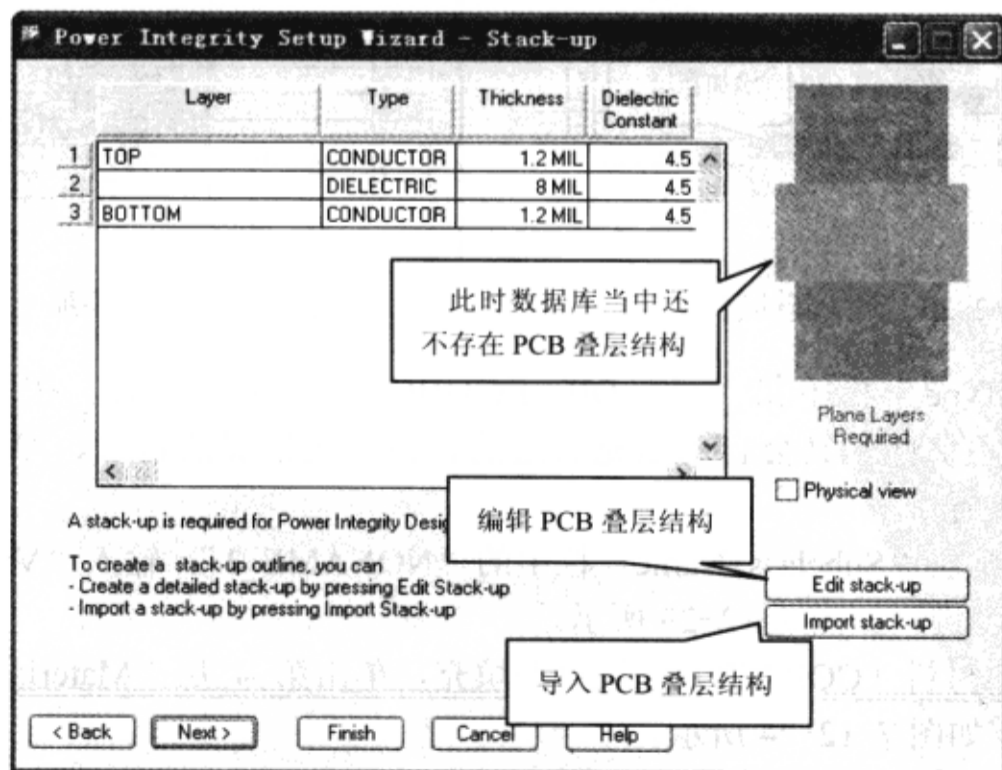


图 7-12-18 叠层结构设置窗口

(2) 在“Power Integrity Setup Wizard - Stack-up”对话框中单击“Edit stack-up”按钮，弹出“Layout Cross Section”对话框，如图 7-12-19 所示。本节将创建一个简单的 4 层叠层结构，其中包括两个信号层和两个电源层。顶层和底层将作为信号层，因此只需添加电源层。

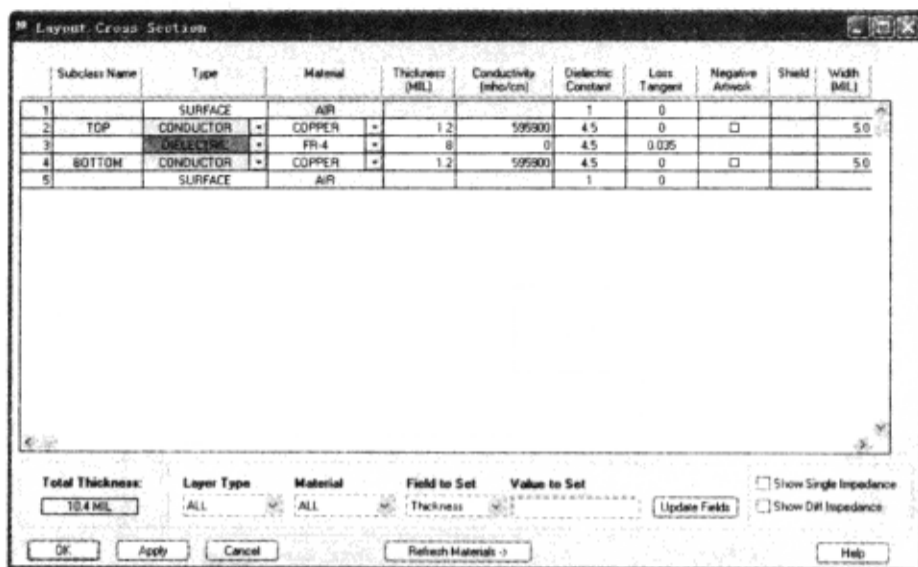


图 7-12-19 “Layout Cross Section”对话框

(3) 在“Layout Cross Section”对话框的第 3 行单击鼠标右键，在弹出的菜单中选择“Add Layer Below”，如图 7-12-20 所示。

(4) 重复步骤 (3)，再添加一个新层，如图 7-12-21 所示。

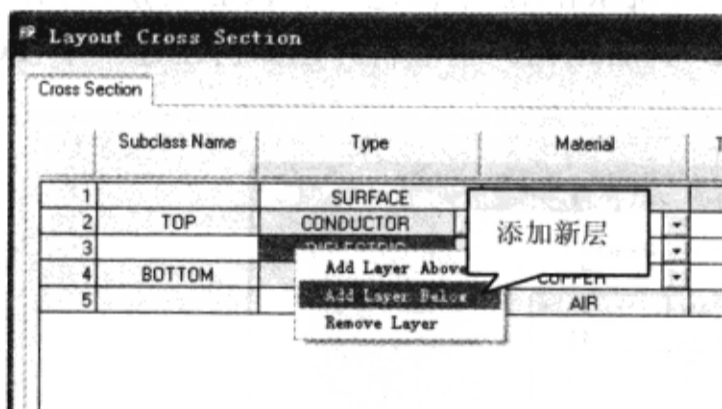


图 7-12-20 添加新的层

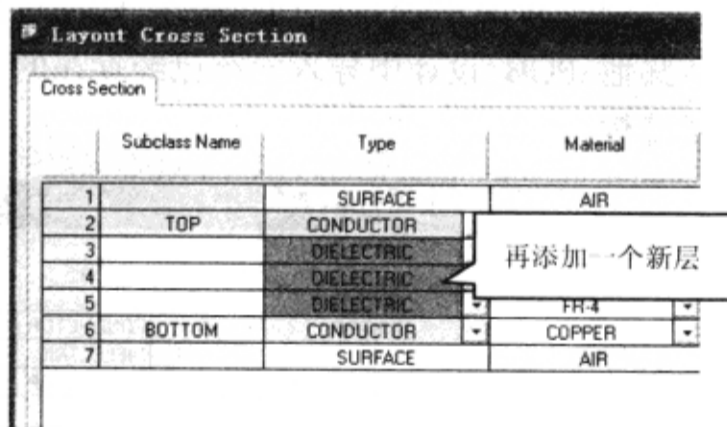


图 7-12-21 再添加一个新的层面

(5) 单击“Type”栏下第 4 层 DIELECTRIC 旁边的小箭头，在下拉菜单中选择“PLANE”，电源完整性工具会自动填充右边的各栏，包括层的材料、厚度及其他的一些值，如图 7-12-22 所示。

(6) 双击第 4 层“Subclass Name”栏中的“NONAME\_1”，输入“VDD\_3”作为该层的名称，按“Tab”键，如图 7-12-23 所示。

(7) 此时层的材料（COPPER）已被自动填充，单击第 4 层“Material”栏的小箭头还可选择其他材料，如图 7-12-24 所示。

(8) 在第 4 层的“Thickness”栏中把厚度由 1.2mil 变为 1.4mil，按“Tab”键，如图 7-12-25 所示。

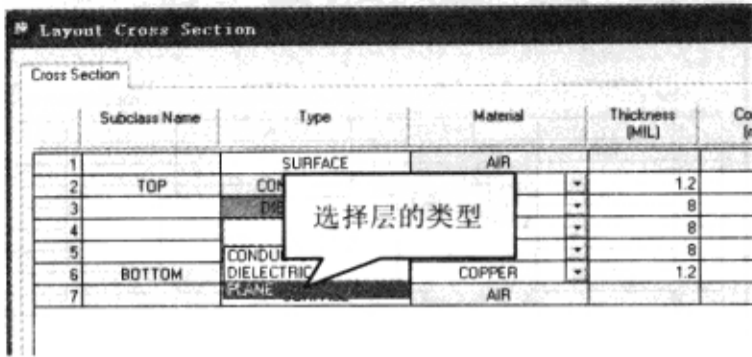


图 7-12-22 选择层的类型

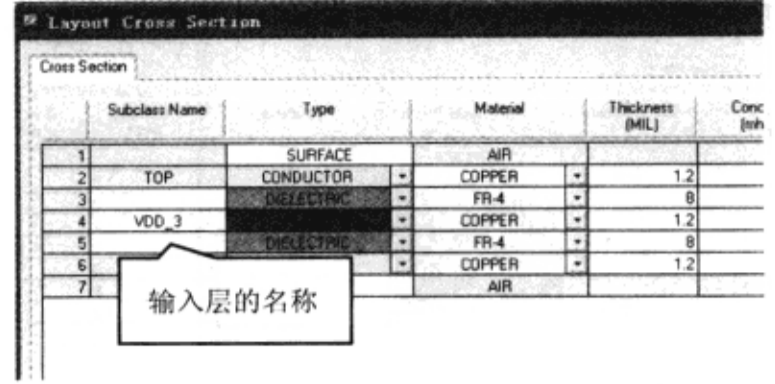


图 7-12-23 输入层的名称

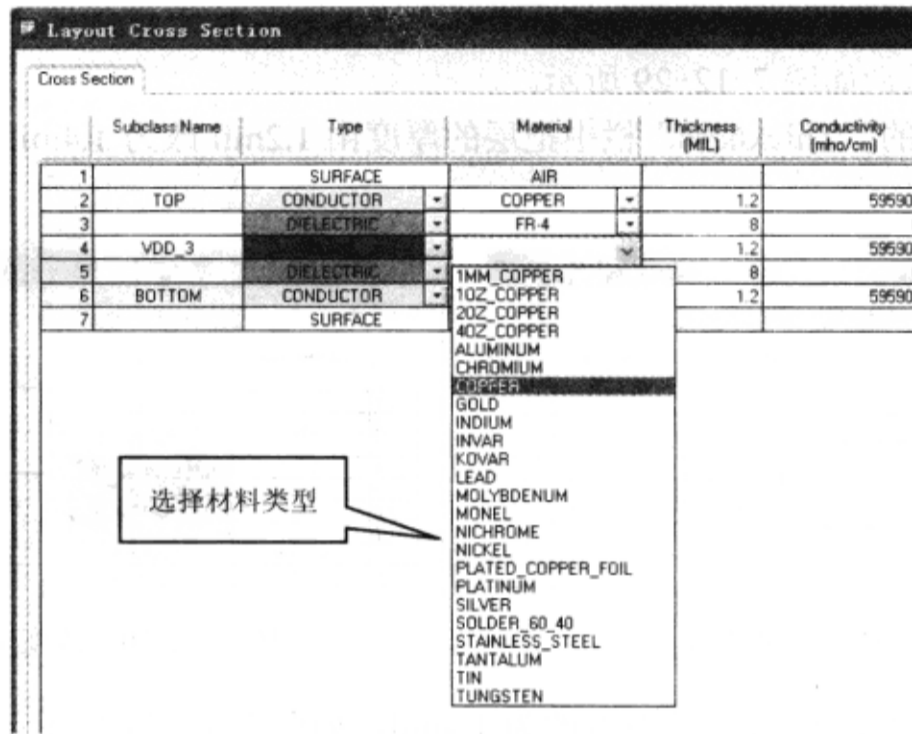


图 7-12-24 选择层介质

(9) 在“Layout Cross Section”对话框的第 5 层单击鼠标右键，在弹出的菜单中选择“Add Layer Below”，如图 7-12-26 所示。

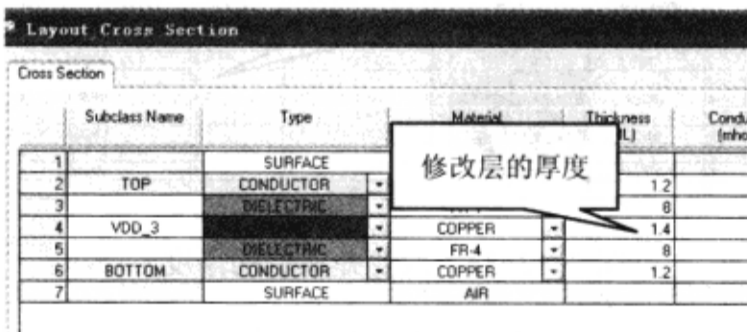


图 7-12-25 修改层面厚度

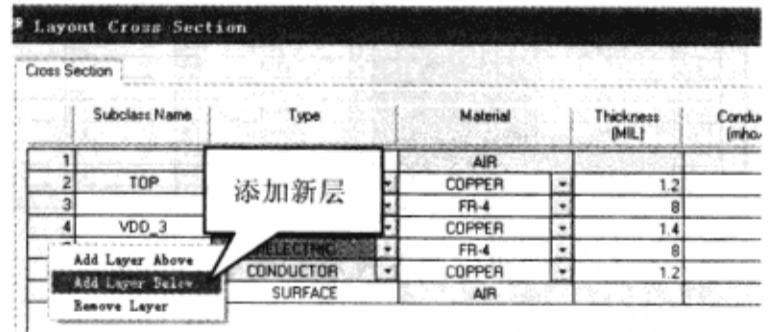


图 7-12-26 添加新的层面

(10) 重复步骤 (9)，再添加一个新层，如图 7-12-27 所示。

(11) 单击第 6 层“Type”栏 DIELECTRIC 旁边的箭头，在下拉菜单中选择“PLANE”，如图 7-12-28 所示。

(12) 双击第 6 层“Subclass Name”栏下的“NONAME\_1”，输入“GND”作为本层的名称，按“Tab”键，如图 7-12-29 所示。



	Subclass Name	Type	Material	Thickness (MIL)	Conc (mh)
1		SURFACE	AIR		
2	TOP	CONDUCTOR	COPPER	1.2	
3		DIELECTRIC	FR-4	8	
4	VDD_3	CONDUCTOR	COPPER	1.4	
5		DIELECTRIC	FR-4	8	
6		DIELECTRIC	FR-4	8	
7		DIELECTRIC	FR-4	8	
8	BOTTOM	CONDUCTOR	COPPER	1.2	
9		SURFACE	AIR		

图 7-12-27 添加新的层面

	Subclass Name	Type	Material	Thickness (MIL)	Conc (mh)
1		SURFACE	AIR		
2	TOP	CONDUCTOR	COPPER	1.2	
3		DIELECTRIC	FR-4	8	
4	VDD_3	CONDUCTOR	COPPER	1.4	
5		DIELECTRIC	FR-4	8	
6		DIELECTRIC	FR-4	8	
7		DIELECTRIC	FR-4	8	
8	BOTTOM	CONDUCTOR	COPPER	1.2	
9		SURFACE	AIR		

图 7-12-28 选择层面的类型

(13) 此时层介质 (Copper) 已被自动填充, 单击第 6 层 “Material” 栏旁边的箭头, 还可以选择其他的介质, 如图 7-12-29 所示。

(14) 在第 6 层的 “Thickness” 栏中把层的厚度由 1.2mil 改为 1.4mil, 按 “Tab” 键, 如图 7-12-30 所示。

	Subclass Name	Type	Material	Thickness (MIL)	Conc (mh)
1		SURFACE	AIR		
2	TOP	CONDUCTOR	COPPER	1.2	
3		DIELECTRIC	FR-4	8	
4	VDD_3	CONDUCTOR	COPPER	1.4	
5		DIELECTRIC	FR-4	8	
6	GND	CONDUCTOR	COPPER	1.2	
7		DIELECTRIC	FR-4	8	
8	BOTTOM	CONDUCTOR	COPPER	1.2	
9		SURFACE	AIR		

图 7-12-29 输入层的名称

	Subclass Name	Type	Material	Thickness (MIL)	Conc (mh)
1		SURFACE	AIR		
2	TOP	CONDUCTOR	COPPER	1.2	
3		DIELECTRIC	FR-4	8	
4	VDD_3	CONDUCTOR	COPPER	1.4	
5		DIELECTRIC	FR-4	8	
6	GND	CONDUCTOR	COPPER	1.4	
7		DIELECTRIC	FR-4	8	
8	BOTTOM	CONDUCTOR	COPPER	1.2	
9		SURFACE	AIR		

图 7-12-30 改变电源层的厚度

(15) 把 Top 层和 Bottom 层的厚度改为 1.4mil, 如图 7-12-31 所示。

(16) 把 3,5,7 绝缘层的厚度改为 4mil, 如图 7-12-32 所示。

	Subclass Name	Type	Material	Thickness (MIL)	Conc (mh)
1		SURFACE	AIR		
2	TOP	CONDUCTOR	COPPER	1.4	
3		DIELECTRIC	FR-4	8	
4	VDD_3	CONDUCTOR	COPPER	1.4	
5		DIELECTRIC	FR-4	8	
6	GND	CONDUCTOR	COPPER	1.4	
7		DIELECTRIC	FR-4	8	
8	BOTTOM	CONDUCTOR	COPPER	1.4	
9		SURFACE	AIR		

图 7-12-31 改变顶层和底层的厚度

	Subclass Name	Type	Material	Thickness (MIL)	Conductivity (Inho/cm)	Dielectric Constant
1		SURFACE	AIR			
2	TOP	CONDUCTOR	COPPER	1.4	59500	4
3		DIELECTRIC	FR-4	4	0	4
4	VDD_3	CONDUCTOR	COPPER	1.4	59500	4
5		DIELECTRIC	FR-4	4	0	4
6	GND	CONDUCTOR	COPPER	1.4	59500	4
7		DIELECTRIC	FR-4	4	0	4
8	BOTTOM	CONDUCTOR	COPPER	1.4	59500	4
9		SURFACE	AIR			

图 7-12-32 改变介质层的厚度

(17) 在 “Layout Cross Section” 对话框中单击 “OK” 按钮, 这时会显示 “Power Integrity Setup Wizard - Stack-up” 对话框, 如图 7-12-33 所示。

### 5) 创建平面形状

(1) 在 “Power Integrity Setup Wizard-Stack-up” 对话框中单击 “Next” 按钮, 弹出 Allegro PCB PI option XL 警告窗口, 如图 7-12-34 所示, 此时 PCB 还没有平面层形状, 电源完整性工具会根据 PCB 边框的形状来创建。

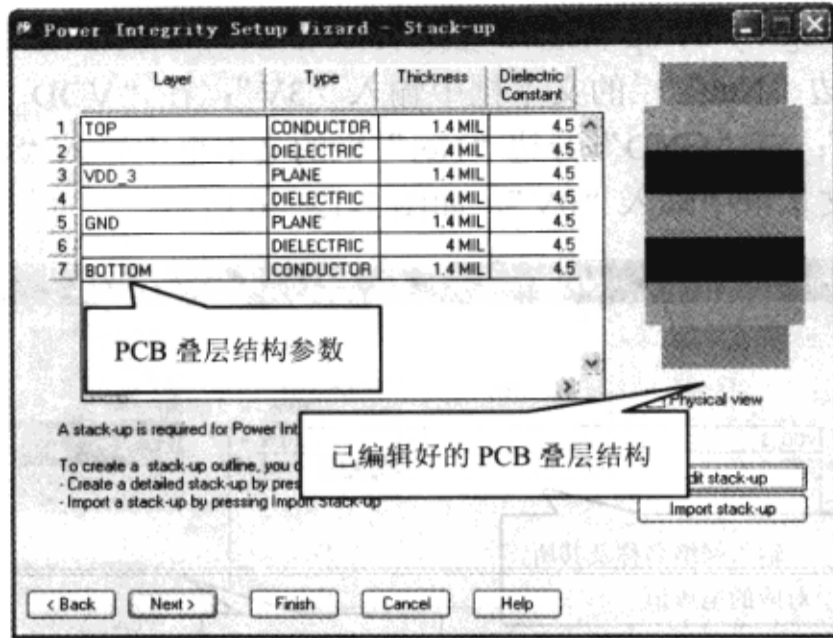


图 7-12-33 叠层结构设置对话框

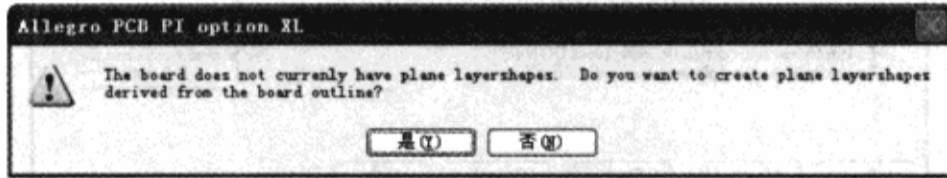


图 7-12-34 Allegro PCB PI option XL 警告窗口

(2) 在 Allegro PCB PI option XL 警告窗口中单击“是 (Y)”按钮，弹出“Power Integrity Setup Wizard - DC Net-Plane Association”对话框，如图 7-12-35 所示，注意此时“Net”栏和“Voltage”栏是红色的，它表明了两件事情：首先，PCB 上还没有定义网络；其次，已定义的直流网络还没有被分配直流电压值。如果允许软件创建平面层形状，只要输入一个网络名称，软件会自动为平面层创建网络。此外，只要输入一个网络名称和这个网络的直流电压值，软件就会自动为这个网络设置所需要的直流电压值。接下来将创建一个直流网络，并为这个网络分配直流电压值。

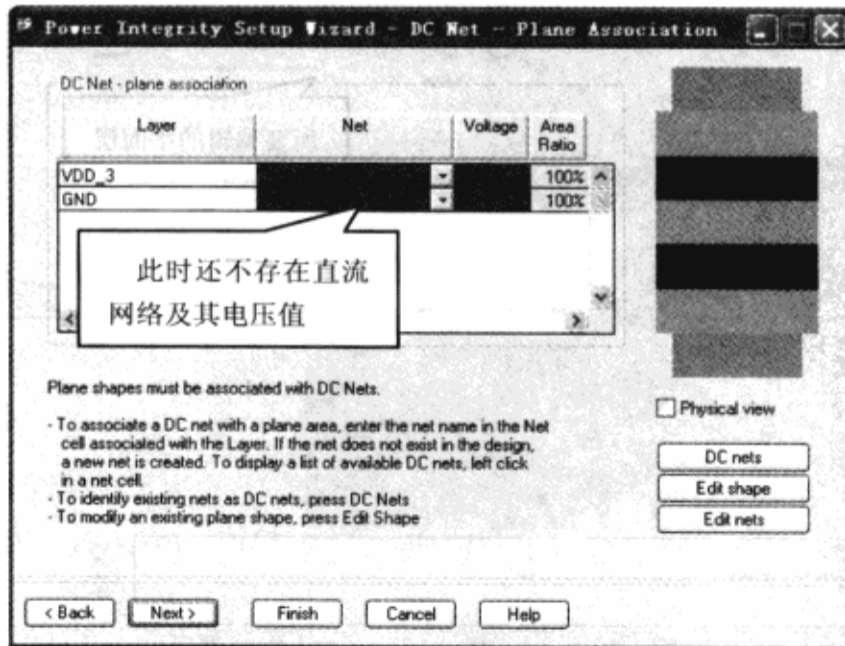


图 7-12-35 “Power Integrity Setup Wizard-DC Net-Plane Association”对话框

(3) 在“Power Integrity Setup Wizard - DC Net-Plane Association”对话框中进行如下操作：在“VDD\_3”旁边“Net”栏的文本框中输入“3V”；在“VDD\_3”旁边“Voltage”栏的文本框中输入“3V”；在“GND”旁边“Net”栏的文本框中输入“Ground”；在“GND”旁边“Voltage”栏的文本框中输入“0V”，如图 7-12-36 所示。

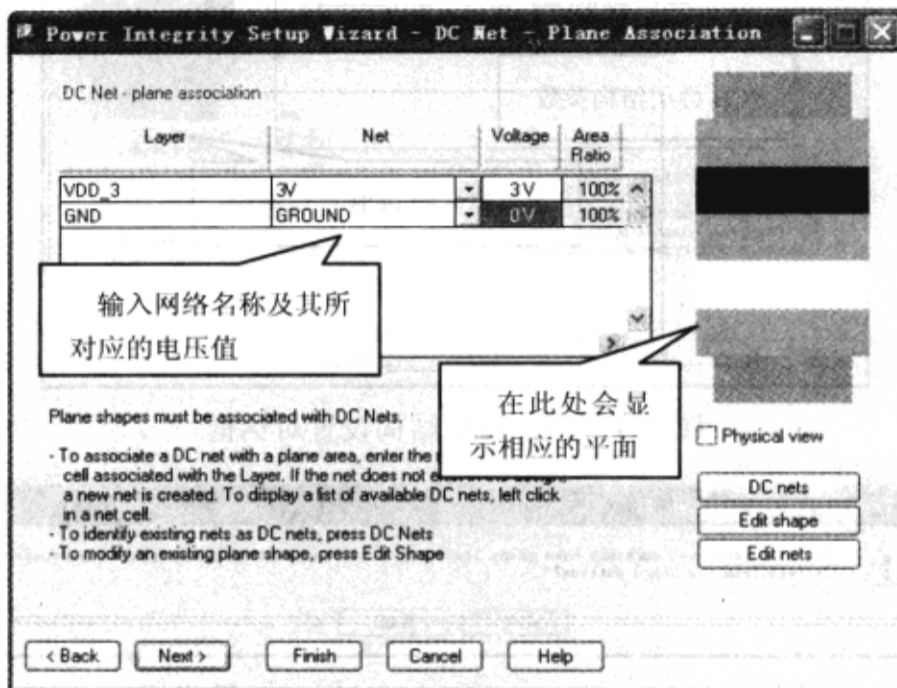


图 7-12-36 输入网络名称和电压值

### 6) 编辑形状

(1) 在“Power Integrity Setup Wizard - DC Net-Plane Association”对话框中单击“Edit shape”按钮，会弹出“Plane Outline”对话框，如图 7-12-37 所示，注意“Plane Outline”对话框的“Shape Data”区域，这里显示的是所要编辑的平面层形状。

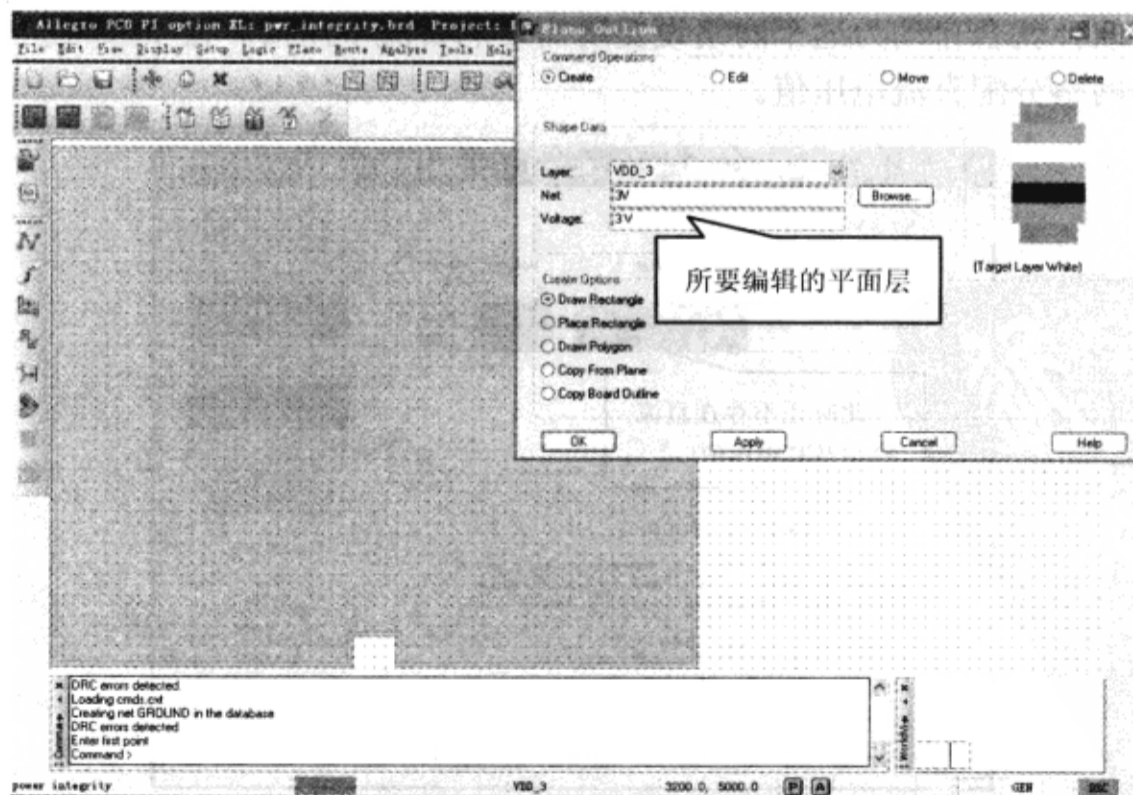


图 7-12-37 “Plane Outline”对话框

(2) 单击“Shape Data”区域的“Layer”栏的下拉菜单可选择所要编辑的平面层。

(3) 单击“Net”栏旁边的“Browse”按钮，会弹出“Select a Net”对话框，在这个对话框中可选择平面层的网络。

(4) 在“Plane Outline”对话框中单击“Edit”按钮，这时会在 Allegro PCB PI option XL 窗口的左上角显示一个 DRC（设计规则检查）错误标志，如图 7-12-38 所示，这是因为平面形状的大小与 PCB 边框的大小相同，平面形状的尺寸超出了默认的元器件允许摆放区与允许布线区的范围。回到“Power Integrity Setup Wizard-Board Outline”对话框中，将 PCB 边框与元器件允许摆放区与允许布线区的距离设置为 50mil，再次回到“Plane Outline”对话框时，会发现 DRC 错误已经消失，如图 7-12-39 所示。编辑平面层的方法与编辑 PCB 边框的方法很相似。

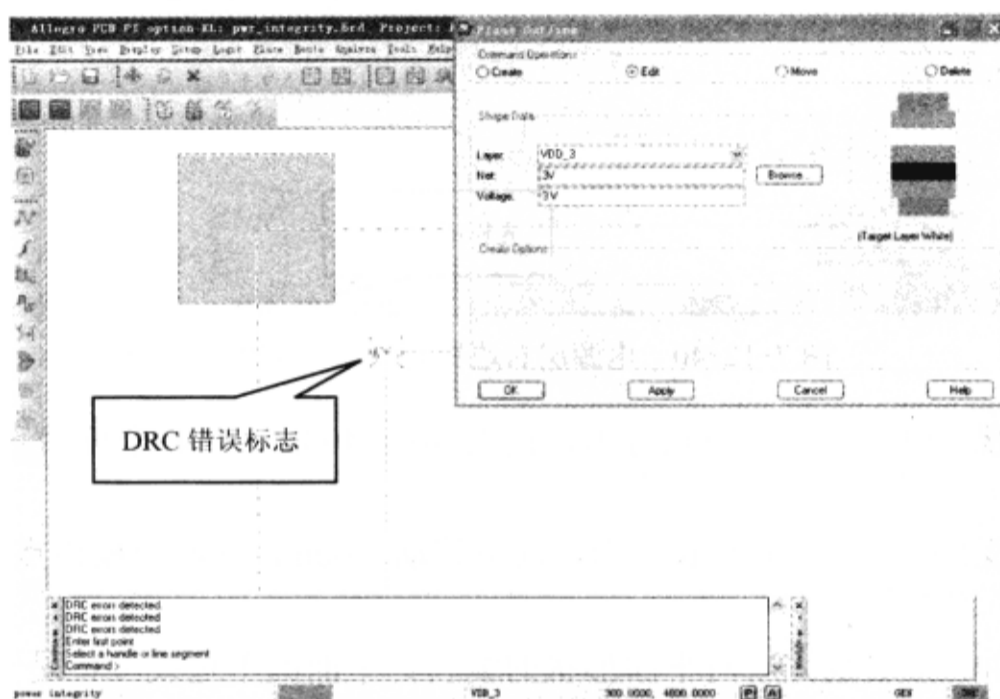


图 7-12-38 编辑电源层形状过程当中的 DRC 错误

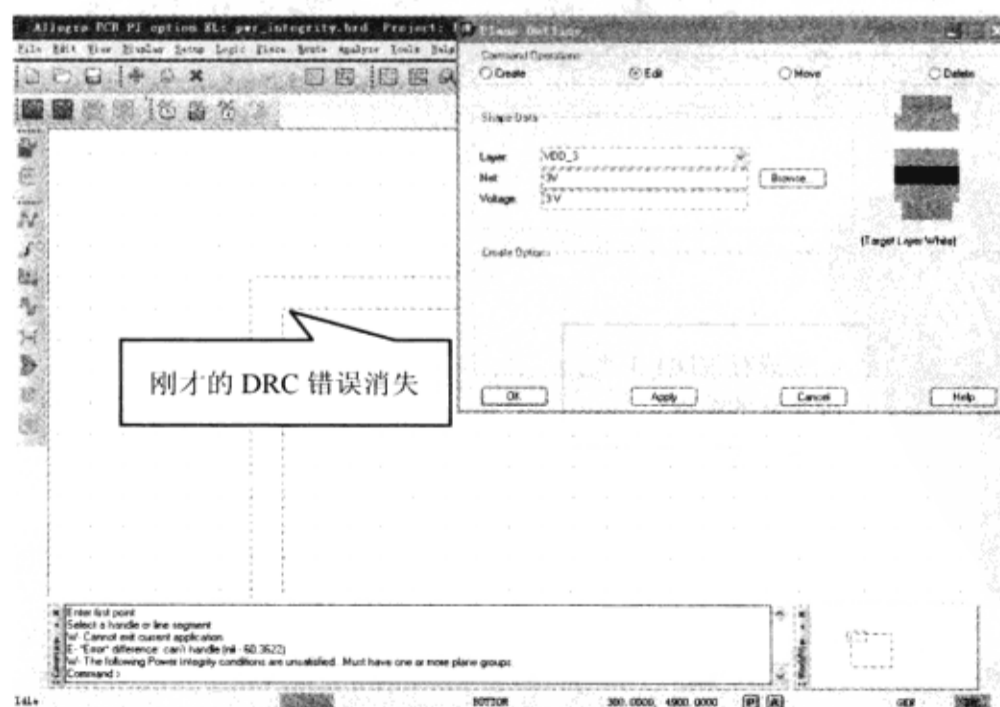


图 7-12-39 DRC 错误消失

(5) 单击 Allegro PCB PI option XL 窗口中所显示图形右边线中点的小长方形，向左移动 400mils (4 个栅格点，坐标是 5600.0,2500.0)，在 Allegro PCB PI option XL 窗口的右下角会显示当前光标所在位置的坐标值，如图 7-12-40 所示。

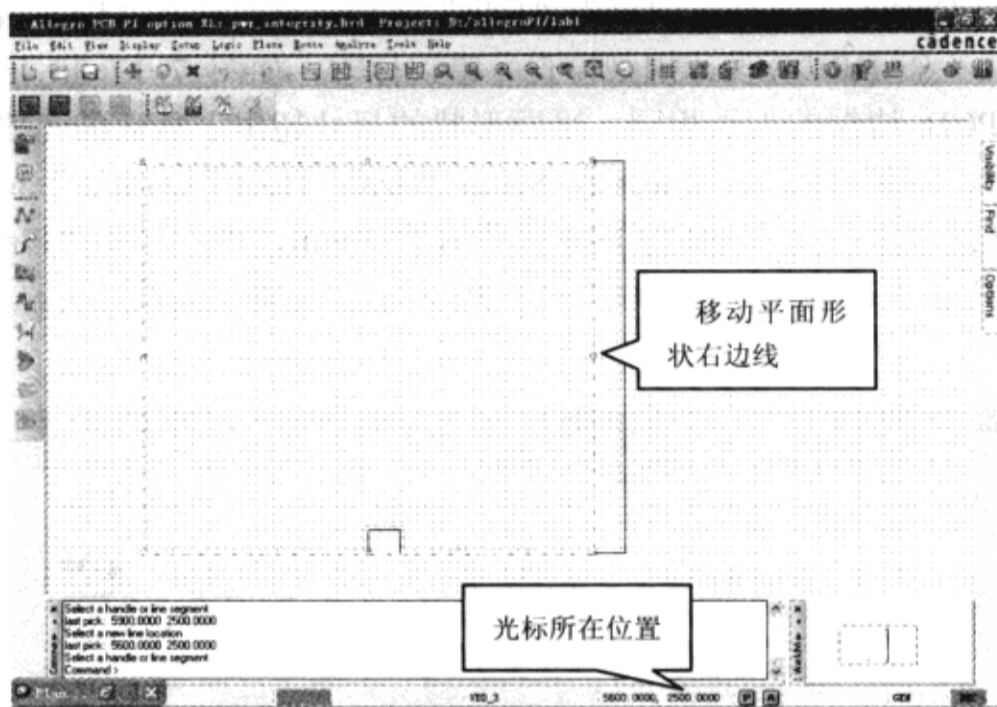


图 7-12-40 电源层右边界向左移动 400mils

(6) 单击图形左边线中点的小长方形，向右移动 400mils (4 个栅格点，坐标是 400.0, 2500.0)。

(7) 单击图形上边线中点的小长方形，向下移动 400mils (4 个栅格点，坐标是 3000.0, 4600.0)。

(8) 移动平面的下边线完成对平面形状的编辑，平面的下边线应该是一条穿过 Y 坐标 400mils 的直线，如图 7-12-41 所示。

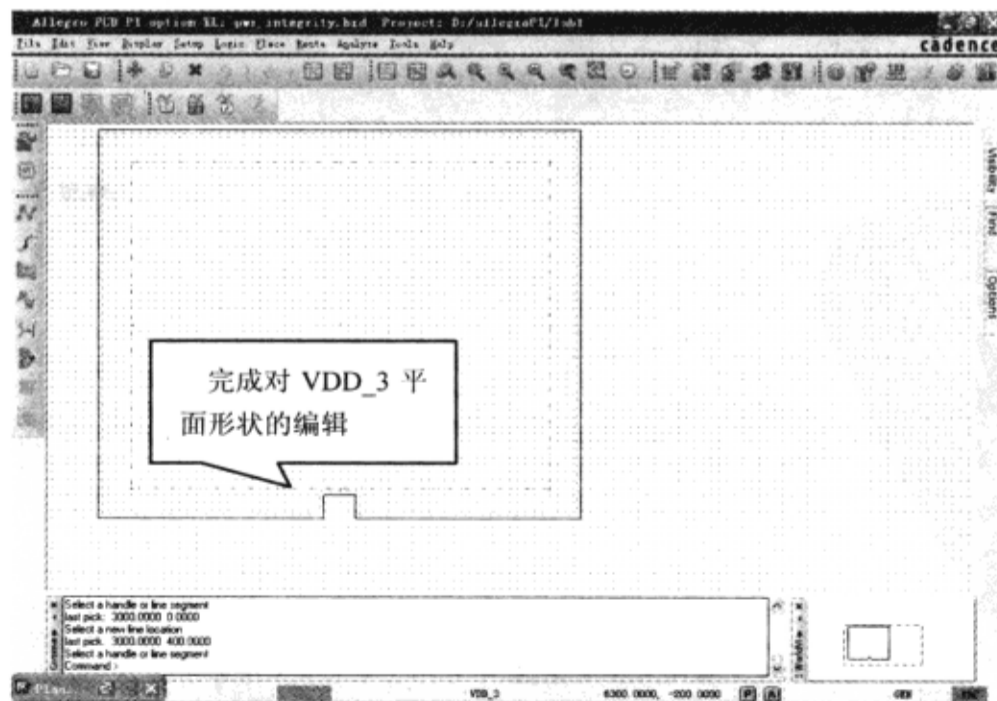


图 7-12-41 完成电源层形状的编辑



(9) 在“Plane Outline”对话框“Shape Data”区域的“Layer”栏中选择“GND”，如图 7-12-42 所示。

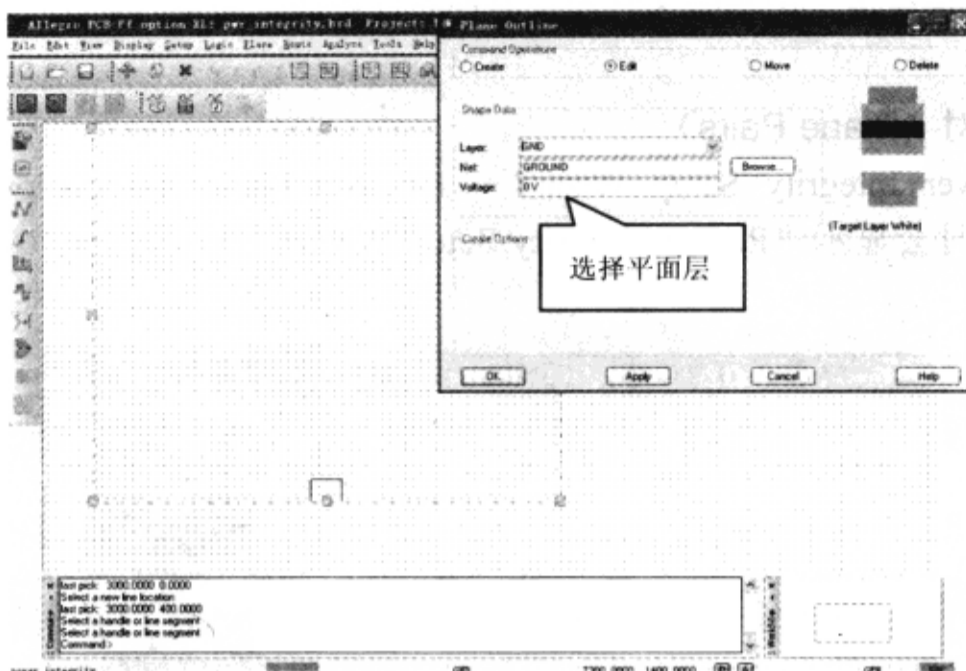


图 7-12-42 对 GND 层形状进行编辑

(10) 单击图形右边线中点的小长方形，向左移动 300mils (3 个栅格点，坐标是 5700.0, 2500.0)。在 Allegro PCB PI option XL 窗口的右下角能看到光标现在所处的位置。

(11) 单击图形左边线中点的小长方形，向右移动 300mils (3 个栅格点，坐标是 300.0, 2500.0)。

(12) 单击图形上边线中点的小长方形，向下移动 300mils (3 个栅格点，坐标是 3000.0, 4700.0)。

(13) 移动图形的下边线完成对 GND 层形状的编辑，它应该是一条穿过 Y 坐标 400mil 的一条直线，如图 7-12-43 所示。



图 7-12-43 完成对 GND 层形状的编辑

(14) 在“Plane Outline”对话框中单击“OK”按钮，就会显示“Power Integrity Setup Wizard - DC Net-Plane Association”对话框，此时在 Allegro PCB PI option XL 窗口的左上角不在显示 DRC 错误标志，因为刚才是在元器件允许摆放区和允许布线区的范围内对平面形状进行了修改。

### 7) 指定平面对 (Plane Pairs)

(1) 在“Power Integrity Setup Wizard - DC Net-Plane Association”对话框中单击“Next”按钮，此时会显示“Power Integrity Setup Wizard - Power Pair Setup”对话框，如图 7-12-44 所示。

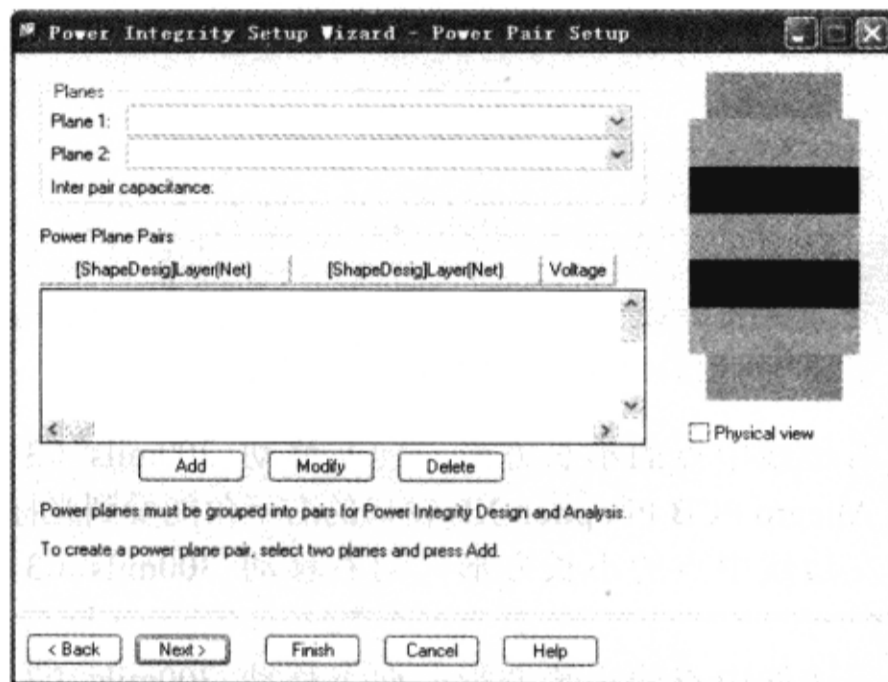


图 7-12-44 电源平面对设置窗口

(2) 在对话框的 Planes 部区域，从“Plane1”栏中选择电压层“[S1]VDD\_3 (3V) - 3V”；从“Plane2”栏中选择电压层“[S2]GND (GROUND) -0V”，如图 7-12-45 所示。

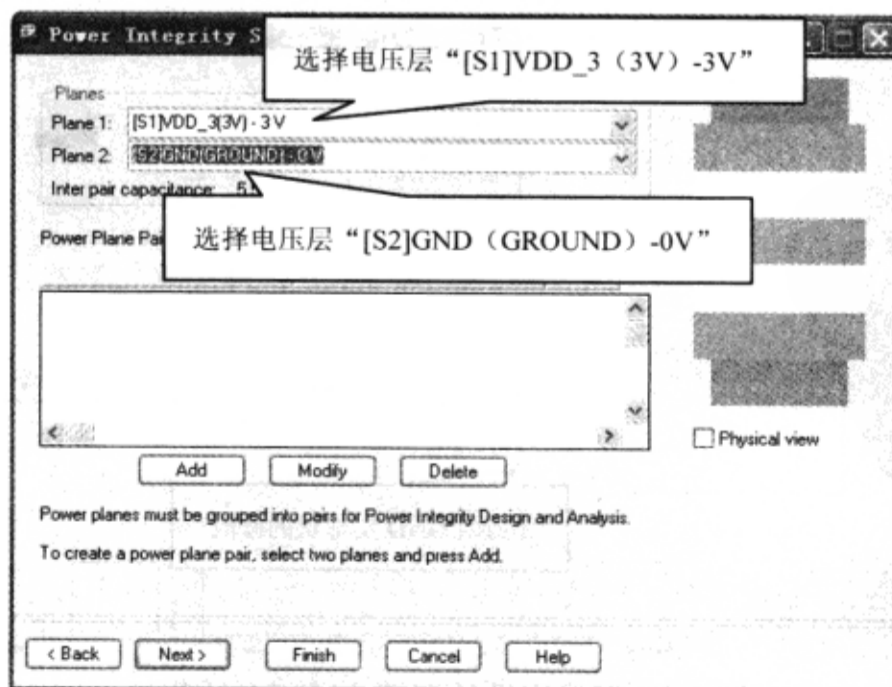


图 7-12-45 选择平面对

(3) 单击“Add”按钮指定平面对，此时在对话框中会显示平面对之间的电容为 5.5257 nF，如图 7-12-46 所示。

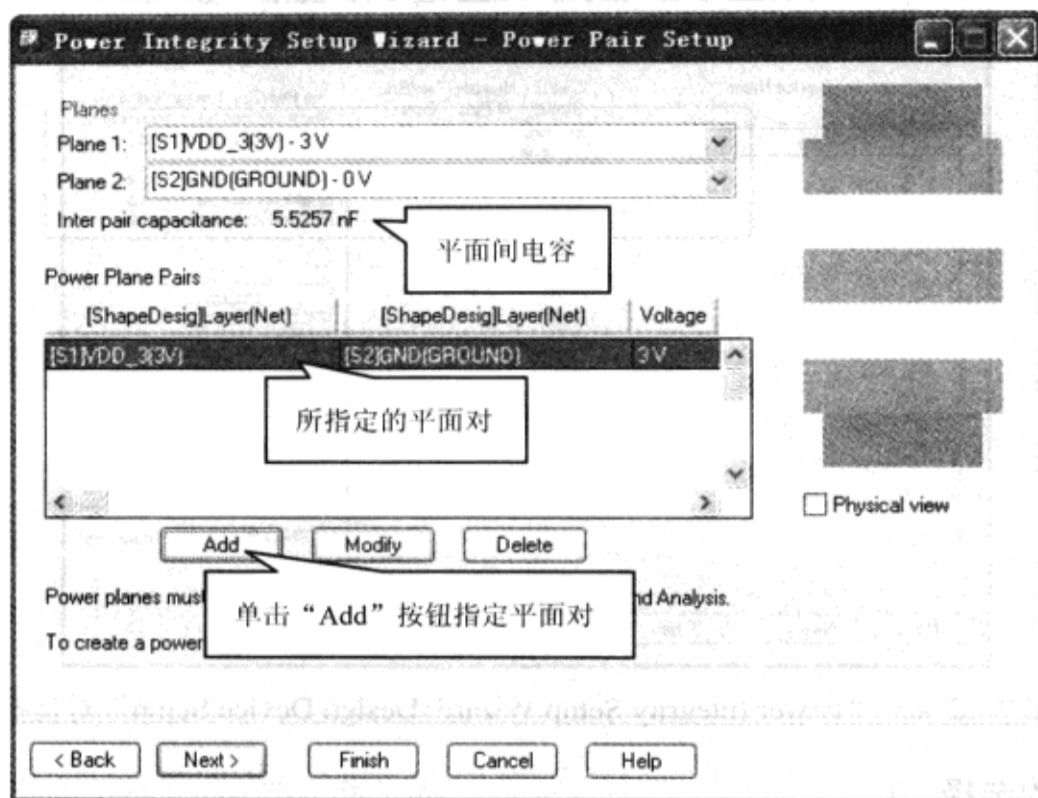


图 7-12-46 添加电源平面对

电源平面对之间的电容与两平面之间的距离、平面的面积及两层之间的介质的绝缘常数有关，即

$$C = \frac{\epsilon_0 \epsilon_r A}{d}$$

式中， $\epsilon_0 = 8.854\text{pF}$ ； $\epsilon_r = 4.5$ （FR4 标定值）； $A$  为电源层铺铜面积（ $\text{m}^2$ ）； $d$  为铺铜电源层之间的间隔（ $\text{m}$ ）。

在电源完整性设置向导的叠层设置对话框可以查找到镀层之间的间隔距离和介电常数，镀层面积取自最小平面的形状尺寸，电源完整性工具会根据计算的需要把形状矩形化，在 Power Integrity Analysis 对话框当中，单击“Report”按钮就可以查看到矩形的长度值和宽度值。

$$\begin{aligned} C &= \frac{\epsilon_0 \epsilon_r A}{d} \\ &= \frac{(8.854 \times 10^{-12})(4.5)(0.13208)(0.10668)}{0.0001016} \\ &= 0.55255866 \times 10^{-8} \\ &= 5.5255866(\text{nF}) \end{aligned}$$

8) 设计器件设置 在“Power Integrity Setup Wizard - Power Pair Setup”对话框中单击“Next”按钮，弹出 Design Device Setup”对话框，如图 7-12-47 所示，在对话框中会显示 PCB 数据库中的双引脚器件，同时对话框还会显示哪些元器件与电源和地相连接，因为这是一个新

的 PCB，而且还没有添加任何元器件，所以此时在这个对话框中不会显示任何元器件。

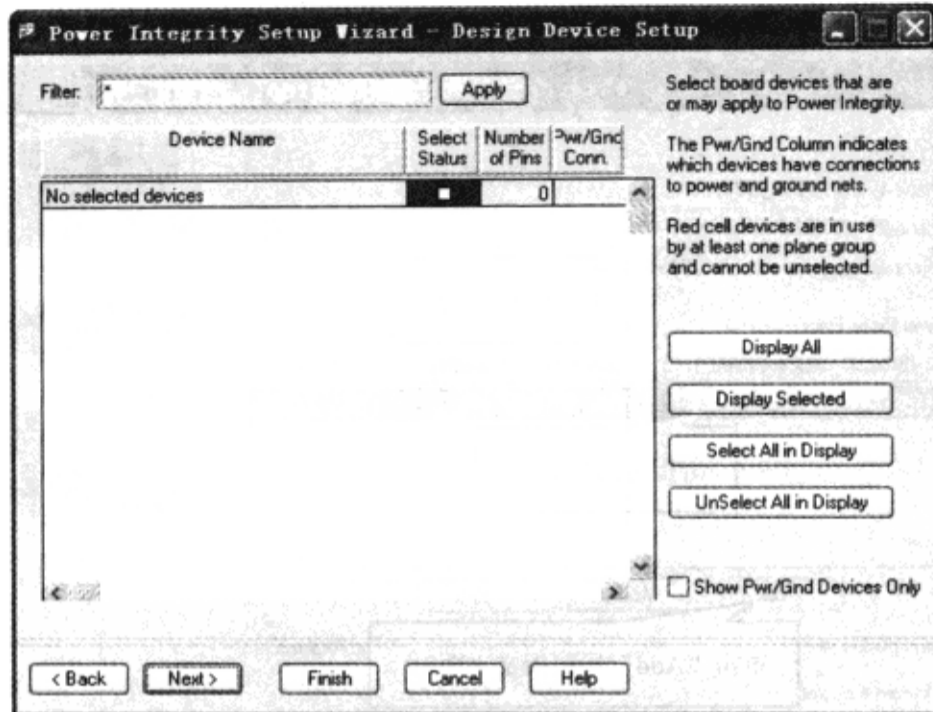


图 7-12-47 “Power Integrity Setup Wizard-Design Device Setup” 对话框

### 9) 电容器的选择

(1) 在“Power Integrity Setup Wizard-Design Device Setup”对话框中单击“Next”按钮，会显示“Power Integrity Setup Wizard-Library Format”窗口，如图 7-12-48 所示。

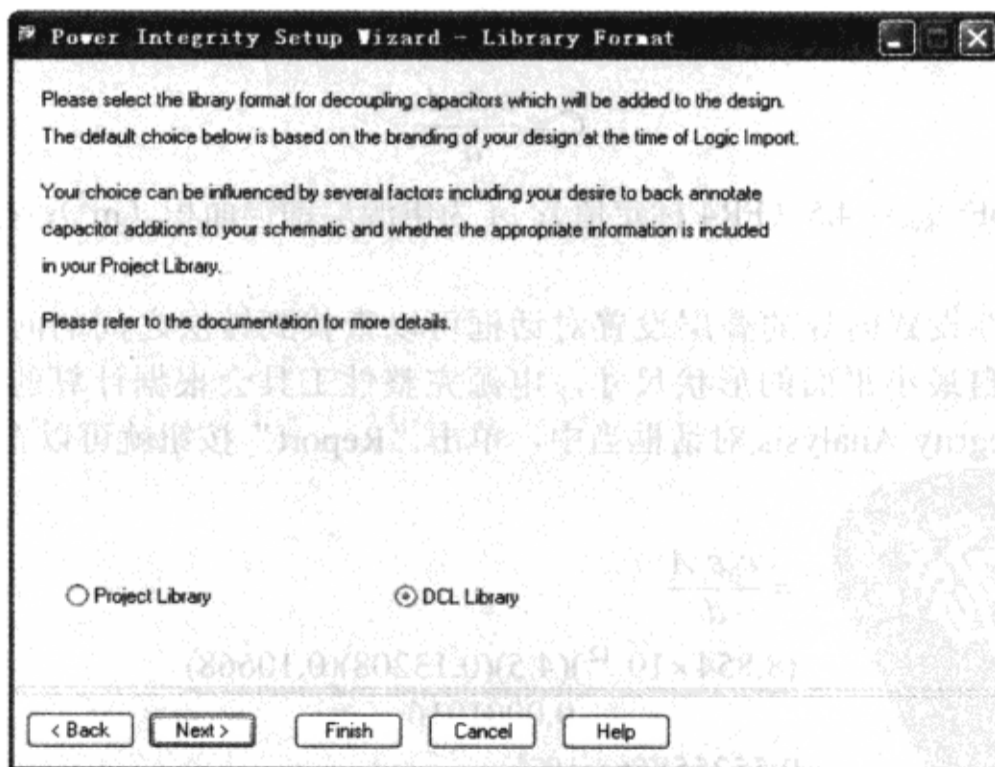


图 7-12-48 “Power Integrity Setup Wizard-Library Format” 窗口

(2) 单击“Next”按钮，弹出“Power Integrity Setup Wizard - Library Setup”对话框，如图 7-12-49 所示。

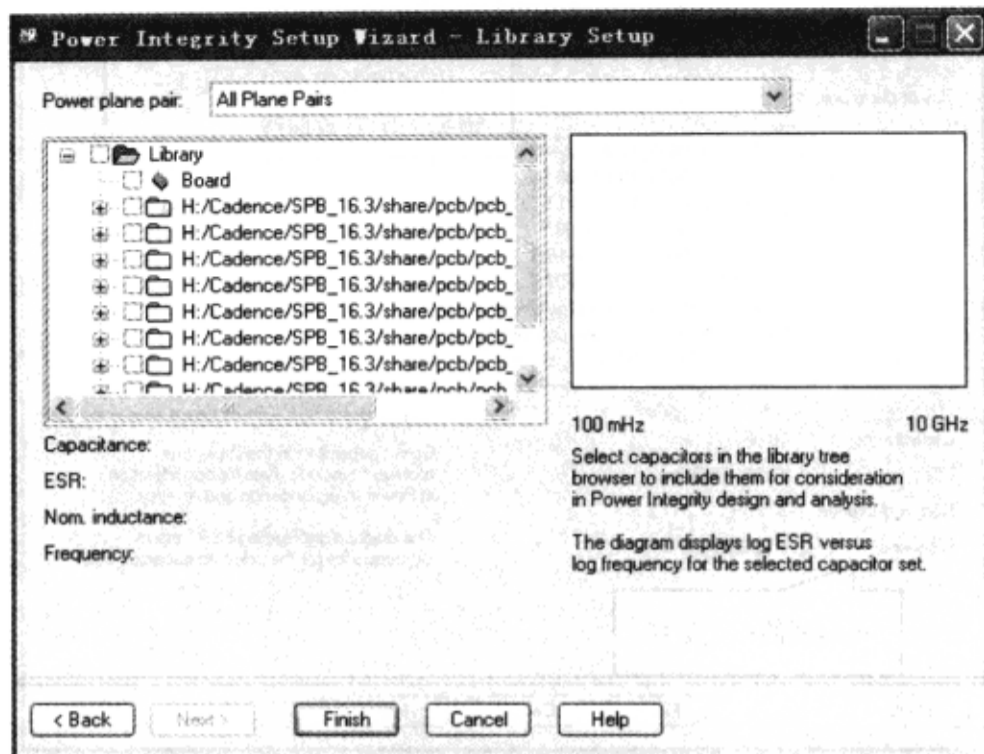


图 7-12-49 “Power Integrity Setup Wizard- Library Setup” 对话框

(3) 在“Power plane pair”栏中选择 “[S1]VDD\_3 (3V) - [S2]GND (GROUND) - 3V”。在对话框左边的元件库列表中，单击 H:/Cadence/SPB\_16.3/share/pcb/pcb\_lib/np0\_0603\_caps 目录下电容库旁边的加号，就会显示这个库中所有的电容元件，如图 7-12-50 所示。

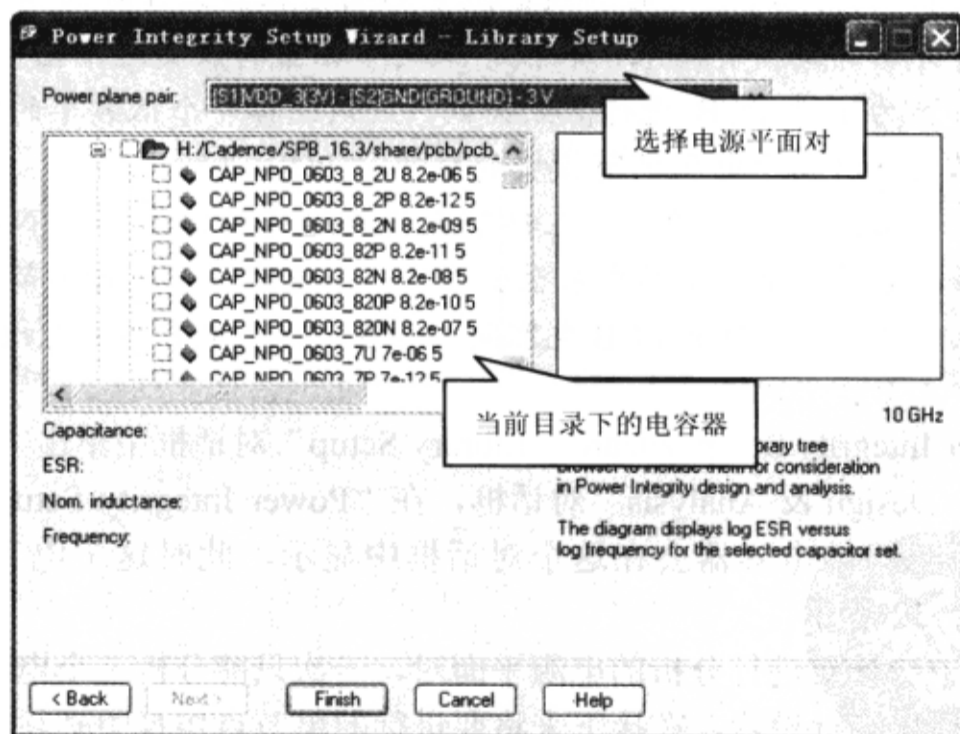


图 7-12-50 电容库中的电容

(4) 滚动电容元器件列表，选择电容器 CAP\_NPO\_0603\_10U，此时会在“Power Integrity Setup Wizard-Library Setup”对话框显示此电容的相关信息：电容值为  $10\mu\text{F}$ ，等效串联电阻 (ESR) 为  $42.1114\text{m}\Omega$ ，额定电感值为  $325\text{pH}$ ，谐振频率是  $1.72628\text{MHz}$ 。此外，在对话框的右边还会显示所选择电容器的等效串联电阻—谐振频率曲线，如图 7-12-51 所示。



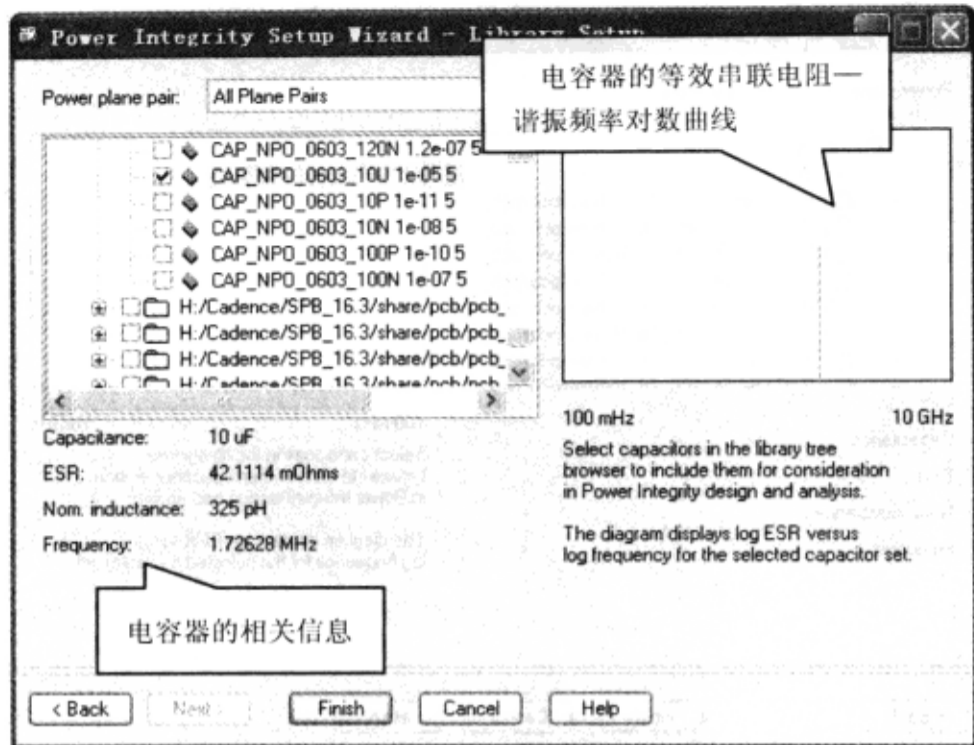


图 7-12-51 电容器的信息



注意

额定电感值 (Nom.inductance) 并不是电容器的等效串联电感 (Effective Series Inductance, ESL) 值, 它只是代表与选择电容器相关的贴装电感默认值, 电感额定值会影响电容器工作时的谐振频率, 所以它将会影响到仿真结果, 在接下来的步骤中将改变这个值。

为了对 PCB 进行低频去耦, 应该选择一个低频率的电容器, 这个电容值将以高于电压调节模块的频率对 PCB 进行去耦。

必须要注意的是, 在接下来将要进行的仿真中并不会摆放这个电容器, 电源完整性工具要求至少选择一个电容器来进行单节点仿真。在单节点仿真中, 只有和 PCB 电容同时存在, 这个电容器才能被有效地摆放。

(5) 在“Power Integrity Setup Wizard - Library Setup”对话框中单击“Finish”按钮, 弹出“Power Integrity Design & Analysis”对话框, 在“Power Integrity Setup Wizard - Library Setup”对话框中所选择的电容器会在这个对话框中显示, 此时这个电容器还没有摆放到 PCB 上, 如图 7-12-52 所示。

在这个对话框中选择要进行分析的电源平面对, 一次只能分析一个电源, 在这个对话框中还可对电压调节模块进行设置, 在接下来将要进行的单节点仿真中必须为每个平面对指定一个电压调节模块。此外, 在这个对话框中还可打开电源完整性设置向导、电容库和仿真参数设置对话框。

### 3. 参数设置

#### 1) 设置目标阻抗

(1) 在“Power Integrity Design&Analysis”对话框的“Power plane pair”栏中选中“[S1]VDD\_3[3V] - [S2]GND[GROUND] -3V”。“Power Integrity Design&Analysis”对话框

还可以对所选择平面对的分析状态（Analysis Conditions）进行设置，这些状态确定了要设计的目标阻抗，如图 7-12-53 所示。

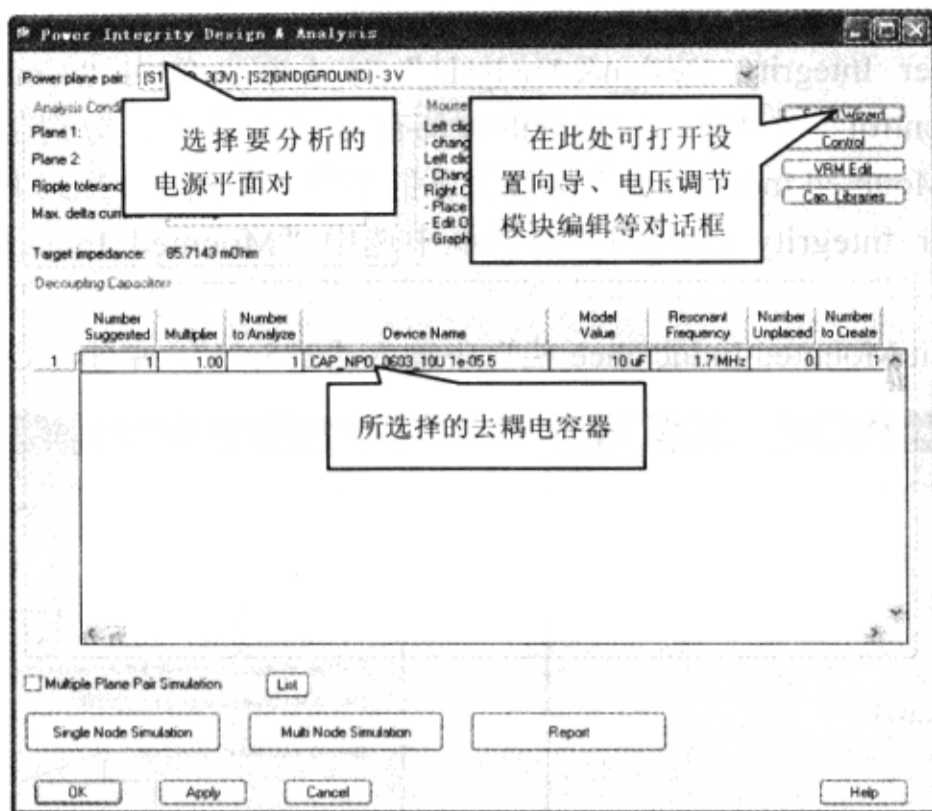


图 7-12-52 “Power Integrity Design & Analysis” 对话框

(2) 为所选的电源平面对设置目标阻抗：在“Power Integrity Design&Analysis”对话框的“Analysis Conditions”区域的“Ripple tolerance”栏中选择 5%；在“Max delta current”栏中输入“5Amp”，在“Analysis Conditions”区域会显示当前的目标阻抗是 30mΩ，如图 1-34-53 所示。



图 7-12-53 对所选择平面对参数进行设置

2) 改变默认贴装电感 在“Power Integrity Design&Analysis”对话框中单击“Control”按钮可对仿真参数进行设置, 不需退出电源完整性工具就可在这个对话框中对这些参数进行设置。

(1) 在“Power Integrity Design&Analysis”对话框上单击“Control”按钮, 弹出“Power Integrity Control”对话框, 对话框的顶部有 3 个标签页, 分别用于设置各种仿真参数, 这里只设置“Mounted Inductance”标签页下的参数, 如图 7-12-54 所示。

(2) 在“Power Integrity Control”对话框中选中“Mounted Inductance”标签页, 如图 7-12-55 所示。

(3) 在“Default Mounted Inductance 栏”中输入“225pH”, 单击“OK”按钮。

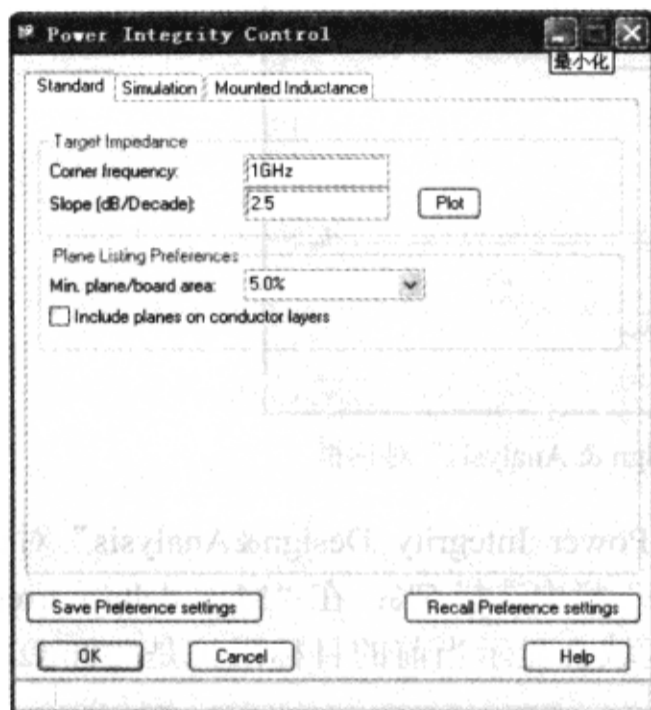


图 7-12-54 “Power Integrity Control”对话框

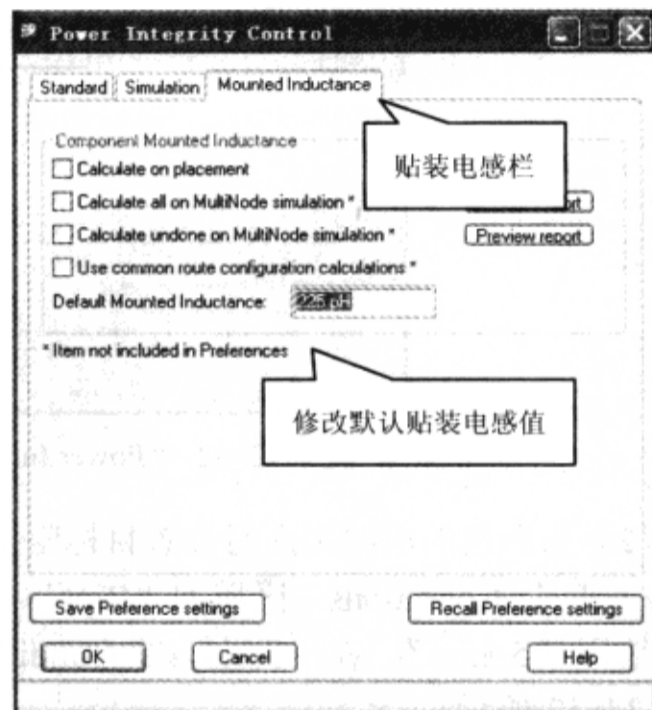


图 7-12-55 贴装电感值参数设置

这时会再次显示“Power Integrity Design&Analysis”对话框, 当前所选电容器的谐振频率是 1.8MHz, 不同于刚选择电容器时所显示的 1.7MHz, 如图 7-12-56 所示, 这是因为贴装电感从 325pH 变成了 225pH, 这个值将会赋予所有在仿真中使用到的电容器, 在接下来的过程中将介绍如何使用电源完整性工具计算每个电容器的贴装电感。



要根据特定平面对之间的距离来选择默认贴装电感值, 平面间隔距离越小, 这个电感值就越小。这个电感值考虑到了与 PCB 上的表贴电容器相关的通孔连接电感、表贴焊盘电感及一些传输线连接电感。

#### 4. 配置电压调节模块

1) 放置电压调节模块 在每个要进行单节点仿真的单独平面对上都需要放置一个电压调节模块, 在“Power Integrity Design & Analysis”对话框中“Power plane pair”栏选择一个平面对, 然后选择一个波动容限和最大变化电流, 满足所选择平面对要求的目标阻抗。为所选择的平面对在 PCB 上放置一个电压调节模块, 然后为每个所选择的平面对设置电压调节模块。



图 7-12-56 电容器谐振频率的变化

(1) 在 Allegro PCB PI option XL 的工作区域单击鼠标右键，从弹出的菜单中选择“Add VRM”，一个代表电压调节模块的图标就会随着光标移动，如图 7-12-57 所示。

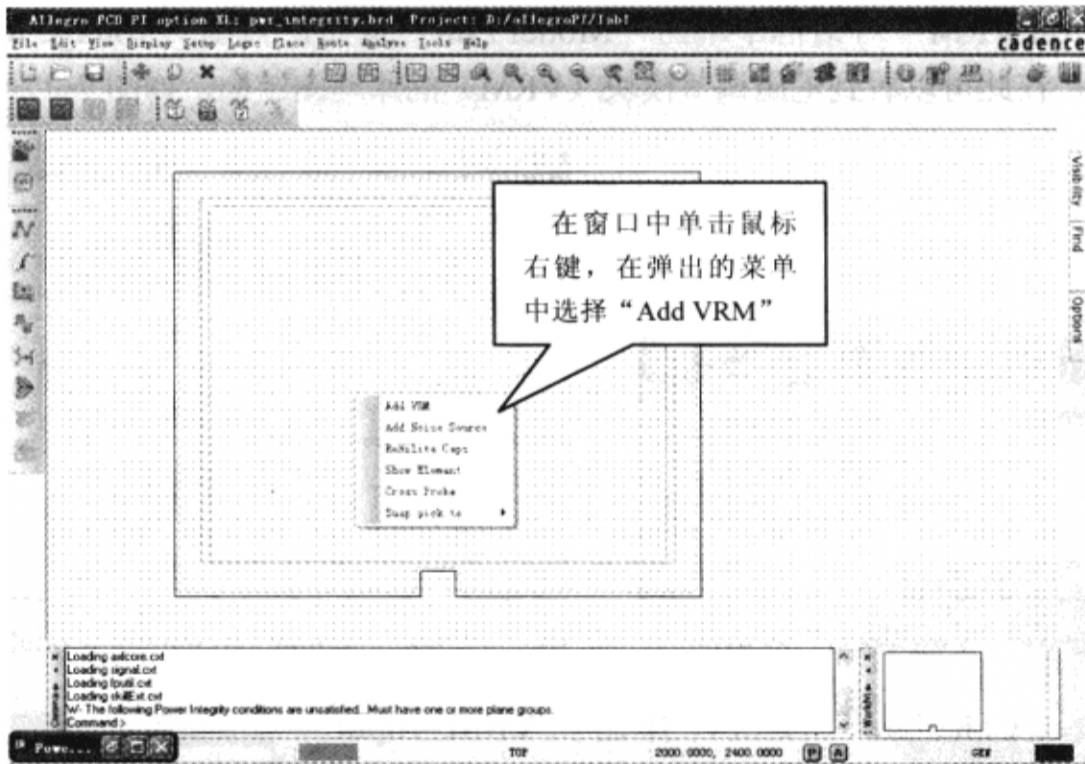


图 7-12-57 添加电压调节模块

(2) 把电压调节模块图标拖动到电路板凹槽的左边，单击鼠标左键放置电压调节模块，如图 7-12-58 所示。

2) 对电压调节模块进行设置 在“Power Integrity Design & Analysis”对话框中可对电压调节模块 (VRM) 的参数进行设置，电压调节模块是 PDS 的一个重要组成部分，对直流维持着低阻抗，只有数千赫兹的频率。在本节中并不需要改变电压调节模块的默认值，但是

有必要先熟悉一下。

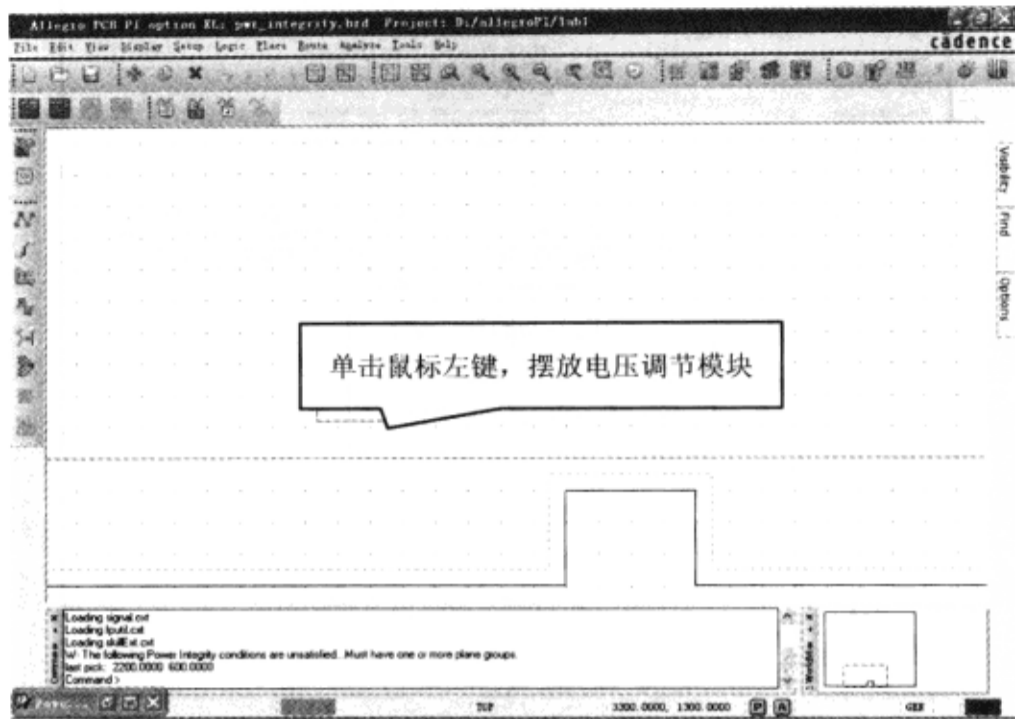


图 7-12-58 摆放电压调节模块

(1) 在“Power Integrity Design&Analysis”对话框中单击“VRM Edit”按钮，弹出“Edit VRM”，如图 7-12-59 所示。

(2) 在“Edit VRM”对话框中单击“Model Edit”按钮，弹出“Voltage Regulator Module Editor”对话框，在此可以看到电压调节模块（VRM）的原理图结构，如图 7-12-60 所示。

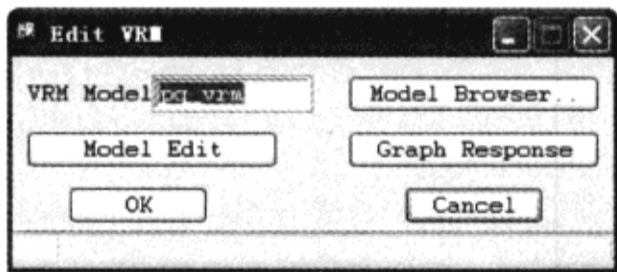


图 7-12-59 “Edit VRM”对话框

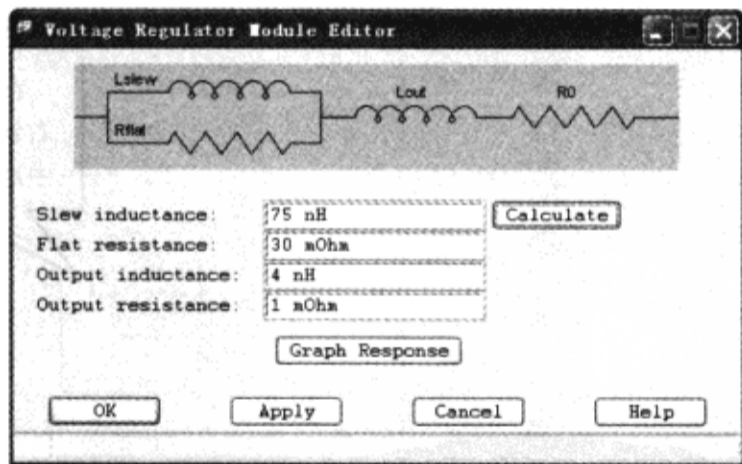


图 7-12-60 “Voltage Regulator Module Editor”对话框

(3) 单击“Calculate”按钮，弹出“VRM Input Inductance Calculation”对话框，如图 7-12-61 所示。

电源完整性工具会根据对话框中所显示的公式（ $\text{Input Inductance} = V \cdot \text{Rip} \cdot T / I$ ）来计算电压调节模块的输入电感，这个电感值就是电压调节模块放置到 PCB 上时被看做的电感值，电感值的计算与在“Power Integrity Setup Wizard-DC Net-Plane Association”对话框中设置的直流电压值（与此电源平面对相关的电源平面的直流电压）相

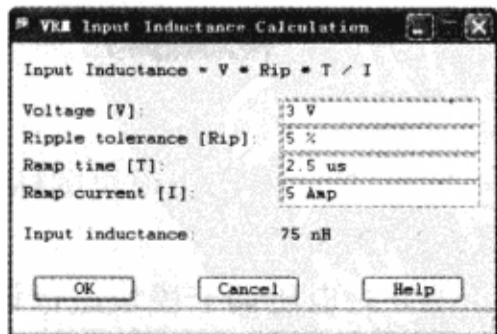


图 7-12-61 “VRM Input Inductance Calculation”对话框



关，波动容限（Ripple tolerance）和上升电流（Ramp current）取自在“Power Integrity Design & Analysis”对话框中设置的波动容限（Ripple tolerance）和最大变化电流（Max delta current），上升时间（Ramp time）是电压调节模块（VRM）对瞬时电流反应的最长时间。

（4）在“VRM Input Inductance Calculation”对话框中单击“OK”按钮。

（5）在“Edit VRM”对话框中单击“Graph Response”按钮。

此时会在“Untitled-Sigwave”窗口中显示电压调节模块（VRM）的频率—阻抗特性曲线，如图 7-12-62 所示，从波形图中可以看出：电压调节模块（VRM）在数千赫兹的低频范围内以直流形式保持低阻抗，但随着频率的增加，电压调节模块（VRM）不再保持低阻抗。

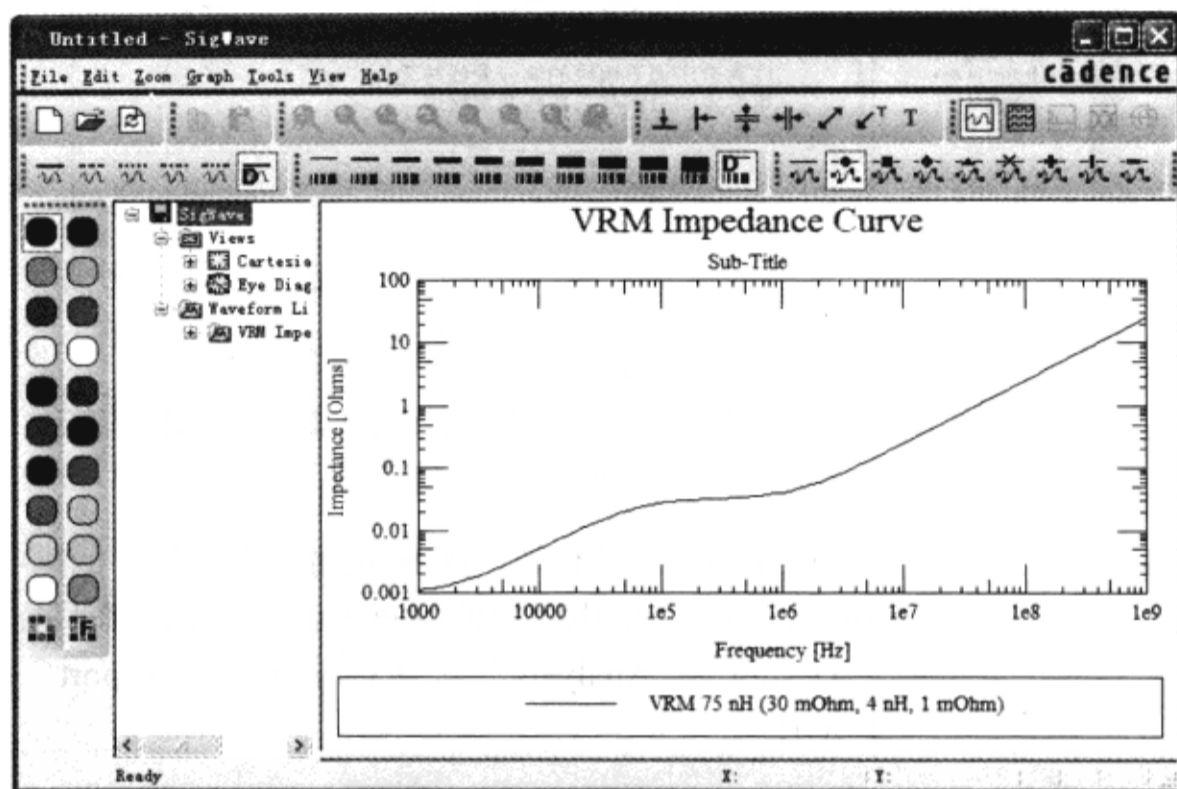


图 7-12-62 电压调节模块的阻抗频率曲线

（6）暂时不要退出 Sigwave 窗口。

（7）在“Edit VRM”对话框中单击“OK”按钮。

## 5. 单节点仿真

（1）在“Power Integrity Design & Analysis”对话框中单击“Single-Node Simulation”按钮，进行单节点仿真。仿真完成后，会在 SigWave 窗口中显示仿真结果，如图 7-12-63 所示。

从图 7-12-63 中可以看到，单节点仿真结果中有两条曲线：一条是在单节点分析中没有为 PCB 添加任何电容器的响应曲线（impedance without caps）；另一条是在单节点分析中添加了电容器的响应曲线（impedance with caps），因为刚才没有退出 SigWave 窗口，所以此时还保留着电压调节模块的响应曲线。

从没有放置任何电容的 PCB 阻抗响应曲线（impedance without caps）可以看出：PCB 的阻抗特性在低频的情况下非常良好，此时是由电压调节模块决定的。通过观察响应曲线可以看出，随着频率的增加，阻抗也会增加，这是由电压调节模块的电感决定的，这些现象在接近 100kHz 时发生（注意在单节点分析当中，PCB 的模型是单个电容器）。在接近 34MHz

时，会出现一个反谐振波峰（anti-resonant peak），可以看到波形在这一点之后开始下降。PCB 电容此刻开始发挥作用，使得 PCB 的阻抗朝着目标阻抗的方向下降。

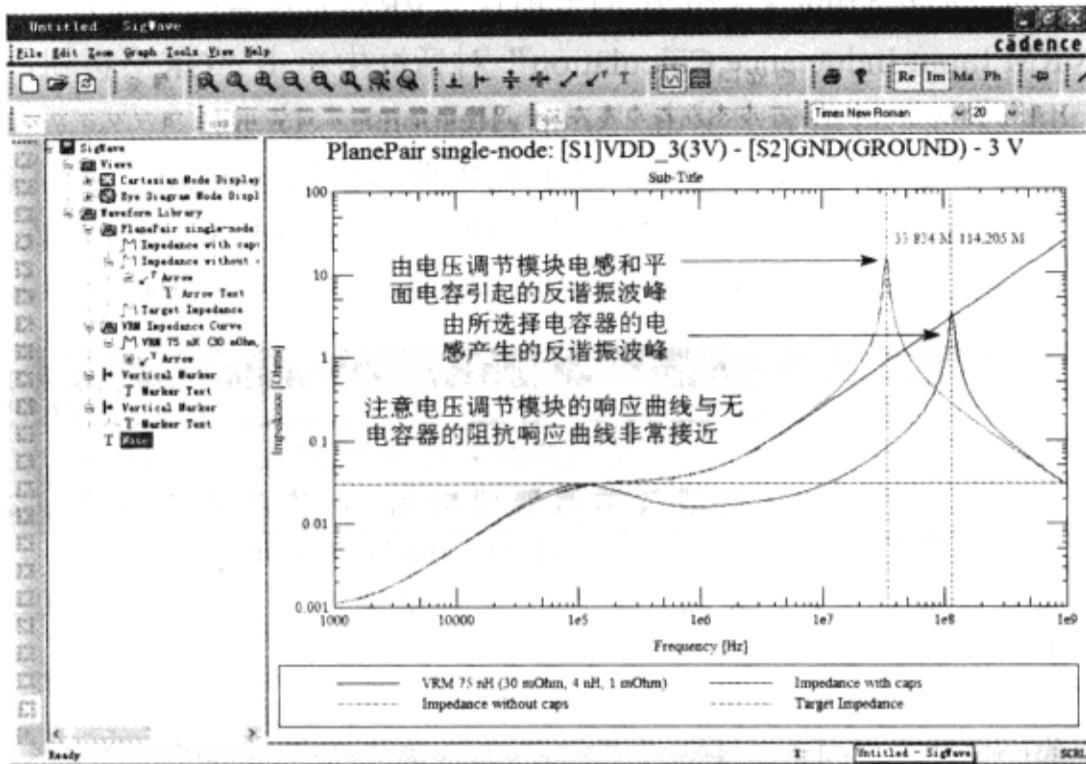


图 7-12-63 单节点仿真结果

图 7-12-63 中的响应曲线反映了电压调节模块、PCB 电容与所选择的低频电容器共同作用的结果。在 5MHz 的频率范围内，所添加的电容器使得 PCB 的阻抗保持在目标阻抗以下。

(2) 在“Power Integrity Design & Analysis”对话框中单击“Report”按钮，弹出“Report”窗口，如图 7-12-64 所示。

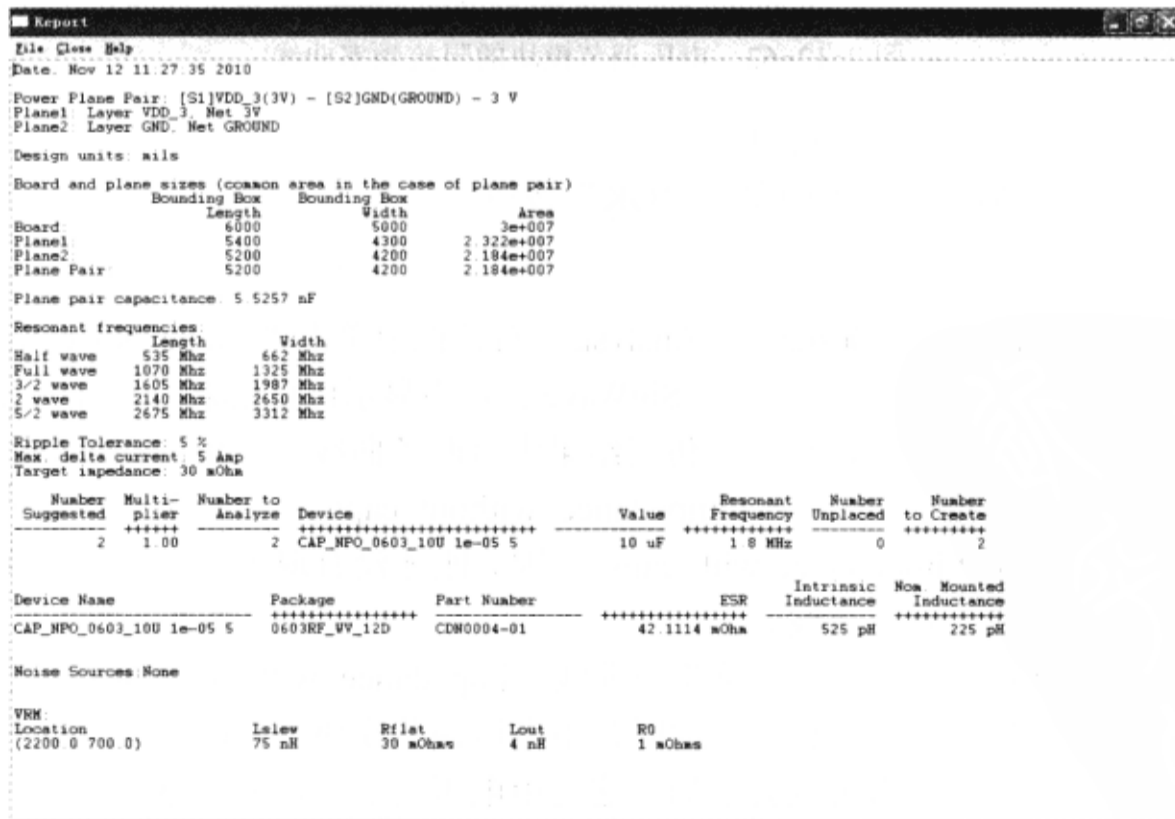


图 7-12-64 单节点分析结果报告窗口

报告内容的主要内容有：所分析的平面对（Power Plane Pair）、用于 PCB 测量的默认单位（Design units）、PCB 和平面大小（Board and Plane sizes）、平面对之间的电容（plane pair capacitance）、PCB 半波长谐振频率（Resonant frequencies）、用于确定目标阻抗的一些参数，所使用的电容器、噪声源（Noise Sources）、电压调节模块的摆放位置，以及其他的一些信息。

Power Integrity 报告不同波长的谐振频率必须需要成为有效波导（waveguide）平面的频率，这是因为，平面要消散能量，把能量从平面的边缘导向空间中，这些频率是在电磁传播中理想平面波峰的频率。通过在报告中提供的平面的详细特征信息可以看出，谐振频率主要和平面大小、介电常数和波导模式有关，与去耦电容并没有关系，即

$$F = \frac{1}{2\sqrt{\rho\epsilon\epsilon_r}} \sqrt{\left(\frac{n}{L}\right)^2 + \left(\frac{m}{W}\right)^2}$$

其中， $F$  为波导模式  $(n, m)$  下的谐振频率； $\rho$  为空闲空间的分布率； $\epsilon$  为空闲空间的介电常数； $\epsilon_r$  为平面相对介电常数； $L$  为长度（X 轴方向）； $W$  为宽度（Y 轴方向）； $n, m$  为波导模式号码

长度： $m = 0, n = 1, 2, 3, 4, 5$  (half, full, 3/2, 2, 5/2)

宽度： $n = 0, m = 1, 2, 3, 4, 5$

(3) 关闭“Report”窗口。

(4) 在“Power Integrity Design&Analysis”对话框中单击“OK”按钮。

(5) 在“Allegro PCB PI option XL SI Expert”窗口中执行菜单命令“File”→“Exit”，单击“Yes”按钮。

# 第8章 电容器和单节点仿真

## 8.1 学习目标

本章将要更加深入地探讨 Allegro PCB PI option XL 电源完整性工具的使用方法，首先复习第 7 章所学的内容，然后将学习以下内容：

- (1) 去耦电容器；
- (2) 高频陶瓷电容器；
- (3) 电容器响应曲线；
- (4) 所选电容器的单节点仿真。

去耦电容器用于在电源和地结构之间产生低交流阻抗，去耦电容器的存在阻止了大电流回路的形成，大电流回路对高速 PCB 的运行是非常有害的。大容量电容器会在低频下产生低阻抗，所以通常选择一些大容量电容器与一些在高频下（接近这些电容器的谐振点）产生低阻抗的小容量电容器配合使用。虽然还有一些不会立即显现的后果，但是在某些频率下，去耦电容器会使电源配送系统的阻抗情况变坏，在这种情况下会产生谐振现象，本章主要讨论这些影响。

## 8.2 第 7 章回顾

在第 7 章中，我们主要学习了：

- (1) 电源完整性的设计要求；
- (2) 电源分布系统概述；
- (3) 电容器的响应曲线；
- (4) 选择电容器并进行单节点仿真。

第 7 章主要介绍了电源配送系统的设计要求，以及电源配送系统的组成部件，还有使用 Allegro PCB PI option XL 电源完整性工具设计电源配送系统的方法。第 7 章的 7.12 节重点介绍了进行单节点仿真 PCB 一些必要的设置。通过第 7 章的学习，要熟悉单节点仿真分析的方法。在本章中，将继续学习使用单节点分析方法达到所要求的目标阻抗。通过选择合适的电容器，并把电容器添加到仿真模型中，就能得到平面对所要求的目标阻抗。

## 8.3 去耦电容器

### 1. 去耦电容器数学模型

去耦电容器主要用于以下两个方面。

- (1) 在高于电压调节模块和低于陶瓷电容器的频率范围内维持目标阻抗  $Z_{\text{target}}$ 。
- (2) 在电压调节模块响应前，提供所需的电流和电压。

去耦电容器的模型是一个串联的 RLC 电路，如图 8-3-1



图 8-3-1 去耦电容器等效模型

所示。

理想的电容器仅在数学模型中出现，所有的实际电容器与器件电容相串联时会产生寄生电感值与寄生电阻值。因为这些寄生电感值与寄生电阻值的存在，电容器可等效为一个 RLC 串联电路。在低频范围内，寄生电感会对电路的运行产生负面效应，此时器件的容性电抗起主要作用。相反，在高频范围内，寄生电感会起主要作用，随着频率的增加，器件此时会表现出额外的感性电抗。

去耦电容器（电解电容）会储存大量的电荷，电容器间连接所产生的寄生电感限制了能传送电流的最高频率。在实际情况中，电解电容器不会对 1MHz 以上电流的要求做出响应。

## 2. 估计去耦电容值

所需的去耦电容值可通过下式计算：

$$C_{\text{Bulk}} = I \frac{dt}{dv} = 20\text{A} \frac{15\mu\text{s}}{1.8\text{V} \times 0.05} = 3333\mu\text{F}$$

去耦电容器的频率响应如图 8-3-2 所示。

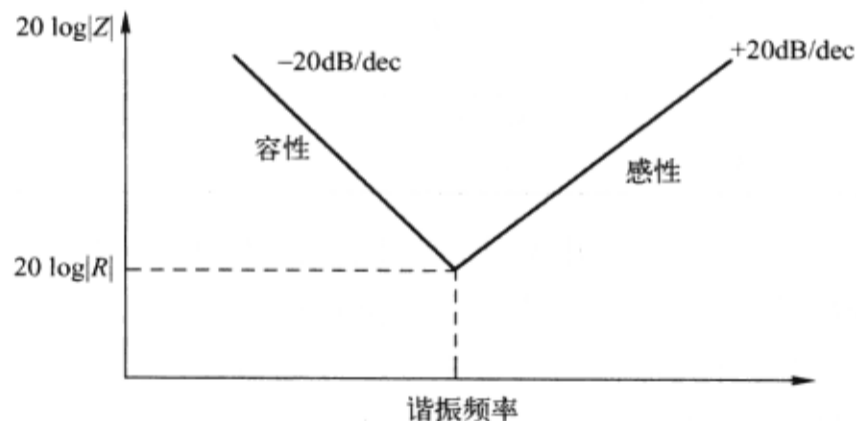


图 8-3-2 去耦电容器的频率响应

由图 8-3-2 可以看出，去耦电容器具有如下的特性。

- (1) 容性阻抗对频率的响应是一条斜率为  $-20 \text{ dB/dec}$  的直线；
- (2) 电阻对频率的响应是一条平稳的直线；
- (3) 感性阻抗对频率的响应时一条斜率为  $+20 \text{ dB/dec}$  的直线。

在高于电压调节模块、低于陶瓷电容起作用的频率范围内，去耦电容器是维持电源配送系统（PDS）阻抗所必须的。去耦电容器必须向电源配送系统提供足够大的电容值，在电压调节模块响应前提供电流和电压。在上边的那个计算例子中，假设暂态电流的值为 20A，电压调节模块的响应时间为  $15\mu\text{s}$ ，PDS 必须维持 1.8V 电源的 5%。

上边的公式可能高估了去耦电容值，这是因为电压调节模块在提升电流，在电压调节模块的响应时间内，平均电流是最终电流的 1/2。但是，如果并联去耦电容器的等效串联电阻大于目标阻抗的话，就需要更多的电容器。当从电压调节模块频率向去耦电容器频率转换



时, 必须保持计算所得的目标阻抗值小于设计所要求的目标阻抗值。

### 3. 高频陶瓷电容

高频电容器具有如下特性。

(1) 已经是电源分布系统 (PDS) 越来越重要的组成部分;

(2) 有不同的介质和尺寸。

表 8-3-1 高频电容器的材料和尺寸

介质种类	尺寸大小
NPO	1206
COG	0805
X7R	0603

表 8-3-1 列出了高频电容器的材料和尺寸。

NPO 电容器拥有最低的等效串联电阻, 以及最好的温度和电压特性, 但是电容值只能做到几纳法。X7R 电容器的电压和温度参数比较理想, 而且电容值可以做到几纳法到几法。X5R 电容器与 X7R 电容器类似, 但是可靠性不如 X7R, 其电容值最大可达  $100\mu\text{F}$ 。Y5V 介质电容器用于需要获得大电容的场合, 但是它的电压和温度特性都比较差。表 8-3-2 列出了不同种类高频电容器比较。

于需要获得大电容的场合, 但是它的电压和温度特性都比较差。表 8-3-2 列出了不同种类高频电容器比较。

表 8-3-2 不同种类高频电容器比较

介 质	特 性	用 途
NPO 电容器	属 1 类陶瓷介质, 电气性能稳定, 基本上不随时间、温度、电压变化	适用于高可靠、高稳定的高额、特高频场合
X7R 电容器	属 2 类陶瓷介质, 电气性能较稳定, 随时间、温度、电压的变化, 其特性变化不明显	适用于要求较高的耦合、旁路、滤波电路, 以及 10MHz 以下的频率场合
Y5V 电容器	属 2 类陶瓷介质, 具有很高的介电系数, 能较容易做到小体积, 大容量, 其容量随温度变化比较明显, 但成本较低	广泛应用于对容量, 损耗要求不高的场合

高频去耦电容器要对开关时间做出响应, 所以它摆放的位置要尽可能离高速元器件近一些。这些电容器的摆放位置必须和去耦器件摆放位置相接近, 其主要原因如下所述。

(1) 必须减小电容器与开关器件间的寄生效应, 这是因为与之相关的寄生效应与电阻效应会限制向器件所提供的高频电流总额;

(2) 信号波形是以有限速率传输的, 为了维持器件的开关速度, 电容器的电流必须能够快速到达开关器件, 一般要少于上升时间的  $1/5$ 。

由去耦电容器与电源和地平面的连接所形成的寄生效应值和电感值是非常重要的参数, 这些参数决定了高速去耦电容器能起作用的频率范围。

### 4. RLC 串联电路

电容器的一个比较合理的模型就是由电阻、电感和电容 (RLC) 所组成的串联电路, 如图 8-3-3 所示。电容器等效电路各参数计算公式见表 8-3-3。

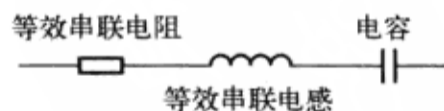


图 8-3-3 电容器的等效电路

表 8-3-3 电容器等效电路各参数计算公式

容 抗	$X_C = \frac{1}{2\pi fC}$	感 抗	$X_L = 2\pi fL$
电 阻	$R_S = R$	谐振频率	$f_0 = \frac{1}{2\pi\sqrt{LC}}$

应用以上的参数，则电容器的阻抗可通过下式计算得出：

$$|Z| = \sqrt{R_s^2 + \left(2\pi fL - \frac{1}{2\pi fC}\right)^2}$$

当考虑等效串联电阻（Effective Series Resistance, ESR）和等效串联电感（Effective Series Inductance, ESL）时，这个等式反应了模型电路中所存在的寄生效应。

在电容器的谐振频率处，电容器的阻抗处于最小值。因为现实中的电容器除了电容特性外还包含有其他特性，所以电容器的模型是非理想化的模型。等效电路模型的每一个组成部分将对所考虑电容器的频率响应产生独特的效果。

等效电路模型中的电阻代表电容器的等效串联电阻（ESR），它是电容器谐振频率阻抗响应曲线的实部。

等效电路模型中的电感是电容器的等效串联电感（ESL）。



等效串联电感并不包括电容器的贴装电感。以后的章节将要讨论贴装电感，除了等效串联电感外，贴装电感还要考虑引脚电感、过孔电感和平面扩散电感。

## 8.4 去耦电容器的频率响应

### 1. 频率—阻抗响应曲线

不同电容器的阻抗—频率响应曲线如图 8-4-1 所示。

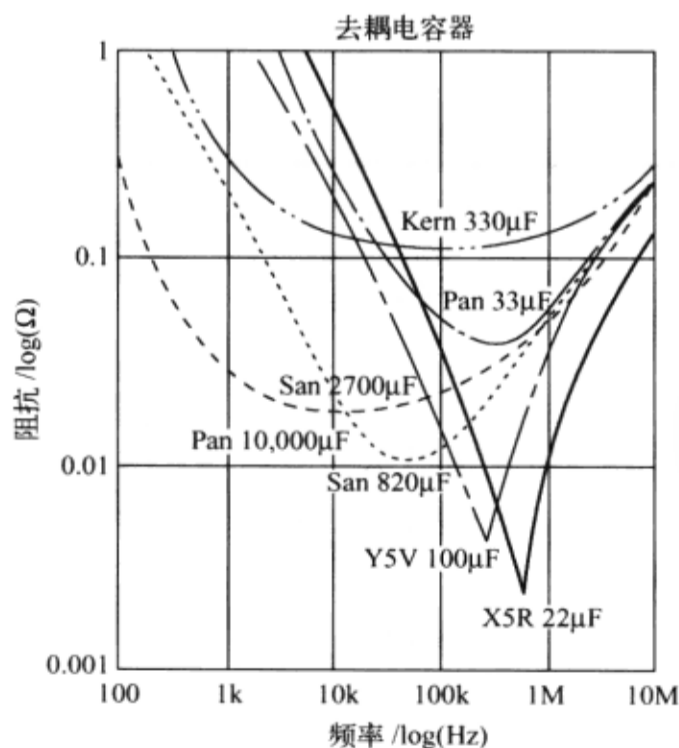


图 8-4-1 不同电容器的阻抗—频率响应曲线

所谓的“高频”电容器和“低频”电容器与这些电容器的谐振频率有关。当电容器处于

其谐振频率时，电容器的电容效应和寄生电感相互抵消，只剩下电容器的等效串联电阻（ESR）在起作用，此时电容器能获得最好的效果。当电容器处于这个频率时，它的阻抗不会再下降，因此电容器获取电流与释放电流的能力正处于它的最大值。

当处于其他频率时，电容器的阻抗会根据频率而发生变化（高于等效串联电阻），此时会限制电容器在有效时间内向负载所传送的电荷数量。去耦电容器会在其谐振频率处发挥最大效果，而在其他频率处其效果会下降，这是去耦电容最基本、最重要的概念。

## 2. 选择电容器响应曲线

在“Power Integrity Setup Wizard-Library Setup”对话框左边的电容器上单击鼠标左键，在弹出的菜单中可选择观测单个电容器的阻抗—频率响应曲线，也可观测一组电容器的阻抗—频率响应曲线，如图 8-4-2 所示。

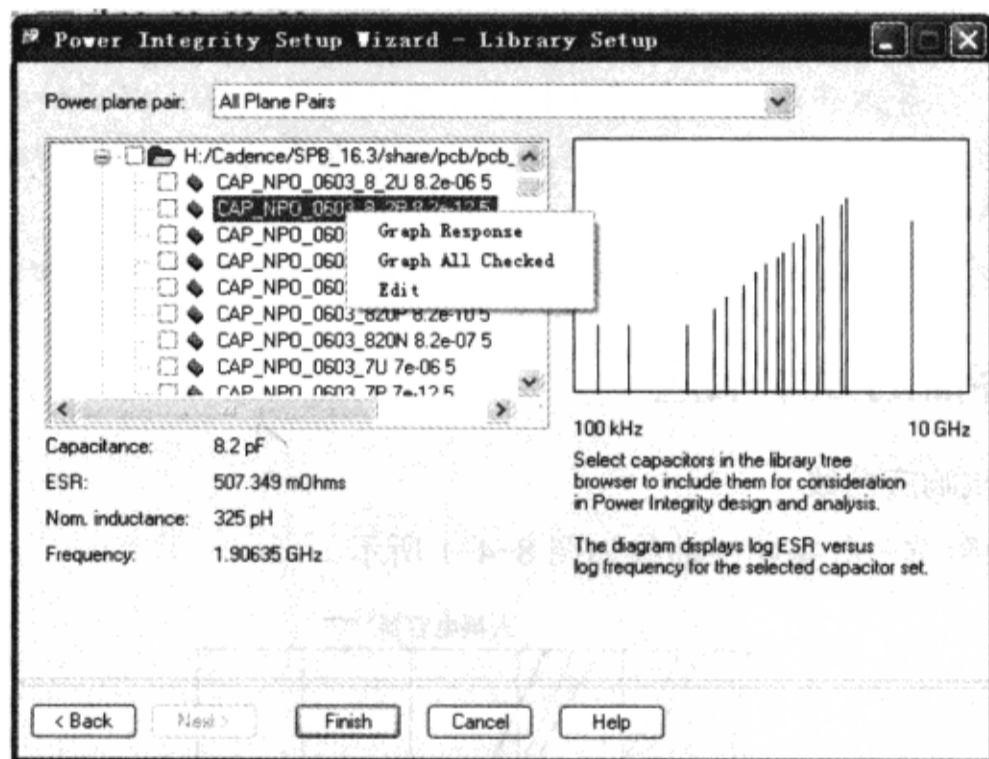


图 8-4-2 “Power Integrity Setup Wizard-Library Setup”对话框

在电容器库的文件夹上单击鼠标右键，能快速地全选或全不选这个文件夹下的所有电容器。

当在对话框左边选中一个电容器时，会在对话框的右边显示这个电容器的等效串联电阻（ESR）—频率响应曲线。在对话框左边显示的电容器上单击鼠标右键，如果在弹出的菜单中选择“Graph Response”，则可在 SigWave 窗口中对这个电容器的响应曲线进行观测；如果选择“Graph All Checked”，则可对在这个目录下所有电容器的响应曲线进行观测；如果选择“Edit”，则可对电容器的参数进行修改。

## 3. 电容器响应曲线

频率—阻抗特性曲线反应了电容器的电容特性（图 8-4-3 中曲线的上升部分）和电感特性（图 8-4-3 中曲线的下降部分），图 8-4-3 中拐点的坐标代表了电容器的等效串联电阻和谐振频率。

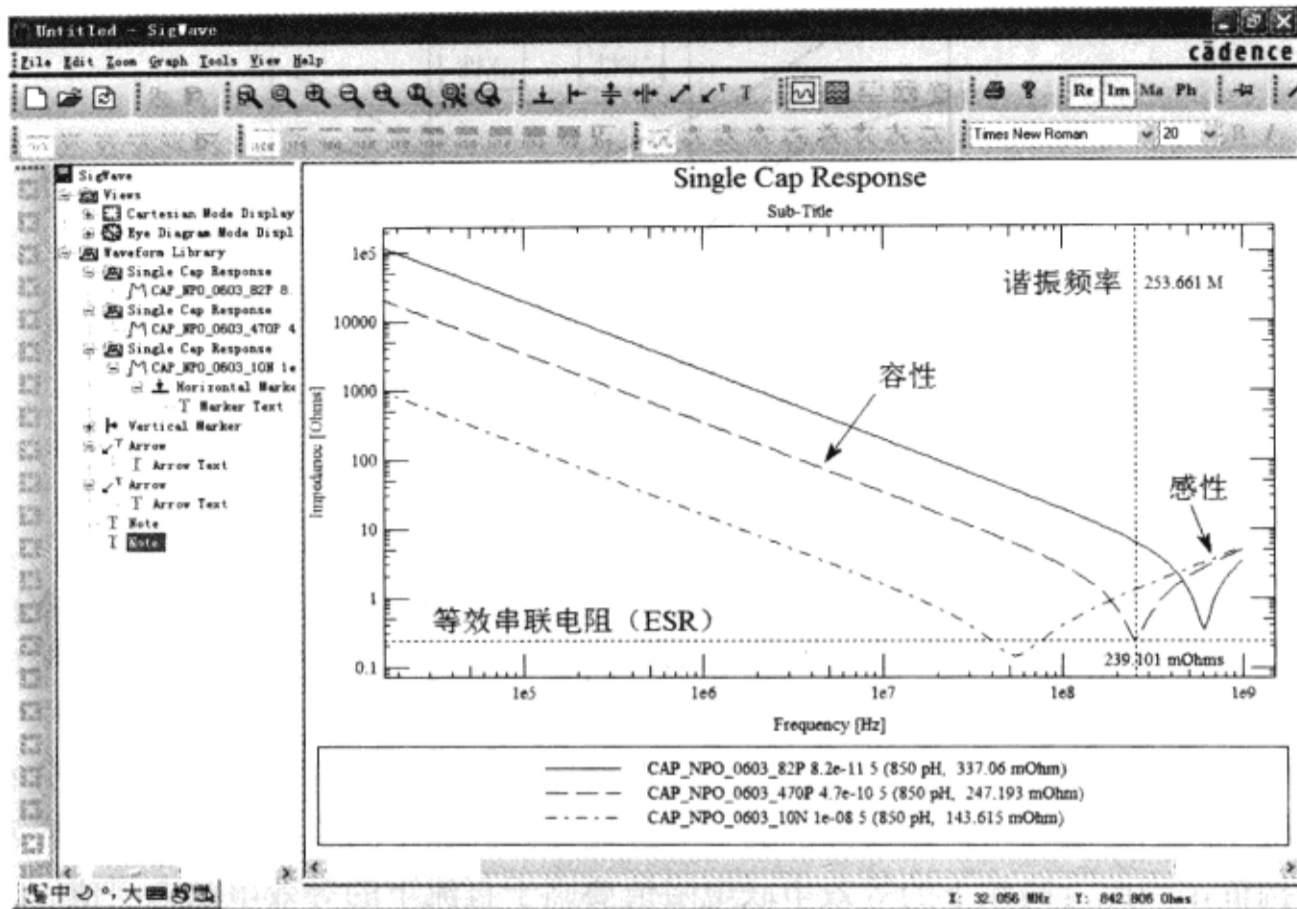


图 8-4-3 电容器阻抗—频率曲线

当电容器处于谐振频率时，它的阻抗处于最小值，因此此时正是电容器向 PCB 补充电流的最有效时刻。当电容器处于谐振频率以下时，电容器的阻抗特性主要表现为容性；当频率高于谐振频率时，电容器的阻抗特性主要表现为感性。以图 8-4-3 中 0603 封装 470pF 的电容器为例，它的谐振频率大约为 253.661MHz，等效串联阻抗大约为 239.101mΩ，当频率小于谐振频率时电容器表现为容性，而当频率大于谐振频率时则表现为感性。

#### 4. 电容器阻抗曲线图

电容器的阻抗曲线在呈现容性的部分是下降的，曲线的最低端是电容器的等效串联电阻 (ESR)，然后以呈现感性的曲线上升。在图 8-4-4 中，虽然 1 号电容器和 2 号电容器有着相似的电容值，但是 2 号电容器有更小的电感值。因为 2 号电容器在其谐振频率处的波峰更为尖锐，所以 2 号电容器有着更好的品质因数  $Q$ 。

电容器的品质因数  $Q$  是评估其有用性的重要参数，用电抗与电阻的比值来表示。对一个 RLC 串联电路而言，其品质因数的计算公式为

$$Q = \frac{\omega L - \frac{1}{\omega C}}{R}$$

在频率响应的感性部分， $Q$  值可近似为

$$Q = \frac{\omega L}{R}$$

对于去耦电容器，必须最小化  $Q$  因数，不管是通过减小低等效串联电阻 (ESR) 电容器的等效串联电感，还是通过增加高等效串联电感 (ESL) 电容器的等效串联电阻。

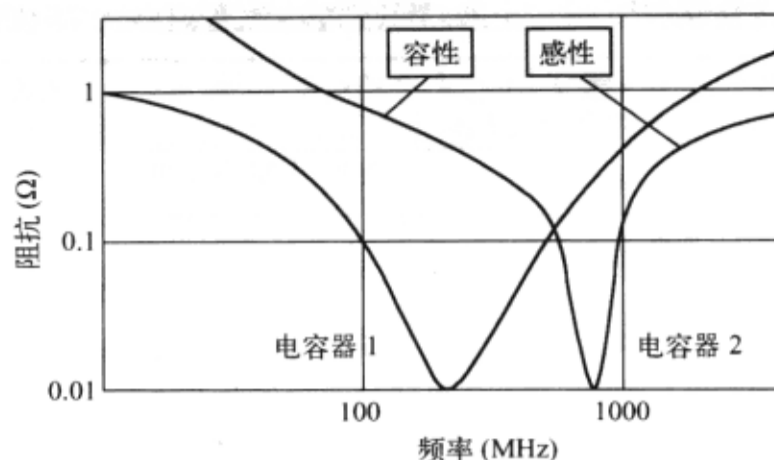


图 8-4-4 电容器阻抗—频率曲线

图 8-4-4 显示了 1 号电容器与 2 号电容器（有着更小的电感值）的阻抗—频率曲线。可以看到低电感电容器阻抗的最小值出现在频率较高处，这是因为电感值比较低，所以阻抗在频率较高处下降，当电感处于最小值时，高频去耦电容器的性能急剧增加。

等效串联电阻（ESR）反映了电容器的电阻损耗，这些损耗包括金属电极的分布板级阻抗、内电极之间的接触电阻，以及外部的一些终端点。高频下的趋肤效应会增大元器件的等效串联阻抗值，因此，高频下的等效串联电阻值要高于直流下的等效串联电阻值。

## 8.5 电源/地平面对上的电容器模型

### 1. 电容器在电源/地平面对上的结构

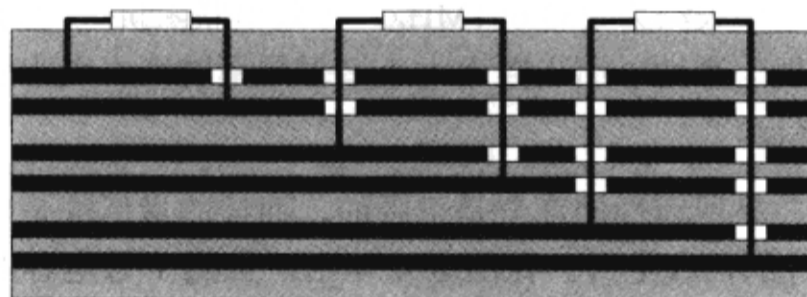


图 8-5-1 电容器在电源/地平面对上的结构

必须要值得注意的是，一旦在“Power Integrity Design & Analysis”窗口的“Power Plane Pair”部分选择了“All Plane Pairs”，所选择电容器的数量必须乘以电源/地平面对的数量，就像图 8-5-1 所示的那样，因为每个电源/地平面结构将对自身单独的一套高速、大电流器件进行供电，因此为每个平面对单独的指定一套去耦方案是合乎逻辑的。

### 2. 改进仿真模型

改进的模型包括分布电容、电感和一些损耗。图 8-5-2 中所示的电感代表了电容器的电感及连接路径的电感。在现实情况中，图 8-5-2 中所示的每个电感的电感值可能不相同，这主要取决于与去耦电容器的不同连接方式。为了简化计算公式，假设模型中所有电感和电容器的大小是相等的，图 8-5-2 中所示的等式可被用于估计 PCB 的阻抗。



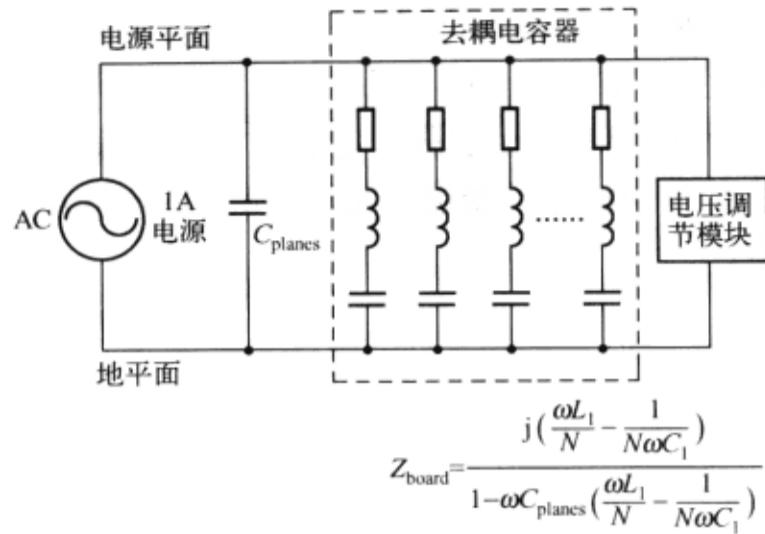


图 8-5-2 PDS 的改进模型

### 3. PCB 的电容模型

虽然把 PCB 的模型当做单独电容器看上去可能过度简化，但是考虑到在 FR4 介质当中 1GHz 的频率有着将近 6ft 的波长，为了实现早期系统级别的去耦效果，把平面的模型看做一个集总电容器是可行的。

$$\lambda = \frac{c}{f\sqrt{\epsilon_r}} = \frac{3 \times 10^8}{1 \times 10^9 \sqrt{4.2}} \approx 0.14638501m = 5.78in$$

因为电源平面或地平面的电感值非常小，所以在简化模型中假设电感值为零。基于这种假设就能把 PCB 的模型看做一个简单的电容器。



当电源平面和地平面的距离大约是 10mils 时，平面的电感值接近 100pF/in<sup>2</sup>，平面之间的间距最好是接近 45mils。

## 8.6 串联谐振

### 1. 串联谐振频率

从 PCB 的阻抗计算公式可以推算出 PCB 阻抗为零时串联谐振频率的计算公式，即

$$f_{series} = \frac{1}{2\pi\sqrt{L_1 C_1}}$$

当阻抗计算公式为零时，电容器会因为自身的电感外加线路电感而产生谐振，这和电容器阻抗—频率响应曲线的阻抗最小点很相似，期望在电源处有一个额外的电感特性器件，而不是电容器自身的电感（L<sub>1</sub>）。

当频率高于串联谐振频率时，电容器阻抗响应曲线的斜率会发生变化，表示此时的电路开始呈现感性，因此电路在高频处存在更多的阻抗，所以应该保持串联电感处于最小值。但是在现实情况中该如何实现呢？

在标准 PCB 上一条离附近电容器非常近的、低电感传输路径的电感值可达到 2nH，一个标准过孔的电感值可接近 0.7nH，当使用两个过孔来连接一个电容器时，总电感可达到 1.4nH，这些假设还不考虑平面或者封装引脚的电感。因此，假设一个电容器有 1.6nH 的串联电感，即使一个经过优良布局的电容器也有超过 3nH 的串联电感。以上的这些都会增加低电感传输路径的电感值。

## 2. 电容器的频率限制

平面电容的计算公式为

$$C = \frac{\epsilon_0 \epsilon_r A}{d}$$

式中， $\epsilon_0 = 8.854 \text{ pF}$ ； $\epsilon_r = 4.5$ （FR4 的标准值）； $A$  为镀层面积（单位： $\text{m}^2$ ） $d$  为镀层之间的间隔（单位： $\text{m}$ ）。

$$\begin{aligned} C &= \frac{\epsilon_0 \epsilon_r A}{d} \\ &= \frac{(8.854 \times 10^{-12})(4.5)(0.1524)(0.1524)}{0.000254} \\ &\approx 0.36432439 \times 10^{-8} \\ &= 3.6432439(\text{nF}) \end{aligned}$$

平面串联谐振频率的计算公式为

$$f_{\text{series}} = \frac{1}{2\pi\sqrt{L_1 C_1}} = \frac{1}{2\pi\sqrt{(6 \times 10^{-9})(3 \times 10^{-9})}} \approx 37.513180 \text{ MHz}$$

去耦电容器的电容值必须比平面的电容值要明显得大，一个平面间隔距离为 10mil（0.000254m），大小为 6in × 6in（0.1524 × 0.1524）的 PCB 的平面电容可通过式来计算，计算所得值为 3.6432439nF。

因此所选电容器的电容值应该比 4nF 大，如果一个 6nF 的电容器有着 3nH 的电感值，则它的谐振频率可通过上面的计算公式来计算，通过计算结果可以得知，在接近 38MHz 处的阻抗值等于零，如果高于这个频率，电容器就会变的越来越没有效果。

这在高频去耦下是行不通的，不应该错误地认为在频率高于串联谐振频率的情况下，电容器是完全没有效果的。因为目前的总阻抗要比完全没有电容器存在时的阻抗要低，所以电容器正在提供一些去耦。

## 8.7 并联谐振

### 1. 并联谐振频率

通过 PCB 阻抗的计算公式可以推导出当 PCB 的阻抗为无穷大时并联谐振频率的计算公式，即

$$f_{\text{parallel}} = f_{\text{series}} \sqrt{1 + \frac{nC_1}{C_{\text{planes}}}}$$

这相当于阻抗计算公式当中的极点，平面电容会和去耦电容器的串联电感同时发生谐振，这一点也就是所谓的反谐振点（anti-resonant point）。

增加去耦电容器的数量会增大这个极点的频率。在这个频率下，电流不会从电源/地结构中流出，此时去耦不仅失去了效果，而且对全局是有破坏性的。

## 2. 在高频下 PCB 的去耦

当空 PCB 的阻抗与含有去耦电容器 PCB 的阻抗相等时，此时的频率可通过下面的公式来计算：

$$f_A = f_{\text{series}} \sqrt{1 + \frac{nC_1}{2C_{\text{planes}}}}$$

如果超过了这个频率，空 PCB 的阻抗要比装配有去耦电容器的 PCB 的阻抗要低。

在上面的计算公式中，假设去耦电容器所有的电容值与电感值是相等的，这在现实环境中当然是不可能实现的。通常情况下，会因为电感值与电容值不同，会产生不同的串联和并联谐振，从而可以找到多个极点和零点。



注意

以上的讨论是在一个假设的简单模型的情况下进行的。在实际应用中，每个串联谐振之间存在一个并联谐振。

## 3. 简化模型的叠加

图 8-7-1 显示了一个串联谐振和并联谐振的简单例子，其中包括一个空 PCB 阻抗曲线与含有电容器的 PCB 阻抗曲线相等的例子。

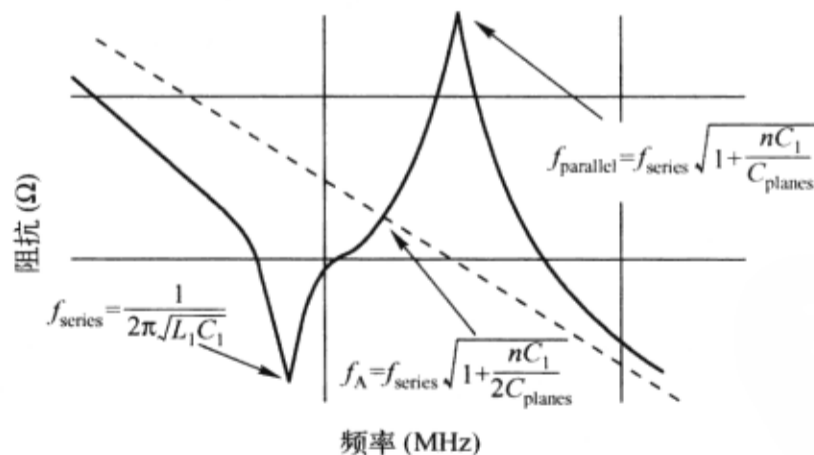


图 8-7-1 串联谐振和并联谐振

需要指出的是，增加电容器数量会增大  $f_A$  点，超过这点后去耦开始发挥作用。对于一个系统来说，大量电容器的存在是很重要的，而且它们的摆放位置离所要去耦的元器件越近越好。以一定距离环绕在不同元器件周围的电容器有助于整体的去耦效果。但是，远处电源平面的电感不能被忽略。最后，为了使环路面积最小化，最好局部地摆放去耦电容器。

因为所使用的分立式电容器存在有固有串联电感，大多数 PCB 的去耦网络在频率低于

300MHz 以下变得没有效果。

#### 4. 不同并联电容器的叠加

不同并联电容器的叠加会产生如下的作用：

(1) 会产生一个反谐振波峰，这是一个在两个不同电容器谐振频率之间的高阻抗波峰。

(2) 这个反谐振波峰在一个电容器变为感性，而另一个电容器仍为容性之后形成。它的等效电路是并联谐振电路。

电源分布系统是由多个元器件组成的，每个元器件都有单独的阻抗—频率（impedance-versus-frequency）响应曲线，这些元器件分布在 PCB 的周围，所以电源分布系统（PDS）就像是一个分布式网络。PCB 的不同区域将表现出不同的阻抗—频率曲线。接下来的设计任务就将变为设计、建模和验证这样的一个电源分布系统：在 PCB 的关键区域内，能使电源分布系统依频率变化的阻抗的最大值维持在目标阻抗以下。

电源分布系统理想的频率—阻抗响应曲线是平稳的，但实际的响应曲线并非如此。如果能在 PCB 相同的位置简单的把不同器件一个挨着一个向上摆放，那么阻抗特性曲线将会是不同器件的曲线在频域上叠加的结果。

#### 5. 反谐振的解谐（Tuning Out）

图 8-7-2 显示了 3 个有着相同电容值，却有不同电感值的电容器的阻抗—频率曲线，通过使用许多不同电容值的电容器能有效约束反谐振（Anti-resonances）。

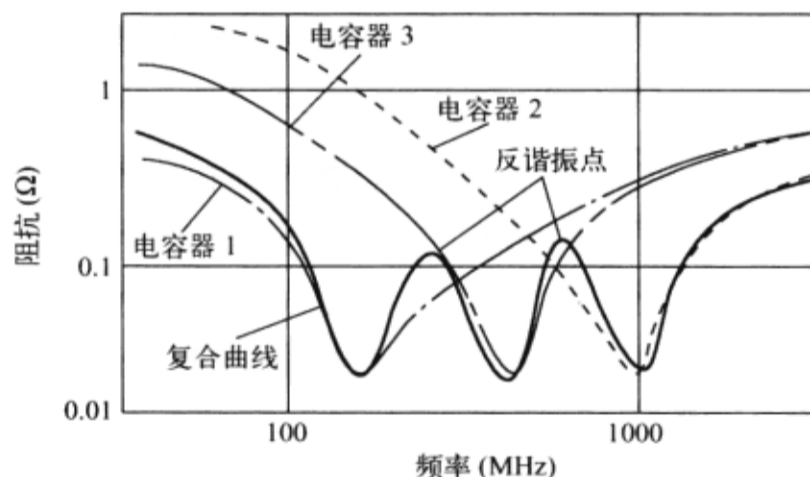


图 8-7-2 多个电容器的阻抗—频率曲线

在图 8-7-2 中可以清楚地看出，在电源分布系统中使用大量电容值不同的电容器是非常有益处的。这是因为把不同种类的电容器组合在一起时，每个电容器表现出不同的谐振频率，这样做起到了使电源分布系统的阻抗曲线平滑的效果，且能使阻抗响应曲线的上界维持一个满意的值。

实践经验表明，反谐振的最大问题发生在频带的高端。反谐振现象发生在去耦电容器开始失去作用之后，电源平面分布电容器开始起作用之前，通常去耦电容器在频率超过 100MHz 的情况下不会起作用。

另一方面，电源平面在频率低于 400MHz 的情况下很少起作用。为了在 200~500MHz 的范围内满足电流的需求，需要拓宽与高速去耦电容器相关的适合于工作的频率，或者重新

设计一个在低频情况下更有效的电源平面。在这两种情况下，需要设计与分析工具帮助我们在设计做出变化时，能估计出设计的性能。

以上各节主要介绍了在使用电源完整性工具进行目标阻抗设计时，电源配送系统的几个组成部分，其中包括：

- (1) 电压调节模块 (VRM)；
- (2) 电源和地平面对；
- (3) 去耦电解电容器和高频陶瓷电容器。

在接下来的 8.8 节中，我们将把精力放在如何获取目标阻抗，分析结果主要集中在电压调节模块和平面对在目标阻抗设计中所起的作用。8.8 节将介绍为了成功获得所需要的目标阻抗，该如何添加去耦电容器和高频电容器。

## 8.8 使用 Allegro PCB PI option XL 设计目标阻抗

**【本节目的】** 学习如何根据单节点仿真的结果来选择去耦电容器，从而使 PCB 满足所设定的目标阻抗。

**【使用工具】** Allegro PCB PI option XL Power Integrity。

**【使用文件】** allegroPI/lab2/import.brd。

### 1. 设计目标

本节将介绍如何选择去耦电容器来满足目标阻抗。通过 7.12 节的学习可以知道，电源完整性工具是一款可以帮助我们对所设计的电源配送系统进行假设分析 (what-if analyses) 的开发工具。本节将进一步学习电源完整性工具的使用方法，在本章中我们将直接导入 PCB 边框和叠层结构。从现有 PCB 文件当中直接导入 PCB 边框和叠层结构可以省去定义 PCB 边框、定义平面形状、指定直流网络和创建叠层结构等一些步骤。但是，被导入的 PCB 文件可能不是我们真正所需要的，所以需要对这个 PCB 文件进行修改。

通过第 7 章的学习，我们已经学会了定义 PCB 边框、叠层设置和编辑平面形状的基本方法。通过本节的学习，我们将学习使用对要进行电源完整性分析的 PCB 进行设置的必要工具，并不用考虑原始 PCB 文件的状态。

虽然 PCB 文件的正确设置是必须的，但这不是使用电源完整性工具进行设计的重点，我们所需要的是得到一个符合目标阻抗的 PCB。在本节中，将通过选择电容器来实现我们的设计目标，这需要进行多次单节点仿真。通过进行单节点分析，使得目标阻抗成功地得到满足后，通过进行多节点分析可对电容器的选择进行验证，在第 9 章中将进行多节点分析。

本节主要学习的内容有：

- (1) 使用电源完整性设置向导导入 PCB 的边框；
- (2) 使用电源完整性设置向导导入叠层结构；
- (3) 观测在导入 PCB 文件当中已经存在的直流网络和平面；
- (4) 使用电源完整性设置向导定义平面对；
- (5) 在“Power Integrity Design & Analysis”窗口中选择电容器；
- (6) 在“Allegro PCB PI option XL”窗口中摆放所选择的电容器；



- (7) 观察所选择的电容器如何影响单节点仿真的结果；
- (8) 最终实现目标阻抗。

## 2. 创建新 PCB 文件

1) 启动电源完整性工具 在 Windows 操作系统中启动 Allegro PCB PI option XL 的步骤如下所述。

(1) 执行菜单命令“开始”→“所有程序”→“Cadence”→“Release 16.3”→“PCB SI”，弹出“Cadence Product Choices-16.3”对话框，如图 8-8-1 所示。

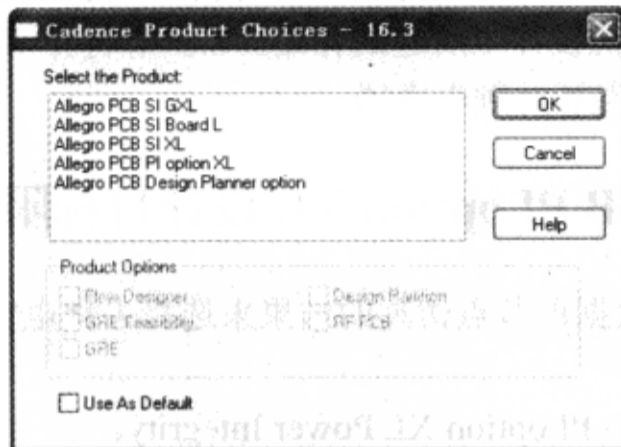


图 8-8-1 “Cadence Product Choices-16.3”对话框

(2) 在“Select the Product”列表框中选择“Allegro PCB PI option XL”，弹出“Allegro PCB PI option XL”窗口，如图 8-8-2 所示。

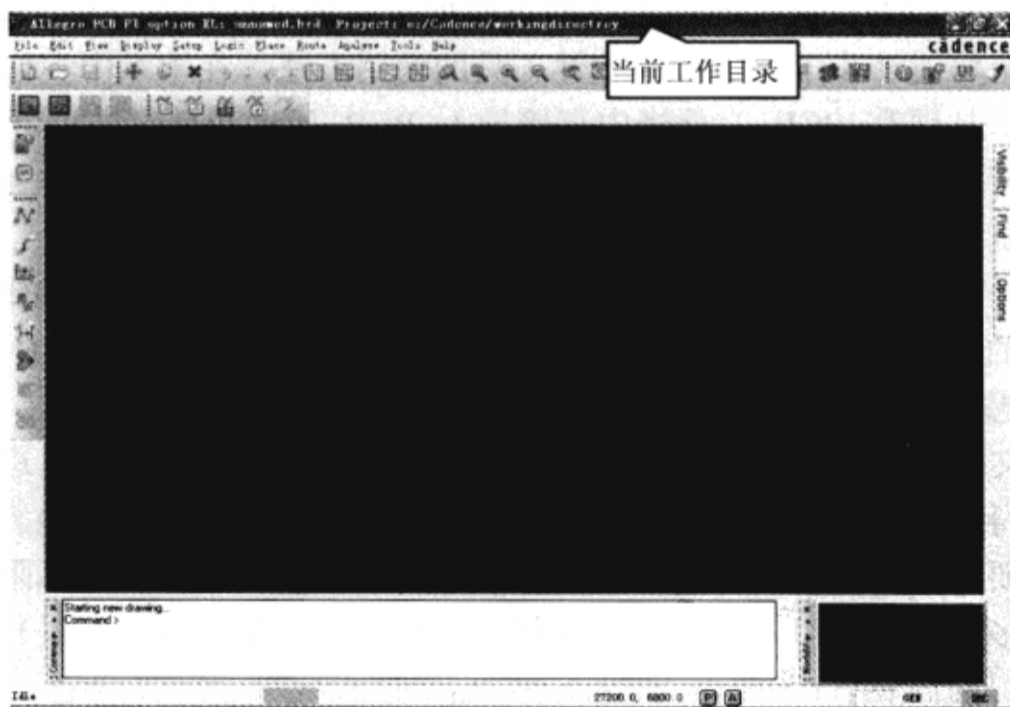


图 8-8-2 “Allegro PCB PI option XL”窗口



注意

在“Allegro PCB PI option XL”窗口的顶部所显示的当前工作目录是 Allegro PCB PI option XL 保存当前工作文件的目录。

2) 创建新的 Allegro 电路板文件 接下来将创建一个新的 PCB 文件。在当前没有存在 PCB 文件的情况下, 创建新的 PCB 文件使得我们能够导入一个现有的、将要进行假设分析的 PCB 文件。

(1) 在“Allegro PCB PI option XL”窗口中执行菜单命令“File”→“New”, 弹出“New Drawing”对话框, 在该对话框的顶部会显示当前的工作目录, 如图 8-8-3 所示。

(2) 在“Drawing Name”栏中输入“import”, 这将是新 PCB 文件的名称, 如图 8-8-4 所示。

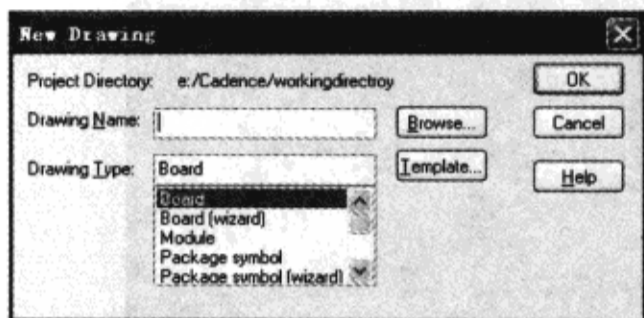


图 8-8-3 “New Drawing”对话框

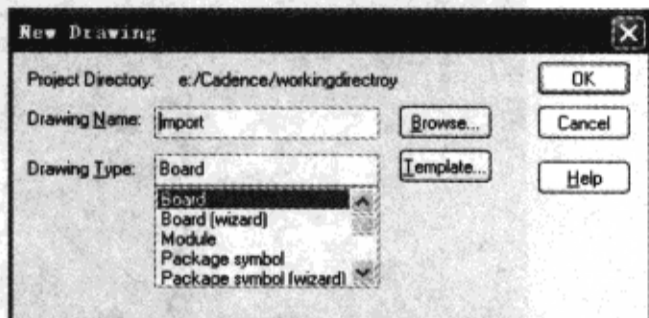


图 8-8-4 输入新设计名称

(3) 单击“Browse”按钮, 改变当前的工作目录为“D:/allegroPI/lab2”, 在“New”对话框中选中“Change Directory”, 改变当前的工作目录, 如图 8-8-5 所示。

(4) 在“New”对话框中单击“打开”按钮弹出“New Drawing”对话框。

(5) 在“New Drawing”对话框的“Drawing type”栏中选择“Board”, 如图 8-8-6 所示。

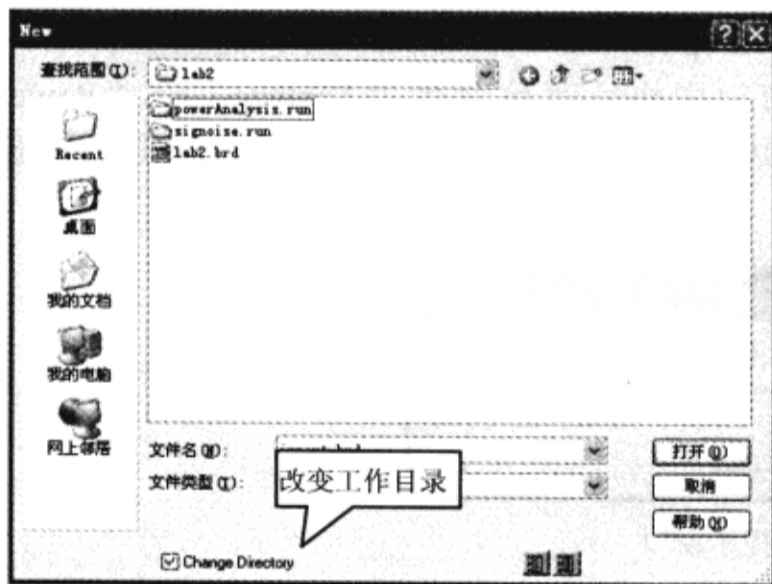


图 8-8-5 改变当前工作目录

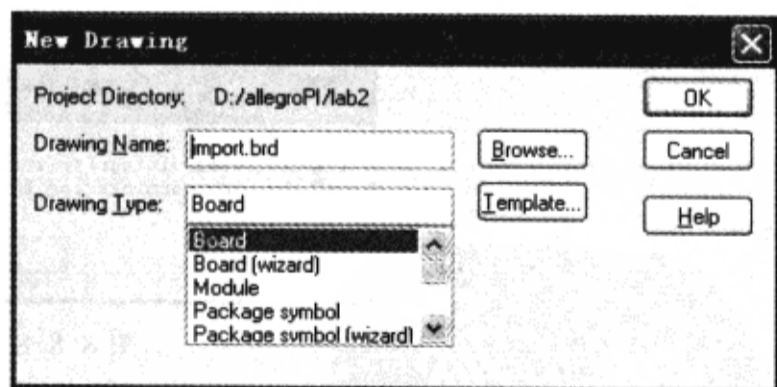


图 8-8-6 选择文件类型

(6) 设置完成后, 在“New Drawing”对话框中单击“OK”按钮。

这时就会在“Allegro PCB PI option XL”窗口中打开新创建的 PCB 文件, 如图 8-8-7 所示。因为还没有导入已存在的 PCB 文件, 所以这时在窗口中不会显示任何东西。注意“Allegro PCB PI option XL”窗口的顶部, 因为刚才在“New Drawing”对话框中使用“Browse”按钮改变了当前的工作路径, 所以当前工程所在位置发生了变化。Allegro PCB PI

option XL 会在当前的工程目录下创建和修改文件，所以需要在“Allegro PCB PI option XL”窗口中指定当前的工程目录。

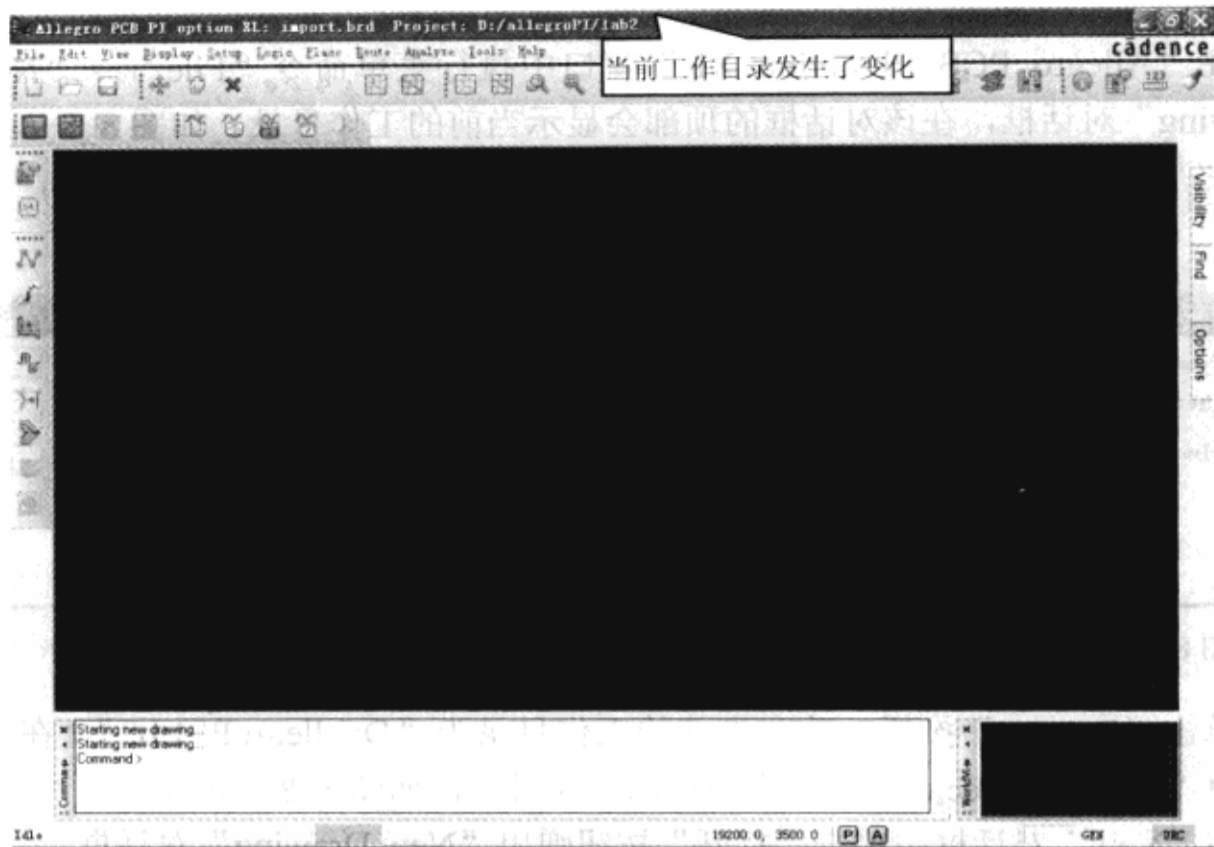


图 8-8-7 “Allegro PCB PI option XL”窗口

### 3. 启动电源完整性设置向导

1) 启动电源完整性工具 在“Allegro PCB PI option XL”窗口中启动电源完整性工具。

(1) 在“Allegro PCB PI option XL”窗口中执行菜单命令“Analyze”→“Power Integrity”，弹出“Allegro PCB PI option XL”提示窗口，如图 8-8-8 所示，因为在进行电源完整性分析前要进行一些设置。

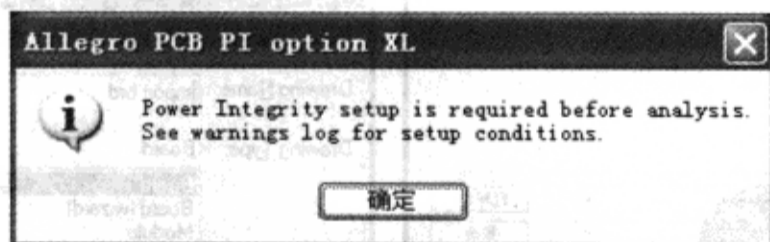


图 8-8-8 提示窗口

(2) 在“Allegro PCB PI option XL”提示窗口中单击“确定”按钮，弹出“Setup Wizard”窗口和“SigNoise Errors/Warnings”窗口，如图 8-8-9 所示。在“SigNoise Errors/Warnings”窗口中会提示当前 PCB 文件还没有边框，而且叠层结构中还没有平面层。这意味着必须要定义 PCB 边框，接下来将导入一个已经存在的 PCB 边框，设置向导将帮助我们完成这一过程。

(3) 关闭“SigNoise Errors/Warnings”窗口，弹出电源完整性设置向导窗口，如图 8-8-10 所示。

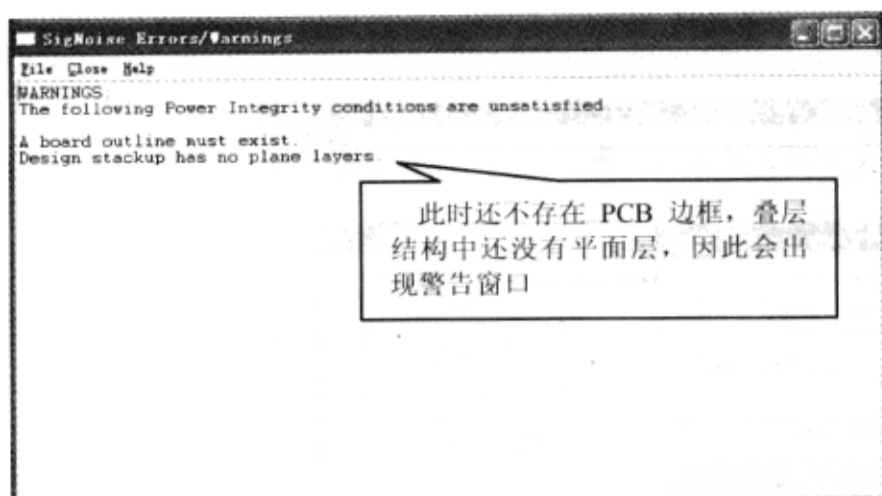


图 8-8-9 “SigNoise Errors/Warnings” 窗口

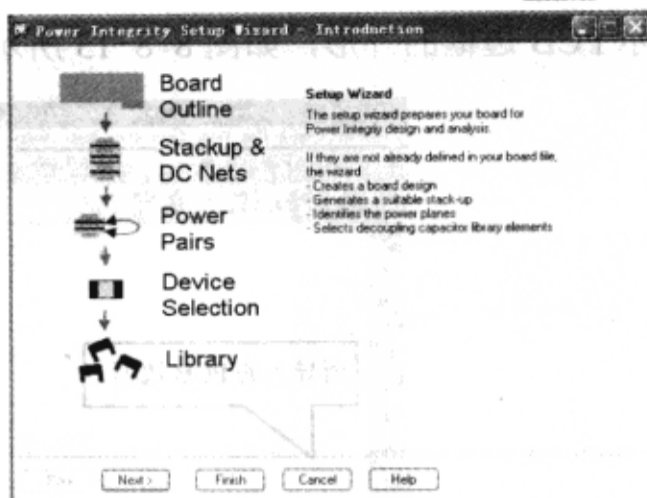


图 8-8-10 电源完整性设置向导窗口

2) 电源完整性设置向导 设置向导将帮助我们完成对进行电源完整性分析的 PCB 的设置, 在设置向导中可完成导入 PCB 设计文件、导入叠层结构、定义电源平面对、选择去耦电容器, 以及为 PCB 文件的每个电源平面对进行单节点和多节点分析。以上这些功能将帮助我们分析 PCB 设计和去耦电容器选择是否满足所要求的目标阻抗。

#### 4. 导入 PCB 参数

##### 1) 导入 PCB 边框

(1) 在“Power Integrity Setup Wizard-Introduction”窗口中单击“Next”按钮, 弹出“Power Integrity Setup Wizard-Board Outline”对话框, 如图 8-8-11 所示。我们将通过从另一个 PCB 设计当中导入一个已存在 PCB 边框的方法来创建 PCB 的边框。

(2) 单击“Import Outline”按钮, 弹出“Power Integrity”对话框, 在这个对话框中选择要导入 PCB 边框的文件, 如图 8-8-12 所示。注意对话框中的“Change Directory”复选框, 如果这个复选框被选中, 但是所导入的 PCB 文件在另一个目录中, 电源完整性工具会改变当前的工作目录。

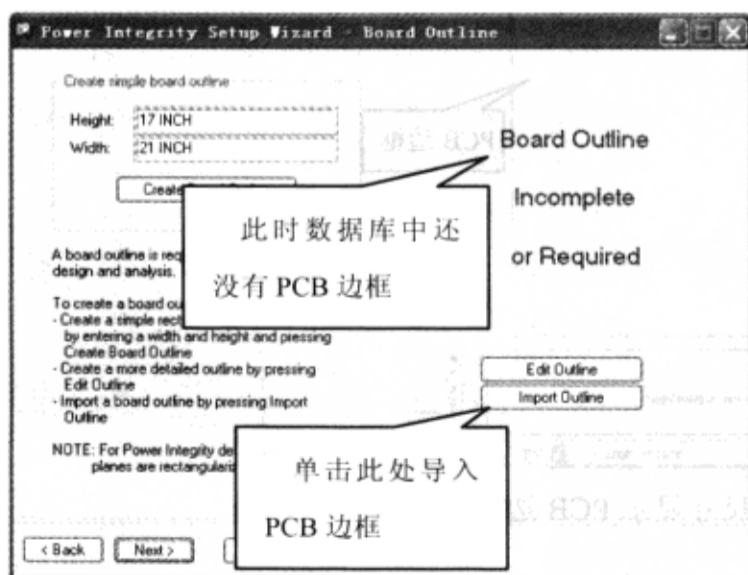


图 8-8-11 电路板边框设置窗口



图 8-8-12 导入电路板边框

(3) 在“Power Integrity”对话框中选择“lab2.brd”, 单击“打开”按钮。这时就会在“Allegro PCB PI option XL”窗口和“Power Integrity Setup Wizard-Board Outline”对话框中显

示 PCB 边框的外形, 如图 8-8-13 所示。

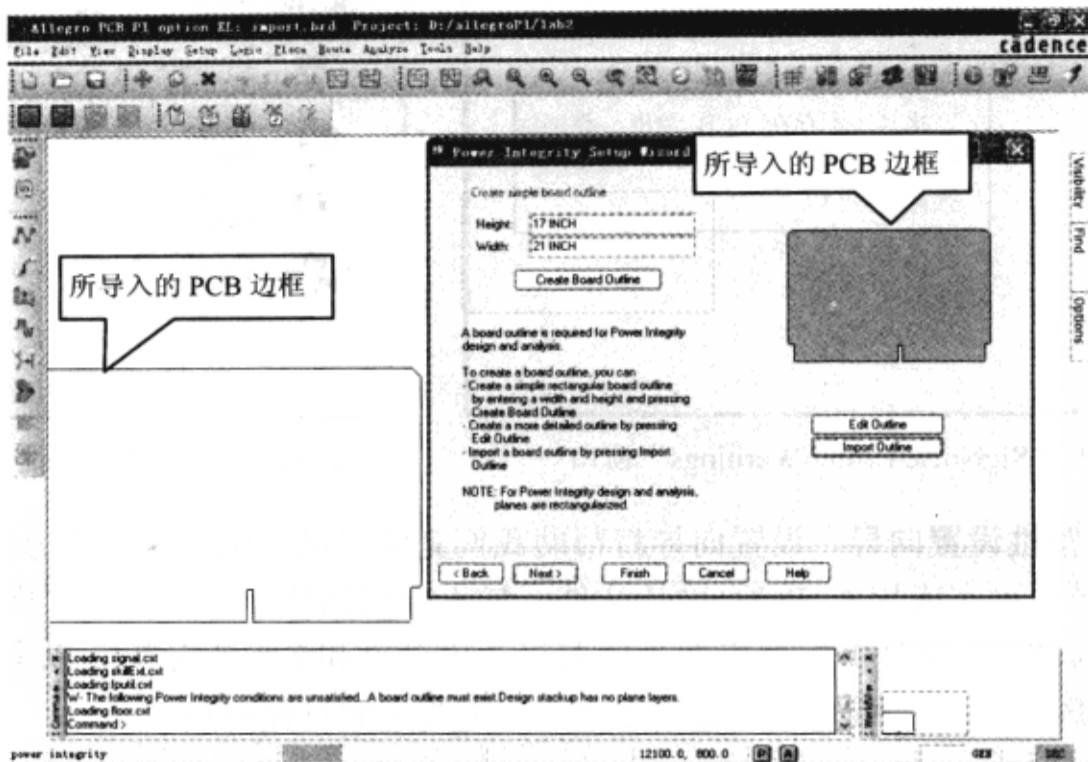


图 8-8-13 导入 PCB 的边框

(4) 在“Allegro PCB PI option XL”窗口中执行菜单命令“View”→“Zoom Fit”, 就会以一个合适的尺寸来显示 PCB 边框, 如图 8-8-14 所示。

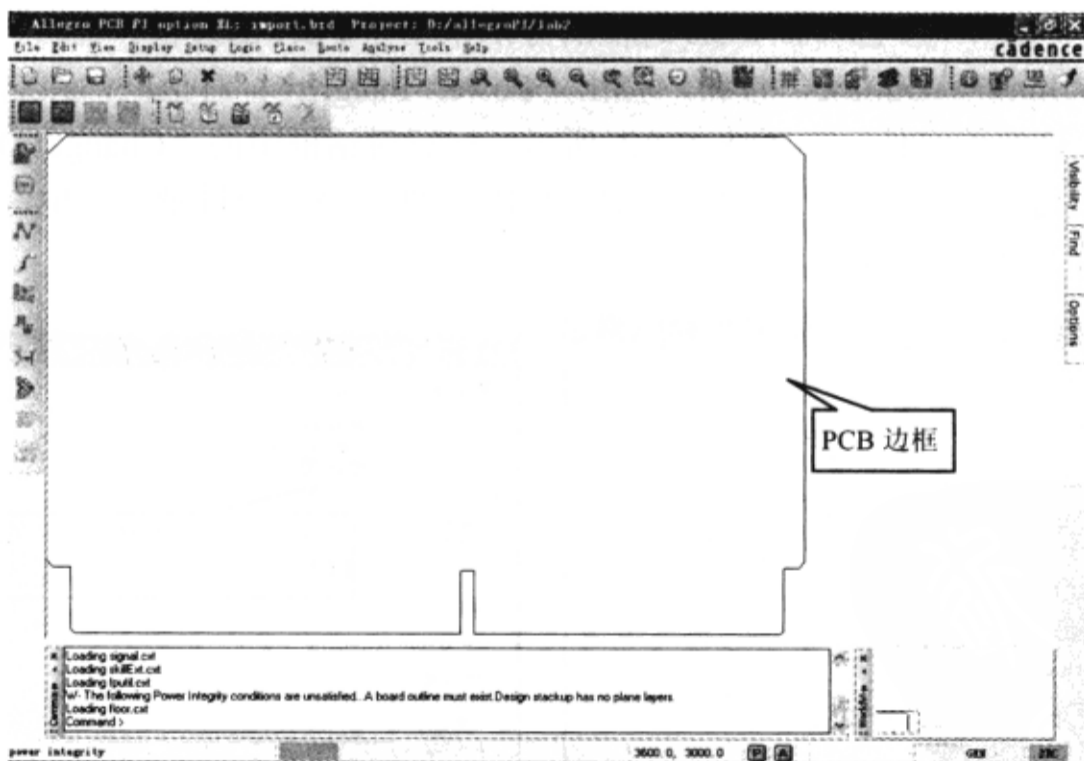


图 8-8-14 以合适的尺寸显示 PCB 边框

## 2) 导入叠层结构

(1) 在“Power Integrity Setup Wizard-Board Outline”对话框中单击“Next”按钮, 弹出“Power Integrity Setup Wizard-Stack-up”对话框, 如图 8-8-15 所示。在这个对话框中, 将从另一个 PCB 设计当中导入一个已存在的 PCB 叠层结构。



(2) 单击“Import stack-up”按钮，弹出“Power Integrity”对话框，在这个对话框中选择所要导入叠层结构的 PCB 文件，如图 8-8-16 所示。

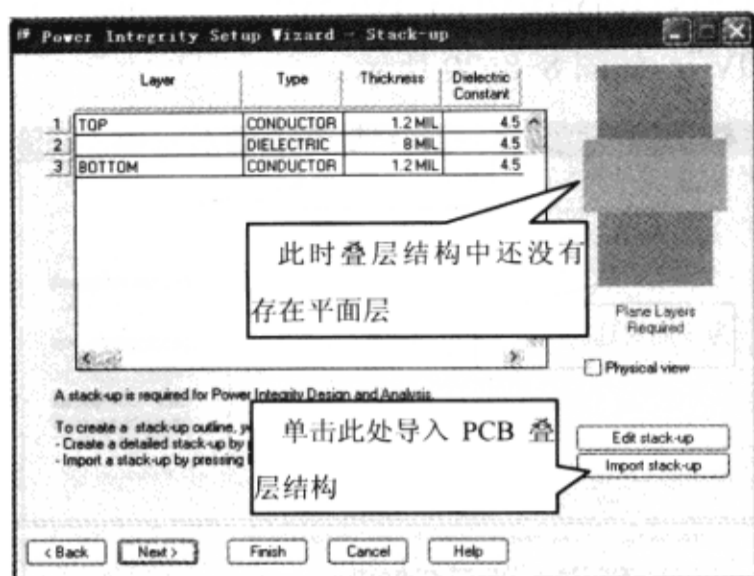


图 8-8-15 PCB 叠层结构设置窗口

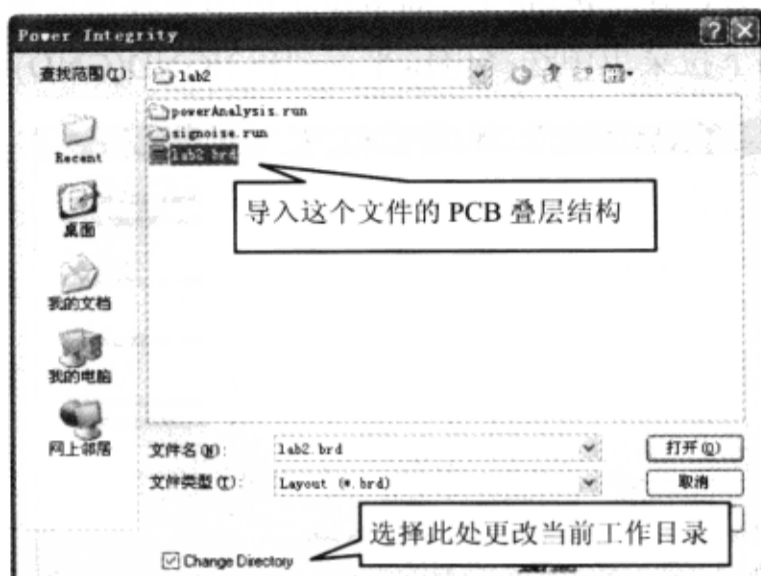


图 8-8-16 导入 PCB 叠层结构

(3) 在“Power Integrity”对话框中双击 lab2.brd。同样需要注意对话框中的“Change Directory”复选框，如果这个复选框被选中，但是所导入的 PCB 文件在另一个目录当中，软件就会改变当前的工作目录。在“Power Integrity Setup Wizard-Stack-up”对话框中就会显示刚才所导入的叠层结构，如图 8-8-17 所示。

### 3) 关联直流网络和平面

在“Power Integrity Setup Wizard-Stack-up”对话框中单击“Next”按钮，弹出“Power Integrity Setup Wizard—DC Net—Plane Association”对话框，如图 8-8-18 所示。



图 8-8-17 所导入的叠层结构

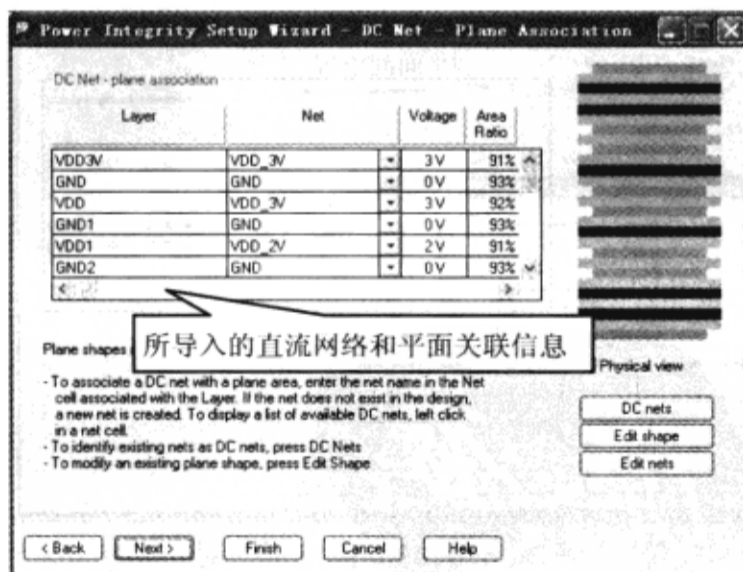


图 8-8-18 直流网络和平面关联设置对话框

因为这些设置已经从其他 PCB 文件当中导入，所以现在并不需要设置直流网络和平面。

### 4) 电源对的设置

(1) 在“Power Integrity Setup Wizard—DC Net—Plane Association”对话框中单击“Next”按

钮, 弹出“Power Integrity Setup Wizard-Power Pair Setup”对话框, 如图 8-8-19 所示。

(2) 在“Power Integrity Setup Wizard-Power Pair setup”对话框的“Planes”区域做如下设置: 在“Plane 1”的下拉菜单中选择电压平面“[S1]VDD3(VDD\_3V)-3V”; 在“Plane 2”的下拉菜单中选择电压平面“[S2]GND(GND)-0V”, 如图 8-8-20 所示。

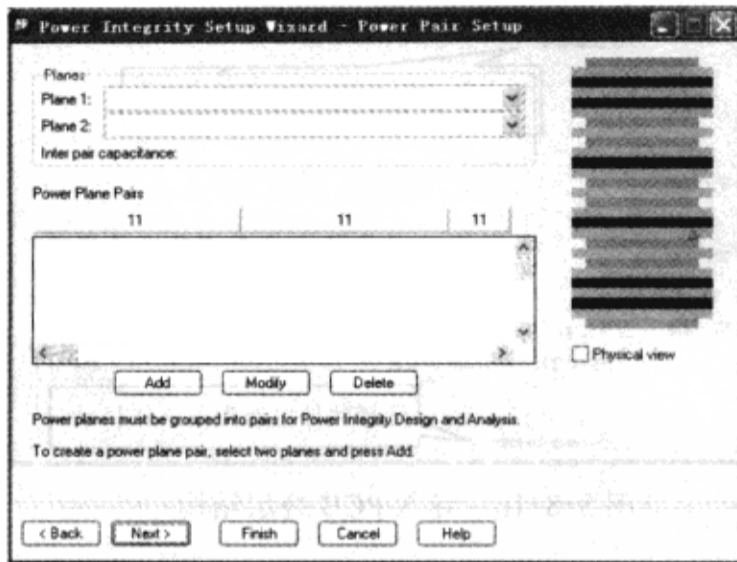


图 8-8-19 电源平面对设置对话框

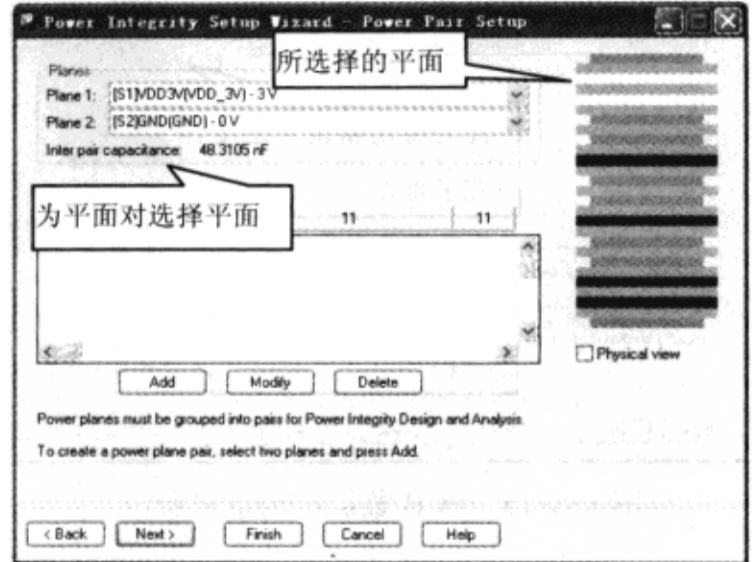


图 8-8-20 为平面对选择平面

(3) 单击“Add”按钮指定平面对, 注意此时平面对之间的电容为 48.3105 nF, 如图 8-8-21 所示。

(4) 在“Planes”区域做如下设置: 在“Plane 1”的下拉菜单中选择电压平面“[S3]VDD(VDD\_3V)-3V”; 在“Plane 2”下拉菜单中选择“[S4]GND1(GND)-0V”, 如图 8-8-22 所示。

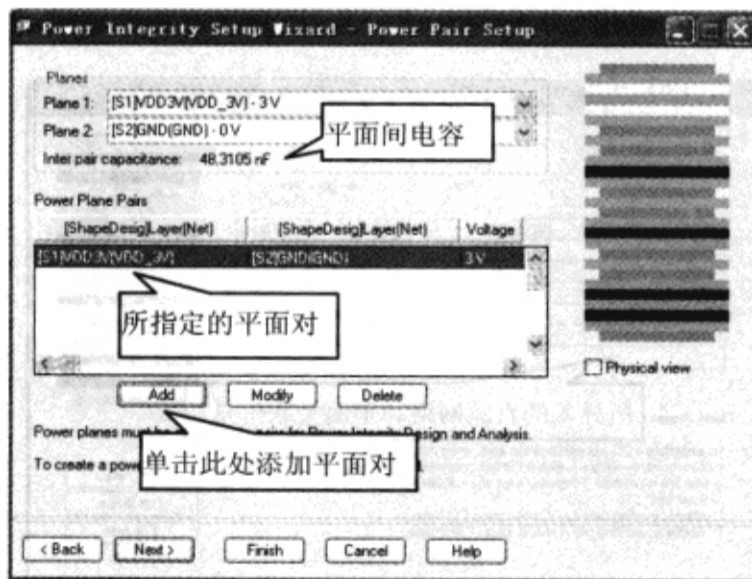


图 8-8-21 指定平面对

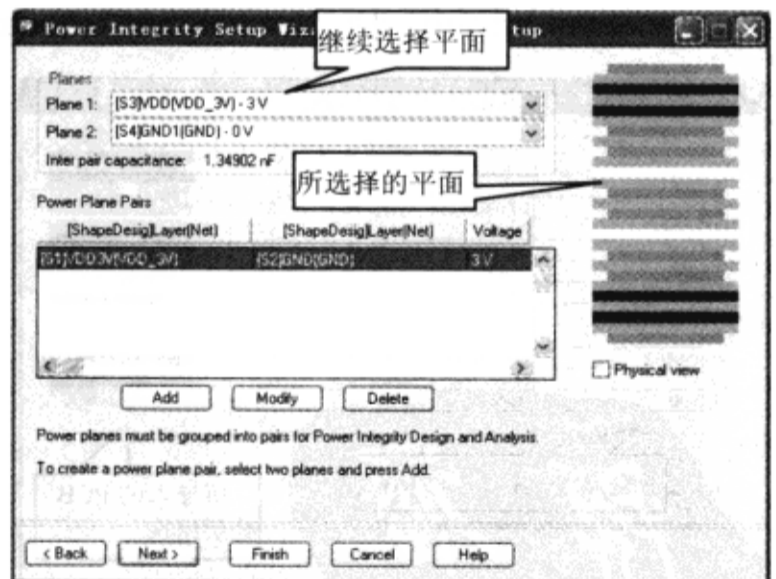


图 8-8-22 为平面对选择平面

(5) 单击“Add”按钮指定平面对, 注意到平面对之间的电容是 1.34902nF, 如图 8-8-23 所示。

(6) 在“Planes”区域做如下设置: 在“Plane 1”下拉菜单中选择“[S5]VDD1(VDD\_2V)-2V”电压平面; 在“Plane 2”下拉菜单中选择“[S6]GND2(GND)-0V”电压平面, 如图 8-8-24 所示。

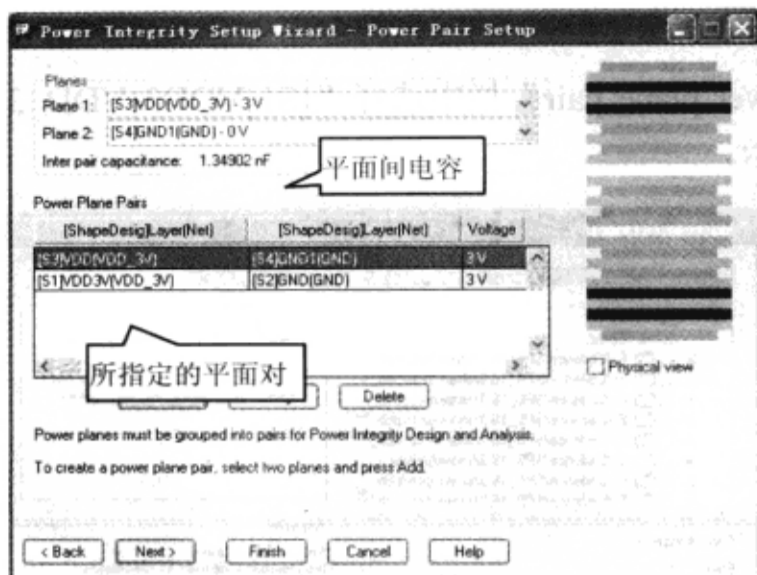


图 8-8-23 指定平面对

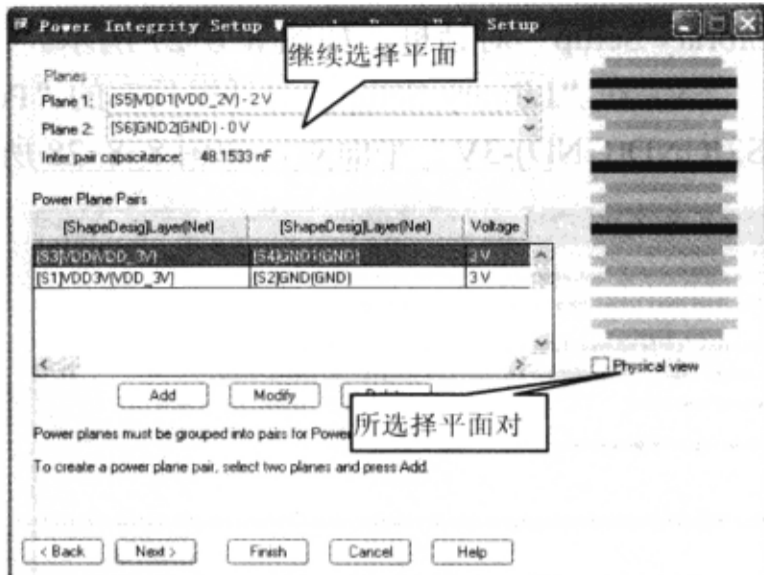


图 8-8-24 为平面对选择平面

(7) 单击“Add”按钮指定平面对，注意到此时平面对之间的电容是 48.1533 nF，如图 8-8-25 所示。

5) 设计器件的设置 在“Power Integrity Setup Wizard-Power Pair Setup”对话框中单击“Next”按钮，弹出“Power Integrity Setup Wizard-Design Device Setup”对话框，如图 8-8-26 所示。在这个对话框中显示 PCB 数据库中所有的双引脚器件，同时会显示与电源和地相连接的元器件。因为这是一个新的 PCB 文件，还没有任何元器件存在，所以在这个对话框中不会显示任何元器件。在接下来的操作步骤中将会使用到这个对话框。



图 8-8-25 指定平面对

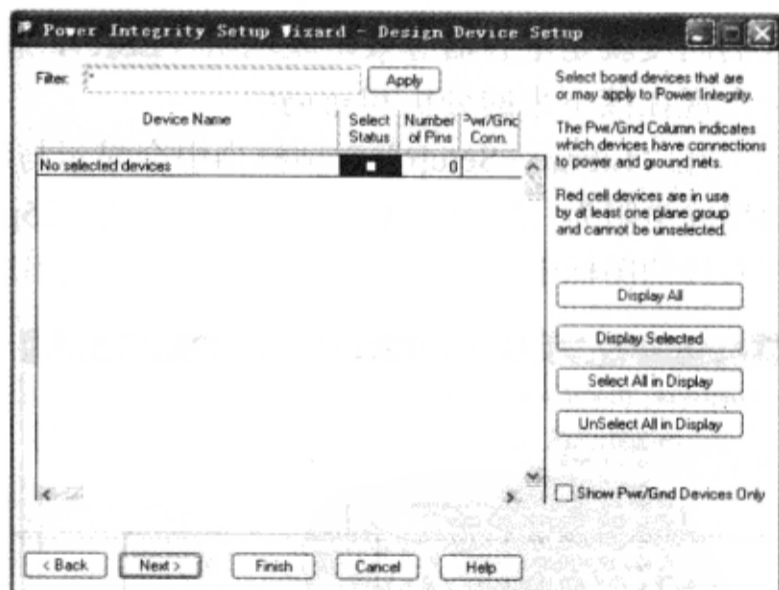


图 8-8-26 设计元器件设置对话框

6) 电容器的选择 打开系列电容器所在的文件夹，展开电容器的选择列表就可选择去耦电容器。通过选择覆盖频率波段的电容器来满足 PCB 的目标阻抗，接下来的操作过程中只在一个电容器系列中进行电容器的选择。

(1) 在“Power Integrity Setup Wizard-Power Pair Setup”对话框中单击“Next”按钮，弹出“Power Integrity Setup Wizard-Library Format”对话框，如图 8-8-27 所示。

(2) 在“Library Format”对话框中选中“DCL Library”，单击“Next”按钮，弹出

“Library Setup”对话框,如图8-8-27所示。

(3) 在“Library Setup”对话框顶部的“Power plane pair”栏中选择“[S1]VDD3(VDD\_3)-[S2]GND(GND)-3V”平面对,如图8-8-28所示。

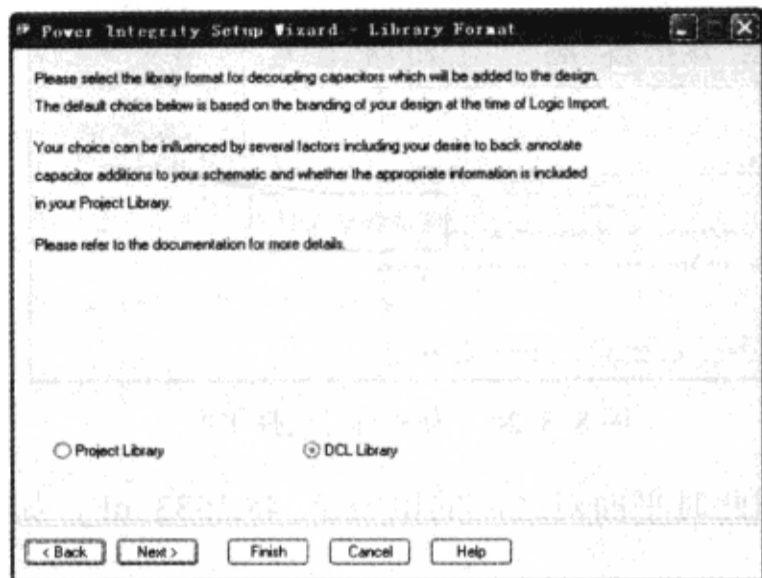


图 8-8-27 电容器库格式设置对话框

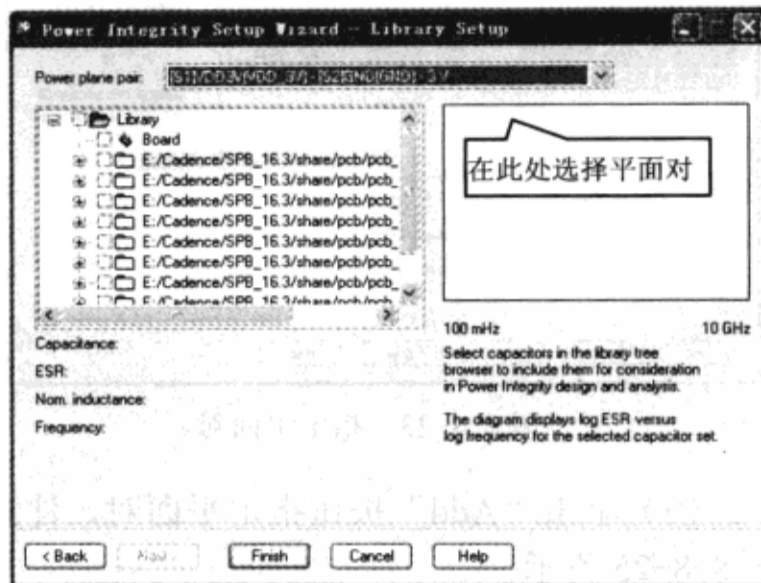


图 8-8-28 电容器库设置对话框

(4) 单击电容库“E: /Cadence/SPB\_16.3/share/pcb/pcb\_lib/np0\_0603\_caps”旁边的加号,就会显示这个库中所有的电容器,如图8-8-29所示。

(5) 向下滚动电容器列表,单击CAP\_NPO\_0603\_10U旁边的选择框,选中这个电容器。

当选中一个电容器后,它的谐振频率就是右边窗口中的垂线在频率轴上的所在位置,垂线的高度就是电容器等效串联电阻(ESR),在“Library Setup”对话框中所选择的电容器将会出现在接下来的分析和布局中。

在“Library Setup”对话框当中会显示与所选择电容器相关的信息:电容值为10μF、等效串联电阻为42.1114mΩ,额定电感值为325pH,电容器的谐振频率为1.72628MHz,此外,在右边的图标中会显示所选择电容器的等效串联电阻—频率对数曲线,如图8-8-30所示。

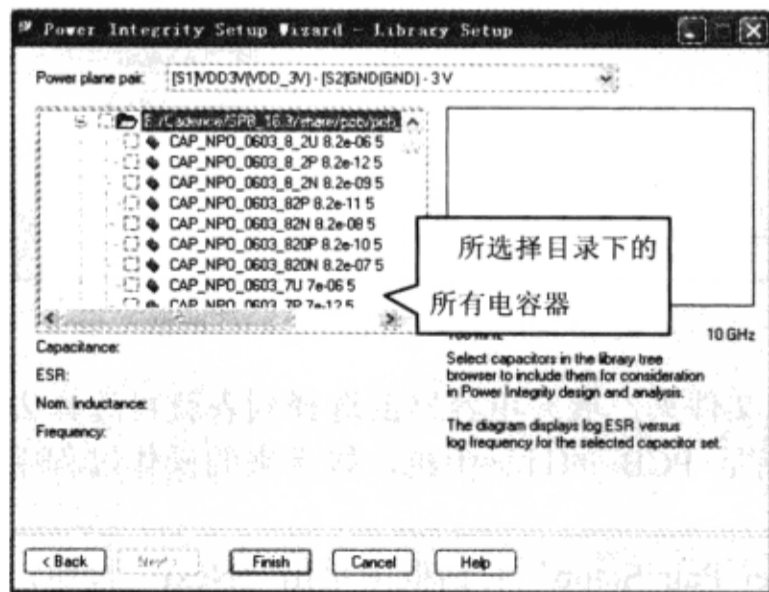


图 8-8-29 选择目录下的电容器



图 8-8-30 所选择电容器的相关信息

(6) 在对话框顶部“Power plane pair”栏中选择“[S3]VDD(VDD\_3V)-[S4]GND1(GND)



-3V”平面对，如图 8-8-31 所示。

(7) 向下滚动电容器列表，单击 CAP\_NPO\_0603\_6\_8U 左边的选择框，从而选中了这个电容器。

在“Power Integrity Setup Wizard-Library Setup”对话框中会显示与这个电容器的相关信息：电容值为  $6.8\mu\text{F}$ ，等效串联电阻为  $45.0969\text{ m}\Omega$ ，额定电感值为  $325\text{ pH}$ ，电容器的谐振频率为  $2.09342\text{ MHz}$ 。此外，右边的图表框会显示所选择电容器的等效串联电阻—频率对数曲线，如图 8-8-32 所示。

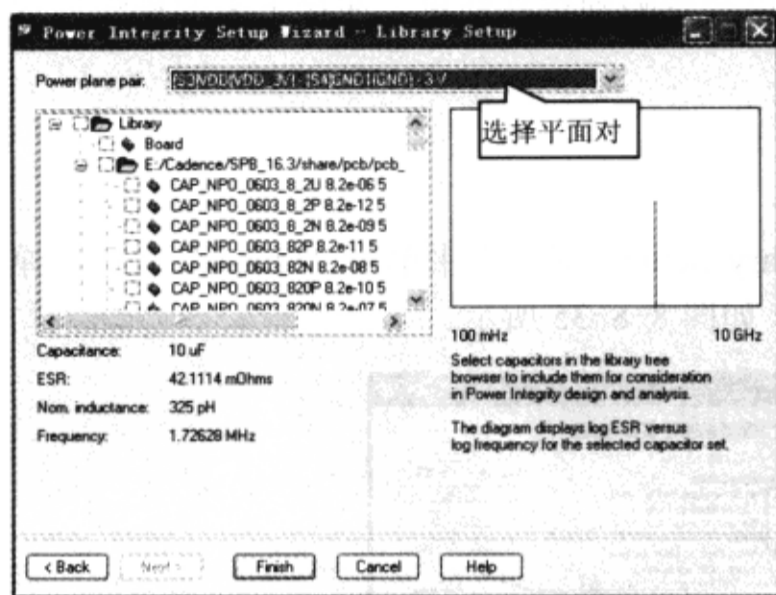


图 8-8-31 选择平面对

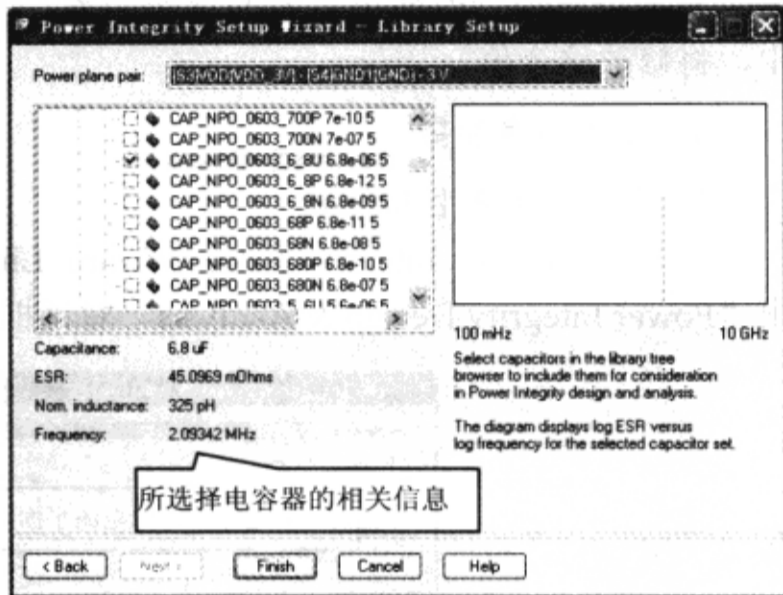


图 8-8-32 所选择电容器的相关信息

(8) 在对话框顶部的“Power plane pair”栏中选择“[S5]VDD1(VDD\_2V)-[S6]GND2(GND)-2V”平面对，如图 8-8-33 所示。

(9) 向下滚动电容器列表，单击 CAP\_NPO\_0603\_8\_2U 旁边的选择框，选中这个电容器，如图 8-8-34 所示。

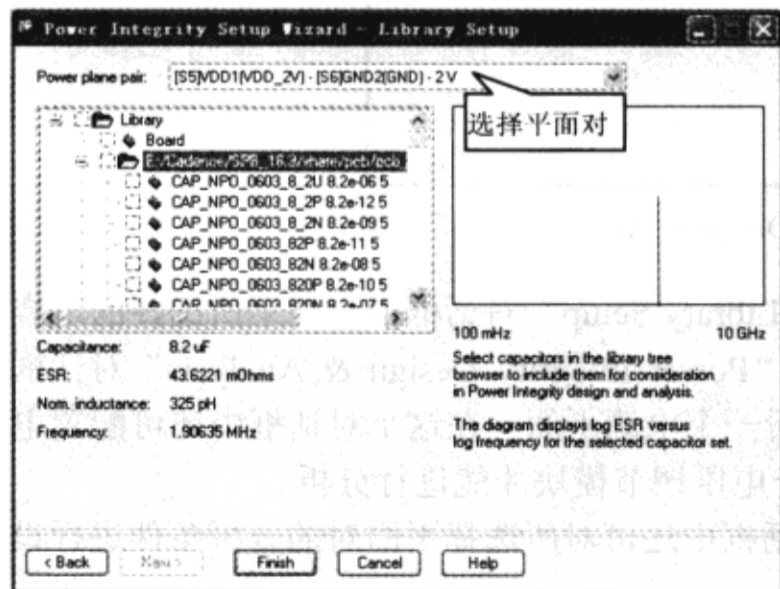


图 8-8-33 选择平面对

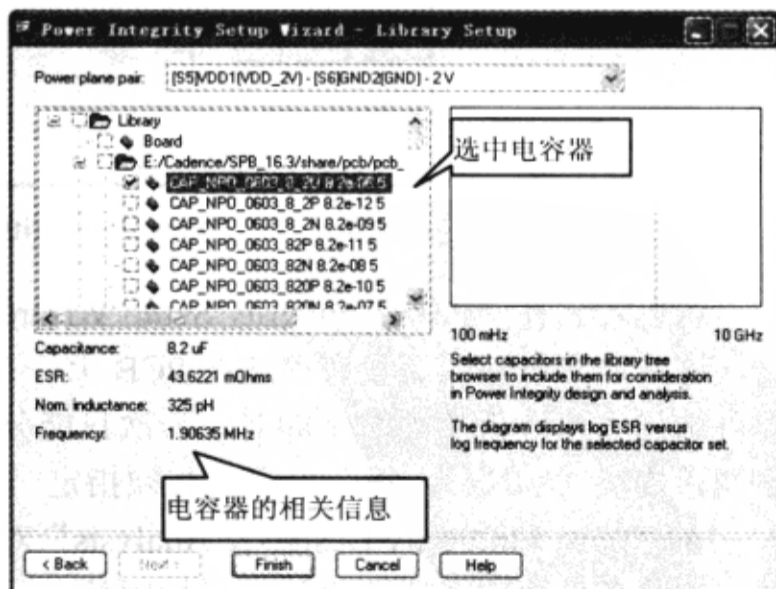


图 8-8-34 电容器的相关信息

在“Power Integrity Setup Wizard-Library Setup”对话框中会显示与这个电容相关的信



息：电容值为  $8.2\mu\text{F}$ ，等效串联电阻值为  $43.6221\text{m}\Omega$ ，额定电感值为  $325\text{pH}$ ，电容器的谐振频率为  $1.90635\text{MHz}$ 。此外，会在右边的图表框中显示所选择电容器的等效串联电阻—频率对数曲线。

在接下来的仿真中并不需要摆放这些电容器。电源完整性工具要求在进行单节点仿真时至少选择一个电容器，在 PCB 进行单节点仿真时，电容器才能得到有效的摆放。

$325\text{pH}$  的额定电感值看起来很大，这个值不是电容器的等效串联电感值（Effective Series Inductance，ESL），它是代表与电容器布局相关的默认贴装电感值。当电容器工作时，额定电感值会改变电容器的谐振频率，所以会影响到仿真结果。在接下来的操作过程中，将修改这个值。

## 5. 设置仿真参数

### 1) 多平面对的目标阻抗

(1) 在“Power Integrity Setup Wizard-Library Setup”对话框中单击“Finish”按钮，弹出“Power Integrity Design & Analysis”对话框，如图 8-8-35 所示。



图 8-8-35 “Power Integrity Design & Analysis”对话框

可以看到在“Power Integrity Setup Wizard-Library Setup”对话框中会显示所选择的电容器，这时这个电容器还没有摆放在 PCB 上。在“Power Integrity Design & Analysis”对话框中可选择所要分析的电源平面对，一次只能分析一个电源平面。在这个对话框中还可配置电压调节模块（VRM），每个平面对必须指定一个电压调节模块才能进行分析。

在“Power Integrity Design & Analysis”对话框中还可对所选择平面对的分析条件进行设置，这些条件决定了所要设计的目标阻抗。

(2) 在窗口顶部“Power plane pair”栏中选择“[S1]VDD3(VDD\_3) - [S2]GND(GND) - 3V”。

(3) 为所选择的电源平面对设置目标阻抗：在“Analysis Conditions”区域的“Ripple tolerance”（波动容限）栏中选择“5%”；在“Analysis Conditions”区域的“Max delta

current”（最大变化电流）栏中输入“5Amp”。这时就会在对话框中显示当前的目标阻抗为30mΩ，如图8-8-36所示。

在“Power Integrity Design & Analysis”对话框中电压调节模块（VRM）的参数进行设置。电压调节模块是电源配送系统的一部分，保持着直流低阻抗和几千赫兹的低频特性。

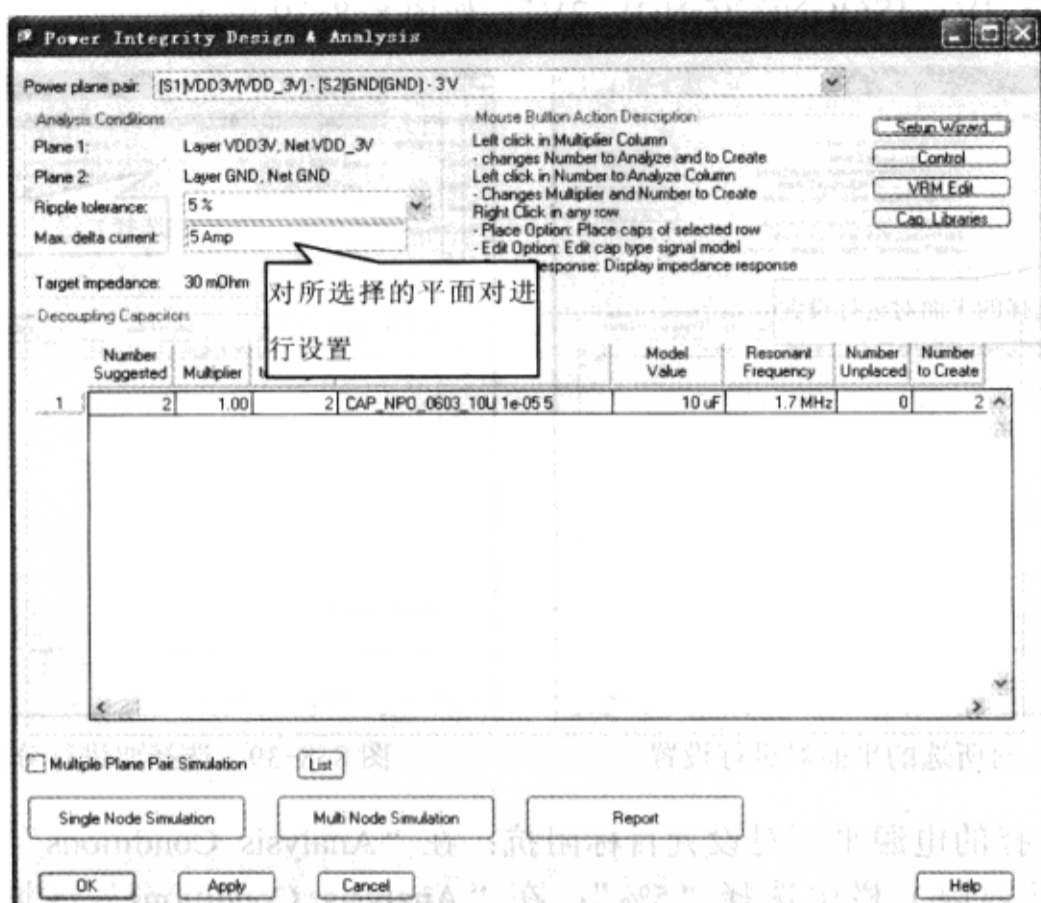


图 8-8-36 对所选择平面对进行设置

(4) 在“Power Integrity Design & Analysis”对话框顶部“Power plane pair”栏中选择“[S3]VDD(VDD\_3V) - [S4]GND1(GND) - 3V”，如图8-8-37所示。

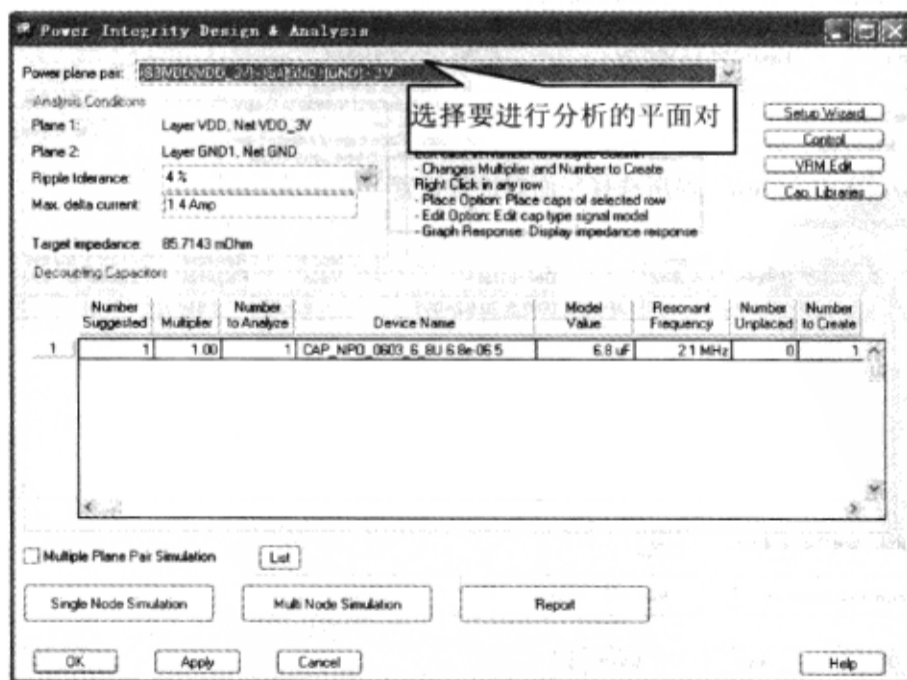


图 8-8-37 选择要进行分析的平面对

(5) 为所选择的电源平面对设置目标阻抗：在“Analysis Conditions”区域的“Ripple tolerance”（波动容限）栏中选择“5%”；在“Analysis Conditions”区域“Max delta current”栏中输入“5Amp”。这时就会在对话框中显示当前的目标阻抗为 30mΩ，如图 8-8-38 所示。

(6) 在“Power Integrity Design & Analysis”对话框顶部的“Power plane pair”栏中选择“[S5]VDD1(VDD\_2V) - [S6]GND2(GND) - 2V”，如图 8-8-39 所示。



图 8-8-38 对所选的平面对进行设置



图 8-8-39 选择要进行分析的平面对

(7) 为所选择的电源平面对设置目标阻抗：在“Analysis Conditions”区域的“Ripple tolerance”（波动容限）栏中选择“5%”；在“Analysis Conditions”区域的“Max delta current”（最大变化电流）栏中输入“5Amp”。这时就会显示当前的目标阻抗为 20mΩ，如图 8-8-40 所示。

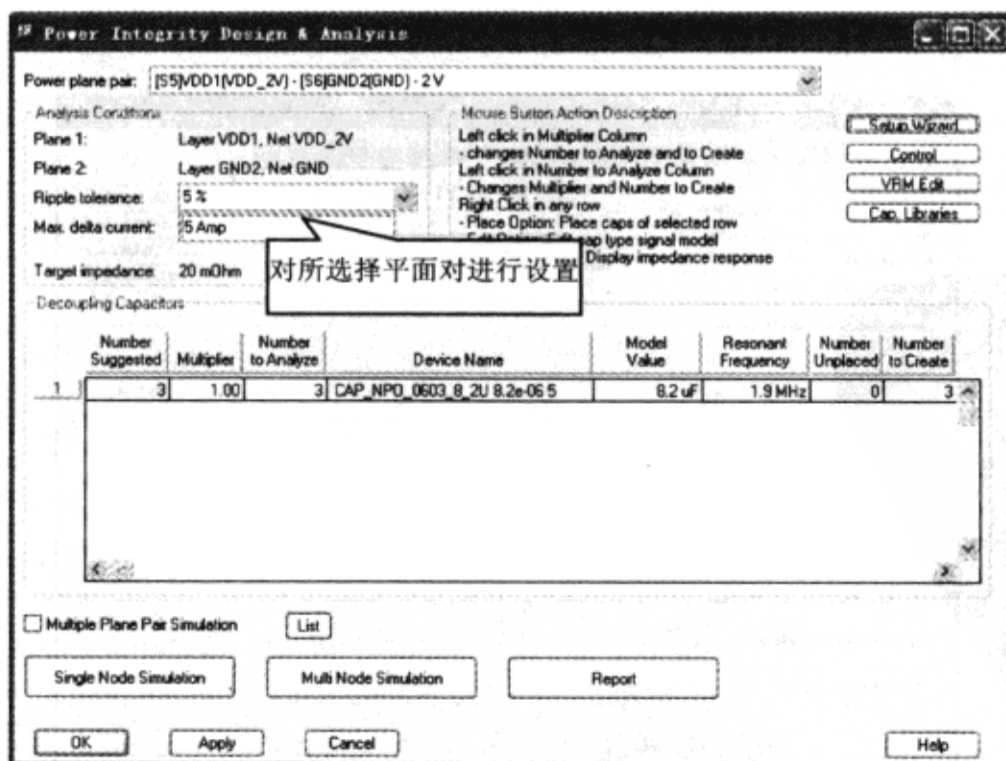


图 8-8-40 对所选择平面对进行设置

2) 改变默认贴装电感值 单击“Power Integrity Design & Analysis”对话框的“Control”按钮就可设置仿真参数，这些参数可在对话框中设置而无需离开电源完整性工具。

(1) 在“Power Integrity Design & Analysis”对话框中单击“Control”按钮，弹出“Power Integrity Control window”对话框，如图 8-8-41 所示。在这个对话框中有 3 个用于改变仿真参数的标签页，本节只用到“Mounted Inductance”标签页。

(2) 在“Power Integrity Control”对话框中单击“Mounted Inductance”标签页，如图 8-8-42 所示。

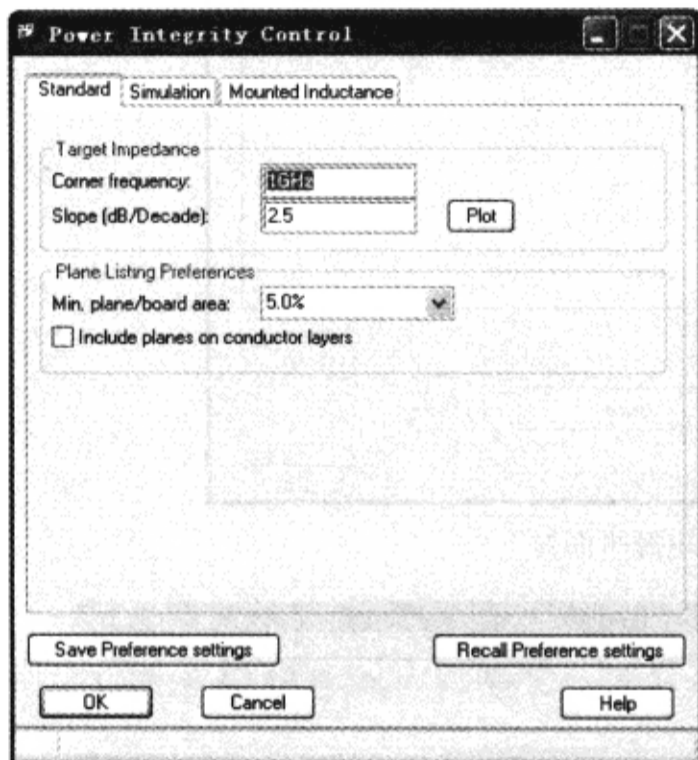


图 8-8-41 “Power Integrity Design & Analysis”对话框

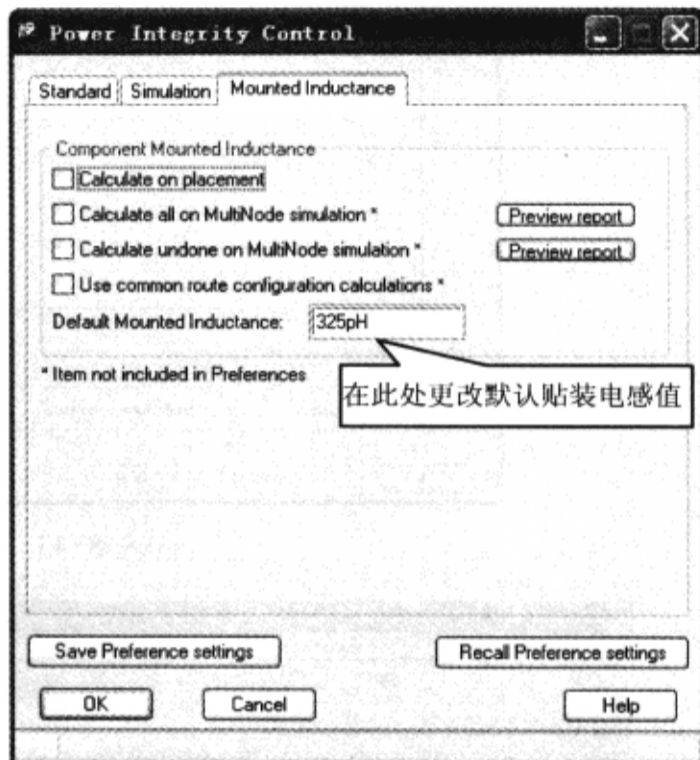


图 8-8-42 贴装电感值的设置

(3) 在“Default Mounted Inductance”栏中输入“225pH”，然后单击“OK”按钮。这时会再次显示“Power Integrity Design & Analysis”对话框，因为更改了目录，所以得重新修改默认贴装电感值。可以看到为每个平面对所选择电容器的谐振频率发生了变化，225pH 将赋给所有用于仿真的电容器。在接下来的操作中将使用电源完整性工具计算每个电容器的贴装电感值。

## 6. 摆放电压调节模块

在要进行单节点仿真的每个单独平面对上都需要放置一个电压调节模块。在“Power Integrity Design & Analysis”对话框的“Power plane pair”栏中选择平面对，然后根据所选择平面对的所要求目标阻抗值设置波动容限值和最大变化电流值。先在 PCB 上为所选择的平面对放置电压调节模块，然后对所选择平面对的电压调节模块进行设置。

(1) 在“Power Integrity Design & Analysis”对话框顶部的“Power plane pair”栏中选择“[S5]VDD1(VDD\_2V) - [S6]GND2(GND) - 2V”，如图 8-8-43 所示。

(2) 在 Allegro PCB PI option XL 窗口中单击鼠标右键，在弹出的菜单中选择“Add VRM”，这时一个代表电压调节模块的图标就会跟随光标移动，如图 8-8-44 所示。

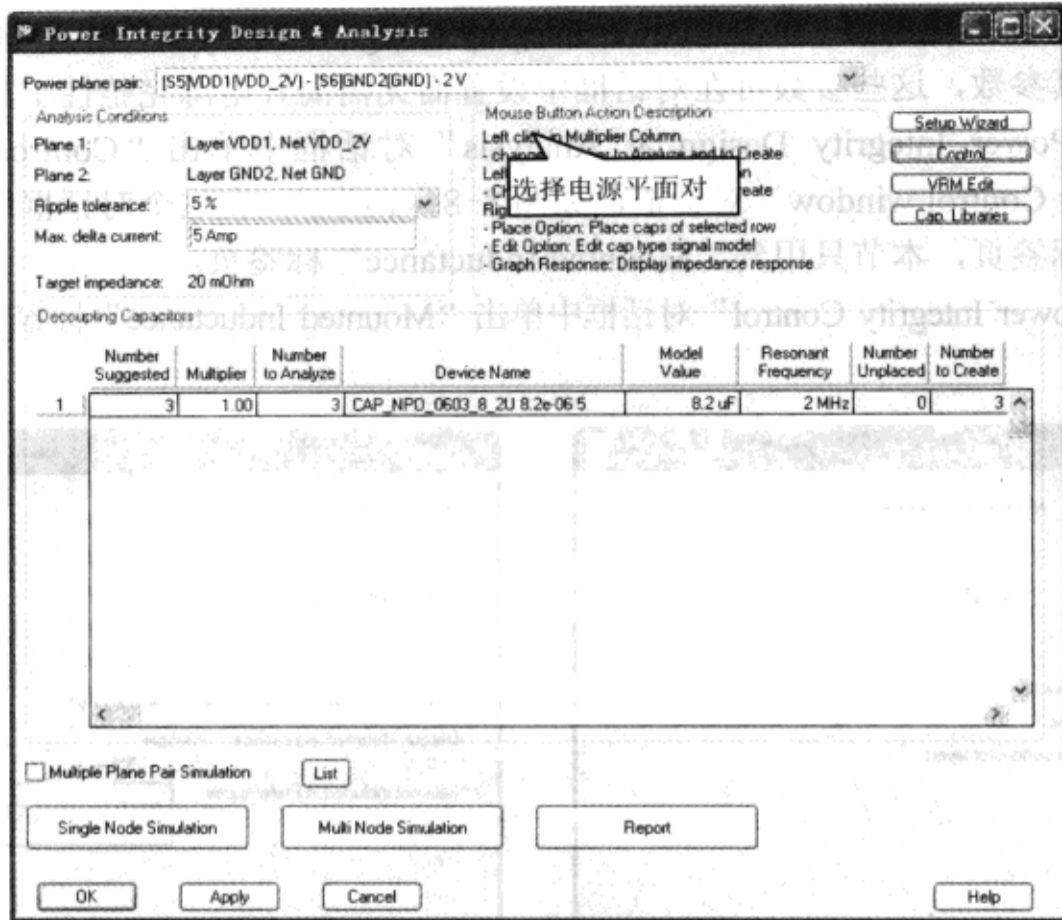


图 8-8-43 选择电源平面对

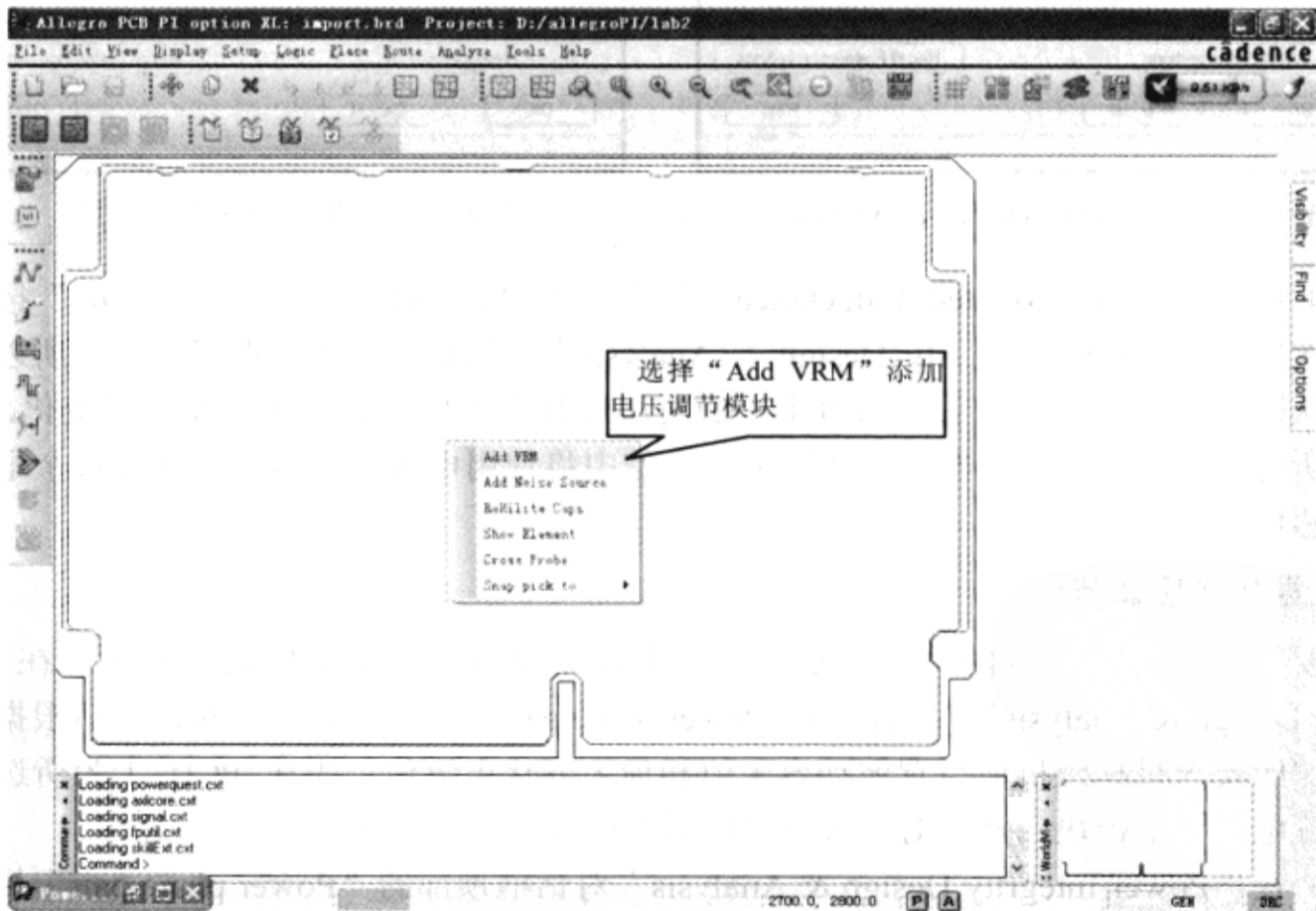


图 8-8-44 添加电压调节模块

(3) 拖动电压调节模块图标到 PCB 凹槽的左边, 单击鼠标左键放置电压调节模块, 如图 8-8-45 所示。



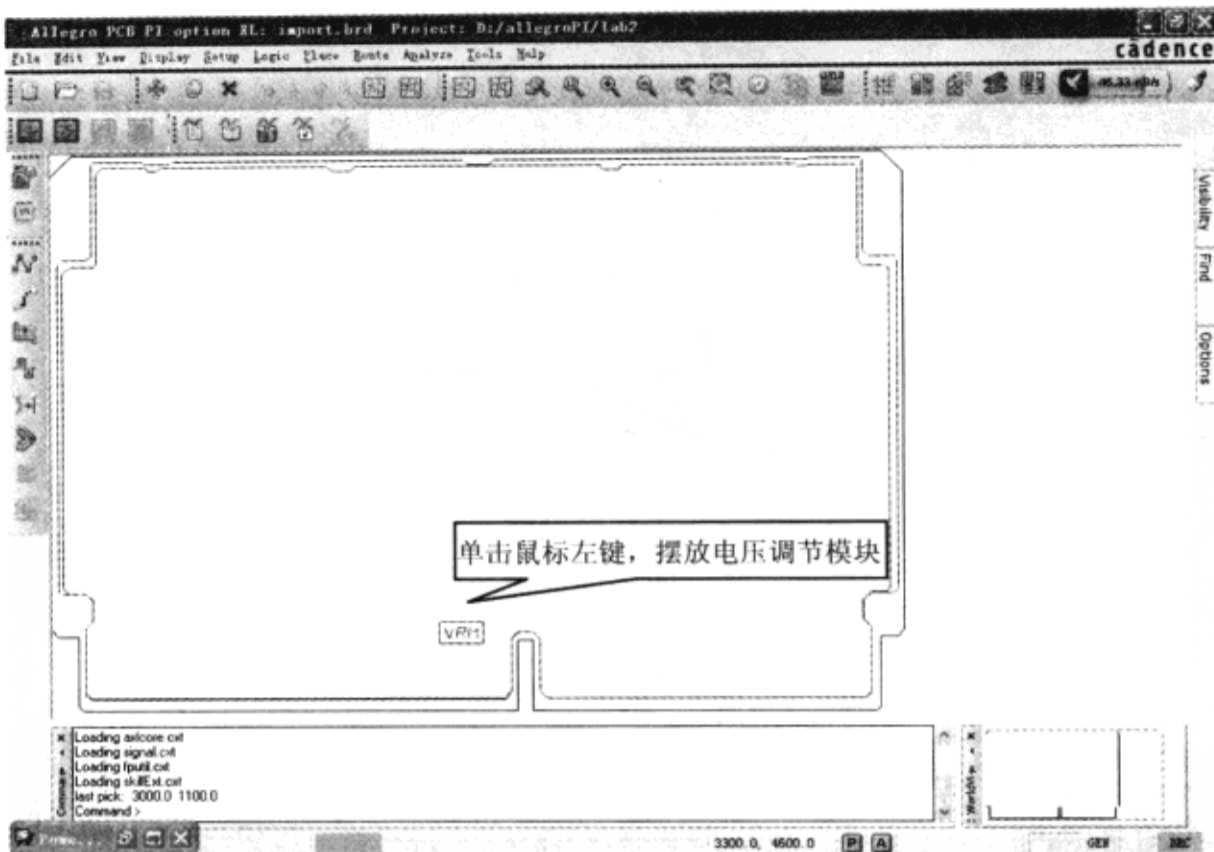


图 8-8-45 摆放电压调节模块

(4) 在“Power plane pair”栏中选择“[S3]VDD(VDD\_3V) - [S4]GND1(GND) - 3V”，如图 8-8-46 所示。

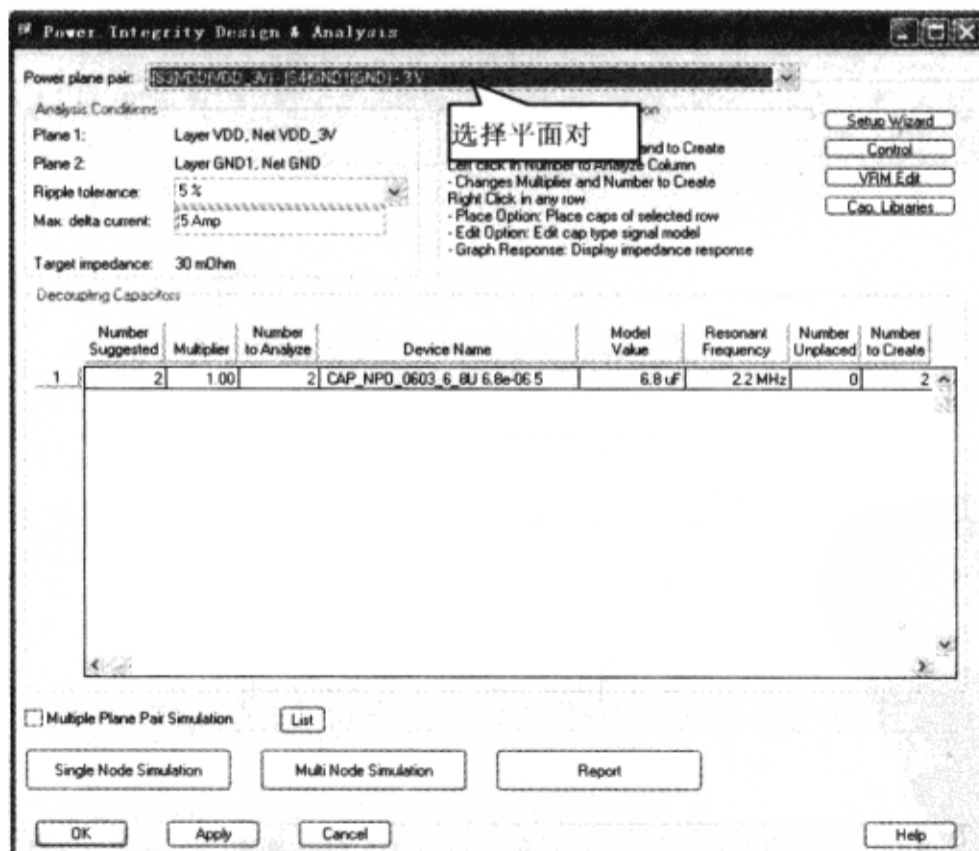


图 8-8-46 选择平面对

(5) 在 Allegro PCB PI option XL 窗口中单击鼠标右键，在弹出菜单中选择“Add VRM”，这时会有一个代表电压调节模块的图标随光标移动，如图 8-8-47 所示。

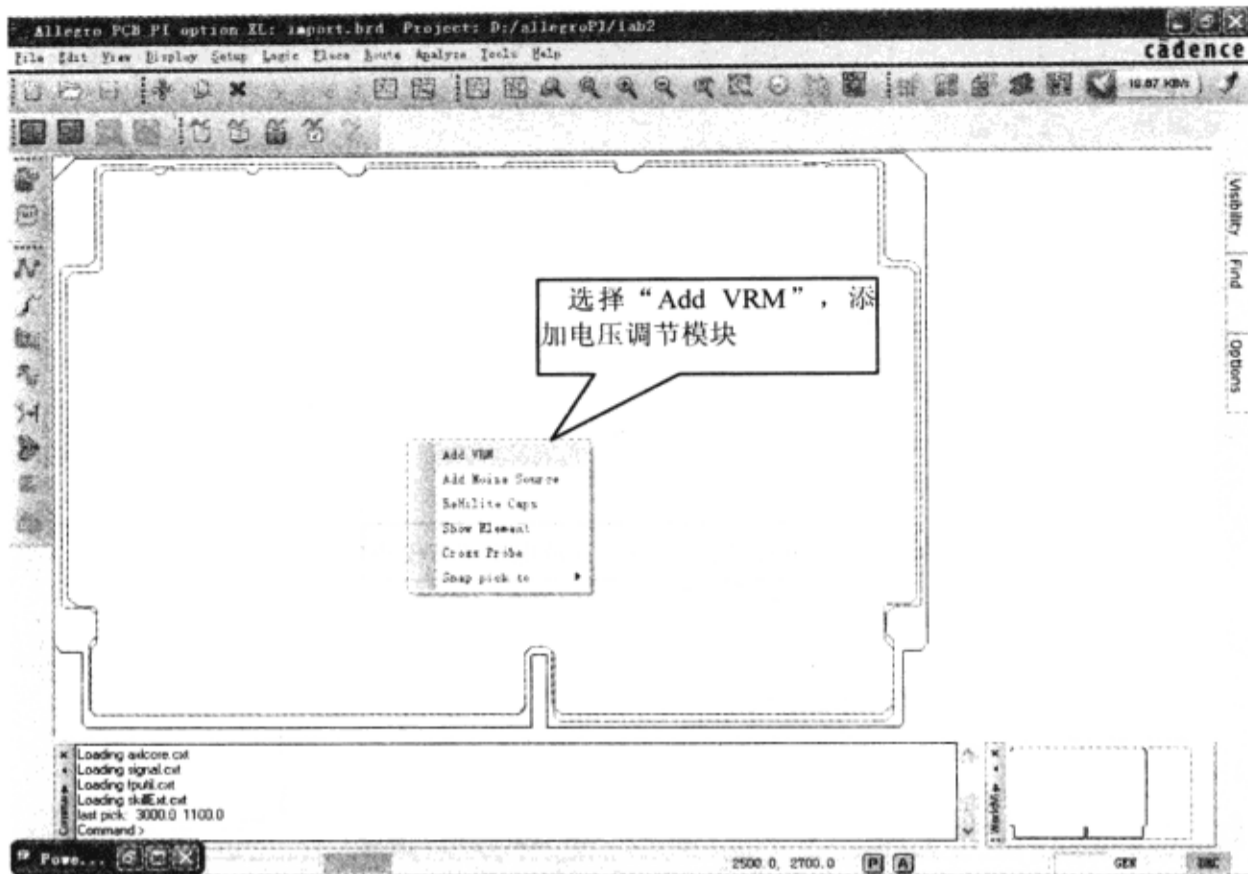


图 8-8-47 添加电压调节模块

(6) 拖动电压调节模块图标到 PCB 凹槽的左边，单击鼠标左键放置电压调节模块，如图 8-8-48 所示。

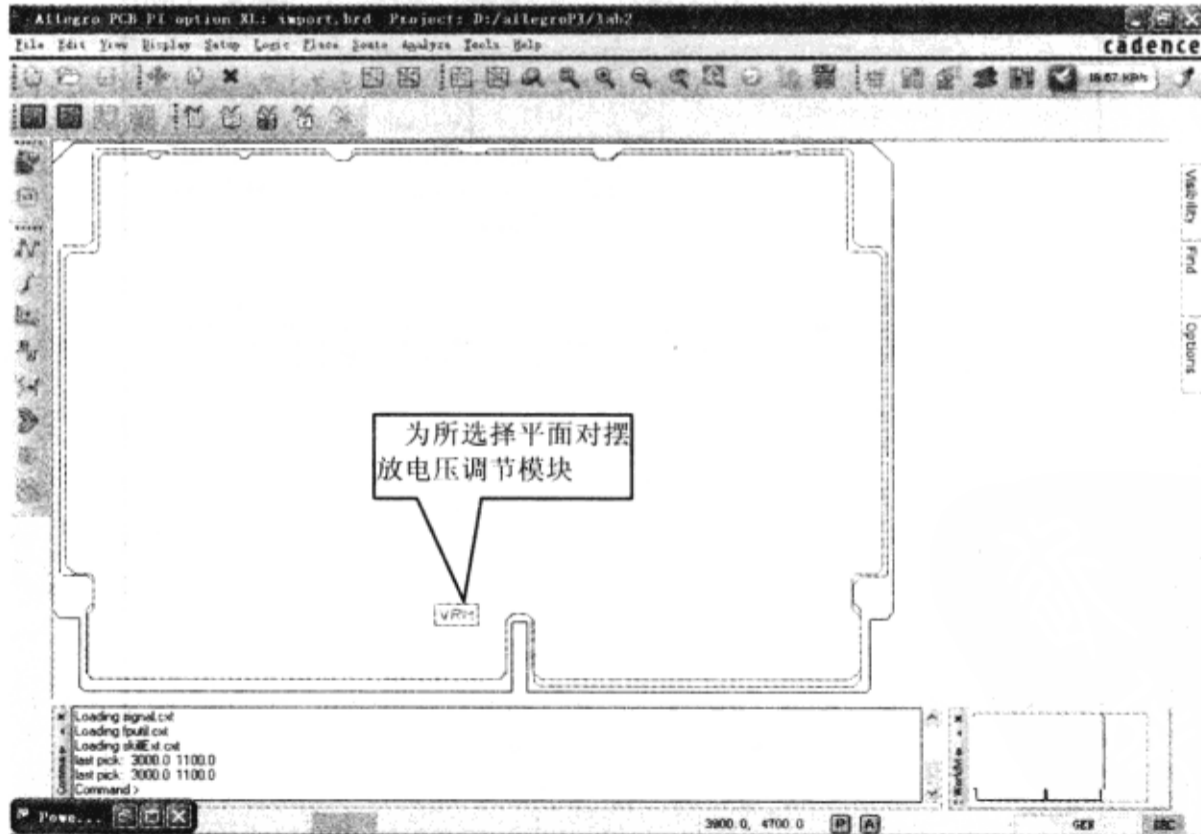


图 8-8-48 摆放电压调节模块

(7) 在“Power plane pair”栏中选择“[S1]VDD3(VDD\_3) - [S2]GND(GND) - 3V”，如图 8-8-49 所示。

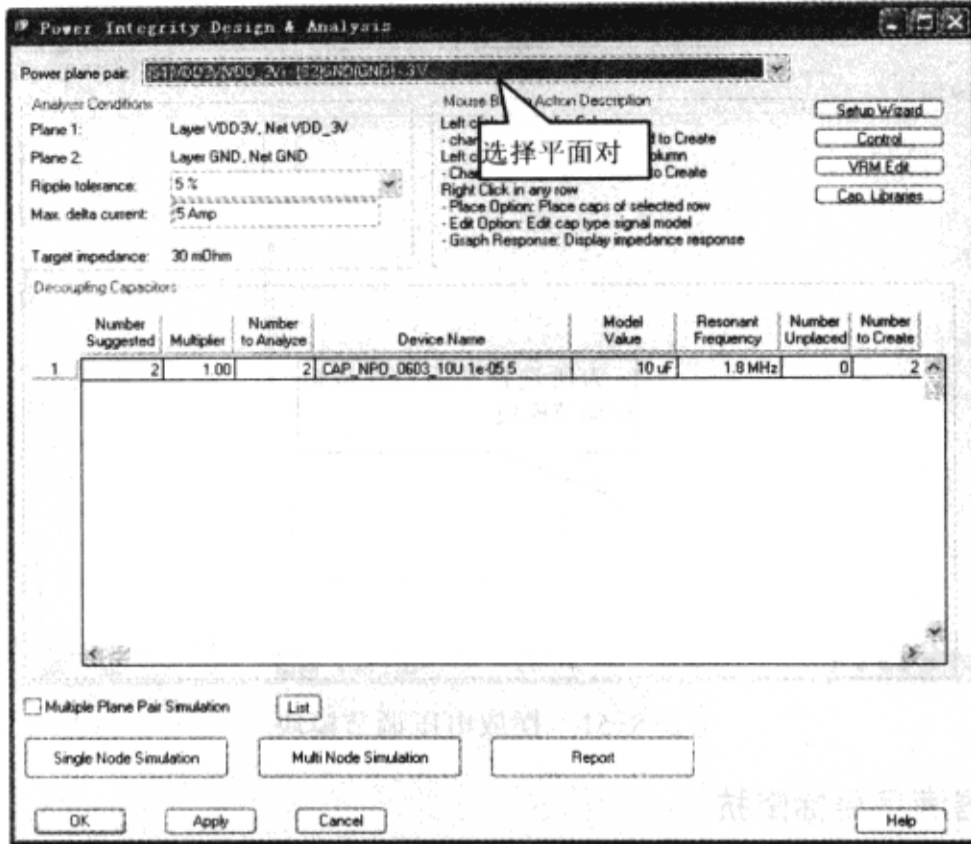


图 8-8-49 选择平面对

(8) 在 Allegro PCB PI option XL 窗口中单击鼠标右键，在弹出菜单中选择“Add VRM”，这时就会有一个代表电压调节模块的图标随光标移动，如图 8-8-50 所示。

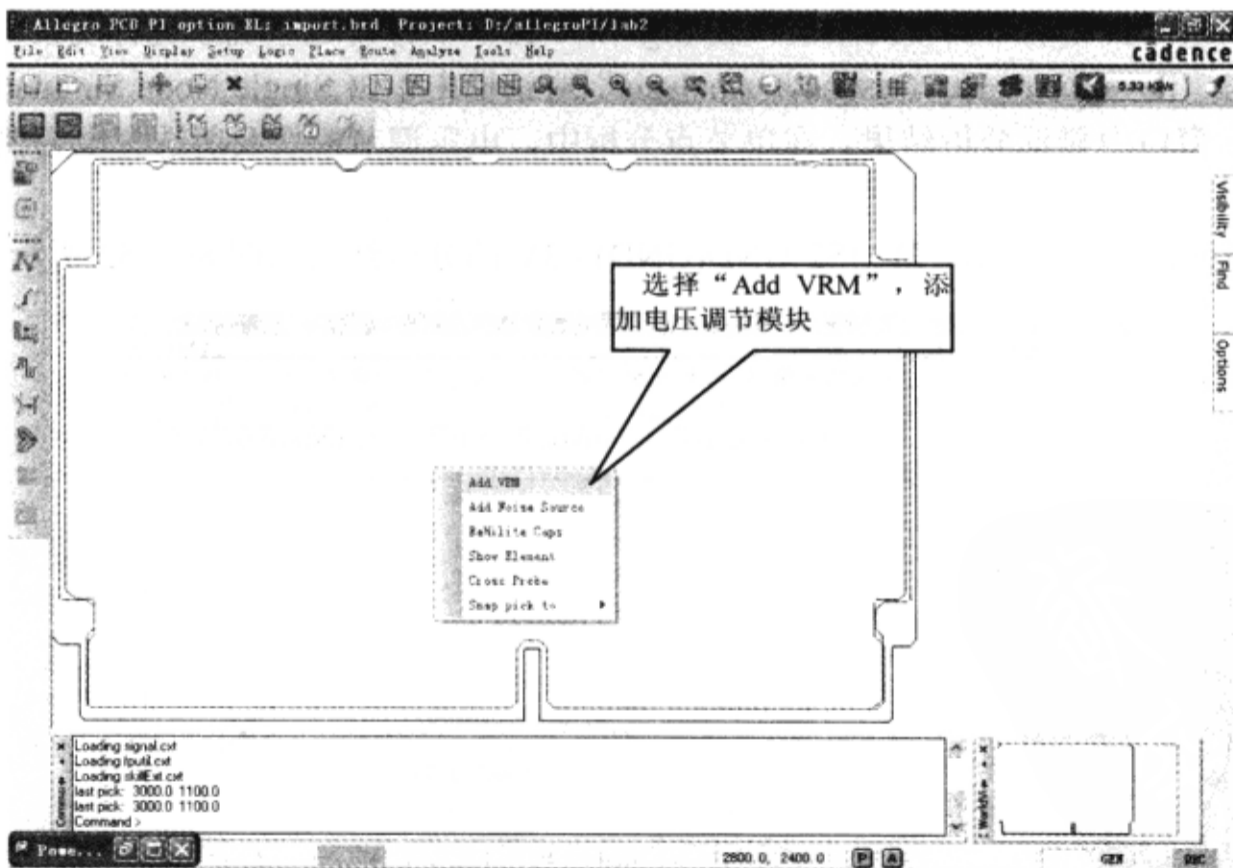


图 8-8-50 添加电压调节模块

(9) 拖动电压调节模块图标到 PCB 凹槽的左边，单击鼠标左键放置电压调节模块，如图 8-8-51 所示。

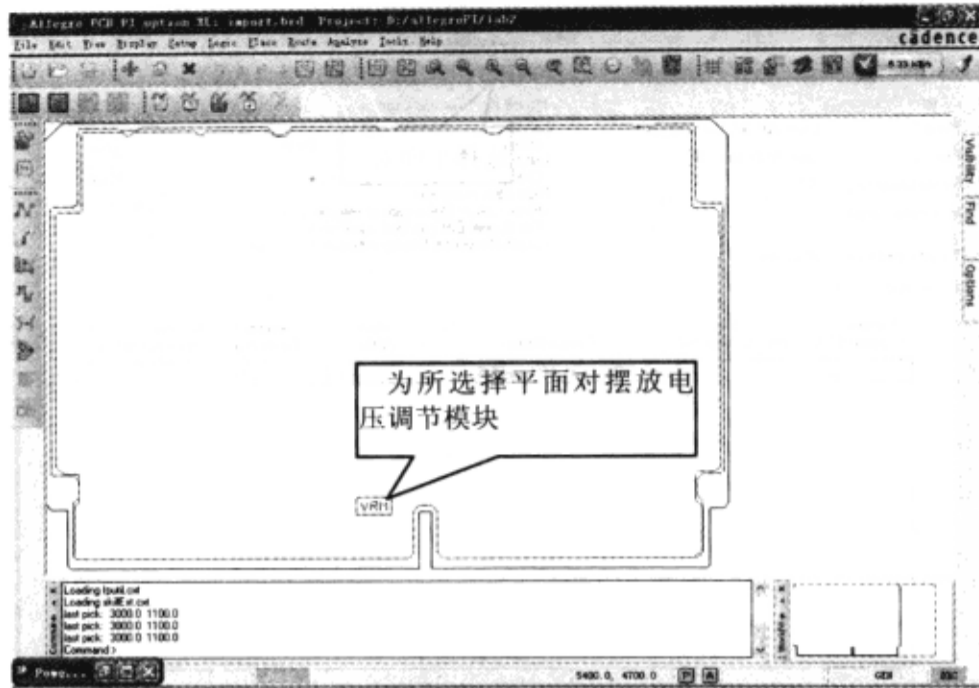


图 8-8-51 摆放电压调节模块

## 7. 选择电容器满足目标阻抗

1) 单节点仿真 在“Power Integrity Design & Analysis”对话框中选择平面对“[S1]VDD3 (VDD\_3) - [S2]GND(GND) - 3V”，然后对这个平面对进行单节点分析，接着再选择另外两个平面对并进行单节点仿真，在 SigWave 窗口中将显示这 3 个单节点仿真的结果并进行比较。

这 3 个仿真波形将显示这 3 个平面对分析结果之间的差别。平面间的空间会影响平面对的电容值，从而会影响平面对的阻抗。在 SigWave 窗口中将对这些现象进行观察。

(1) 在“Power Integrity Design & Analysis”对话框中单击 Single Node Simulation，就会在 SigWave 窗口中显示分析结果。在单节点分析中，电压调节模块及所选择电容器与所选择平面对放在一起分析。

平面对[S1]VDD3(VDD\_3) - [S2]GND(GND) - 3V 的分析结果如图 8-8-52 所示。

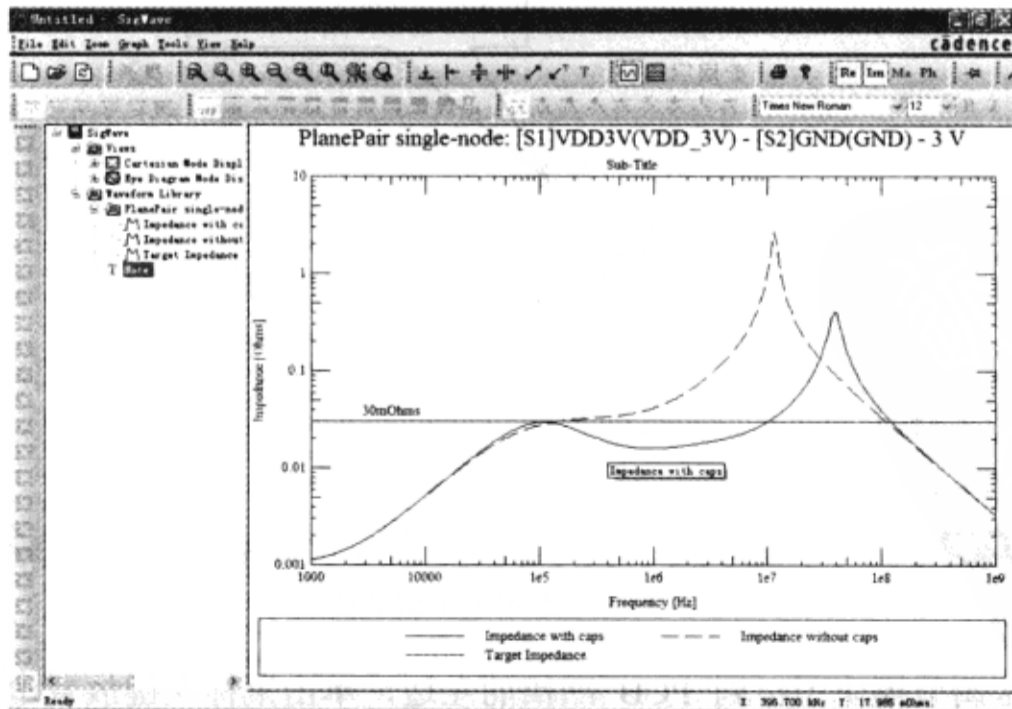


图 8-8-52 单节点分析结果

(2) 在“Power plane pair”栏中选择“[S3]VDD(VDD\_3V) - [S4]GND1(GND) - 3V”。

(3) 单击“Single Node Simulation”按钮，在“SigWave”窗口中会同时显示[S1]VDD3(VDD\_3) - [S2]GND(GND) - 3V 和[S3]VDD(VDD\_3V) - [S4]GND1(GND) - 3V 平面对的分析结果，如图 8-8-53 所示。

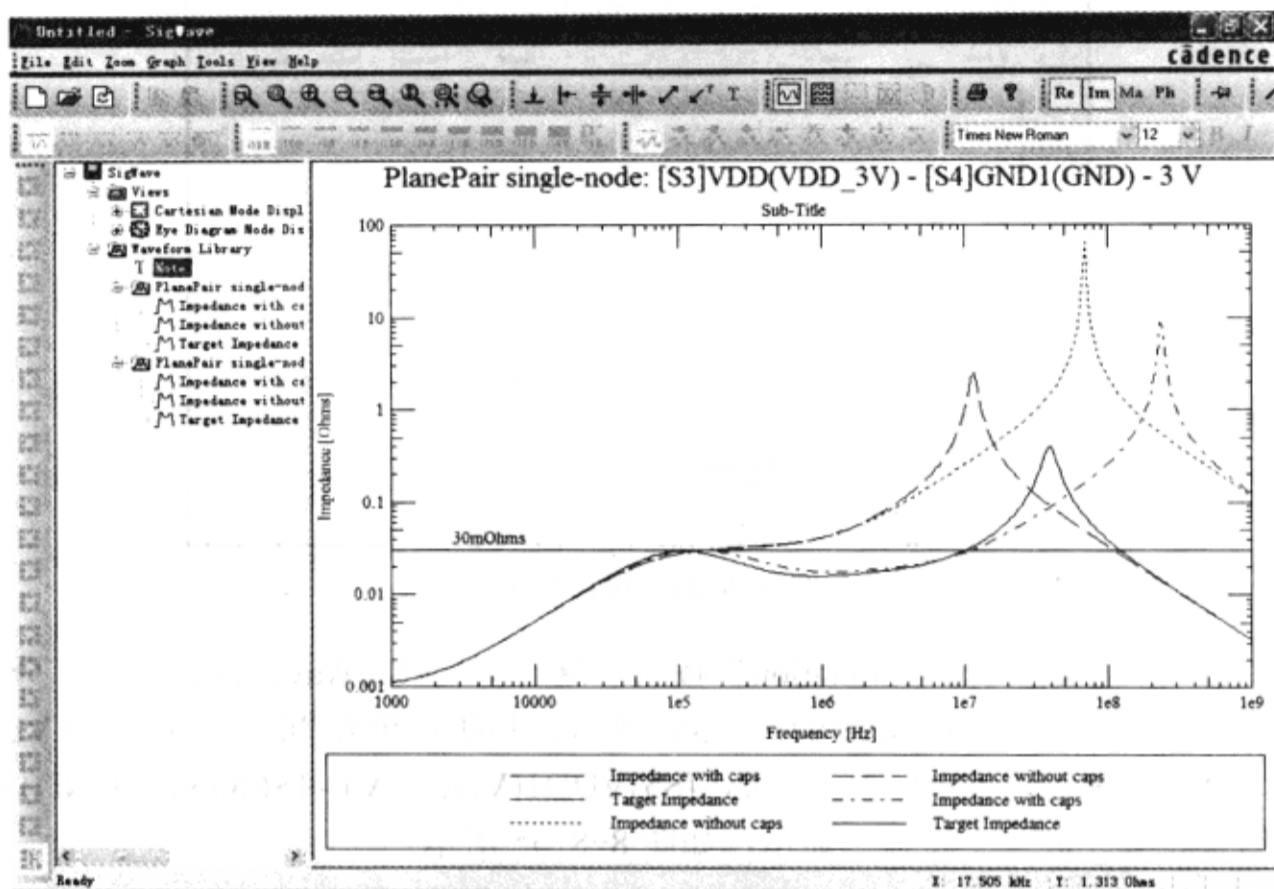


图 8-8-53 单节点仿真结果

此时在 SigWave 窗口中显示了两条有着相同目标阻抗的平面的响应曲线，每个电源平面上的电压均为 3V，曲线表明每个没有安装电容器的平面对阻抗是不同的，在窗口中同时显示了安装有电容器的阻抗曲线。

为什么响应曲线有这么大的差别呢？这是因为[S3]VDD(VDD\_3V) - [S4]GND1(GND) - 3V 平面对的平面间隔（23.32504mils）要比[S1]VDD3(VDD\_3) - [S2]GND(GND) - 3V 平面对的平面间隔（0.5mils）要大，平面间隔大的平面对会产生较小的电容（两个平面对产生的电容值分别为 1.34902nF 和 48.3105nF），因此它也有着更高的阻抗响应曲线。当频率确定时，电容值越小，它的阻抗值就越大。曲线同时表明了反谐振发生在高频处，这是由平面对的较小电容值决定的，较小的电容值有较高的谐振频率。小容量的电容器会和电压调节模块的电感相互作用，从而产生一个更高的谐振点。

在设置向导的“Layer stackup”对话框中可以查看到平面间隔值；在设置向导的“Power Pair Setup”对话框中可以查找到每个平面对的电容值；或者在“Power Integrity Design & Analysis”对话框中为每个平面对生成报告（Report）也可查看到每个平面对的电容值。

(4) 在“Power plane pair”栏中选择“[S5]VDD1(VDD\_2V) - [S6]GND2(GND) - 2V”，如图 8-8-54 所示。



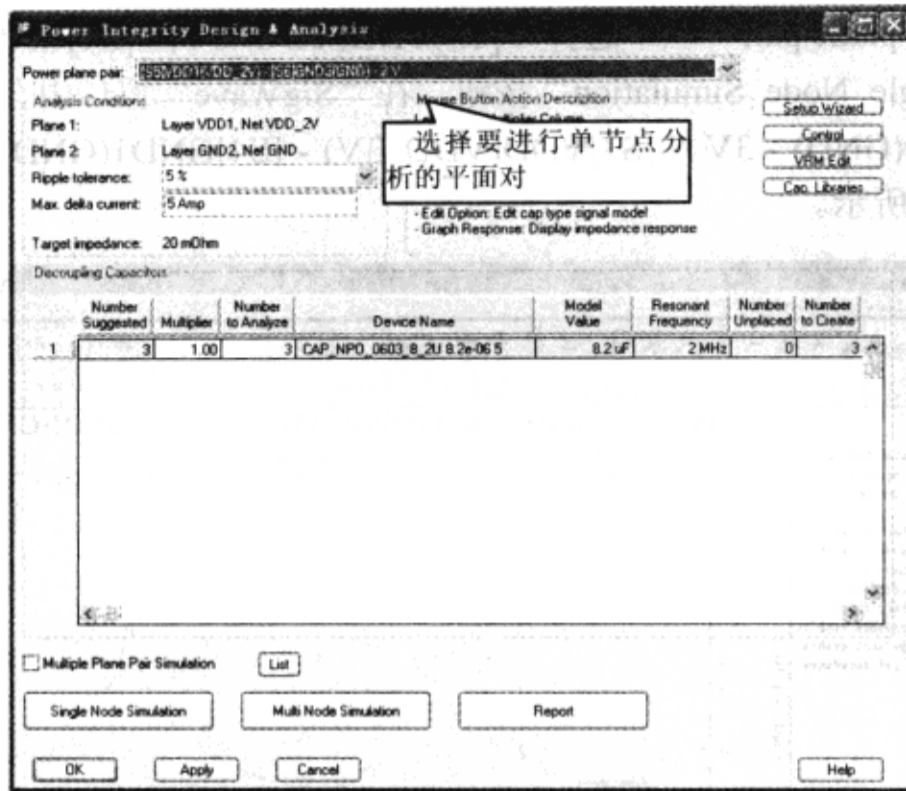


图 8-8-54 选择平面对

(5) 单击“Single Node Simulation”按钮，这时会在 SigWave 窗口中显示分析结果，[S1]VDD3(VDD\_3) - [S2]GND(GND) - 3V 平面对的分析结果，[S3]VDD(VDD\_3V) - [S4]GND1(GND) - 3V 平面对的分析结果，[S5]VDD1(VDD\_2V) - [S6]GND2(GND) - 2V 平面对的分析结果将会在同一窗口中显示，如图 8-8-55 所示。

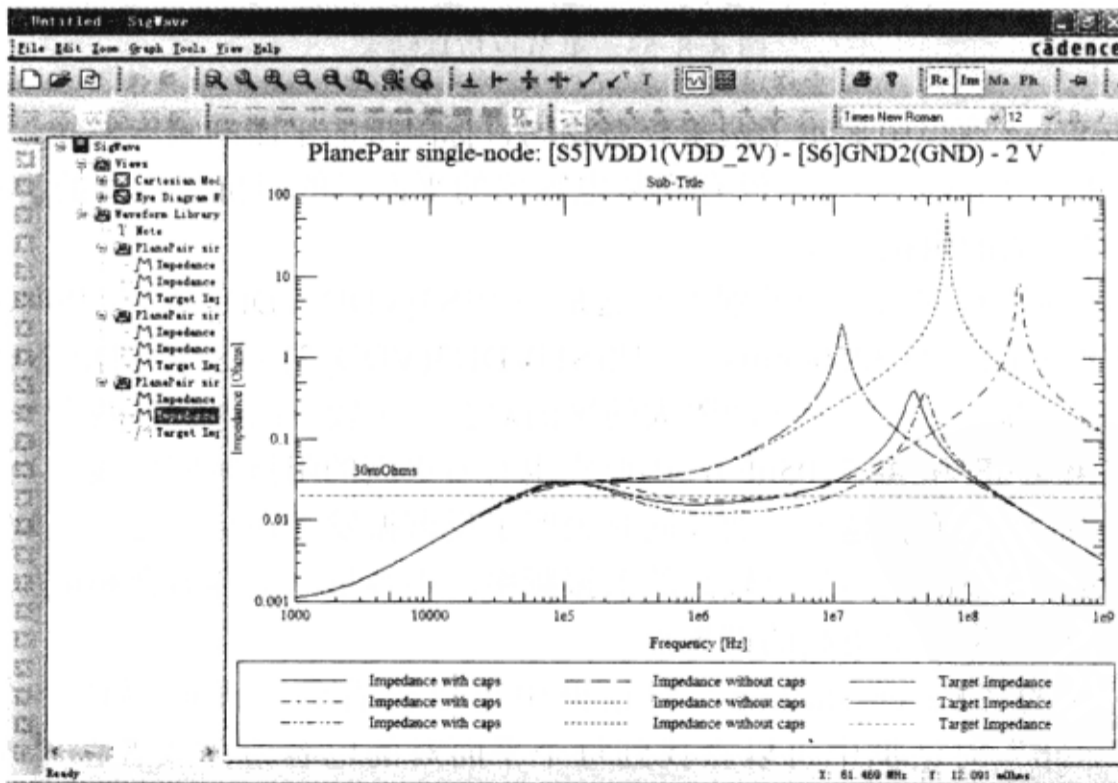


图 8-8-55 单节点仿真结果

在图 8-8-55 中显示了所有 3 个平面对应的响应曲线，[S5]VDD1(VDD\_2V) - [S6]GND2(GND) - 2V 平面对分析的响应曲线和[S1]VDD3(VDD\_3) - [S2]GND(GND) - 3V 平面对分析的

响应曲线非常接近，这是因为这两个平面对有着相近的区域和近乎相等的平面间电容值。含有电容器的阻抗响应曲线不相同的原因是因为为每个平面对指定了不同大小的电容器，而这些电容有着不同的谐振频率值和不同的等效串联电阻值。

2) 获得目标阻抗 通过以上步骤可以对每个平面进行了单节点分析并观测响应曲线，接下来将观测平面对的目标阻抗是否满足要求，通过选择电容器的方法来减小含有电容器阻抗响应曲线中的反谐振波峰。

目前尚无一套固定的方法来选择电容器。通常是先确定反谐振波峰发生的频率，然后选择一个谐振频率与其接近或者相等的电容器，这样做就会减小反谐振波峰。但是，所选择的电容器会在当前反谐振波峰的附近产生其他的谐振波峰，因此要重复上述的过程直到阻抗响应曲线处于目标阻抗以下。

因为每个平面对选择电容器的过程是相同的，所以本节只介绍一个平面对电容器的选择过程。因为是对所选择平面对的初始波形进行比较，所以需要暂时关闭其他平面对的响应曲线。

(1) 如图 8-8-56 所示，在 SigWave 窗口左侧最后两个波形文件夹上单击鼠标右键，在弹出的菜单中选择“Display”，关闭这两个文件夹的波形显示，这时在窗口中只会显示 [S1]VDD3(VDD\_3) - [S2]GND(GND) - 3V 平面对的响应曲线。



图 8-8-56 取消显示波形

(2) 在 SigWave 窗口中所显示的 Impedance with Caps 曲线上单击鼠标右键，在弹出的菜单中选择“Add Marker” → “Vertical”，如图 8-8-57 所示。

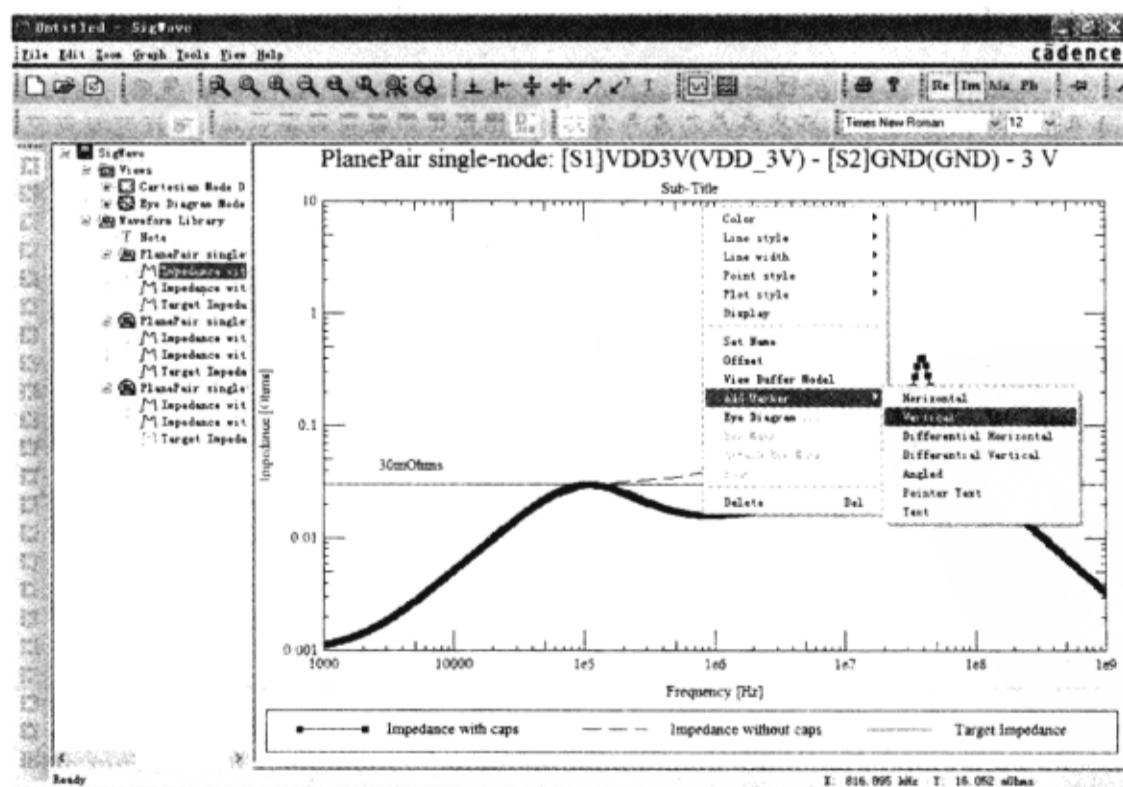


图 8-8-57 添加垂直游标

(3) 使用鼠标左键单击并拖动垂直游标 (Vertical Marke)，并把它拖动到含有电容器阻

抗响应曲线的反谐振波峰处。反谐振波峰大概发生在约 39MHz（这个值会因为垂直游标的位置而有轻微的差别），这就意味着将选择谐振频率接近 39MHz 的电容器来减小反谐振波峰，如图 8-8-58 所示。

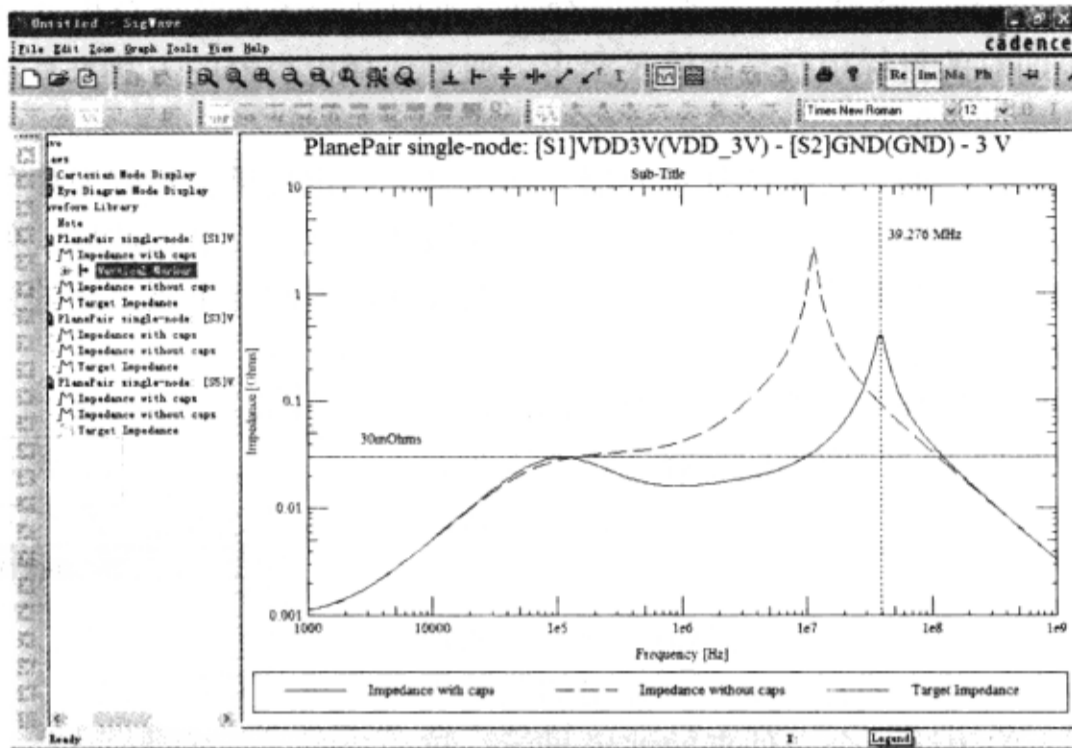


图 8-8-58 移动垂直游标

(4) 在“Power Integrity Design & Analysis”对话框中选择“Cap Libraries”，会显示“Power Integrity Setup Wizard-Library Setup”对话框，如图 8-8-59 所示。

(5) 在“Power Integrity Setup Wizard-Library Setup”对话框的“Power plane pair”栏中选择“[S1]VDD3(VDD\_3) - [S2]GND(GND) - 3V”，如图 8-8-60 所示。

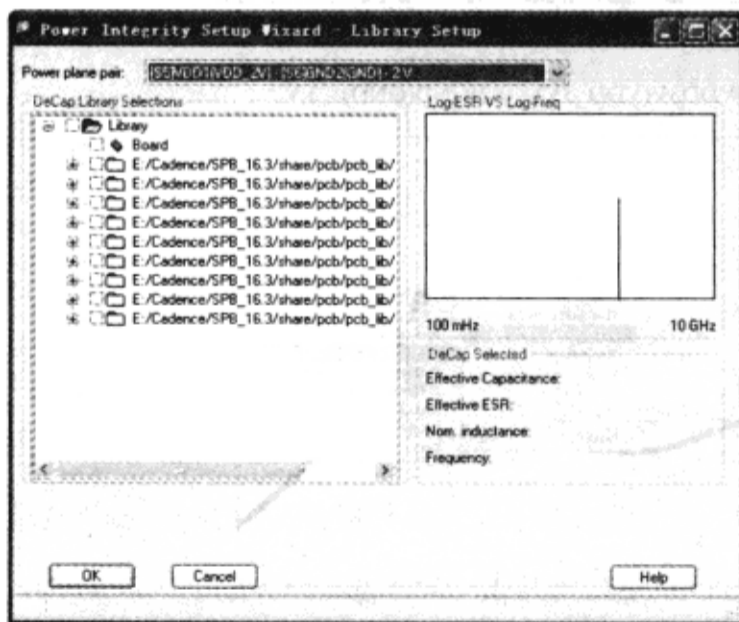


图 8-8-59 “Power Integrity Setup Wizard-Library Setup”对话框

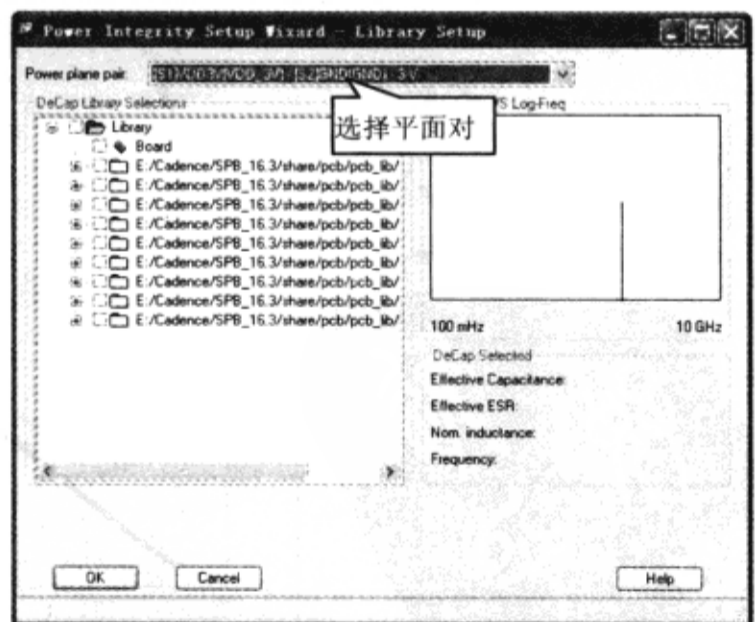


图 8-8-60 选择平面对

(6) 在“Power Integrity Setup Wizard-Library Setup”对话框中展开电容库文件夹 E:/Cadence/SPB\_16.3/share/pcb/pcb\_lib/npo\_0603\_caps，显示这个库中所有的电容器，如图 8-8-61 所示。

(7) 向下滚动电容器列表，在电容器上单击鼠标左键，电容器的电容值、等效串联电阻 (ESR)，额定电感值和谐振频率就会在窗口的右边显示，通过窗口中的提示信息，选择一个其谐振频率和反谐振波峰频率相接近的电容器。通过比较，我们选择“CAP\_NPO\_0603\_22N”，单击电容器旁边的选择框，可以看到此时的额定电感值为 225pH，这是因为之前对默认值做了修改，如图 8-8-62 所示。

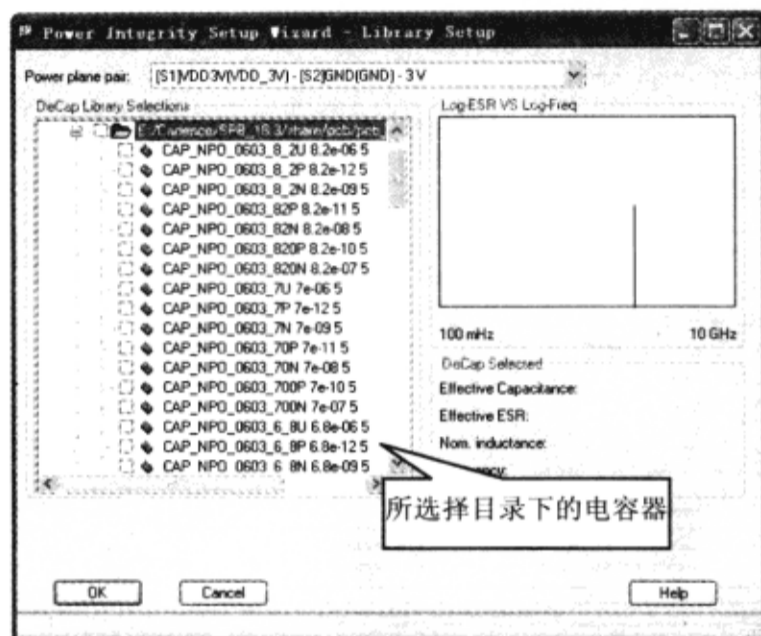


图 8-8-61 目录下的电容器

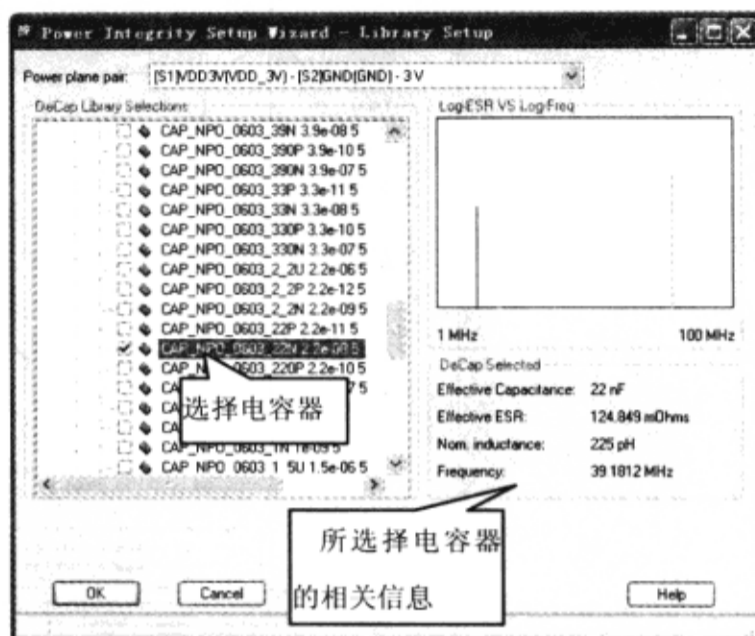


图 8-8-62 所选择电容器的相关信息

(8) 在“Power Integrity Setup Wizard-Library Setup”对话框中单击“OK”按钮，会再次显示“Power Integrity Design & Analysis”对话框，如图 8-8-63 所示。

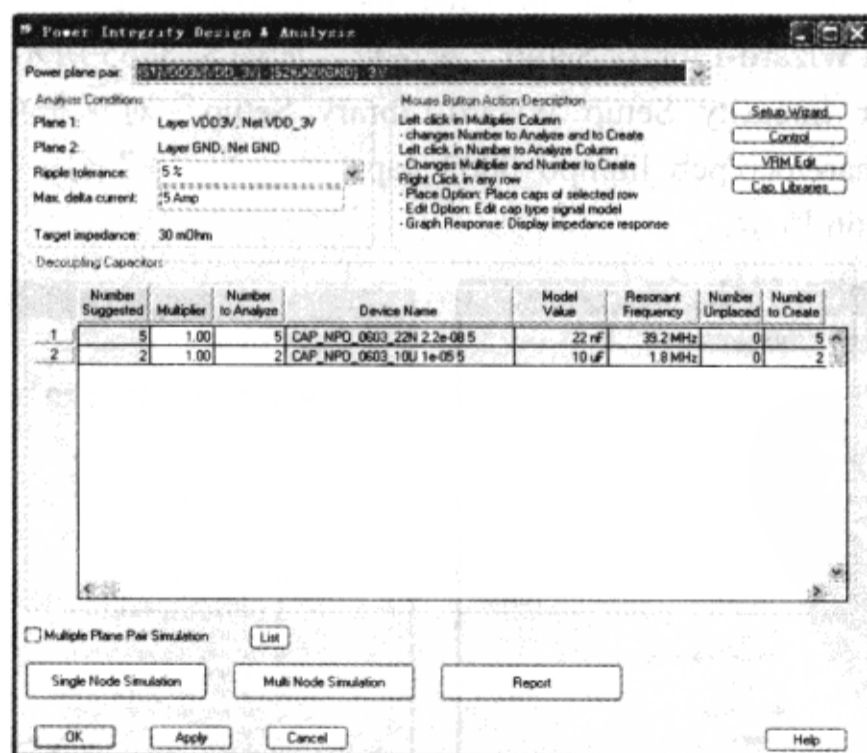


图 8-8-63 电源完整性设计分析窗口

(9) 确定在“Power Integrity Setup Wizard Library Setup”对话框中“Power plane pair”栏中选择的是“[S1]VDD3(VDD\_3) - [S2]GND(GND) - 3V”。

(10) 单击“Single Node Simulation”按钮,显示 SigWave 窗口。在图 8-8-63 中可以看出,所添加的 22nF 的电容器的确减小了在 39MHz 附近的反谐振波峰,当前波峰的阻抗值要比原波峰的阻抗值要小,如图 8-8-64 所示。

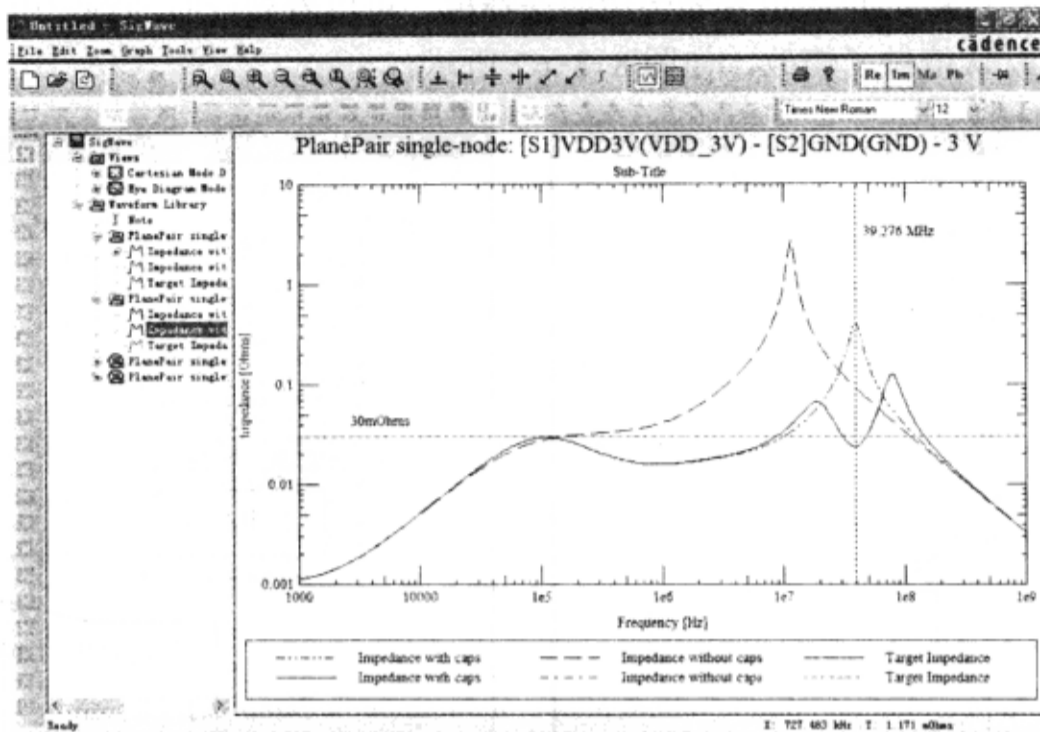


图 8-8-64 单节点仿真结果

以同样的方式继续选择电容器来验证目标阻抗是可接受的。重复以上步骤,直到阻抗响应曲线满足目标阻抗。不断地选择电容器,进行单节点分析,观测结果。

(11) 在“Power Integrity Design & Analysis”对话框中选择“Cap Libraries”,弹出“Power Integrity Setup Wizard-Library Setup”对话框,如图 8-8-65 所示。

(12) 在“Power Integrity Setup Wizard-Library Setup”对话框中单击电容库文件夹 E:/Cadence/SPB16.3/share/pcb/pcb\_lib/npo\_0603\_caps 旁边的“+”号,显示这个目录中所有的电容器,如图 8-8-66 所示。

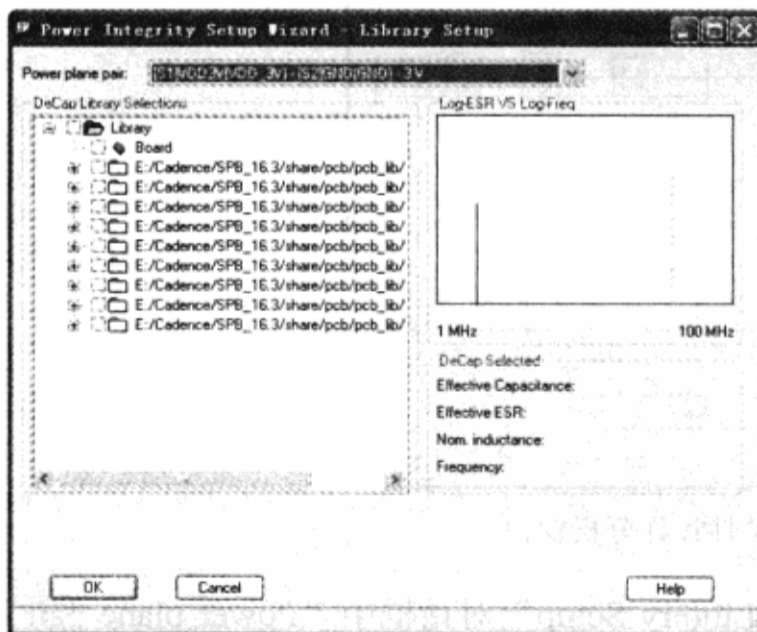


图 8-8-65 电容器库设置窗口

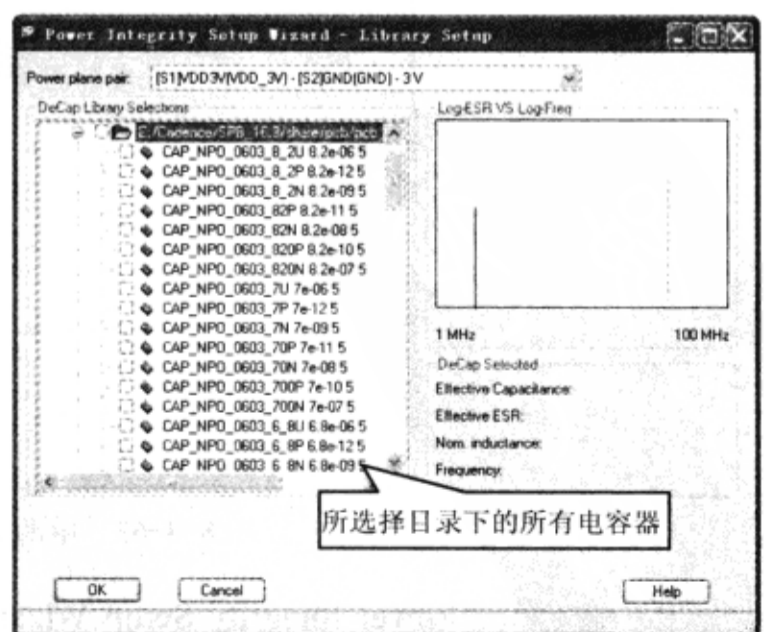


图 8-8-66 目录下的电容器



(13) 向下滚动电容器列表，选择表 8-8-1 中所有的电容器，如图 8-8-67 所示。当在一个电容器上单击鼠标左键时，就会在窗口的右边显示电容器的电容值、等效串联电阻 (ESR)、额定电感值和谐振频率。观测电容器的谐振频率值是否处于 SigWave 窗口中由两条垂直游标所确定的频率范围之内。

表 8-8-1 要选择的去耦电容器

CAP_NPO_0603_100N	CAP_NPO_0603_330P
CAP_NPO_0603_12N	CAP_NPO_0603_33N
CAP_NPO_0603_1_5N	CAP_NPO_0603_390N
CAP_NPO_0603_1N	CAP_NPO_0603_3_3N
CAP_NPO_0603_220P	CAP_NPO_0603_470P
CAP_NPO_0603_2_2N	CAP_NPO_0603_5_6N
CAP_NPO_0603_2_2U	CAP_NPO_0603_680P

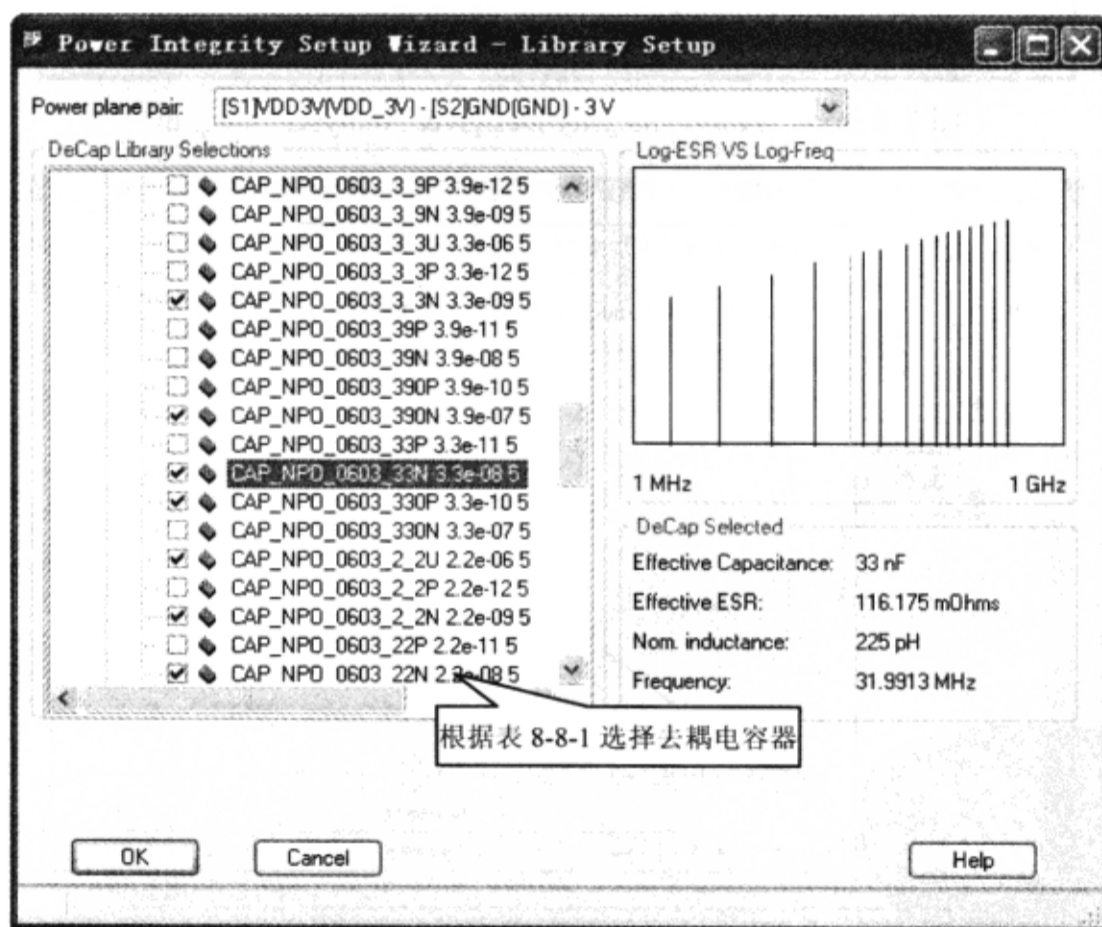


图 8-8-67 选择去耦电容器

(14) 在“Power Integrity Setup Wizard-Library Setup”对话框中单击“OK”按钮，显示“Power Integrity Design & Analysis”对话框，如图 8-8-68 所示。

(15) 单击“Single Node Simulation”按钮，从图 8-8-69 可以看出，通过使用所选择的电容器，基本达到了所要求的目标阻抗。

(16) 在 SigWave 窗口中执行菜单命令“File” → “Exit”，退出。

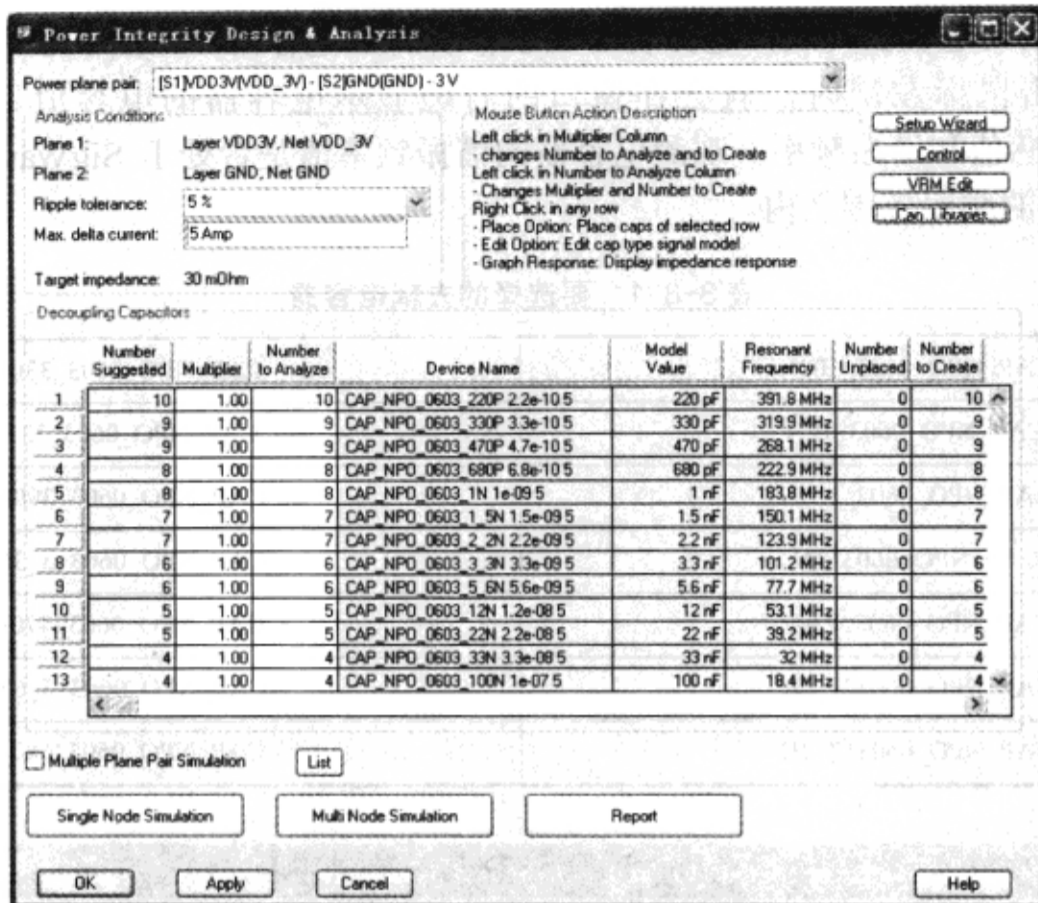


图 8-8-68 “Power Integrity Design & Analysis” 对话框

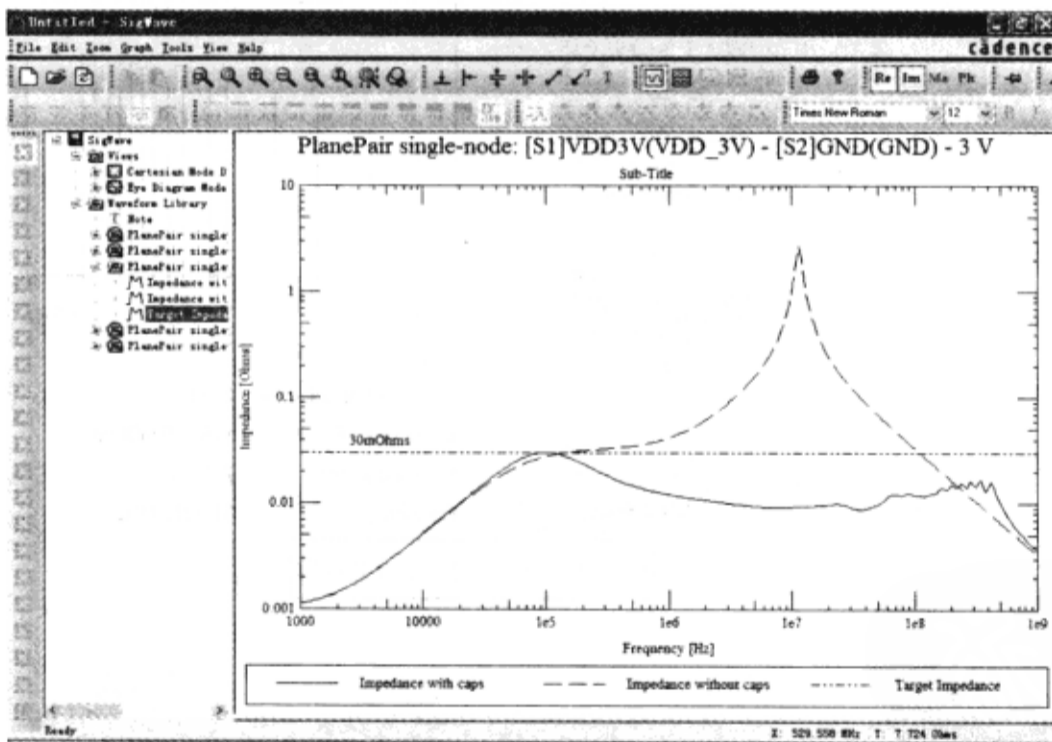


图 8-8-69 单节点仿真结果

3) 电容器的合成曲线 观测所选择电容器的合成曲线是很有必要的。这些效果产生的原因是由于电容器的阻抗效应，因为任何电容器都存在阻抗。并联电容器的计算方法与并联电阻的计算方法相同，从电路中可以看出，并联电容器产生的效果要比总的等效电阻要低。

(1) 在“Power Integrity Design & Analysis”对话框中选择“Cap Libraries”，弹出“Power Integrity Setup Wizard-Library Setup”对话框，如图 8-8-70 所示。

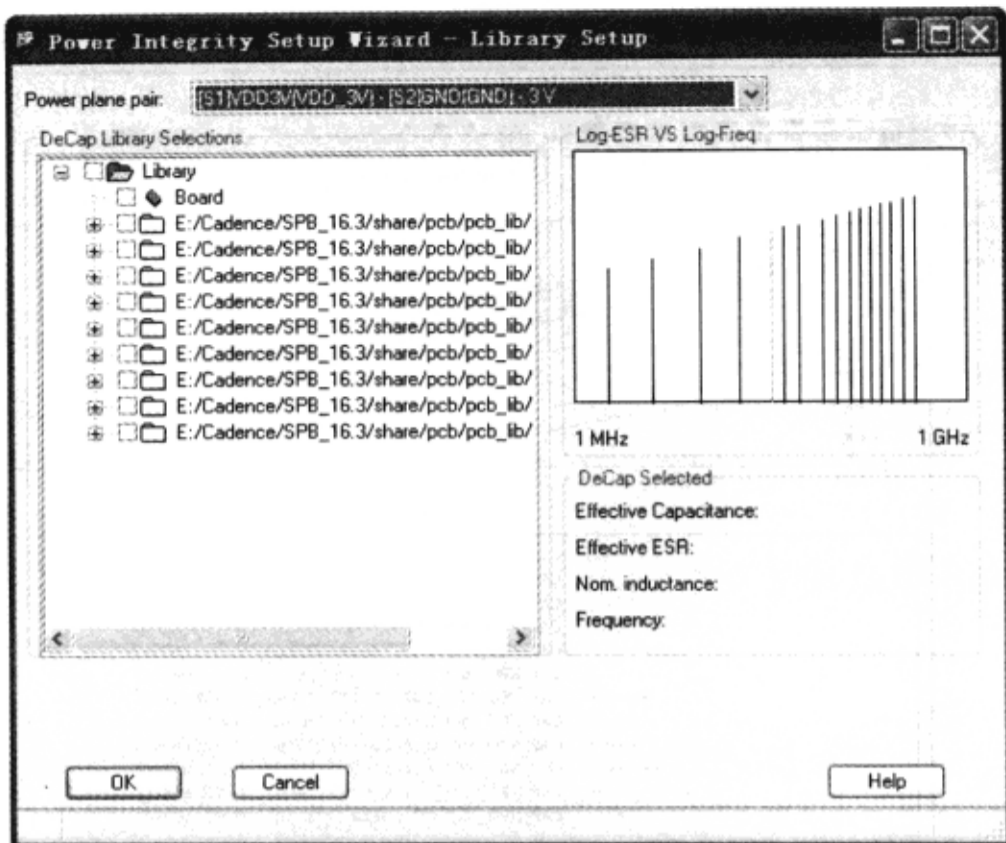


图 8-8-70 “Power Integrity Setup Wizard-Library Setup” 对话框

(2) 在“Power Integrity Setup Wizard-Library Setup”对话框中电容器库文件夹 E:/Cadence/SPB\_16.3/share/pcb/pcb\_lib/npo\_0603\_caps 上单击鼠标右键，在弹出的菜单中选择“Graph All Checked”，在 SigWave 窗口中会显示所有被选中的电容器的响应曲线，以及这些电容器的合成曲线，如图 8-8-71 和图 8-8-72 所示。

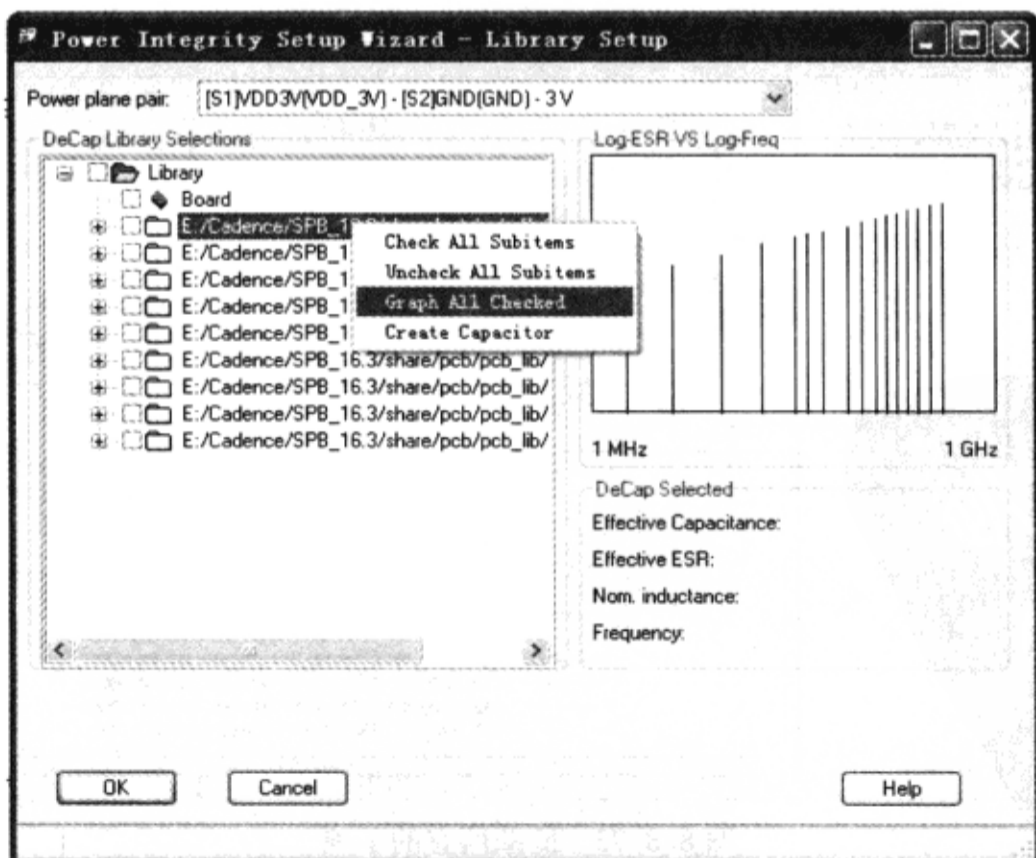


图 8-8-71 显示电容器的合成曲线

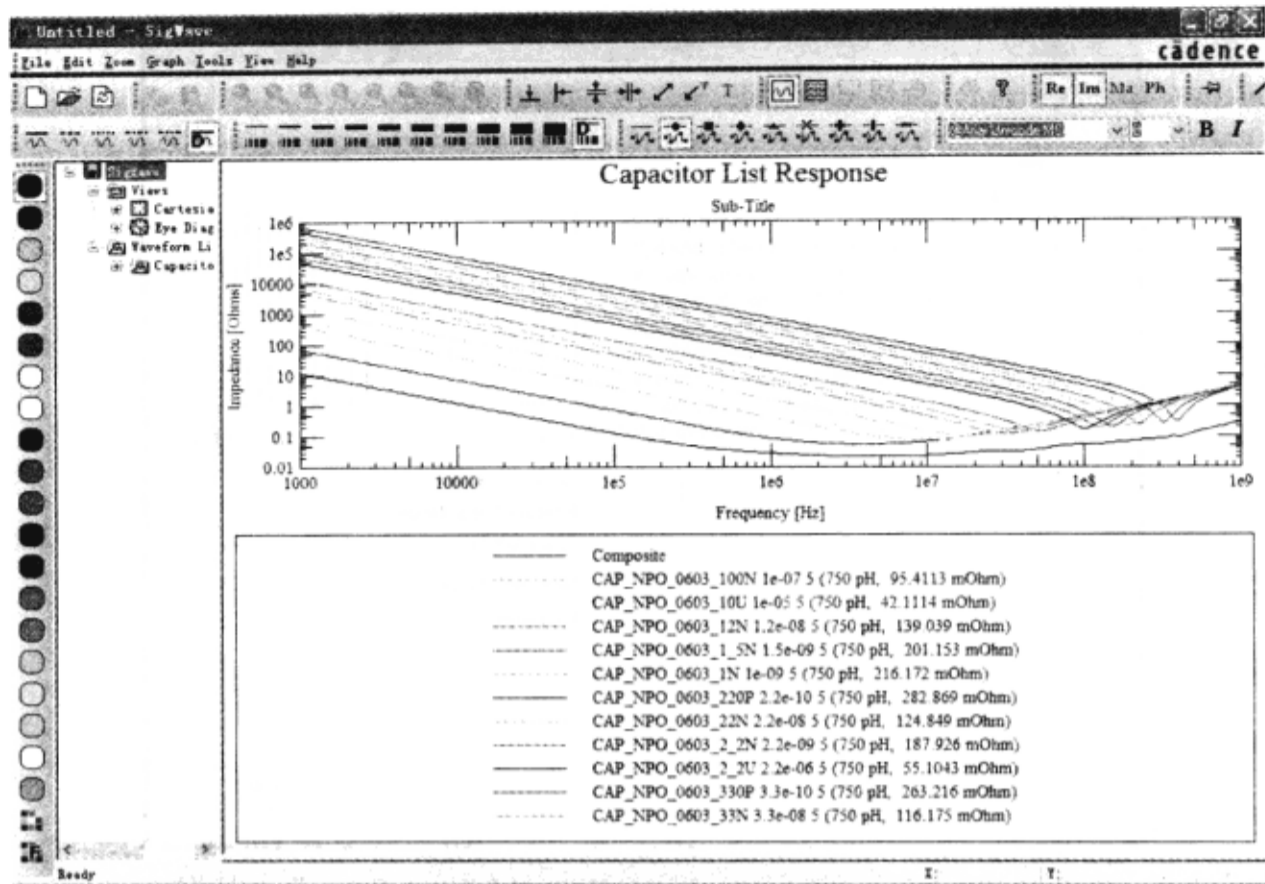


图 8-8-72 电容器响应的合成曲线

(3) 在“Capacitor List Response”（电容器响应曲线列表）文件夹上单击鼠标右键，在弹出的菜单中选择“Hide All Subitems”（隐藏所有的子项），如图 8-8-73 所示。

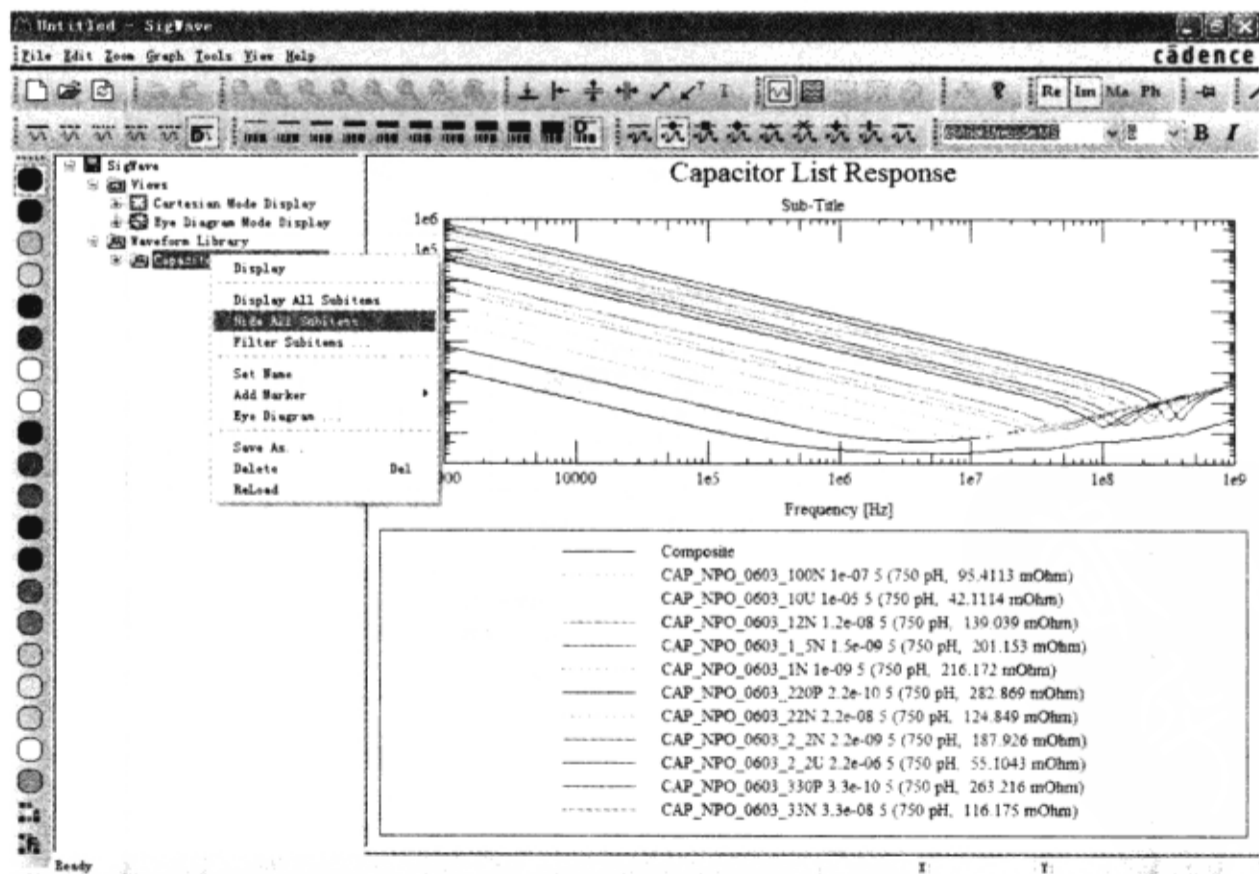


图 8-8-73 隐藏所有的子项

(4) 展开“Capacitor List Response”文件夹，如图 8-8-74 所示。

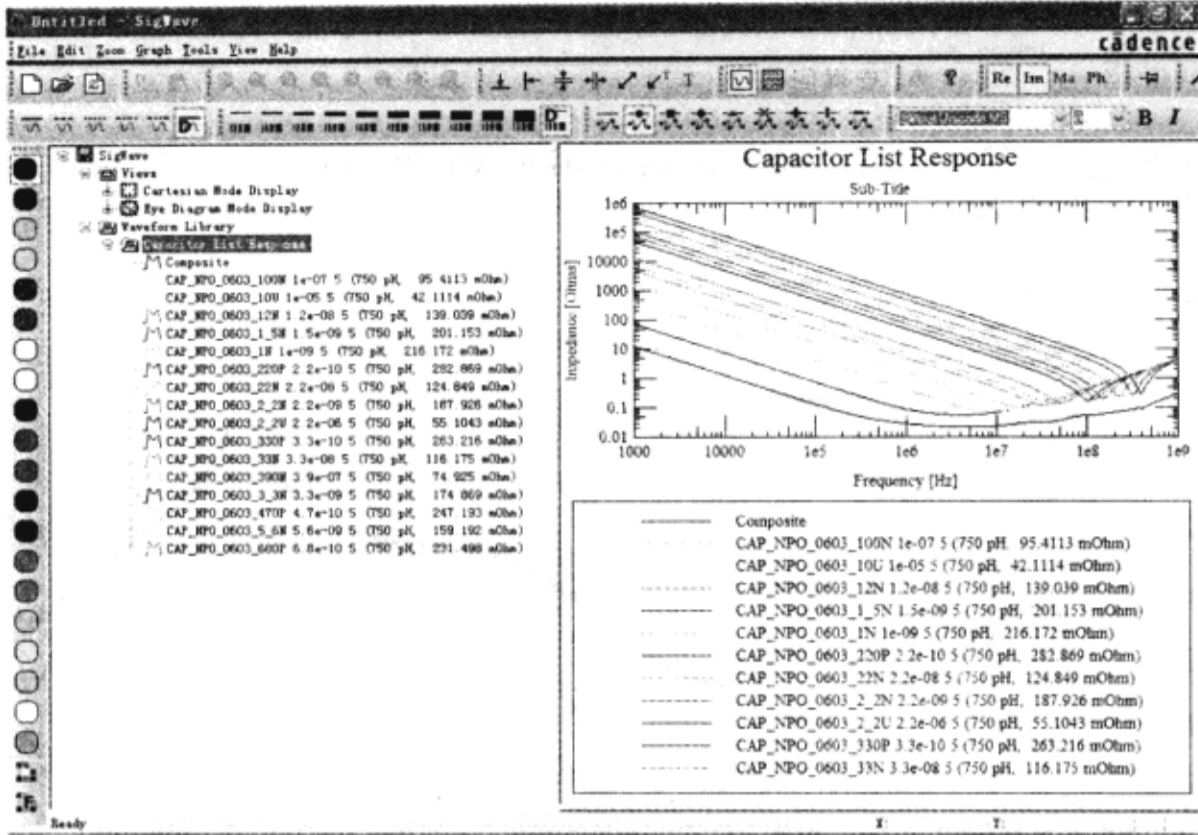


图 8-8-74 展开响应曲线文件夹

(5) 在合成曲线 (Composite) 上单击鼠标右键，在弹出的菜单中选择“Display”，如图 8-8-75 所示。

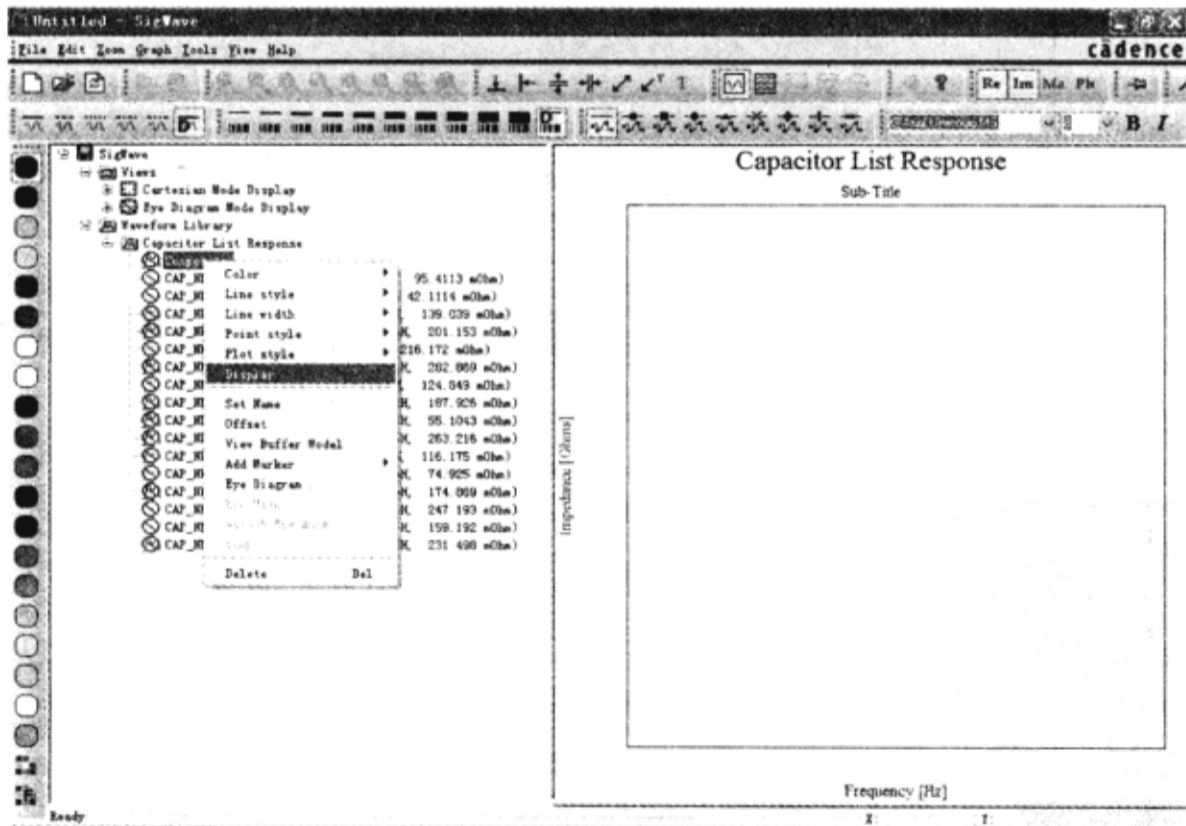


图 8-8-75 取消显示文件夹下的响应曲线

(6) 在“Power Integrity Design & Analysis”对话框中单击“Single Node Simulation”按钮，此时就会在 SigWave 窗口中显示平面对的仿真结果，在 Impedance without Caps 波形上单击鼠标右键，在弹出的菜单中选择“Display”，关闭这个波形的显示，如图 8-8-76 所示。



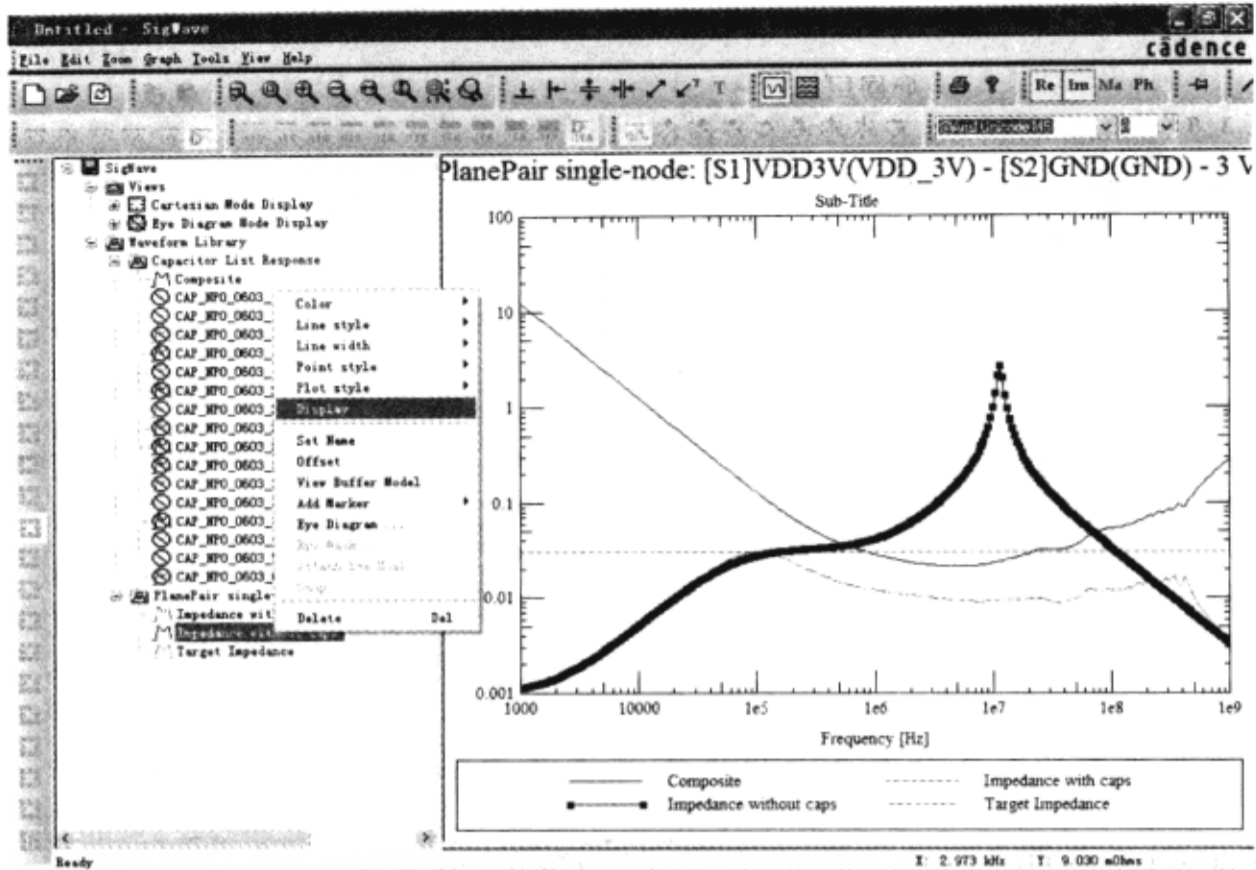


图 8-8-76 取消显示响应曲线

(7) 在 SigWave 窗口中的 Impedance with Caps 上单击鼠标右键，在弹出的菜单中可对波形的线宽、颜色和样式等做出修改，如图 8-8-77 所示。

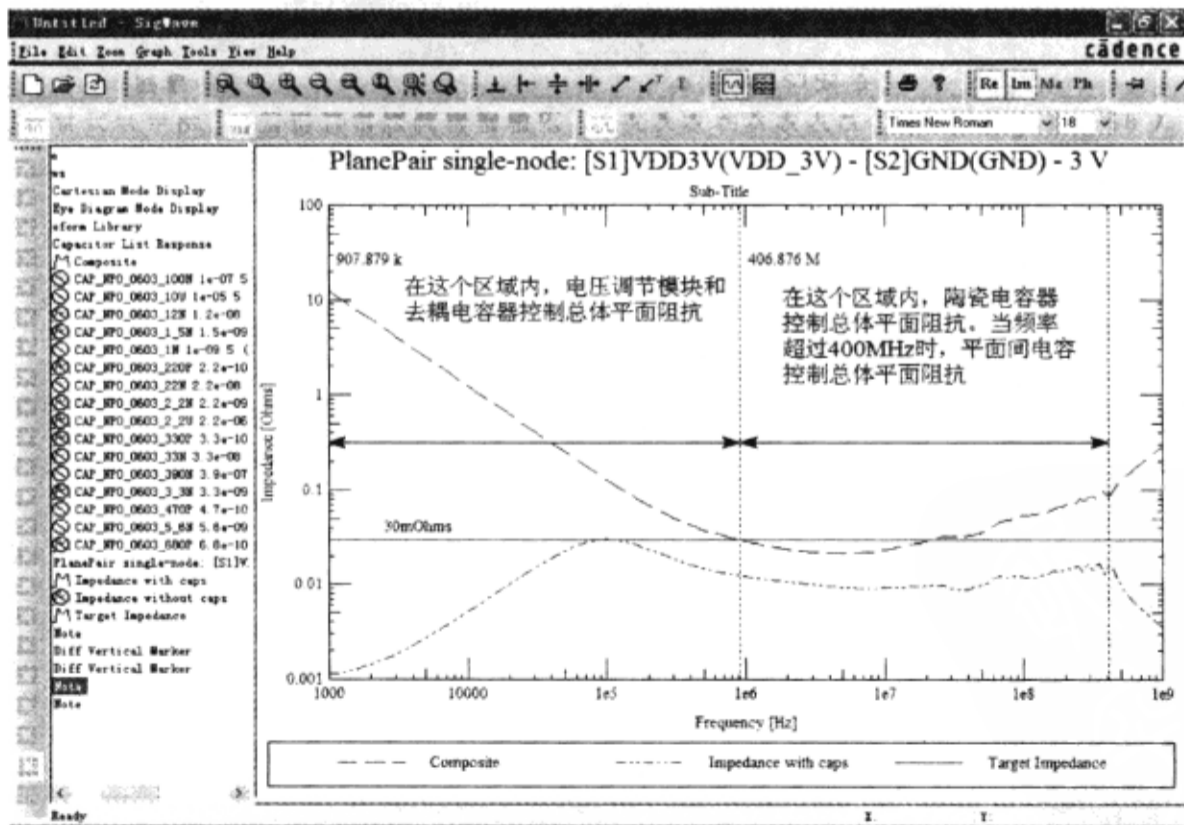


图 8-8-77 平面对单节点仿真响应曲线

合成曲线的阻抗值在频率低于 900kHz 的范围内要高于目标阻抗。含有电容器的阻抗响应曲线表明在频率低于 900kHz 的范围内，电压调节模块和去耦电容器发挥作用，使得平面

的阻抗维持在目标阻抗值以下。

在频率高于 900kHz 且低于 400MHz 的范围内，陶瓷电容器使得平面的阻抗值维持在目标阻抗值以下。通过观测合成曲线可以看出，在频率处于 900kHz~25MHz 之间时，合成波形是处于目标阻抗值以下的。在这两点之间，单独电容器的并联阻抗保持平面阻抗处于目标阻抗值以下。

当频率高于 25MHz 时，单独电容器的并联阻抗与平面间的电容保持平面阻抗处于目标阻抗值以下。当频率高于 400MHz 时，单独电容器的合成阻抗不能再维持目标阻抗，在这个点以后，平面间的电容保持平面阻抗处于目标阻抗以下。

- (8) 在 SigWave 窗口中执行菜单命令“File”→“Exit”。
- (9) 在“Power Integrity Design & Analysis”对话框中单击“OK”按钮。
- (10) 在 Allegro PCB PI option XL 窗口中执行菜单命令“File”→“Save”。
- (11) 在 Allegro PCB PI option XL 窗口中执行菜单命令“File”→“Exit”。

# 第9章 平面和多节点仿真

## 9.1 学习目标

本章将继续学习 Allegro PCB PI option XL 电源完整性工具的使用方法，先复习第 8 章所学的知识，然后将学习以下新的内容。

- (1) 在电源完整性工具中进行电容器布局；
- (2) 在电源完整性工具中摆放噪声源；
- (3) 平面网络模型；
- (4) 多节点仿真和交互查看功能。

本章的主要研究内容如下所述。

(1) 去耦电容器布局是获得目标阻抗的关键步骤之一，电容器应该摆放在离被去耦器件较近的位置。电源完整性工具有一套单独完整的功能来帮助我们完成电容器的布局。在窗口中会显示一个代表有效波长的圆圈，它表示电容器的有效去耦范围。

(2) 噪声源 (Noise sources) 代表了所指定特定平面对的变化电流  $\Delta I$  的总量。根据所确立的噪声估计来添加噪声源，这个估计值是决定目标阻抗所指定的变化电流的最大值。考虑到要在所分析的 PCB 上摆放噪声源，所以要在 PCB 上预留够足够的空间。

(3) 使用电源完整性工具创建平面模型。平面模型是一个由传输线矩阵连接而成的网络。

(4) 包含电容器贴装电感值的多节点仿真，电源完整性工具与此相关的一个非常重要的功能是交互查看 (Cross-Probe) 功能，即在 SigWave 窗口中选择一个波形，在 Allegro PCB PI option XL 窗口中就会显示受此波形影响的 PCB 区域。

## 9.2 第 8 章回顾

在第 8 章中我们主要学习了以下知识。

- (1) 去耦电容器；
- (2) 高频陶瓷电容器；
- (3) 电容器响应曲线；
- (4) 所选择电容的单节点仿真。

第 8 章拓宽了所学的电源完整性知识，我们不仅学会了创建一个 PCB 文件，同时也学会了导入一个现有 PCB 文件的相关设置，这样能快速获得 PCB 的叠层结构和平面设置。如果所导入的 PCB 不满足我们的要求，还需要对所导入的 PCB 进行修改。

首先定义一个目标阻抗，然后选择一系列电容器并进行单节点分析，选择电容器的目的是减小分析结果波形中存在的反谐振波峰。

## 9.3 电容器布局

### 1. 摆放去耦电容器

在 PCB 上摆放去耦电容器前，需要进行一次多节点仿真显示出需要注意的频率范围。

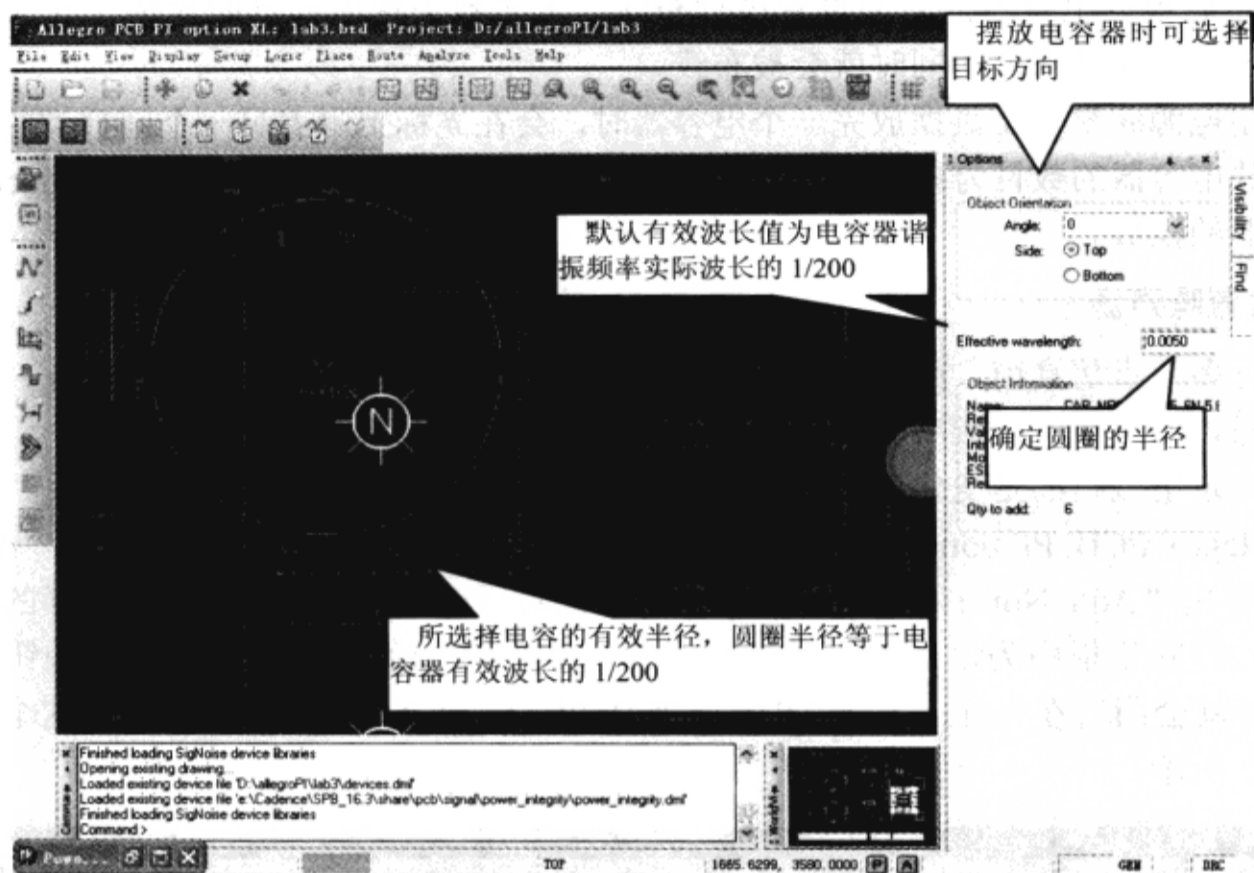


图 9-3-1 去耦电容器的有效去耦范围

摆放去耦电容器时，电源完整性工具会忽略空间和位置的冲突，以及在 Allegro 其他的设计工具中才会显示的 DRC 错误。

摆放去耦电容器时，封闭圆圈代表了去耦电容器的有效去耦半径，半径的大小代表了在 Control 面板中所设置电容器谐振频率波长的一部分，默认值为所选择电容器谐振频率波长的 1/200。在窗口中所显示的圆圈，能确定该在噪声源多近的位置摆放高频去耦电容器，如图 9-3-1 所示。

### 2. 有效波长

假设要对一个以 1GHz 频率运行的高频处理器进行去耦，就应该选择一个在 1GHz 频率谐振的去耦电容器。1GHz 波长的 1/10 在空气中接近 0.03m，在 FR4 中接近 0.015m。要想使去耦电容器起作用，需要在当前目标器件 1.5cm（或者 576mils）的范围内摆放去耦电容器。

$$\lambda = \frac{c}{f\sqrt{\epsilon_r}} = \frac{3 \times 10^8}{1 \times 10^9 \sqrt{4.2}} = 0.14638501\text{m}$$

$$\frac{\lambda}{10} = 0.0146385\text{m} = 576.3189\text{mils}$$

根据电容器的串联谐振频率来决定电容器布局的方式，但是在现实情况中，在 1GHz 发生谐振的电容器是很难找的。

电容器的有效去耦半径会在所分析的层面上显示，当电容器被取消时，圆圈就会消失，这个图形仅在“Power Integrity Design & Analysis”对话框处于激活的状态下才会显示。

当电源完整性工具创建一个去耦电容器时，电源完整性工具会把电容器连接到恰当的信号网络，然后根据电容器的封装设置进行布线。大多数去耦电容器的封装在其内部会有连接，因此电容器在被摆放的同时就会被布线。

当使用电源完整性工具摆放完一个电容器时，会在光标上附着另一个同种类的电容器，直到未摆放电容器的数目为零。单击鼠标右键，并在弹出的菜单中选择“Stop Placemen”可停止电容器的摆放。

### 3. 放置噪声源

在进行多节点仿真前，必须在 PCB 布局中添加噪声源。噪声源有如下特性：

- (1) 噪声源是在所有频率下产生特定电流的理想电流源；
- (2) 特定电流指的是变化电流（最坏情况开关性能下的电流）。

在 Allegro PCB PI option XL 窗口中单击鼠标右键，在弹出的菜单中选择“Add Noise Source”，弹出“Add Noise Source”对话框，在此对话框中会显示平面对所选择的最大变化电流总量。在对话框中为这个特定噪声源输入一个变化电流值并单击“OK”按钮，代表噪声源的图标就会附着在光标上，在 Allegro PCB PI option XL 窗口中就可摆放这个噪声源，如图 9-3-2 所示。

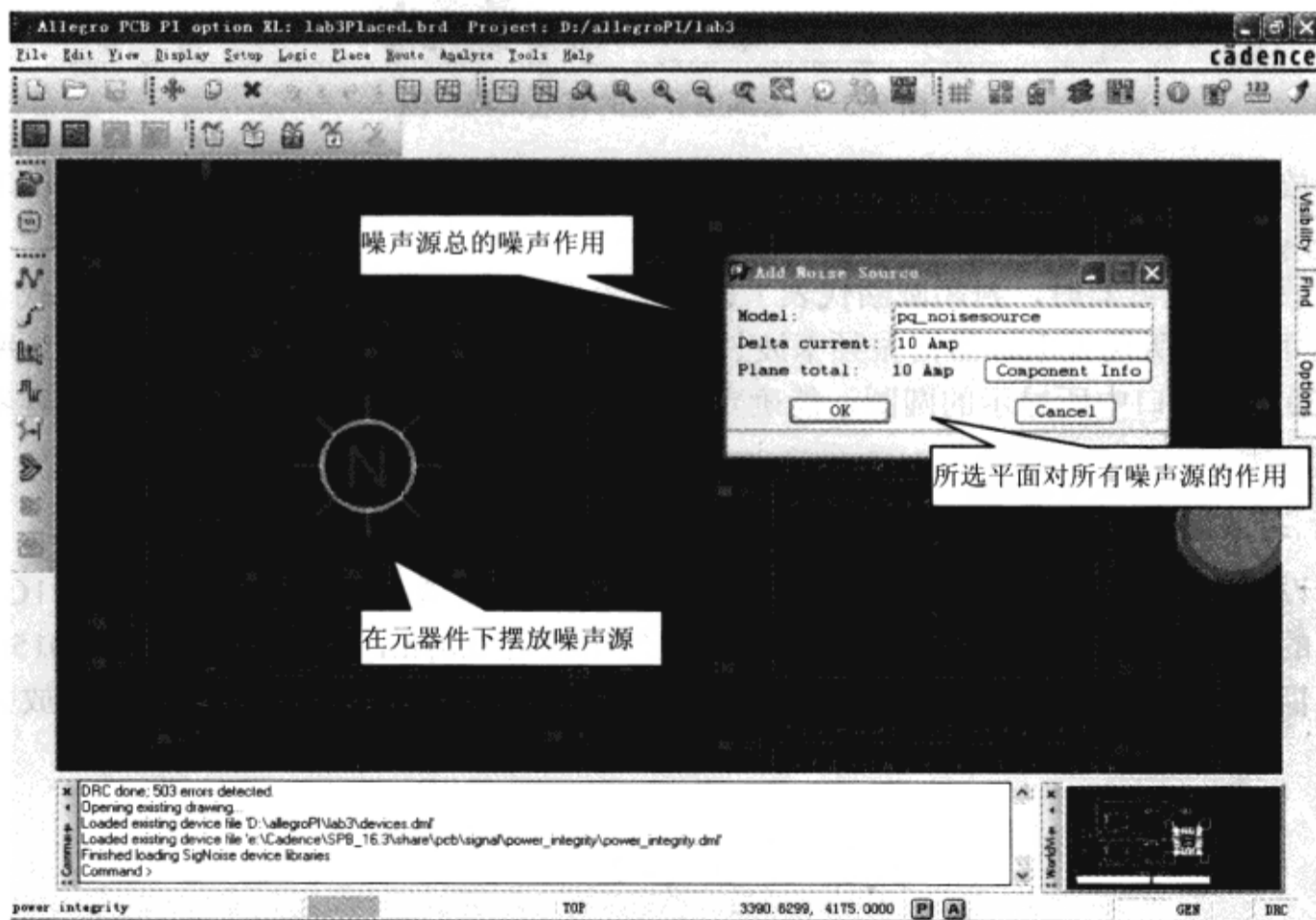


图 9-3-2 摆放噪声源



根据所确定的噪声估计可添加任意多的噪声源，考虑到噪声源有很高的噪声作用，应该在 PCB 上预留够足够的空间。零安培的噪声源是不可能被创建的。当“Power Integrity Design & Analysis”对话框处于激活状态时，在所分析层的 PCB 布局上会显示噪声源，当“Power Integrity Design & Analysis”对话框关闭时，就不会显示噪声源。

摆放完噪声源后，可对这个噪声源进行编辑、移动和删除操作，在 PCB 布局中，在噪声源上单击鼠标右键，在弹出的菜单中选择“Delete”、“Edit”或“Move”就可实现以上操作。当噪声源和一个元器件相关联时，噪声源会随着这个元器件进行移动和删除操作。

#### 4. 平面的电容器模型

初步假设平行板电容器的电容值为

$$C_a = \frac{\varepsilon}{h}, \varepsilon = \varepsilon_0 \varepsilon_R$$

式中， $h$  为平面之间的间隔距离， $\varepsilon_R$  为电介质的相对介电常数。通过上式能就确定平面波在平行极板之间的传播速度， $\varepsilon_R$  是电介质的相对介电常数， $c_{\text{light}}$  是光在自由空间中的传播速度，根据电感值和电容值，能计算出传输线的阻抗和延时。

$$v = \frac{c_{\text{light}}}{\sqrt{\varepsilon_R}} = \frac{1}{\sqrt{L_a C_a}} \quad Z_0 = \sqrt{\frac{L_a}{C_a}} \quad t_{\text{delay}} = \sqrt{L_a C_a}$$

电源和地平面有非常小的电感值，有很小或可以忽略的串联电阻值。把电源平面当做一个去耦器件有助于减少高频范围内的 RF (Resonance Frequency, 射频) 能量。

在大多数多层 PCB 中，两个元器件之间平面电感的最大值明显要小于 1nH，导线长度电感 (lead-length inductance，与连接一个元器件与其相对应过孔及过孔本身的传输线相关的电感) 通常情况下为 2.5~10nH 或者更大。

## 9.4 平面模型

### 1. 平面模型电路拓扑结构

电源和地平面可被一个分布式电气电路代替，可抽象为一个  $R$  (每单元格电阻)， $L$  (每单元格电感)， $G$  (每单元格电导)， $C$  (每单元格电容) 矩阵，组成一个传输线网络。电源/地平面被划分为网格并转化为代表平面分布特性的节点网络，去耦电容器由其去耦电容值、寄生电感值和电阻值来代替，然后被连接到适当的网络节点上。电压源和噪声源被连接到网格上来模拟电源和器件的行为，创建瞬时电流的需求。

电源完整性工具使用网格方法来对平行板建模，等效电路会产生一些问题，使用电路仿真器能解决这些问题，网格技术有减小这些问题的优势，而且要比其他解决方案速度快得多。如图 9-4-1 所示，模型由 4 条以星形方式连接起来的传输线所组成，通常每条传输线有一对单独的传输节点。

因为在  $X$  方向和  $Y$  方向都有传输线单元，所以需要对电源平面的电容值进行双倍计算。 $X$  传输线会加重  $Y$  传输线的负担并减慢速度，为了对此进行校正，以每条传输线的 2 倍

增加阻抗和降低传输时间，这使得电源平面总电容和总延时能与所给拓扑结构正确仿真。

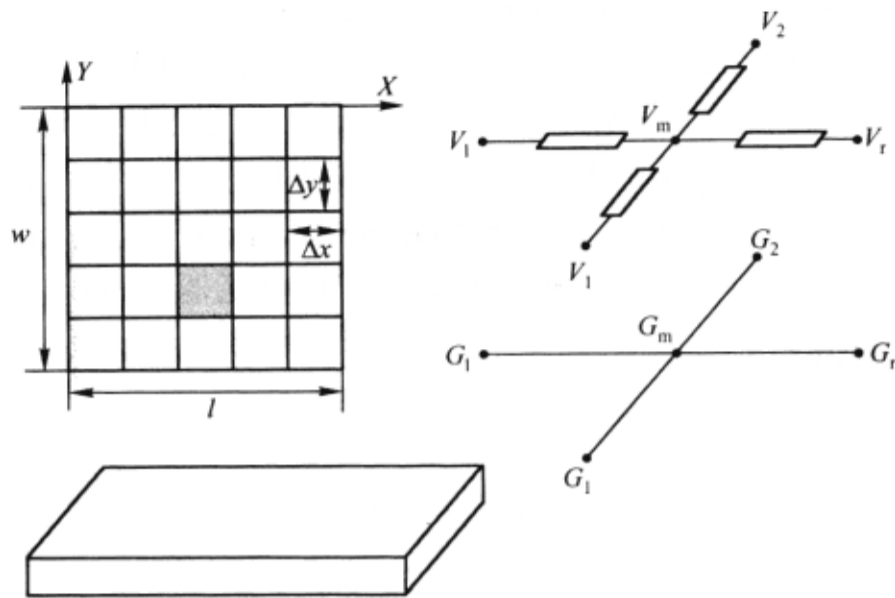


图 9-4-1 平面模型

有损传输线由插入的电阻所组成，一个与传输线串联，一个在参考节点分支中，相同的校正技术被应用到了长度中。

## 2. 平面模型拓扑结构

Allegro PCB PI option XL 电源完整性工具使用单元格（或者网格）矩阵来分析平面，PCB 的叠层结构包含了创建网格的必要信息，网格的间隔尺寸由用户定义，如图 9-4-2 所示。

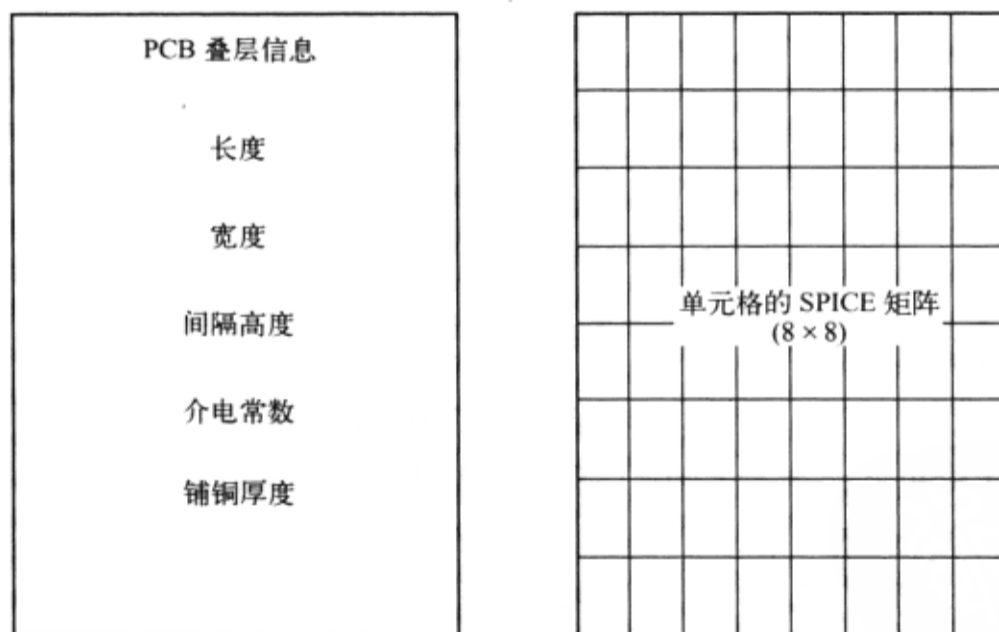


图 9-4-2 平面模型拓扑结构

一旦创建 PDS 的模型，就能在频域内对其分析，从而确定了相关频率范围下的节点阻抗。网格中节点的传输阻抗值代表了 PDS 的与频率相关的阻抗，通过这个值可看出器件的电源引脚在该点上是否被连接到了电源或地平面。通过对以上的参数的分析和绘图就可确定 PDS 是否满足目标阻抗。设计中有问题的区域会被显示出来，通过修改设计并重复以上的进程直到获得满意的参数。

### 3. 模型间隔距离

(1) 模型的间隔距离会影响仿真运行的时间和精度，在图 9-4-3 所示的对话框中还可输入其他的值，如“20X20”或“33X12”；

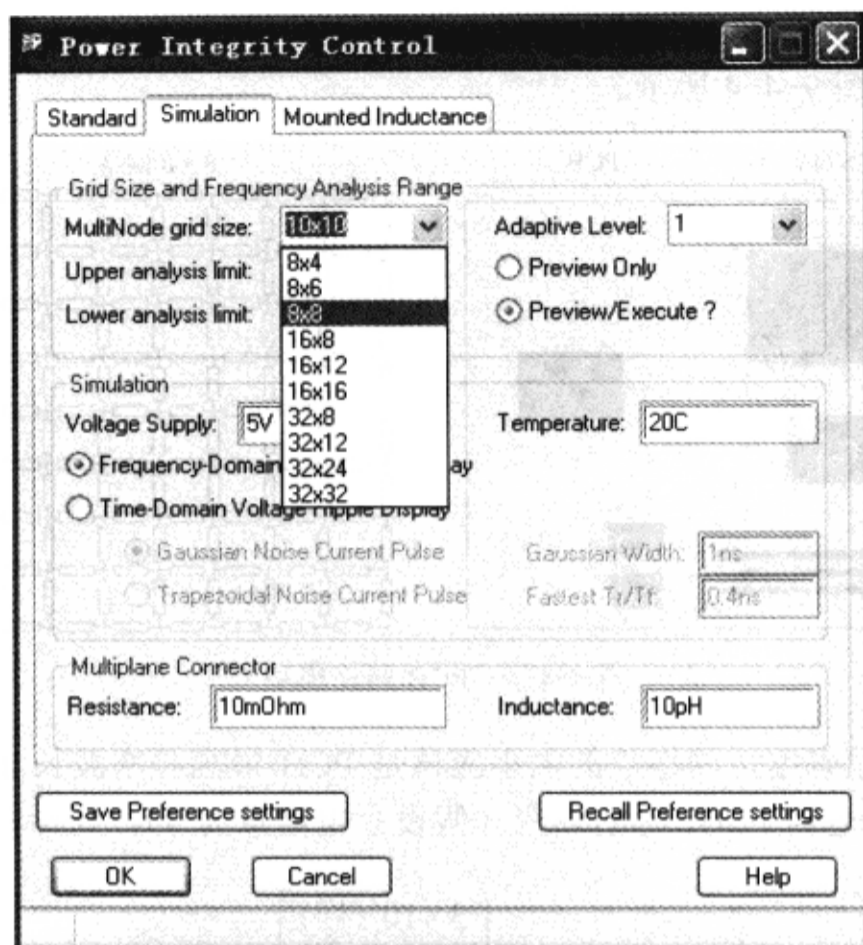


图 9-4-3 “Power Integrity Control” 对话框

- (2) 平面模型是一个由错误端接 (Mis-Terminated) 的传输线所组成的矩阵；
- (3) 1/4 波长和终结不当的传输线会导致阻抗倒置 (如开路会变为短路，反之亦然)；
- (4) 半波会产生驻波；
- (5) 传输线部分的长度最大值不应该大于暂态仿真上升时间的 1/5，同时要比  $f_{\max}$  的 1/15 要小。

通过没有正确端接传输线的最大长度和上升沿及下降沿的频谱来确定适合仿真速度和精度的最佳间隔距离。没有正确端接的传输线会产生谐振，因此会导致不正确的仿真结果。传输线矩阵在每个节点上本来就是错误端接的，这是因为一条传输线要供给其他 3 条相似传输线的并行结合点。

### 4. 电源层的最大频率

大多数波形的频谱要比  $0.35/t_{\text{rise}}$  要短，为了确保精度，在传输线延时为  $t$  的电源平面上允许的最大频率为

$$f_{\max} = 0.35/t_{\text{rise}} = 0.35/(5t) = 1/(14.3t)$$

因此在 SPICE 分析中，传输线格点部分不应该大于最大频率波长的 1/15。为了阻止传

输线不正确端接所产生的问题，传输线部分的最大长度不应超过暂态波形上升时间的 20%。这将使得传输线近端会在上升时间内影响远端两次，因此使得反射错误不那么明显。如果两个节点之间的传输线延时为  $t$ ，则上升时间的最小值为  $5t$ 。

## 5. 网格问题

PCB 网格模型如图 9-4-4 所示。

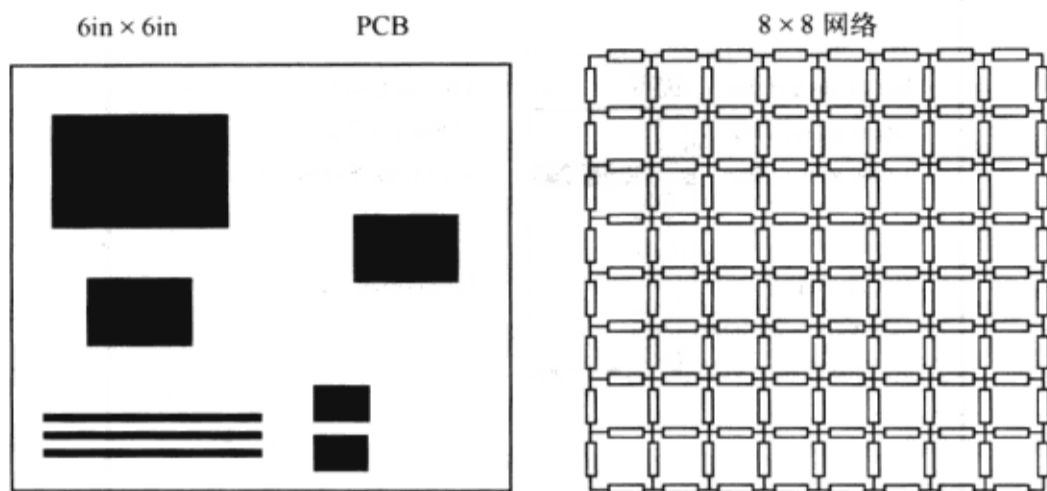


图 9-4-4 PCB 网格模型

为了获得最好的精确度，网格点的大小应该是 PCB 最高频率波长 1/10 的最大值，假设在研究 FR-4PCB 频率达到 1GHz 时的效应（假设介电常数为 4），则计算波长的等式为

$$\text{波长} = \frac{\left(\frac{c}{\text{频率}}\right)}{\sqrt{\epsilon_r}} = \frac{\left(\frac{3 \times 10^8 \left(\frac{\text{m}}{\text{s}}\right)}{1000\text{MHz}}\right)}{\sqrt{4}} = 150\text{mm}$$

150mm 的 1/10 为 15mm，理论上使 300mm×300mm 尺寸的 PCB 获得最大精度精度的网格设置为 20×20。在设置网格精度时，要在运行时间和精度之间做权衡，电源完整性工具可为平面仿真提供各种的网格精度。如果觉得使用高于 16×16 的网格精度更合适，就可增加网格的精度，但是要花费更长的仿真时间。通常情况下使用的是 8×8 的网格，这种情况下仿真运行速度很快，而且能进行大多数的假设分析。

大多数情况下假设 PCB 及其平面是矩形结构的，在此情况下找出平面模型网格数目主要决定因素是带宽。如果平面形状比较复杂或者平面上有空隙，网格数目会直接影响到存在的非矩形部件的精度。圆孔尽可能近似为矩形网格，如果与圆孔相关的网格尺寸很小，就能做很好的近似，否则圆形将被“矩形化”，虽然这样做并不是错的，但是要尽量避免这种情况发生。

## 9.5 电源平面的损耗

### 1. 趋肤效应

电源平面上损耗包括导体损耗和介质损耗，直流导体电阻与频率无关，但是趋肤效应电

阻式频率的平方根。传输电流的导体厚度应该是导体厚度或趋肤深度的最小值，或者比其最小值更小。一旦趋肤效应开始起作用，不断减小的表层深度会随着频率而增加传输电流。电源平面导体的阻抗计算公式为

$$R = \frac{1}{\sqrt{\mu\pi\delta} \times \text{频率}} \times \frac{\text{长度}}{\text{宽度}}$$

式中， $\delta$  为导体的电导率； $\mu$  为导体的导磁率。

趋肤效应会使电流在导体中与频率平方根成正比的深度中传播。

## 2. 介质损耗

介质损耗是由介质的导电率决定的，并且与频率和介质成正比。

$$G = \omega C \tan \sigma$$

式中， $\tan \sigma$  为损耗因数，是与频率相关的常熟。

假设材料的损耗因数为与频率相关的常数，PCB 材料介电常数的增加会增加平面的电容值。观测频率—阻抗响应曲线的低频部分可以看出，介电常数值值的增加会降低阻抗值。因为在电介质中的传播速度为  $1/\sqrt{\epsilon_r}$ ，空腔频率（Cavity Frequencies）就会发生变化。介电常数的增加会导致电容值的增加，从而会减弱空腔谐振，但网格结构的电感值并没有变化。增加介电常数值有助于减小阻抗和空腔谐振频率，但减小电介质厚度不会起相同的效果。

## 3. 电介质厚度

空平面的谐振会导致地反弹（Ground Bounce），薄介电材料自身能有效地抑制空 PCB 的平面反弹。在电源完整性工具中，平面被建模为一个损耗传输线矩阵，则有如下的计算公式：

$$\alpha = \frac{R}{2Z_0} + \frac{GZ_0}{2}$$

式中， $Z_0$  为特性阻抗； $R$  为串联导体损耗； $G$  为并联介电质损耗。

通过分析等效模型电路传输线部分传播常数（alpha）的实部，就能很好地理解这个作用， $Z_0$  是传输线的特性阻抗， $R$  和  $G$  为所定义的串联导体损耗和并联电介质损耗。当电介质厚度减小时，虽然趋肤效应损耗仍然保持常数，但是  $Z_0 = \sqrt{L/C}$  特性阻抗值会随着电介质厚度成比例减小，因为电感值和电容值分别与电介质厚度成正比例和反比例，所以随着电介质厚度的减小，电介损耗也会相应地减少，因此会使趋肤损耗来抑制平面谐振。这个简单的近似分析表明了电源平面和地平面之间的薄电介质在高频时降低 PDS 方面有着巨大的优势。

## 9.6 多节点仿真

### 1. 多节点仿真流程

多节点仿真包括了 PDS 所有 4 个元件所产生的效应，使用电源完整性工具主要完成以下任务：

(1) 为每个单元格计算在全频域范围内（ $Z_f$ ）的阻抗；



- (2) 在 SigWave 窗口中显示所有的  $Z_T$  曲线；
- (3) 反复验证、不断调整，最后完成电容器布局；
- (4) 使用交互查看（Cross-Probe）功能能图形化地指出 PCB 中存在的电势热点（Potential Hot-spots）。

为了获得更加精确的仿真结果，可以先摆放去耦电容器、噪声源和电压调节模块，然后在全频域范围内进行多节点仿真。在单节点仿真中，电源完整性工具在电流和电压为常数的理想电路中连接去耦电容器和电压调节模块，但是在多节点仿真中，电源完整性工具更加精确地模拟了设计中电容器的实际布局。



说明

使用多节点分析进行电容器布局的注意事项。

- (1) 一次选择一个频率，并使用交互查看功能直到完成电容器的布局；
- (2) 不断进行多节点仿真，使得所摆放电容器的数目最小化；
- (3) 即使最好的电容器在频率超过 300MHz 的情况下也只会起很小的作用。

## 2. 交互查看功能

电源完整性工具能交互查看 SigWave 波形窗口中的波形和 PCB 布局中相应网格区域的分析结果，与此相反，在 PCB 布局中选择一个网格区域，在 SigWave 波形窗口中就会高亮显示相应的波形，如图 9-6-1 所示。

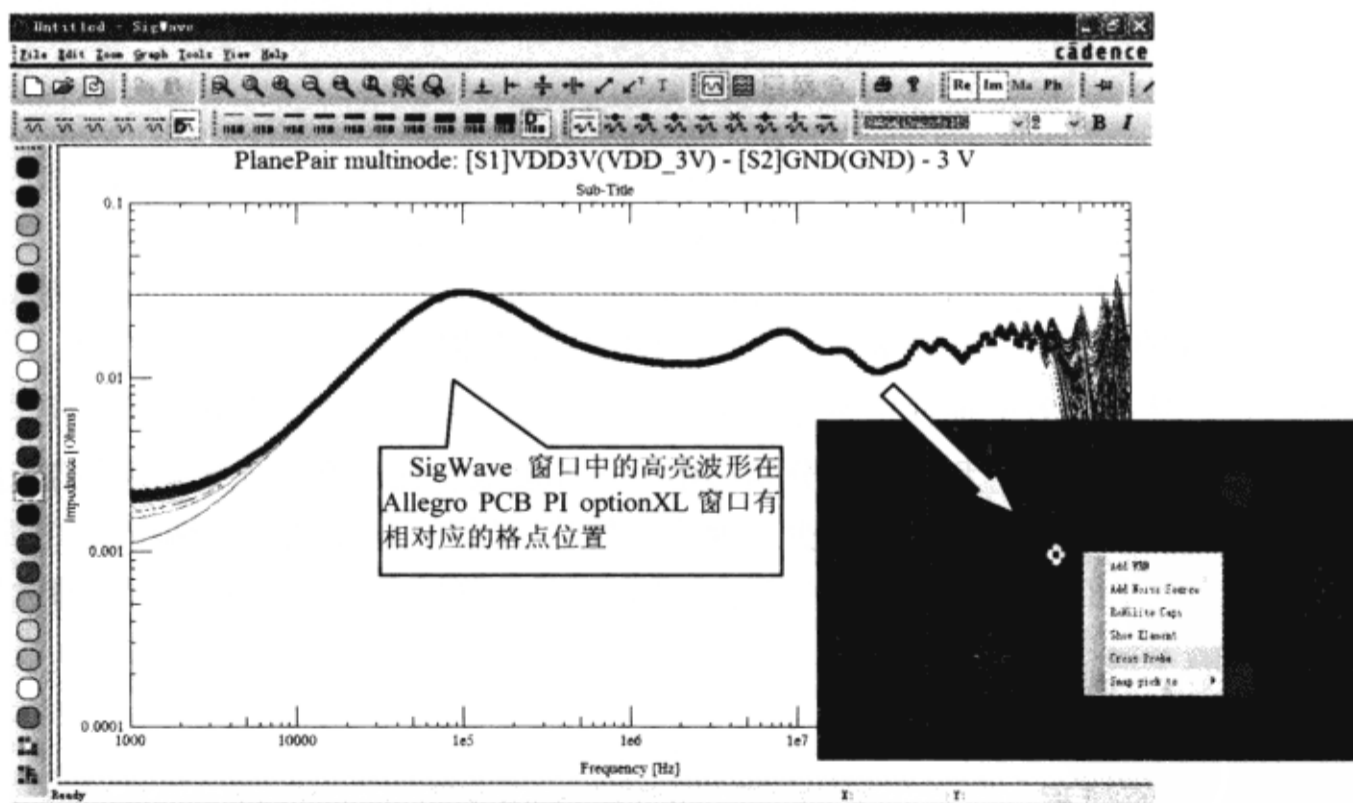


图 9-6-1 电源完整性工具的交互查看功能

SigWave 窗口中每一条波形是 PCB 上一个节点网络的仿真结果，单击其中的一条多节点仿真波形，在 PCB 布局中就会高亮显示相应的网格区域，网格区域的左上角会有一个标

志。PCB 上所能显示的矩形的数目是由所设置的网格尺寸所决定的（如 $8\times 8$ 或 $16\times 16$ ）。矩形代表了平面对之间创建的谐振腔，并由网格划分所形成。每个空腔会根据 PCB 寄生参数和去耦电容器在 PCB 上的摆放位置产生谐振，这就是交互查看功能在显示波形和网格之间所起的作用。

接下来将进行电容器布局，并观测电容器布局将如何影响分析结果，9.7 节的学习内容有：

- (1) 如何在电源完整性工具中进行电容器布局；
- (2) 进行多次多节点仿真；
- (3) 使用电源完整性工具的交互查看功能；
- (4) 通过改变 PCB 叠层结构来减小高频时的反谐振波峰。

同时，学习的重点是如何获得目标阻抗，通过分析结果观察电容器布局是如何影响目标阻抗的设计，同时将观测如何改变平面对之间的间隔距离能有助于获得目标阻抗。

## 9.7 使用电源完整性工具进行多节点分析

**【本节目的】** 主要学习对 PCB 进行多节点仿真的方法。

**【使用工具】** Allegro PCB PI option XL Power Integrity。

**【使用文件】** allegroPI/lab3/lab3.brd, allegroPI/lab3/lab3Placed.brd, allegroPI/lab3/lab3Placed Bottom.brd。

### 1. 学习目标

本节主要学习通过摆放电容器和进行多节点仿真的方法来确定 PCB 上的目标阻抗。通过第 7 章和第 8 章对电源完整性工具的学习，我们学会了使用电源完整性工具作为开发工具来对 PDS 设计进行假设分析。我们已经学会在 Allegro PCB PI option XL 电源完整性工具中对 PCB 进行设置，使用设置向导可对进行电源完整性分析 PCB 的关键步骤进行设置。通过选择电容器并进行单节点分析观测 PCB 在理想情况下是否满足所要求的目标阻抗。通过以上步骤证明了 PCB 能达到其目标阻抗，接下来就将在 PCB 上摆放这些电容器并进行多节点仿真，多节点分析包含了所摆放电容器所有的寄生效应，多节点分析将进一步确认 PCB 是否满足目标阻抗。

本节的主要内容包括：

- (1) 在仿真中添加噪声源；
- (2) 使用电源完整性工具摆放电容器；
- (3) 根据有效波长 (Effective Wavelength) 特性来进行电容器布局；
- (4) 进行多节点仿真；
- (5) 根据交互查看功能 (Cross-Probe) 来进行电容器布局；
- (6) 通过选择电容器来减小反谐振；
- (7) 通过改变平面对间隔减小反谐振。

### 2. 打开 PCB 文件

- 1) 启动 Allegro PCB PI option XL

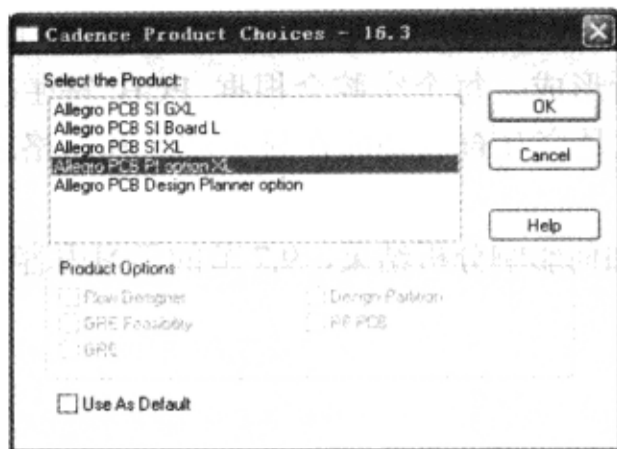


图 9-7-1 “Cadence Product Choices-16.3”对话框

(1) 执行菜单命令“开始”→“所有程序”→“Cadence”→“Release 16.3”→“PCB SI”，弹出“Cadence Product Choices-16.3”对话框，如图 9-7-1 所示。

(2) 在 Cadence 产品列表中选择“Allegro PCB PI option XL”，单击“OK”按钮，会显示 Allegro PCB PI option XL 窗口，注意 Allegro PCB PI option XL 窗口顶部的当前工作目录，这是 Allegro PCB PI option XL 保存当前设计文件的目录，如图 9-7-2 所示。

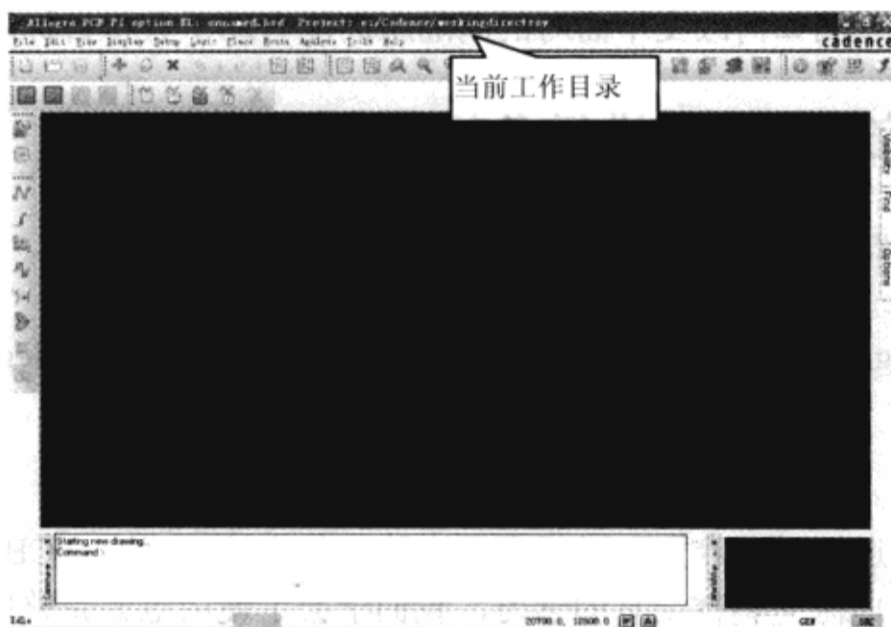


图 9-7-2 Allegro PCB PI option XL 窗口

2) 打开一个已存在的电路板文件 本节将用到第 8 章 PCB 文件的修改版本，这个 PCB 文件的不同之处仅在于一些元器件已被摆放到 PCB 上。

(1) 在 Allegro PCB PI option XL 窗口中执行菜单命令“File”→“Open”，弹出“Open”对话框，在这个对话框中会显示当前的工程文件夹，如图 9-7-3 所示。



图 9-7-3 “Open”对话框

(2) 打开 D:/allegroPI/lab3 文件夹，双击 lab3.brd，会在 Allegro PCB PI option XL 窗口中打开这个 PCB 文件，如图 9-7-4 所示。

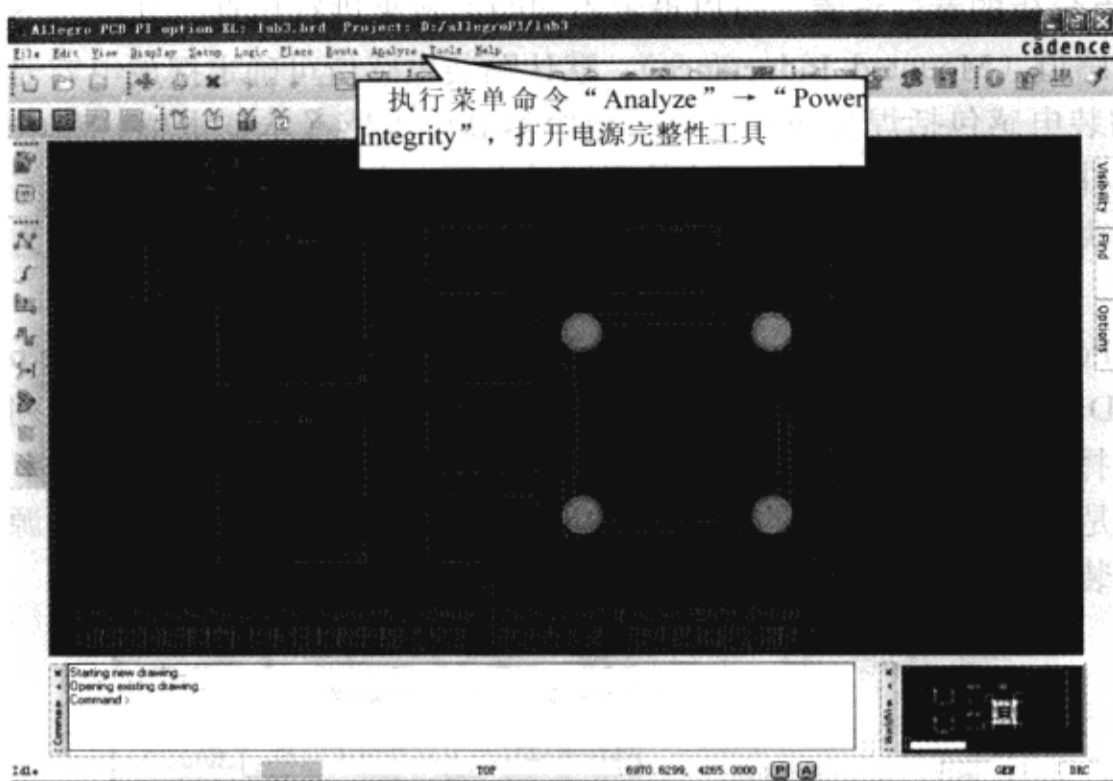


图 9-7-4 PCB 文件

### 3. 初始多节点分析

1) 启动电源完整性工具 使用 Allegro PCB PI option XL 电源完整性工具可进行电源完整性分析。

在 Allegro PCB PI option XL 窗口中执行菜单命令“Analyze”→“Power Integrity”，弹出“Power Integrity Design & Analysis”对话框。此时不会再显示设置向导窗口，这是因为所导入的 PCB 文件已满足了进行电源完整性的条件，如图 9-7-5 所示。

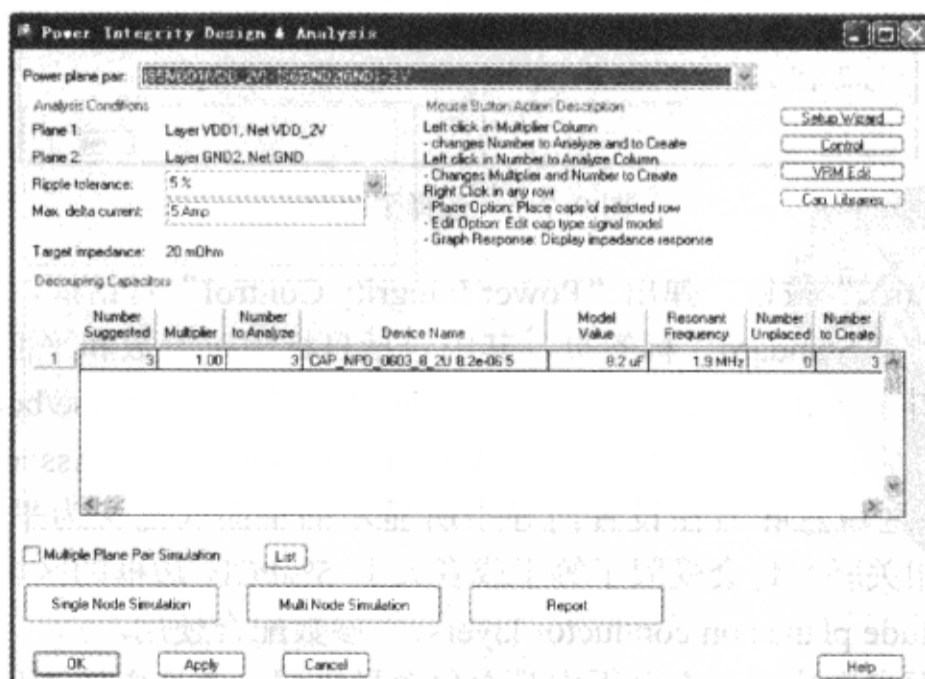


图 9-7-5 “Power Integrity Design & Analysis”对话框

就像第8章一样，本章只对一个平面对进行分析。在现实情况中，需要对所有定义的平面对进行分析。

2) 多节点分析的参数设置 可以设置不同的参数来进行仿真，其中一个最重要的参数是默认贴装电感值 (Mounted Inductance)。默认贴装电感值可确定摆放电容器时所存在电感值的总量。贴装电感包括焊盘布局电感、电容器高度电感 (本征电感) 和电源平面扩散电感，这3个元件形成了电流回路。环路的区域越大，电容器的去耦效果就越差。这3个元件中存在的电感决定了所摆放电容器的谐振频率，这将影响到以满足目标阻抗为目的的电容器选择。

(1) 在“Power Integrity Design & Analysis”对话框顶部的“Power plane pair”栏中选择“[S1]VDD3(VDD\_3) - [S2]GND(GND) - 3V”，如图9-7-6所示。在去耦电容列表框中会显示第8章中所选择的电容器。注意谐振频率那一栏，对话框中所显示的谐振频率要比第8章中的小得多，这是因为使用10nH的默认贴装电感值来计算谐振频率，使用电源完整性工具会马上计算出贴装电感值。

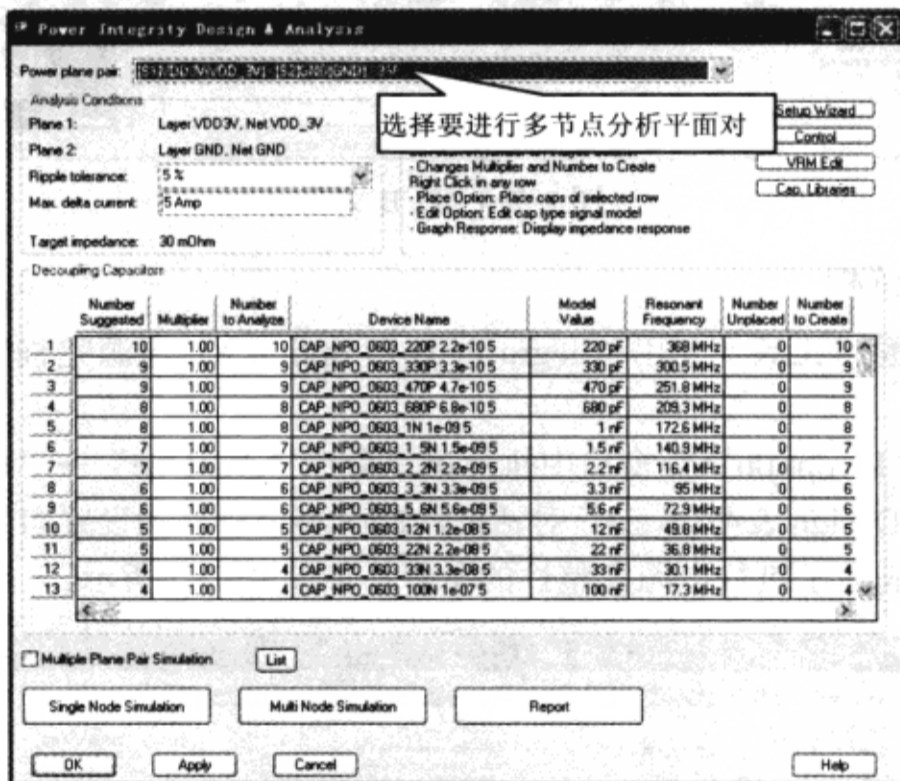


图9-7-6 选择平面对

(2) 单击“Control”按钮，弹出“Power Integrity Control”对话框，如图9-7-7所示。

在对话框中选中“Standard”标签页，其中包括目标阻抗参数和平面参数。目标阻抗参数包含转折频率和斜率 (dB/Decade)。最小平面/PCB 区域 (Min plane/board area) 是导电层上形状的最小区域，它将会影响到在“Setup Wizard DC Net - Plane Association”窗口中所列的平面，5%的最小区域意味着在设置向导中所显示的平面 (定义为平面或导电层上的形状，并和直流网络相关联) 将会受限于等于或者大于 5%PCB 边框的区域，这个参数和“包括导电层平面 (Include planes on conductor layers)”参数配合使用。

包括导电层平面参数决定了在分析中是否包含导电层，若选中该选项，导电层上的形状 (已指定直流网络) 就会在平面对设置中出现。



(3) 如图 9-7-8 所示, 选中“Simulation”标签页, 这个标签页下的参数包括网格大小和频率分析范围, 多节点网格大小参数 (Multi-Node grid size) 用于设置平面网格模型的间隔距离, 网格点定义为 4 条传输线的连接, 这些传输线是从 PCB 和叠层结构中提取出来的 (PCB 边缘部分的网格点由 3 条传输线组成), 频率分析范围用于设置分析频率的上限和下限。这个标签页中还包括仿真电压、仿真温度和贴装电感等参数, 这里不再一一详述。



图 9-7-7 “Power Integrity Control” 对话框



图 9-7-8 “Power Integrity Control” 对话框 “Simulation” 标签页

(4) 在“Multi-Node grid size”栏中输入“10X10”, 就会改变网格点的大小, 如图 9-7-9 所示。新设置的网格点大小描述了一个更精确的网格点, 所以使用“10X10”网格点大小进行仿真所花费的时间要比使用默认“8X8”网格点大小所花费的时间要长。网格点大小的设置不必受限于在下拉菜单中所显示的网格点大小。

(5) 如图 9-7-10 所示, 选中“Mounted Inductance”标签页, 这个标签页下的主要是对



图 9-7-9 设置网格点大小

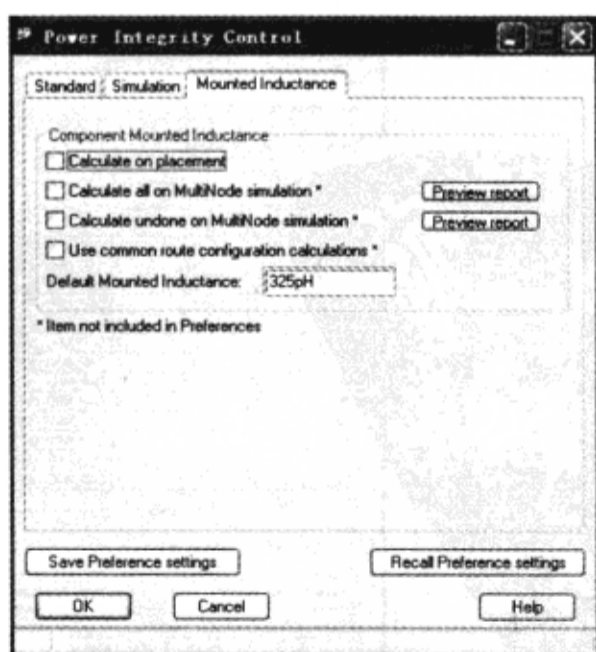


图 9-7-10 贴装电感设置窗口

元件贴装电感的一些设置，其中包括 Calculate on placement、Calculate all on Multi-Node simulation、Calculate undone on Multi-Node simulation、Use common route configuration calculations 和 Default Mounted Inductance，这些参数确定是否使用在“Decoupling Capacitor Editor”窗口中所计算出的贴装电感值，电源完整性工具会计算所分析平面对应的每种电容器的贴装电感，在今后的仿真中将做详细的介绍。

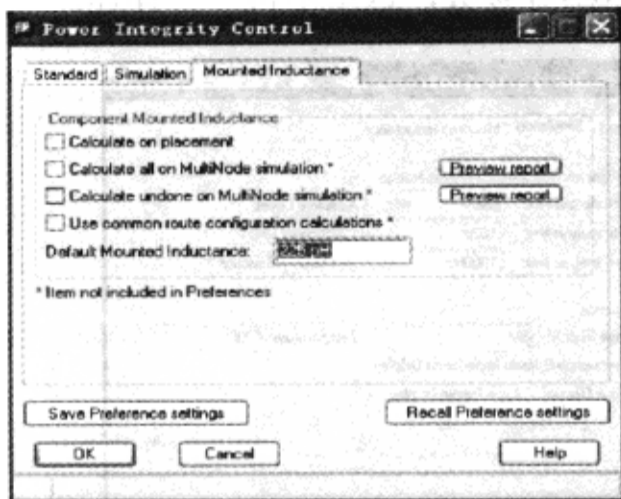


图 9-7-11 改变默认贴装电感值

(6) 在“Default Mounted Inductance”栏中输入“225pH”。之所以选择 225pH 大小的默认贴装电感值，是因为在第 8 章中使用的是这个值。改变默认贴装电感值会影响到所选电容器的谐振频率，如图 9-7-11 所示。

当 PCB 的仿真参数做出改变时，这些改变将会记录在 signoise.cfg 文件中，这个文件位于 signoise.run 文件夹下，signoise.run 文件夹和 PCB 文件位于同一个文件夹下。

如果在上一个 PCB 文件相同的目录下打开一个新的 PCB 文件，电源完整性工具会创建一系列的配置文件，电源完整性工具不会对上一个 PCB 文件的参数进行保存，电源完整性工具会创建新的配置文件并覆盖默认的参数，及时保存所设置的参数会避免这种情况发生。

(7) 单击“Save Preference Settings”按钮会保存当前所设置的参数。

(8) 在“Power Integrity Control”对话框中单击“OK”按钮，此时在对话框中所显示的谐振频率和第 8 章所显示的相同，如图 9-7-12 所示，原因是因为此时电源完整性工具使用 225pH 的默认贴装电感值来计算谐振频率。这个值并不是每个器件的实际贴装电感值，仅是一个估计值。使用电源完整性工具可快速的计算贴装电感值。

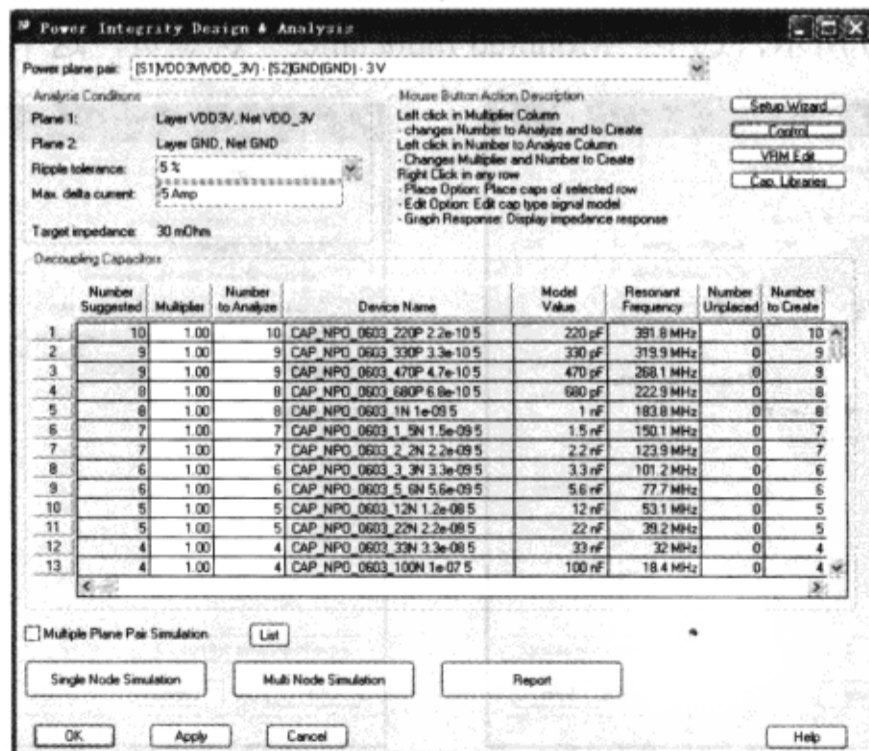


图 9-7-12 电源完整性设计分析窗口

### 3) 摆放噪声源和电压调节模块

(1) 在 Allegro PCB PI option XL 窗口中单击鼠标右键，在弹出的菜单中选择“Add VRM”，一个代表电压调节模块的图标就会随着光标移动，如图 9-7-13 所示。

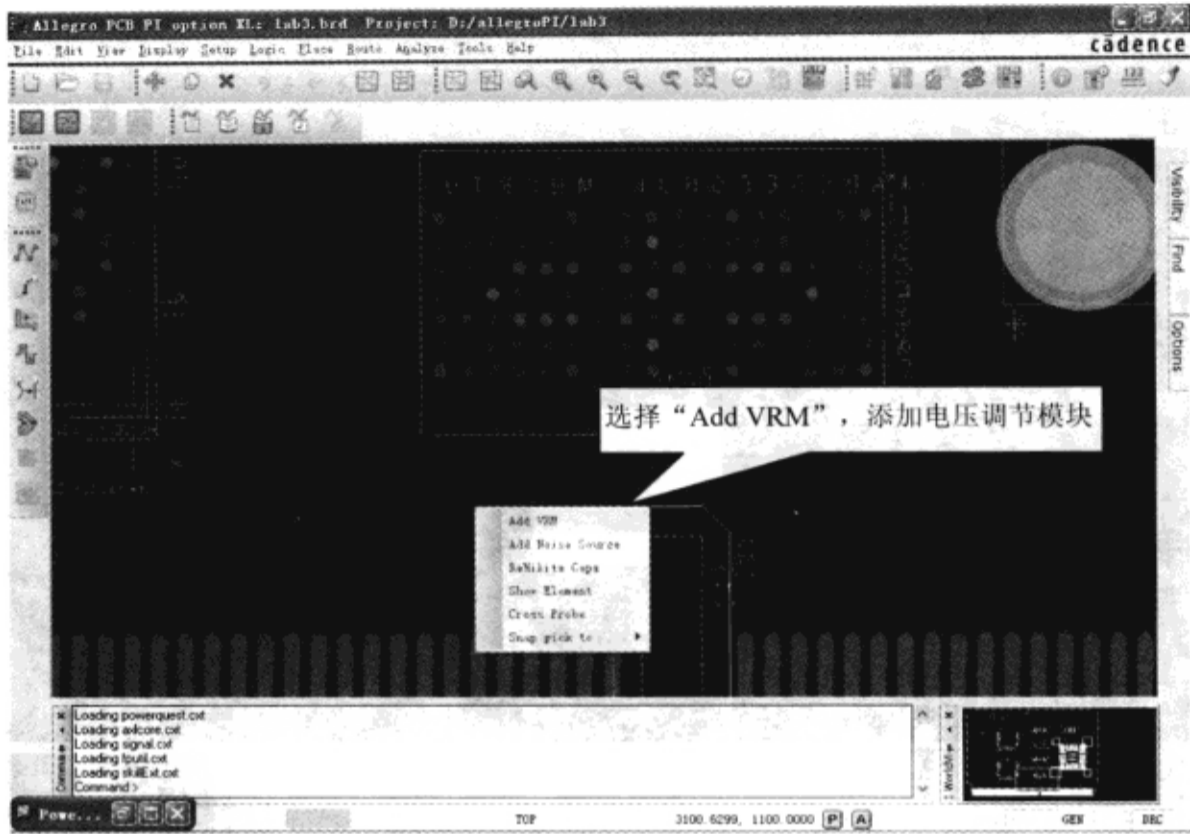


图 9-7-13 添加电压调节模块

(2) 拖曳电压调节模块图标到 PCB 底部凹槽的左边，单击鼠标左键放置电压调节模块，如图 9-7-14 所示。



图 9-7-14 摆放电压调节模块

(3) 在 Allegro PCB PI option XL 窗口中单击鼠标右键，在弹出的菜单中选择“Add Noise Source”，如图 9-7-15 所示，弹出“Add Noise Source”对话框，在对话框中会显示所指定的动态电流的总量。

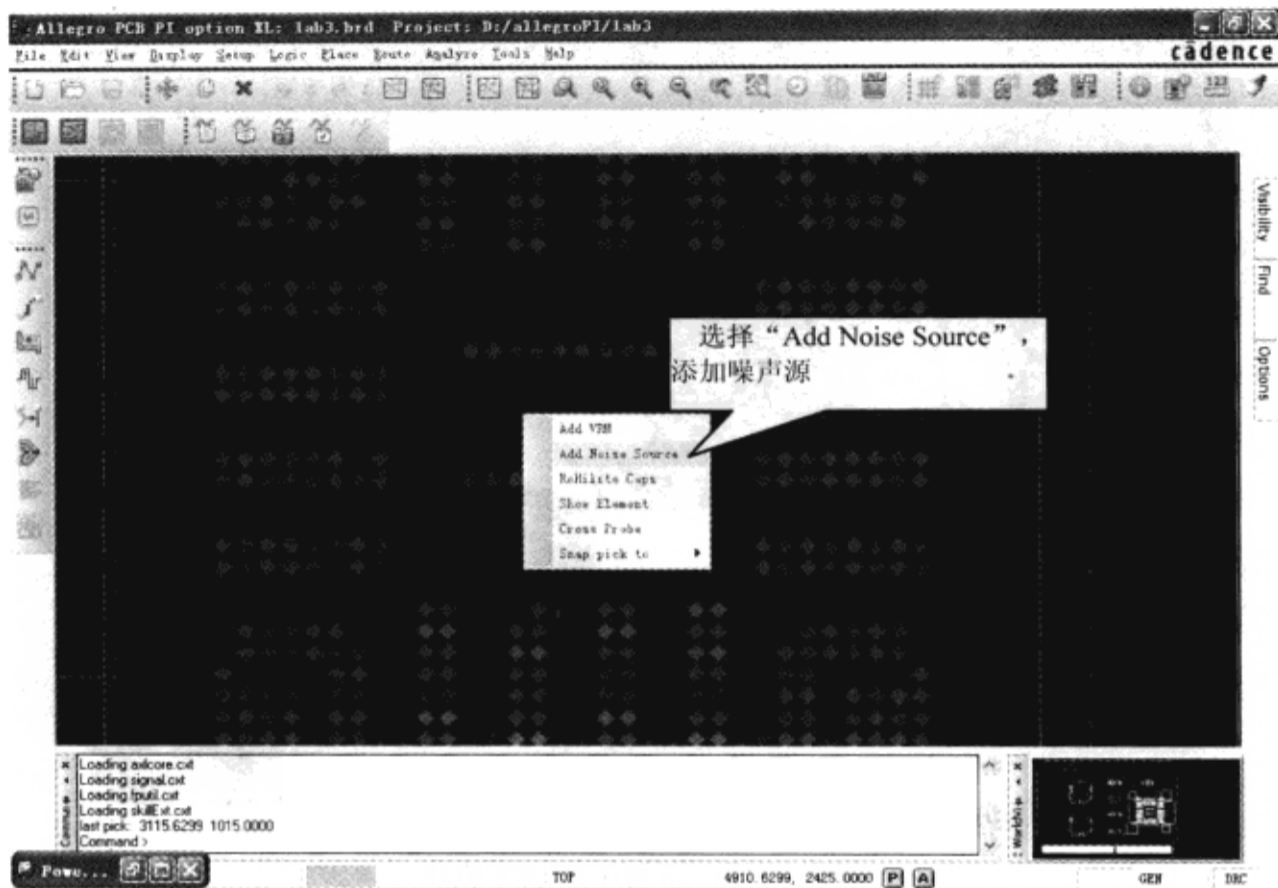


图 9-7-15 添加噪声源

(4) 在“Add Noise Source”对话框的“Delta Current:”栏中输入“5 Amp”→单击“OK”按钮，噪声源图标就会随着光标移动，如图 9-7-16 所示。

(5) 拖动噪声源图标到最大元器件中心处，单击鼠标左键放置噪声源，此时会弹出“Select Noise Source Component”对话框，如图 9-7-17 所示。

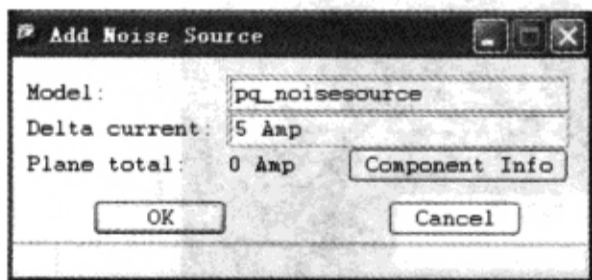


图 9-7-16 “Add Noise Source”对话框

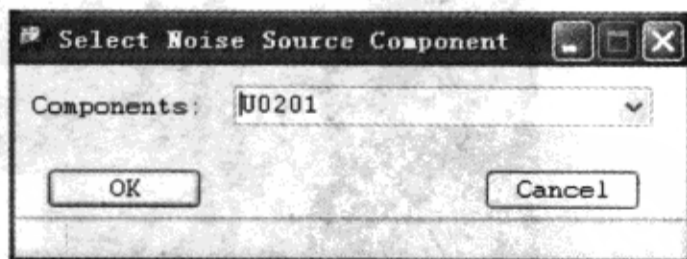


图 9-7-17 “Select Noise Source Component”对话框

(6) 在“Select Noise Source Component”对话框中单击“OK”按钮，如图 9-7-18 所示。

(7) 在 Allegro PCB PI optionXL 窗口中单击鼠标右键，在弹出的菜单中选择“Add Noise Source”，会再次显示“Add Noise Source”对话框，如图 9-7-19 所示。

(8) 在“Add Noise Source”对话框中输入“2.5 Amp”→单击“OK”按钮，如图 9-7-20 所示。

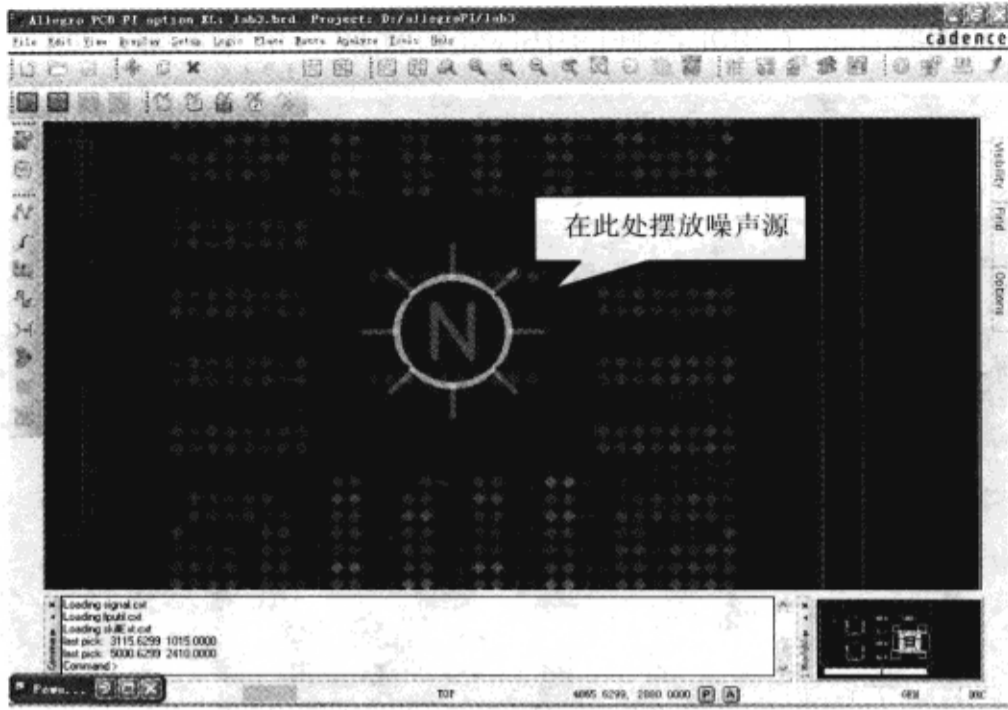


图 9-7-18 摆放噪声源

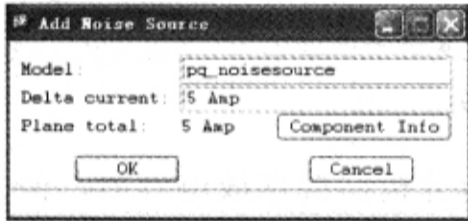


图 9-7-19 噪声源设置窗口

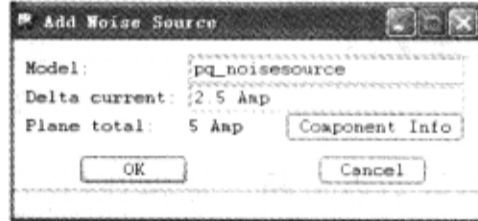


图 9-7-20 修改噪声源参数

(9) 拖动噪声源到左上角元器件的中心处，单击鼠标左键摆放这个噪声源，此时会显示“Select Noise Source Component”对话框，如图 9-7-21 所示。



图 9-7-21 选择噪声源元器件对话框

(10) 在“Select Noise Source Component”对话框中单击“OK”按钮，如图 9-7-22 所示。

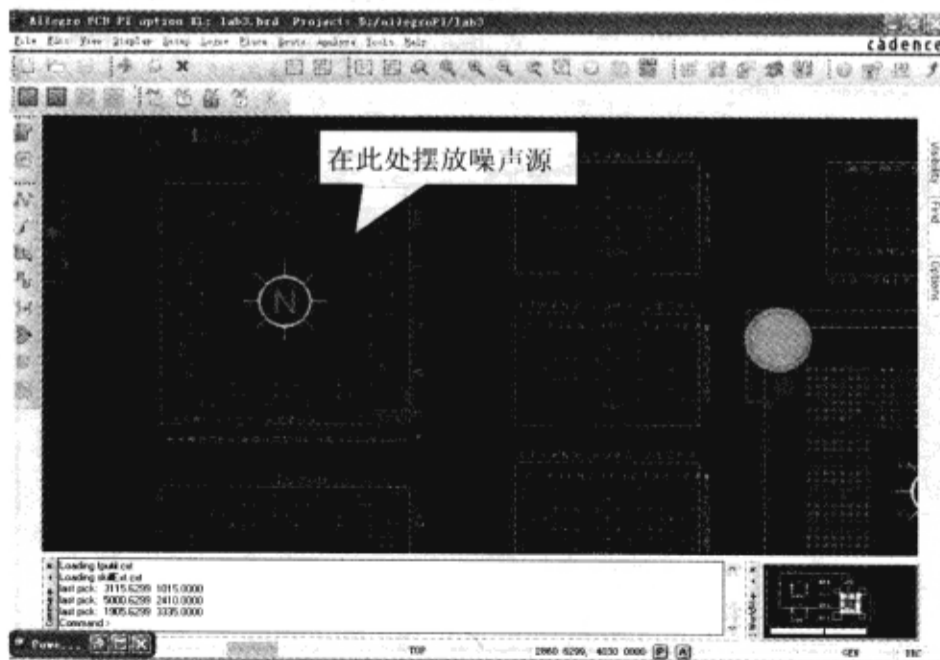


图 9-7-22 摆放噪声源



(11) 重复以上步骤在左下角元器件的中心处再摆放一个噪声源，如图 9-7-23 所示。

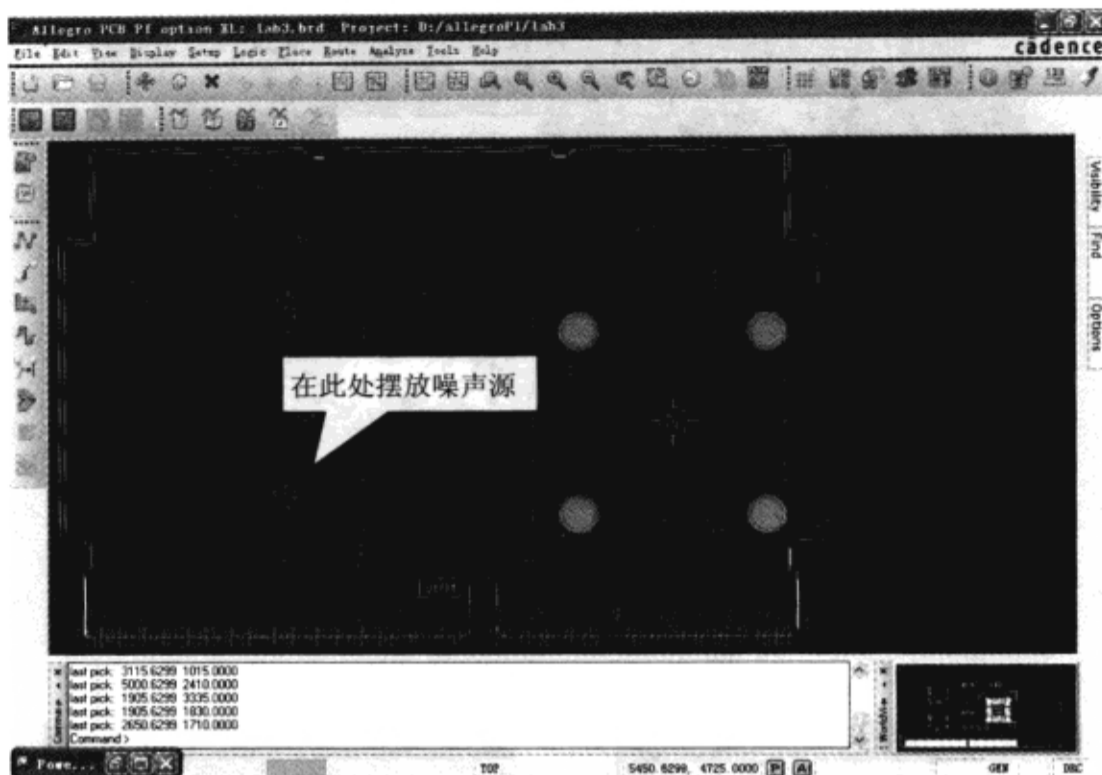


图 9-7-23 摆放噪声源

4) 进行初始多节点分析 通常在进行多节点分析前要摆放电容器，但是在本章的分析中并不需要摆放电容器，这是因为想要先观测平面的寄生效应对响应曲线的影响，然后再摆放电容器并观测其将如何影响响应曲线。

(1) 在“Power Integrity Design & Analysis”对话框中确保此时所选择的平面对为 [S1]VDD3(VDD\_3) - [S2]GND(GND) - 3V，如图 9-7-24 所示。

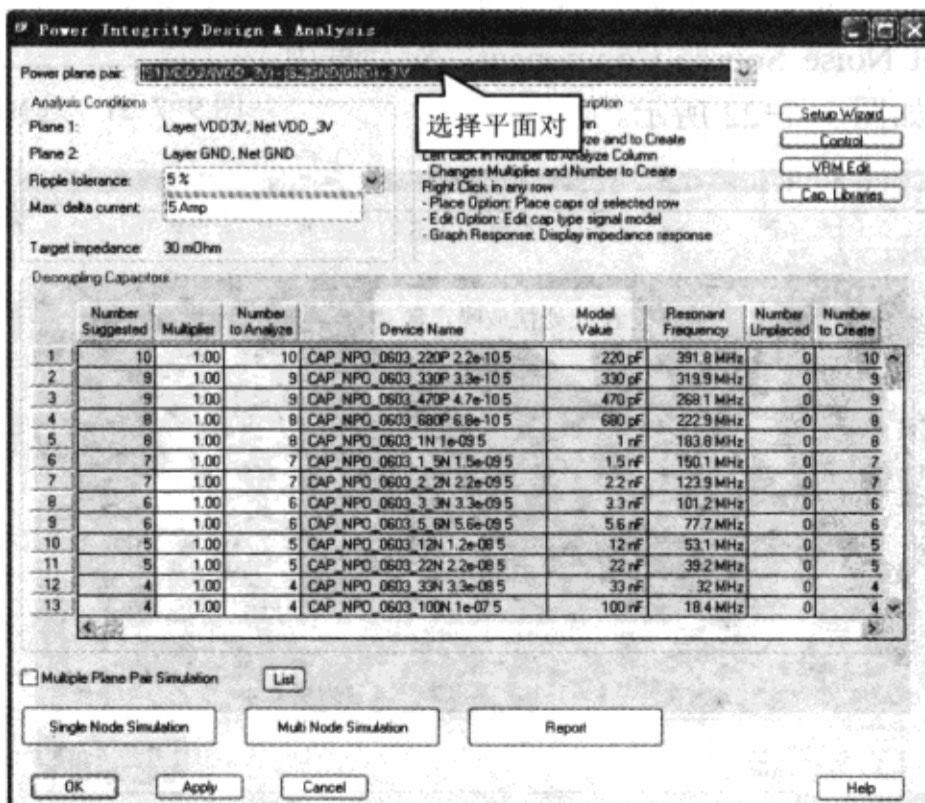


图 9-7-24 选择平面对

(2) 单击“Multi-Node Simulation”按钮，进行多节点仿真，此时所花费的时间要比以前进行的仿真所花费的时间要长，这是因为此时所进行的多节点分析包含了 PCB 的寄生效应，网格点大小的增大同时也会增加仿真所用的时间。在 SigWave 窗口中会显示多节点分析的响应曲线（因为要显示的响应曲线很多，所以需要在窗口左边对响应曲线的显示做些设置，在窗口左边要显示的曲线上单击鼠标右键，选择“Display”），如图 9-7-25 所示。

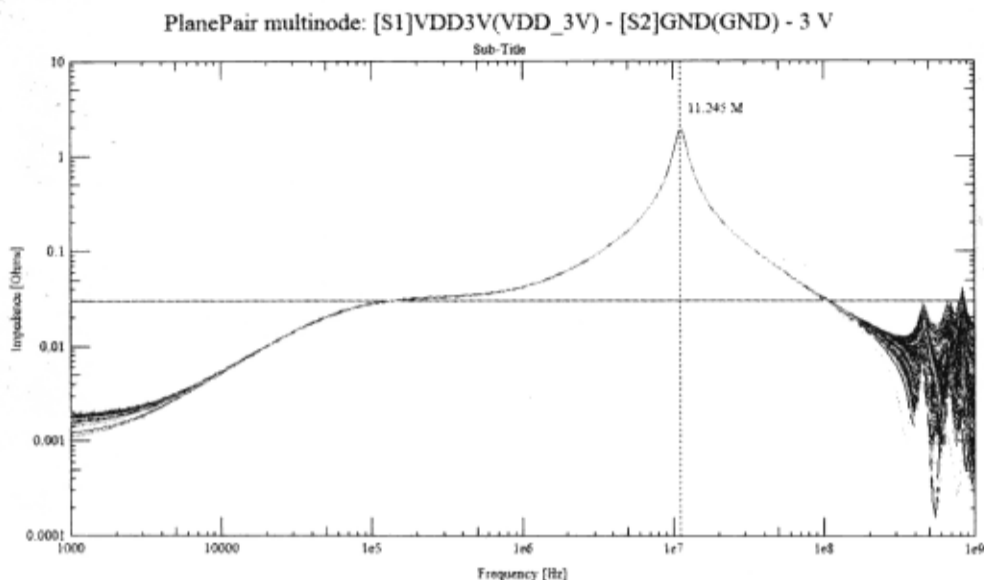


图 9-7-25 平面对多节点仿真结果

此时的曲线要比以前的曲线平滑，反谐振波峰在接近 11MHz 时发生，这些效应是由除单节点仿真以外额外的寄生效应决定的，此时还没有摆放电容器。

(3) 在 SigWave 窗口中执行菜单命令“File”→“Exit”。

#### 4. 去耦电容器布局

1) 摆放电容器 去耦电容器的布局是非常关键的，可以选择所有合适的电容器来满足目标阻抗，但是如果电容器摆放不好，就不能满足目标阻抗。

当在 PCB 上摆放了一个电容器时，这个电容器就会被添加到元器件清单和 PCB 网络表里，电容器在电路网络表中会和当前电源平面对所定义的电源和地相连接。

电源完整性工具会自动完成电容器的布局，在窗口中会显示一个与所选择电容器有效谐振频率波长的 1/200 相等的圆圈。这个值是默认的，但是可以改变（如果波长的 1/200 比 Allegro PCB PI option XL 窗口中可用空间大，就看不见这个圆圈），这个圆圈表示所选择电容器的有效去耦范围。

(1) 在去耦电容器列表的第 12 行（电容器 CAP\_NPO\_0603\_33N 所在行）单击鼠标右键，在弹出的菜单当中选择“Place”，如图 9-7-26 所示。

(2) 在 Allegro PCB PI option XL 窗口移动图标，根据电容器的有效去耦范围在一个合适的位置单击鼠标左键摆放这个电容器。窗口中显示的圆圈非常大，它显示了电容器的有效去耦范围，根据这个圆圈可以在 PCB 上的各种位置摆放这 4 个电容器，此时还需要摆放剩下的 3 个同类型的电容器。当摆放完第一个电容器时，电源完整性工具会自动选择下一个电容器并附着在光标上。无论电容器是摆在 PCB 的顶层还是底层，都可对电容器的方向做修改，如图 9-7-27 所示。

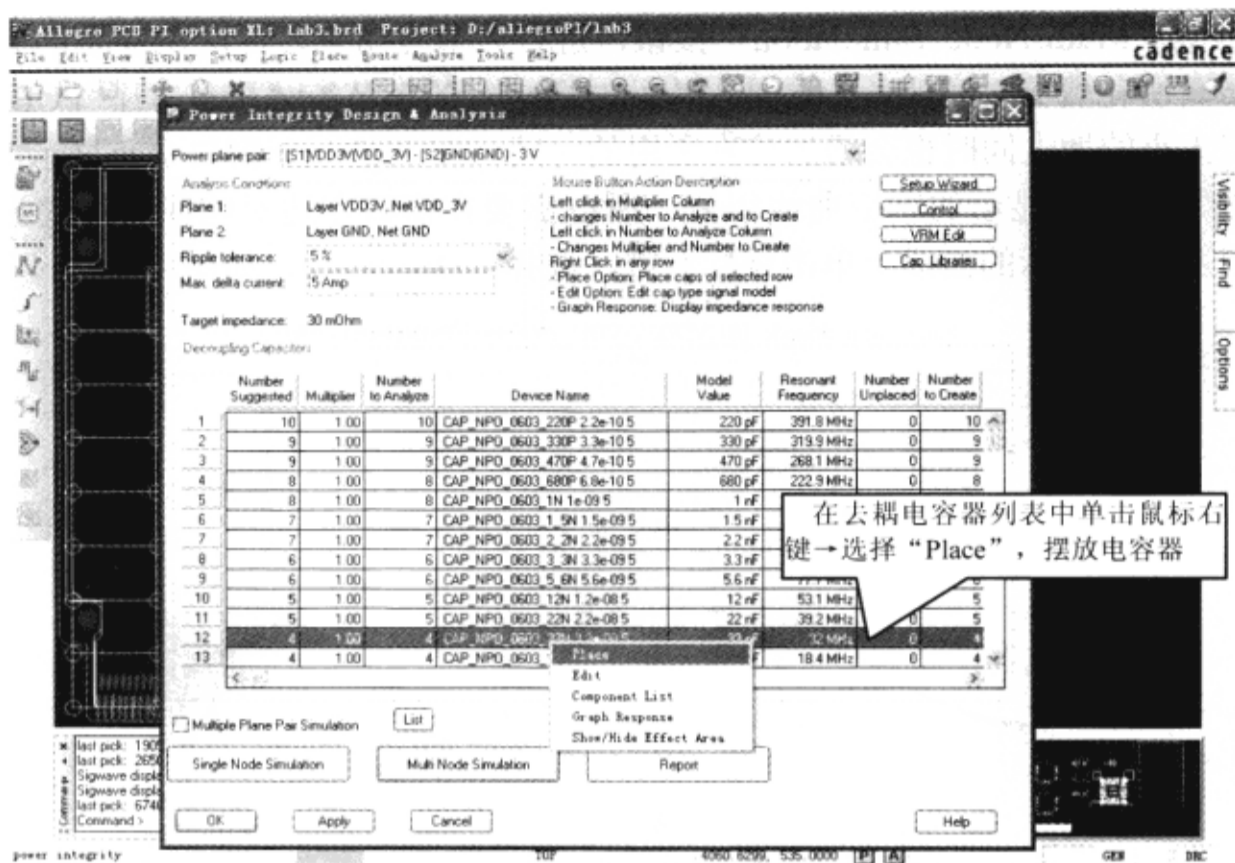


图 9-7-26 摆放去耦电容器

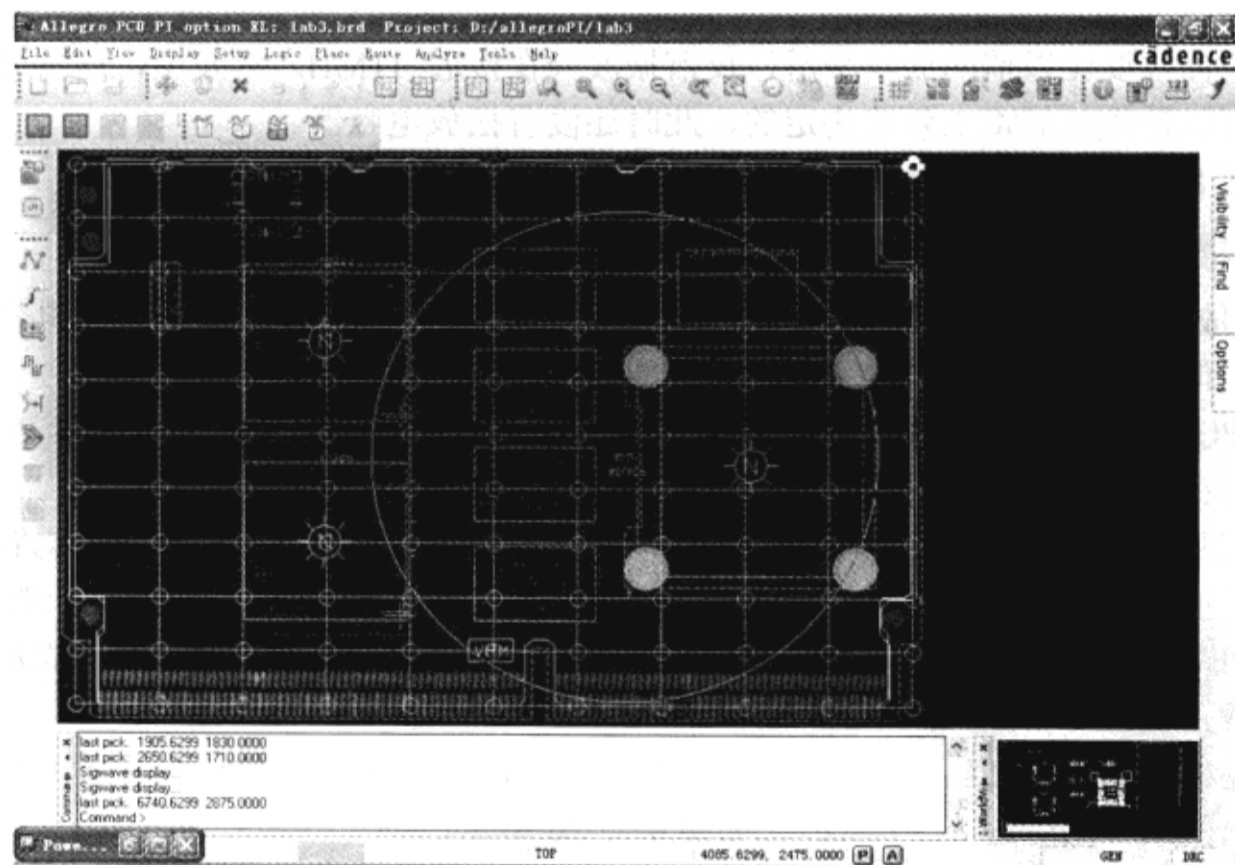


图 9-7-27 摆放去耦电容器

(3) 在 Allegro PCB PI option XL 窗口右边“Options”标签页下“Angle”栏中选择 90，在“Object Information”（对象信息）区域会显示这个电容器的相关信息，电容器的名称是其在 Allegro 中器件的名称 (CAP\_NPO\_0603\_33N)，电源完整性工具会为所摆放的电容器指定一个索引编号(RefDes:C1)，本征电感 (intrinsic inductance, Intr. Ind.) 是根据电容器的厚



图 9-7-28 去耦电容器相关信息

度（高度）得出来的，电容器的厚度是电容器模型库中的一个参数，如图 9-7-28 所示。

可以看到此时对象信息（Object Information）区域并没有显示任何的贴装电感值（Mount. Ind.），不显示贴装电感值的原因是因为此时电容器还没有被摆放到 PCB 上，而且此时电源完整性工具还没有计算贴装电感值。

(4) 根据电容器的有效去耦范围，在 Allegro PCB PI option XL 窗口中移动图标，在合适的地方单击鼠标左键摆放电容器。同时还可改变电容器的有效去耦范围，即环绕电容器的圆圈大小，根据去耦效果的影响范围来进行电容器的布局，默认设置为 0.005（1/200），这意味着电源完整性工具会计算出电容器串联谐振频率的波长（以米为单位）。电源完整性工具会把有效波长值当做倍增因数来计算所考虑的波长部分，默认值为波长的 1/200，电源完整性工具会把这个值转化为在 PCB 文件中所设置的单位长度，这个数值将会转化为圆圈的半径并在窗口中显示，如图 9-7-29 所示。

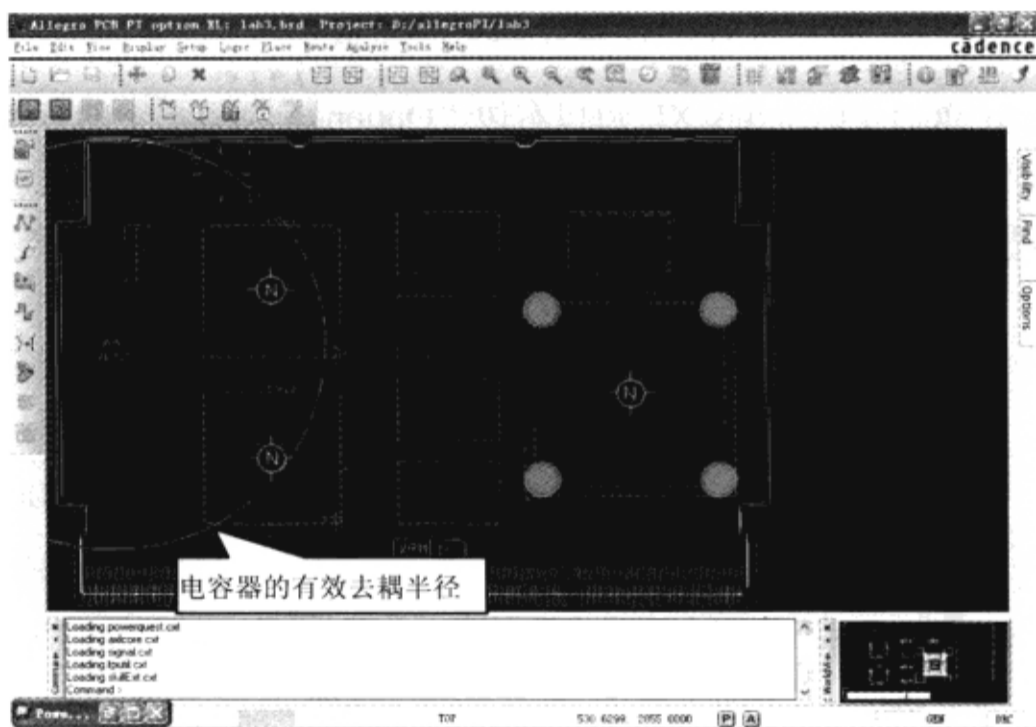


图 9-7-29 电容器的有效去耦半径

(5) 在 Allegro PCB PI option XL 窗口右边“Options”标签页下有效波长（Effective wavelength）栏中输入 0.1→按“Tab”键。这时在窗口中将看不到所显示的圆圈，这是因为圆圈的范围比当前所显示的 PCB 要大，如图 9-7-30 所示。

(6) 根据电容器的有效去耦范围，在一个合理的位置单击鼠标左键摆放这个电容器，此时有效去耦范围被设置为电容器串联谐振频率波长的 1/10，在窗口中会显示一个很大的圆圈，因为圆圈的大小代表了电容器的有效去耦范围，所以这意味着可在 PCB 的任意位置摆放这个电容器，如图 9-7-31 所示。



图 9-7-30 有效波长的设置

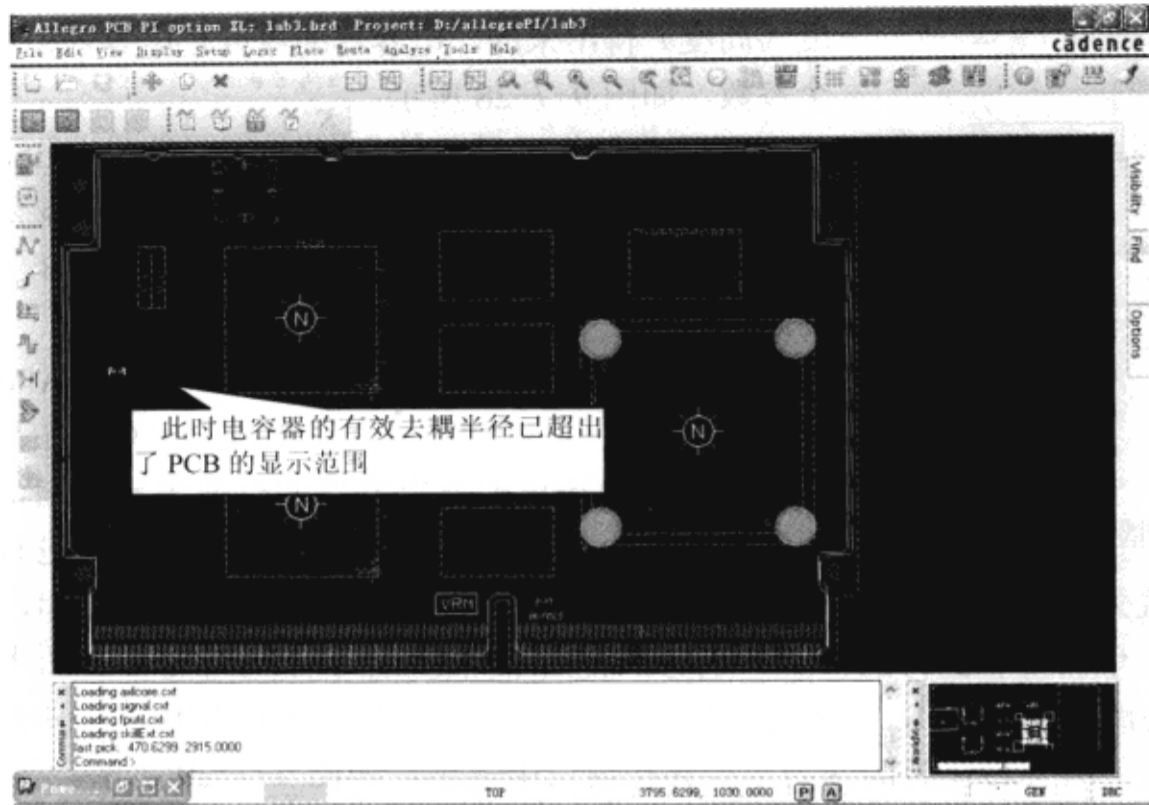


图 9-7-31 电容器的有效去耦半径

(7) 在 Allegro PCB PI option XL 窗口右边“Options”标签页下的有效波长 (Effective wavelength) 栏中输入 0.005” → “Tab” 键，如图 9-7-32 所示。

(8) 在 Allegro PCB PI option XL 窗口右边“Options”标签下“Angle”栏中选择 0，如图 9-7-33 所示。



图 9-7-32 修改有效波长值



图 9-7-33 修改电容器角度

(9) 根据电容器的有效去耦范围继续把剩余的电容器摆放到合理位置。当摆放完这 4 个 33nF 的电容器时，电源完整性工具会在“Power Integrity Design & Analysis”对话框中的去耦电容器列表中选择下一行电容器进行摆放，通过观测代表有效去耦范围的圆圈大小就可发现这个变化，如图 9-7-34 所示，此时电源完整性工具还没有计算摆放 33nF 电容器时所产生的贴装电感。





图 9-7-34 摆放去耦电容器

## 2) 计算贴装电感

(1) 在“Power Integrity Design & Analysis”对话框中单击“Control”按钮，弹出“Power Integrity Control”对话框，如图 9-7-35 所示。

(2) 选中“Mounted Inductance”标签页，如图 9-7-36 所示。

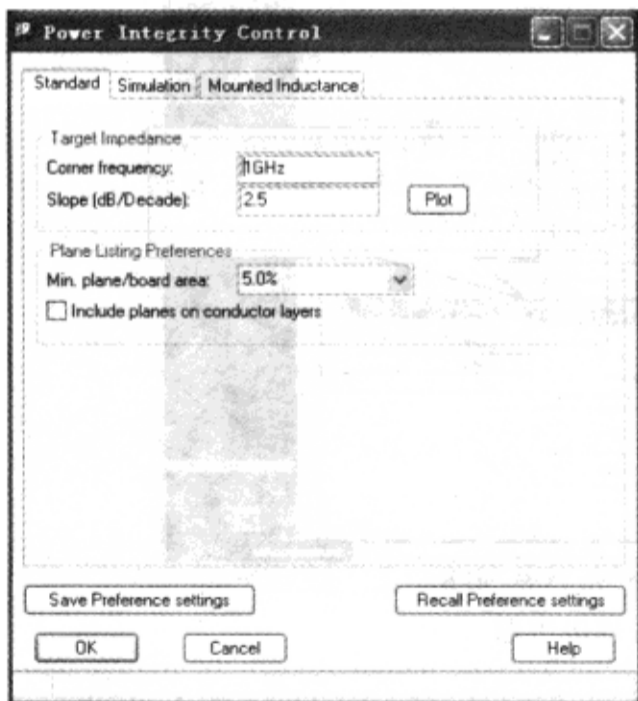


图 9-7-35 电源完整性控制参数设置窗口

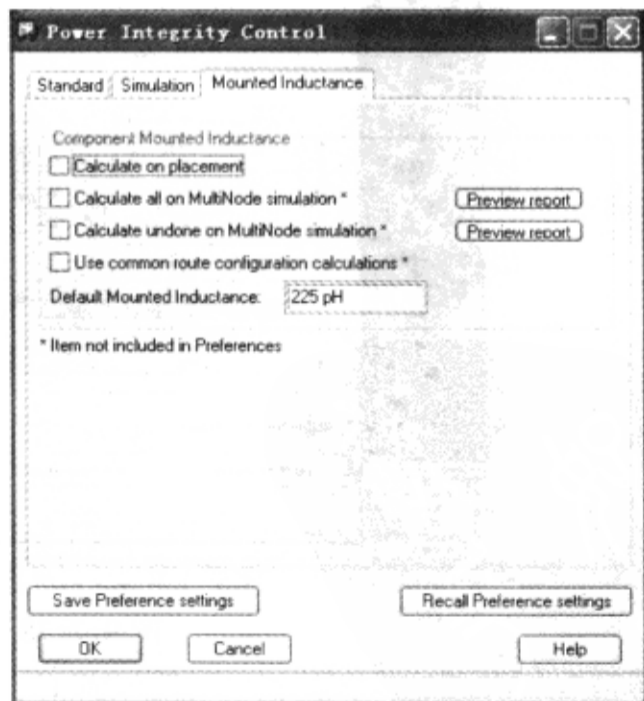


图 9-7-36 贴装电感值的设置

(3) 选中“Calculate on placement”→单击“OK”按钮，此时电源完整性工具会计算摆放电容器时所产生的贴装电感，如图 9-7-37 所示。

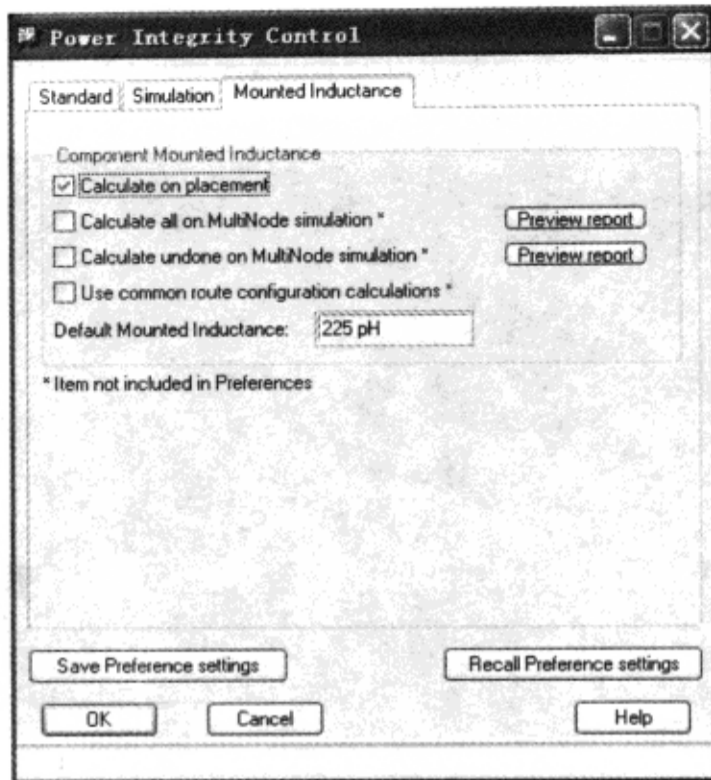


图 9-7-37 贴装电感值的计算

(4) 在去耦电容器列表的第 13 行（电容器 CAP\_NPO\_0603\_100N 所在行）单击鼠标右键，在弹出的菜单中选择“Place”，如图 9-7-38 所示。

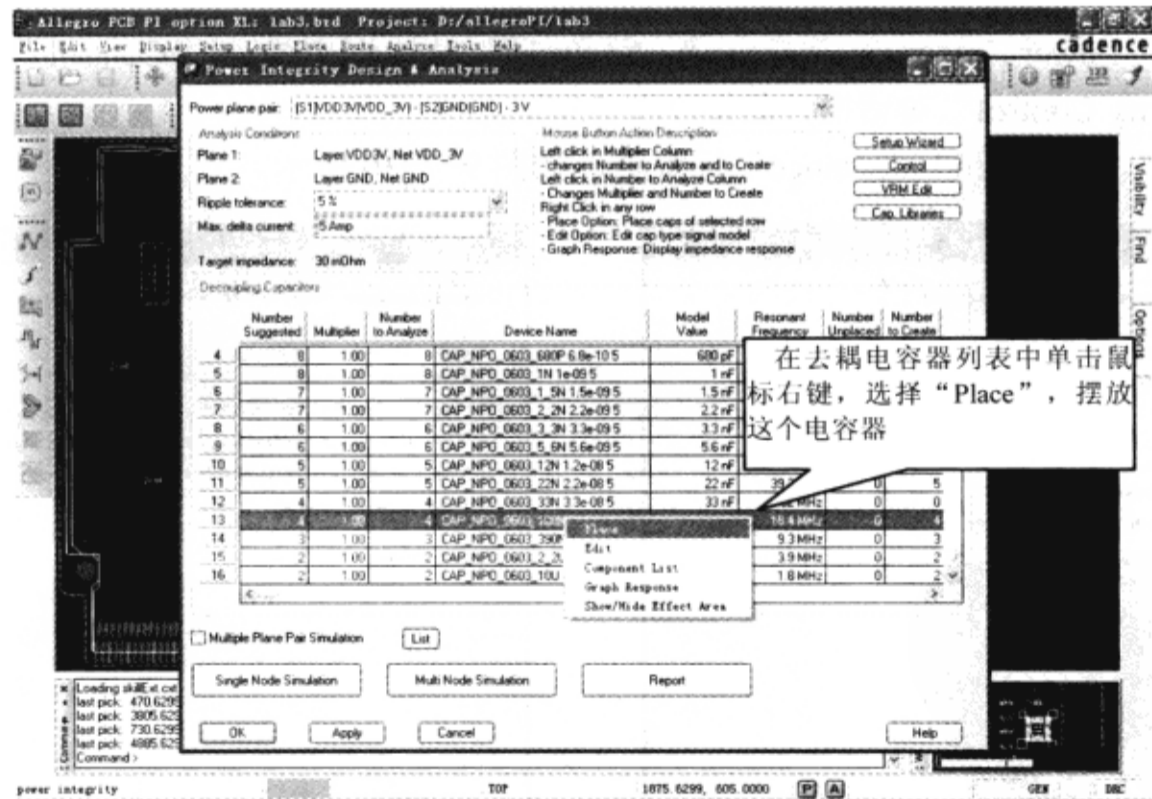


图 9-7-38 摆放去耦电容器

(5) 按照上面的步骤摆放其中的一个电容器，此时电源完整性工具会花费一些时间计算贴装电感值。在 Allegro PCB PI option XL 窗口底部的命令窗口会显示相关的信息，图 9-7-39 中所显示的信息为：电源完整性工具计算得出的贴装电感值为 604pH，并把这个值分配给 C5。

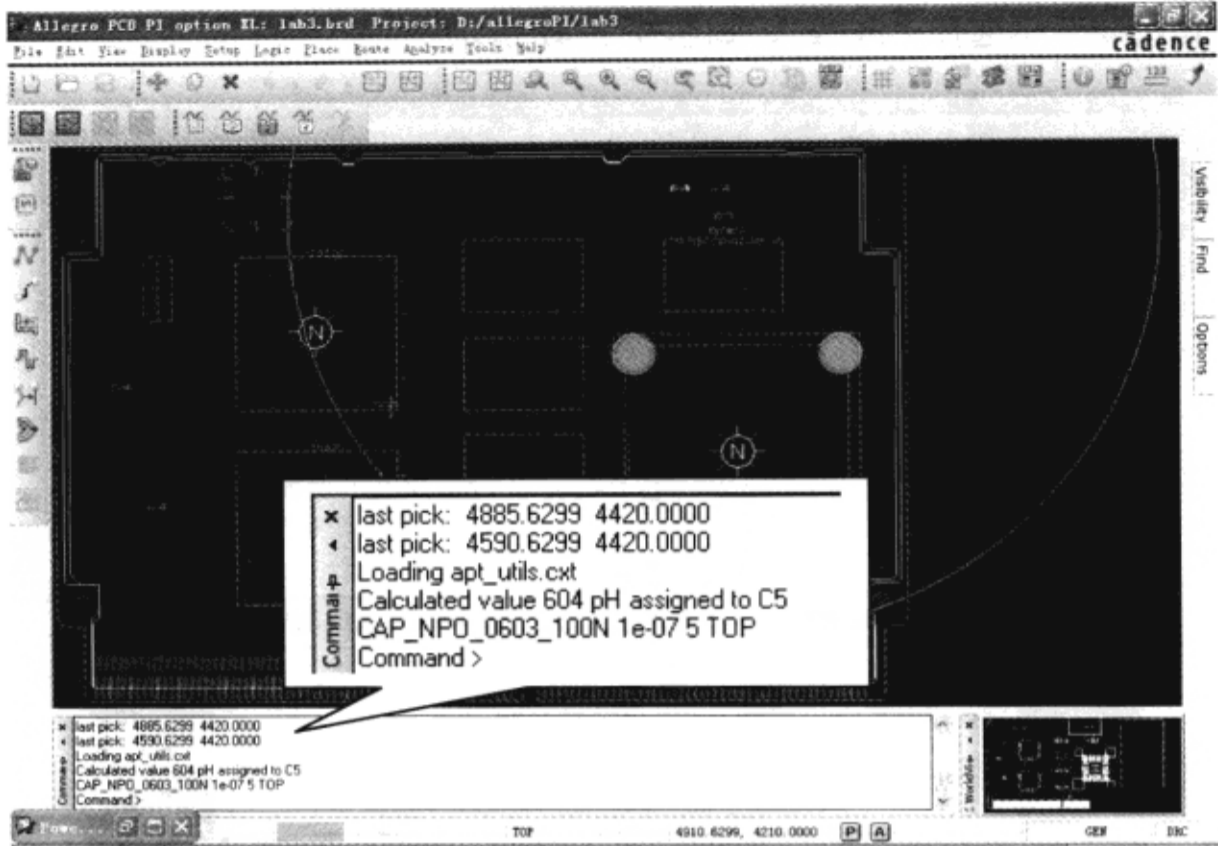


图 9-7-39 计算所摆放电容器的贴装电感值

(6) 按照上面的步骤摆放剩下 3 个 100 nF 电容器，每摆放一个电容器，电源完整性工具就会计算这个电容器的表贴电感值。此时所计算的表贴电感值是基于 PCB 顶层摆放的电容器，如图 9-7-40 所示。

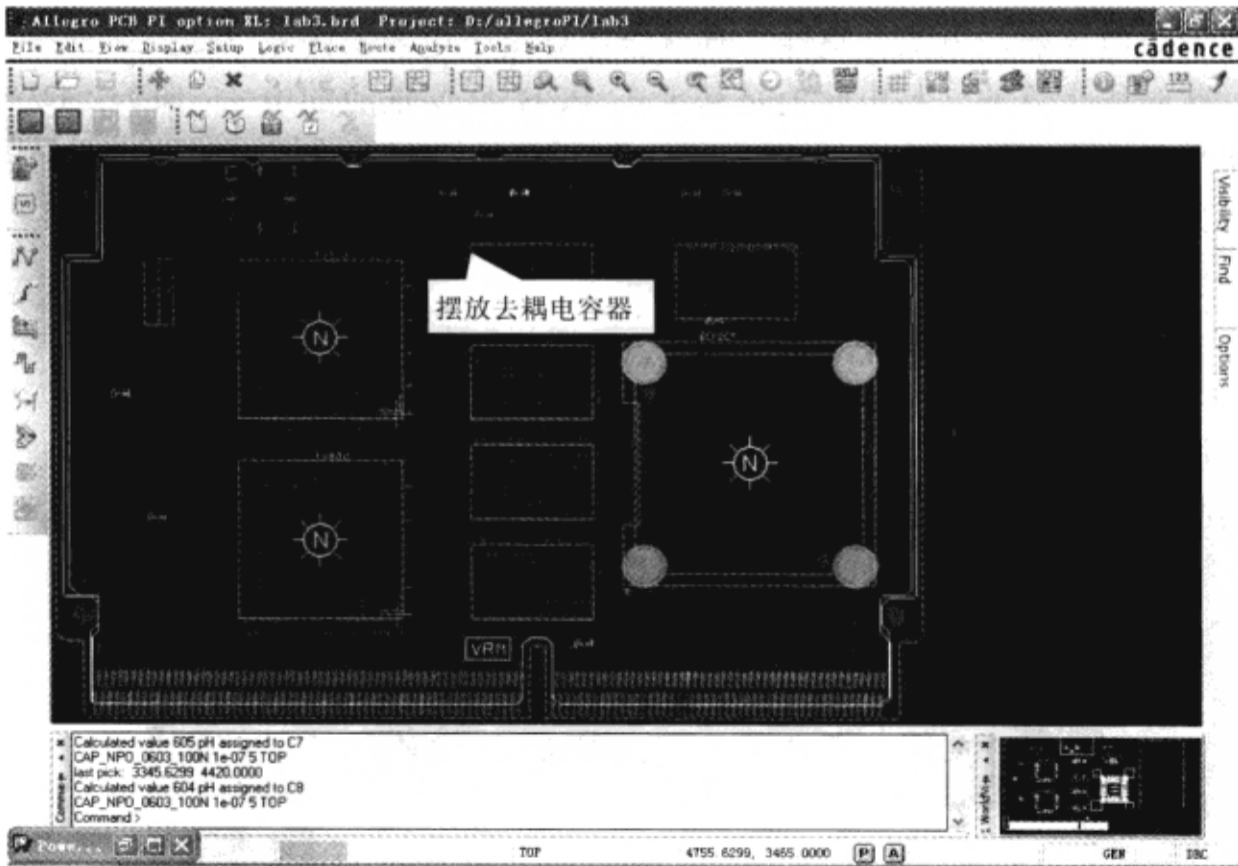


图 9-7-40 摆放 100 nF 去耦电容器

(7) 在去耦电容器列表的第 14 行（电容器 CAP\_NPO\_0603\_390N 所在行）上单击鼠标

右键，在弹出的菜单中选择“Place”，如图 9-7-41 所示。



图 9-7-41 摆放去耦电容器

(8) 在 Allegro PCB PI option XL 窗口右边“Options”标签页下“Side”处选中“Bottom”，如图 9-7-42 所示。

(9) 按照上面的步骤摆放这 3 个 CAP\_NPO\_0603\_390N 电容器，每摆放一个电容器，电源完整性工具就会计算这个电容器的贴装电感值。此时所计算的贴装电感值是基于在 PCB 底层摆放的电容器，如图 9-7-43 所示。

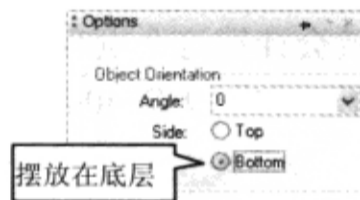


图 9-7-42 选择去耦电容器的摆放层面

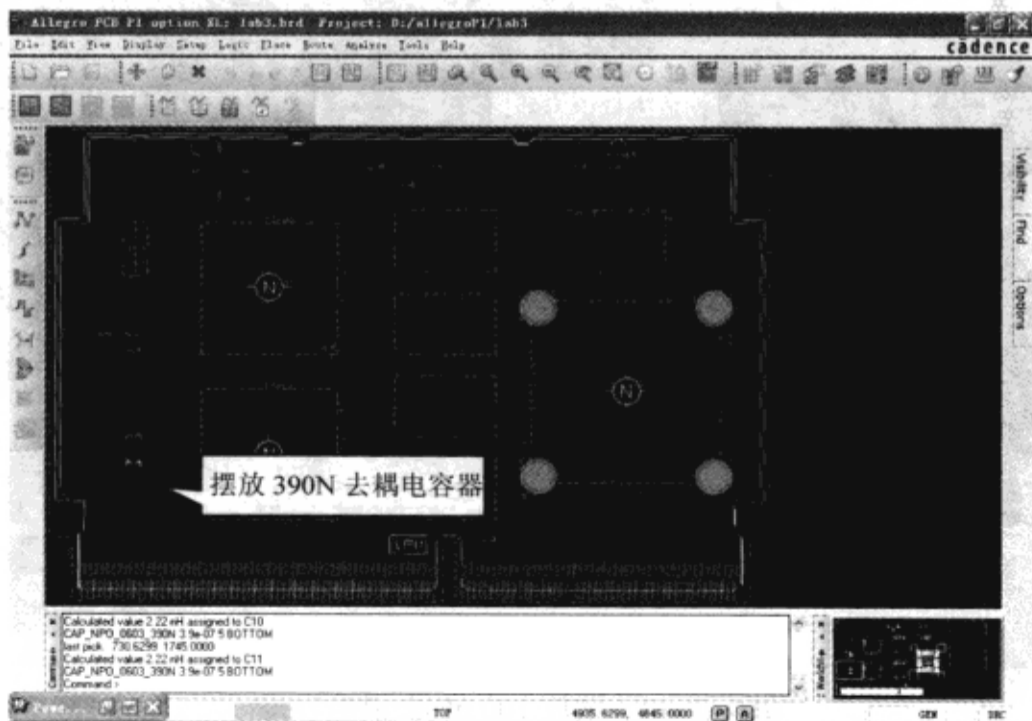


图 9-7-43 摆放 390N 去耦电容器

(10) 在 Allegro PCB PI option XL 窗口中单击鼠标右键，在弹出的菜单中选择“Stop Placement”，如图 9-7-44 所示。

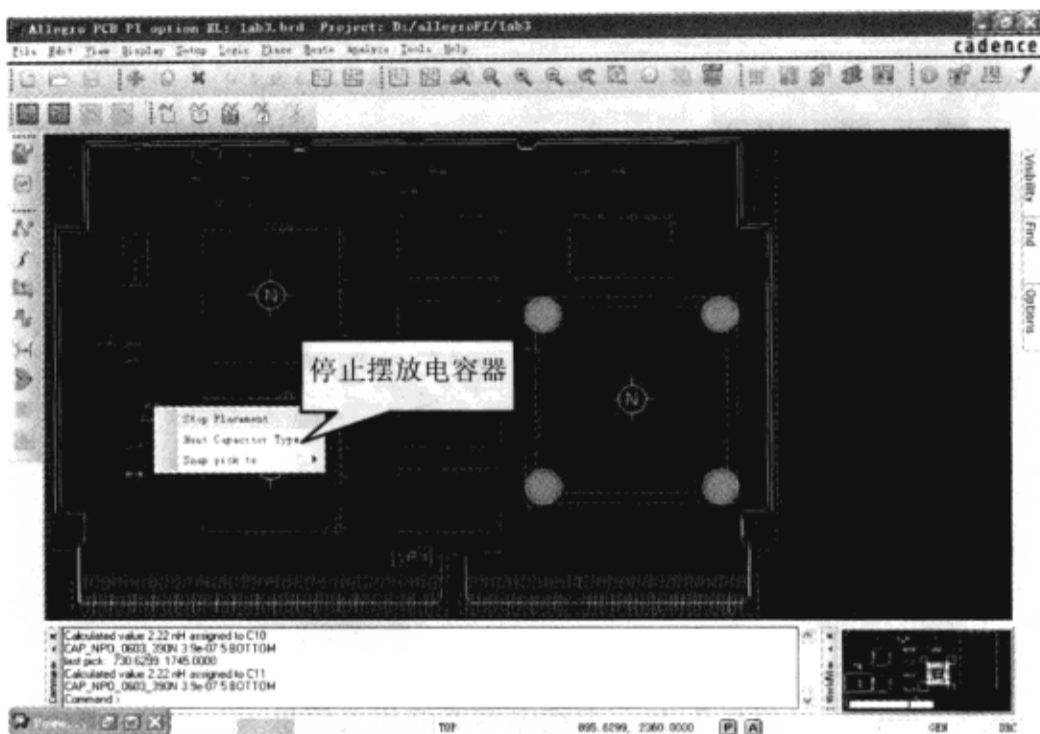


图 9-7-44 停止摆放电容器

(11) 在 Allegro PCB PI option XL 窗口中单击其中一个 33nF 电容器。此时的贴装电感值为 225pH（默认），谐振频率接近 32MHz，电源完整性工具中的贴装电感值正是这个值。因为没有使用电源完整性工具计算 33nF 电容器的贴装电感值，所以 33nF 电容器的谐振频率没有发生变化，如图 9-7-45 所示。

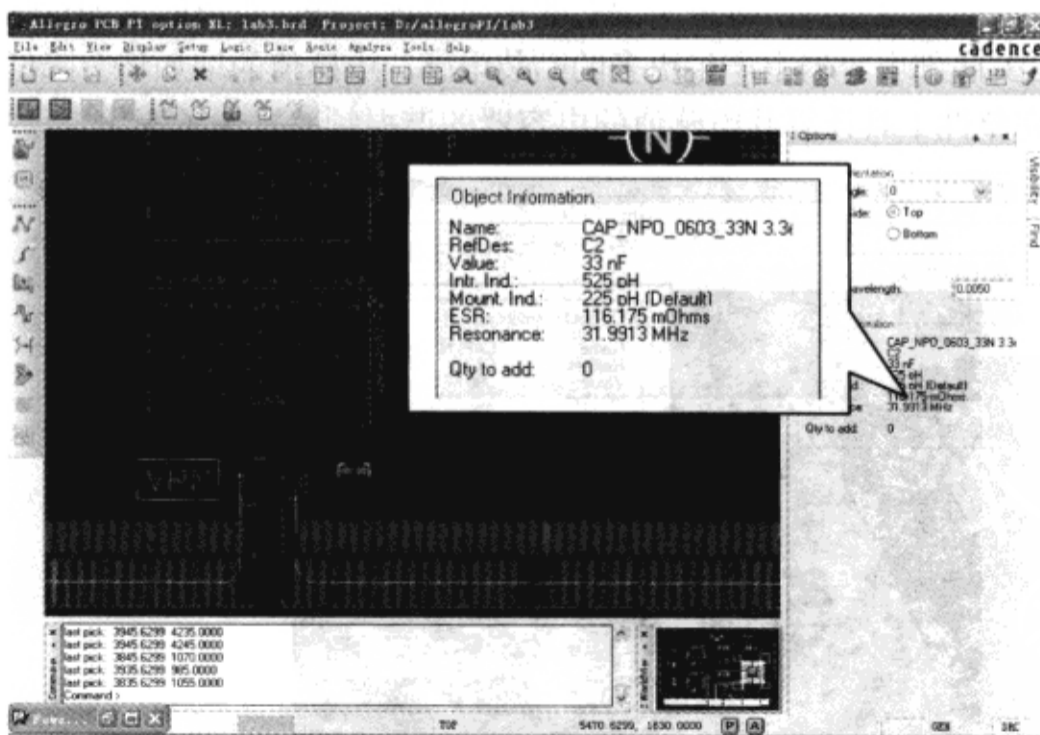


图 9-7-45 去耦电容器的相关信息

(12) 在 Allegro PCB PI option XL 窗口中单击一个 100nF 的电容器。此时电容器的贴装电感值为 604pH，谐振频率接近 15MHz，这是因为使用了电源完整性工具来计算贴装电感



值，计算结果仅赋给了 100nF 电容器。100 nF 电容器的谐振频率发生了变化，这是因为电容器的贴装电感值由 225pH 变成了 604pH，如图 9-7-46 所示。

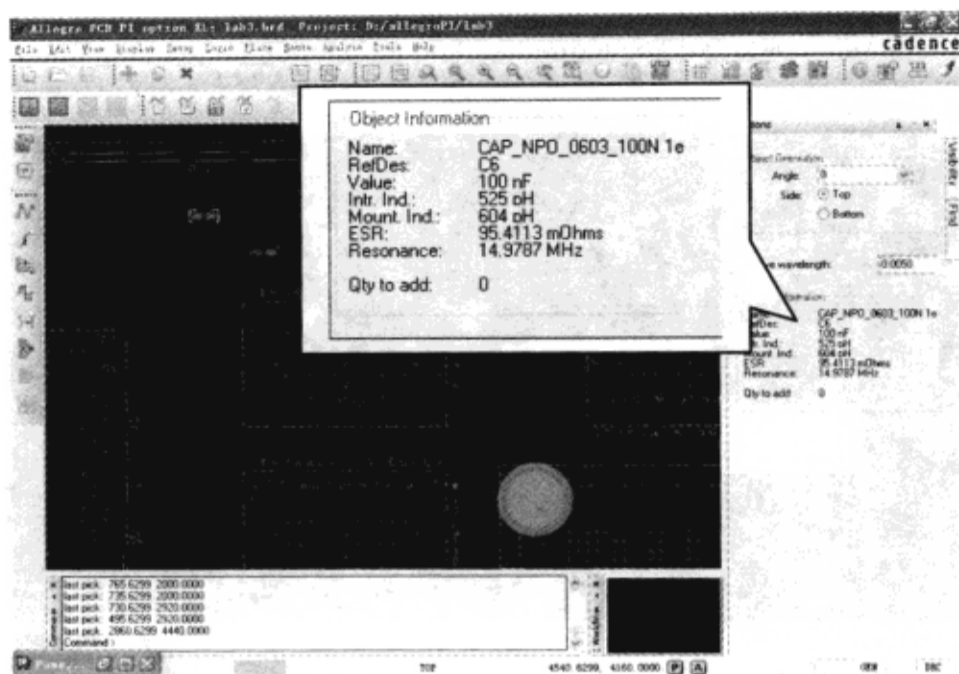


图 9-7-46 去耦电容器的相关信息

(13) 在 Allegro PCB PI option XL 窗口中单击一个 390nF 电容器。此时电容器的贴装电感值为 2.22nH，谐振频率接近 4.8MHz，这是因为使用了电源完整性工具计算贴装电感值，计算结果仅赋给了 390nF 电容器，如图 9-7-47 所示。此时 390nF 电容器的谐振频率发生了变化，这是因为电容器的贴装电感值由 225pH 变成了 2.22nH。贴装电感值大量的增加是因为 390nF 电容器被摆放在了 PCB 的底部。PCB 的顶层要比底层与所分析的平面对关系更密切一些，这是因为在 PCB 底部所摆放的电容器离所分析平面对的距离要远一些。距离的增加意味着连接过孔将会变长，这会在 PCB 底部电容器上产生更多的贴装电感。电感值的增加将会降低电容器的谐振频率，仅使用电源完整性工具计算其电感值的电容器的谐振频率发生了变化。

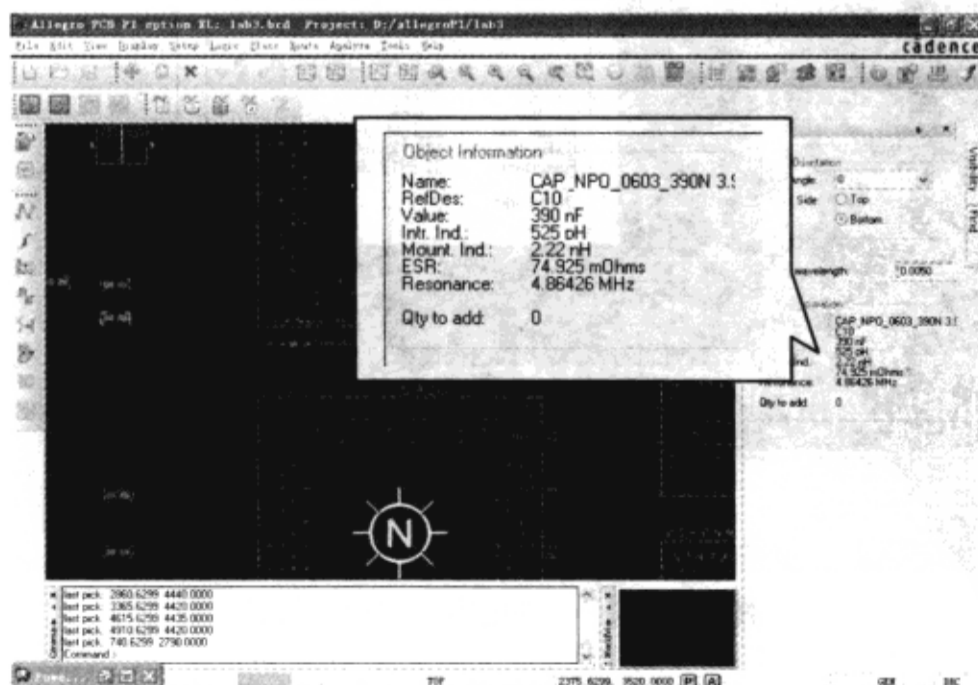


图 9-7-47 去耦电容器的相关信息

### 3) 取消和删除电容器

(1) 在 Allegro PCB PI option XL 窗口中任意一个电容器上单击鼠标右键，在弹出的菜单中选择“Unplace”，如图 9-7-48。通过这种方法只能逐个取消电容器，电容器只能在 Allegro PCB PI option XL 窗口中取消，在“Power Integrity Design & Analysis”对话框的去耦电容器列表中并不能取消电容器，不能同时取消多个电容器。使用“unplace”命令仅是在 Allegro PCB PI option XL 窗口中移除了电容器，并不能在网络表（netlist）中和“Power Integrity Design & Analysis”对话框中移除电容器，要想在网络表中移除电容器，必须使用“delete”命令。

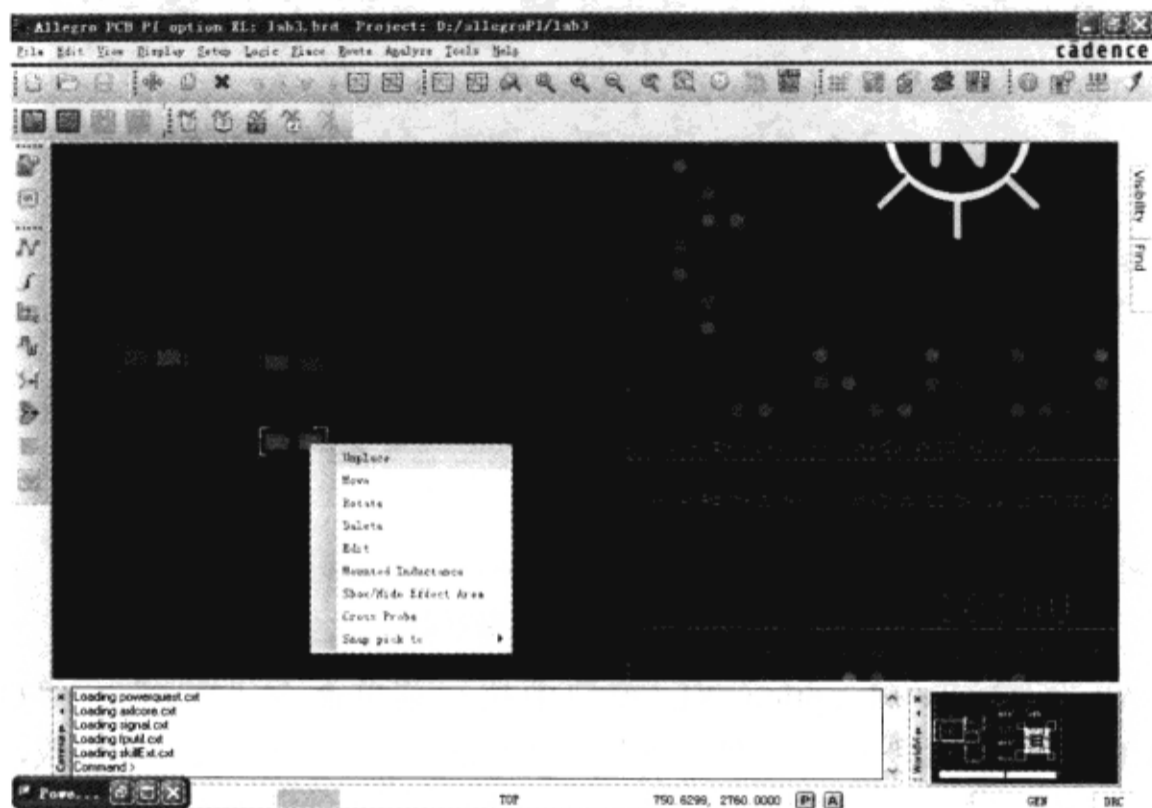


图 9-7-48 取消摆放电容器

(2) 在 Allegro PCB PI option XL 窗口中任意一个电容器上单击鼠标右键，在弹出的菜单中选择“Delete”命令，如图 9-7-49 所示。通过这种方法可逐个删除电容器，同时在 Allegro PCB PI option XL 窗口中和 PCB 网络表中移除了电容器，但是并没有在“Power Integrity Design & Analysis”对话框中移除电容器。使用“Delete”命令可在网络表中移除电容器，为了在“Power Integrity Design & Analysis”对话框中移除电容器，必须在电容器库当中取消对这个电容器的选择。

(3) 在“Power Integrity Design & Analysis”对话框中单击“Cancel”按钮关闭这个对话框，并不需要保存 PCB 的修改。如果在“Power Integrity Design & Analysis”对话框中单击“Cancel”按钮，将会删除自上次保存以来对电路板做的所有修改。在“Power Integrity Control”对话框进行的设置和所摆放的电容器都不会被保存。

## 5. 多节点仿真和分析

1) 在布局完毕的 PCB 上进行多节点仿真 本小节将打开一个电容器已摆放完毕的 PCB 文件，其他设置和前面的 PCB 文件相同。通过对 PCB 文件进行多次多节点分析来观测电容器布局的效果。在初次仿真时，并不需要通过电源完整性工具来计算贴装电感值，初次

仿真只包括平面上电容器（capacitor-to-plane）的电感。电源完整性工具会在其他仿真中把贴装电感值的计算结果包含在内。计算得出的贴装电感值会影响所要求目标阻抗的满足。仿真中重要的一点是所有电容器已经摆放在了 PCB 的顶层。

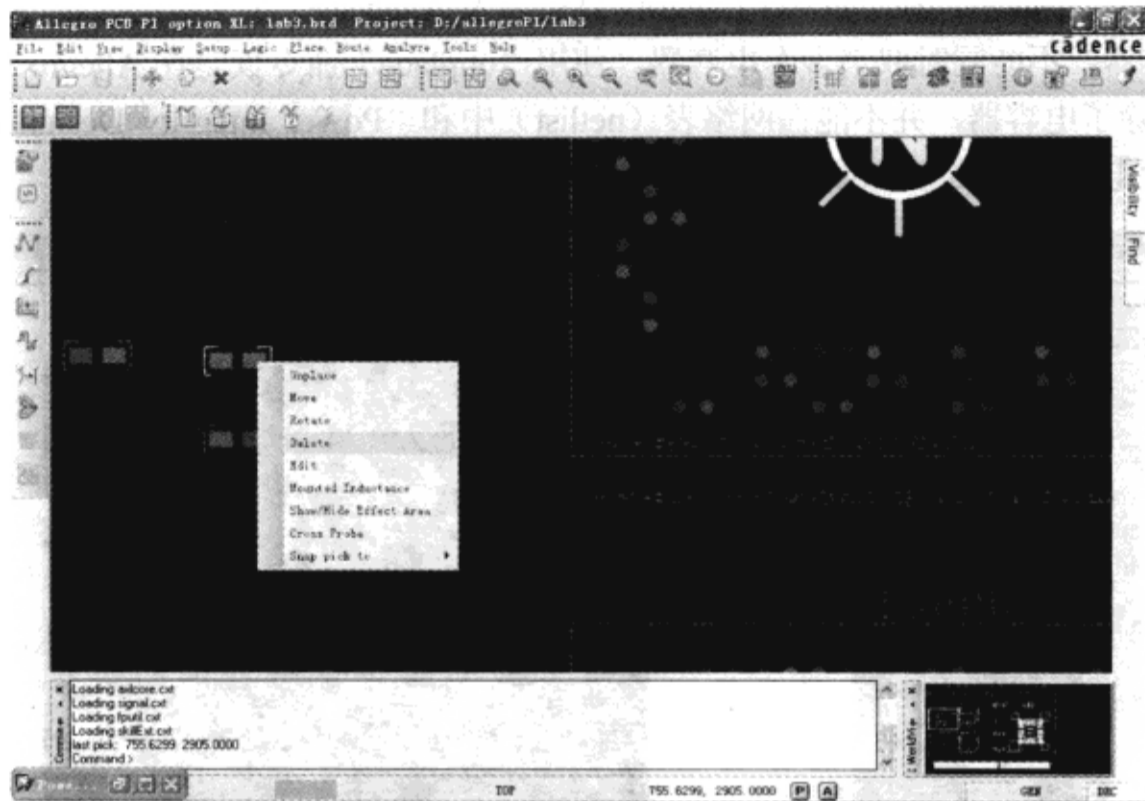


图 9-7-49 删除电容器

(1) 在 Allegro PCB PI option XL 窗口中执行菜单命令“File”→“Open”，弹出“Allegro PCB PI option XL”窗口，询问是否保存对 lab3.brd 电路板文件的修改，如图 9-7-50 所示。

(2) 单击“否”按钮，弹出“Open”对话框，在对话框中显示了当前的工程目录，如图 9-7-51 所示。

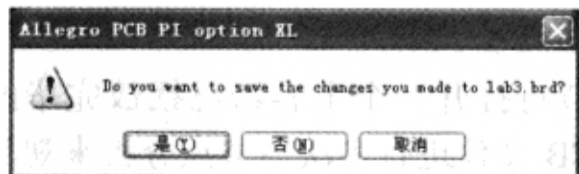


图 9-7-50 “Allegro PCB PI option XL”窗口

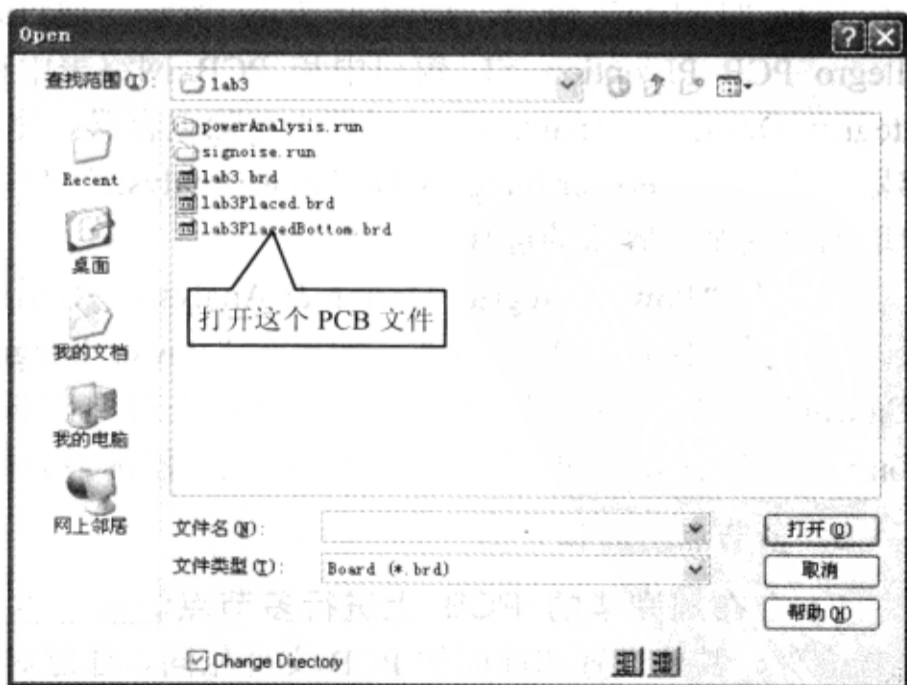


图 9-7-51 “Open”对话框

(3) 双击 lab3Placed.brd 打开这个 PCB 文件，因为 lab3Placed.brd 文件处于同一个文件夹下，所以并不需要对当前工程目录做出修改，如图 9-7-52 所示。

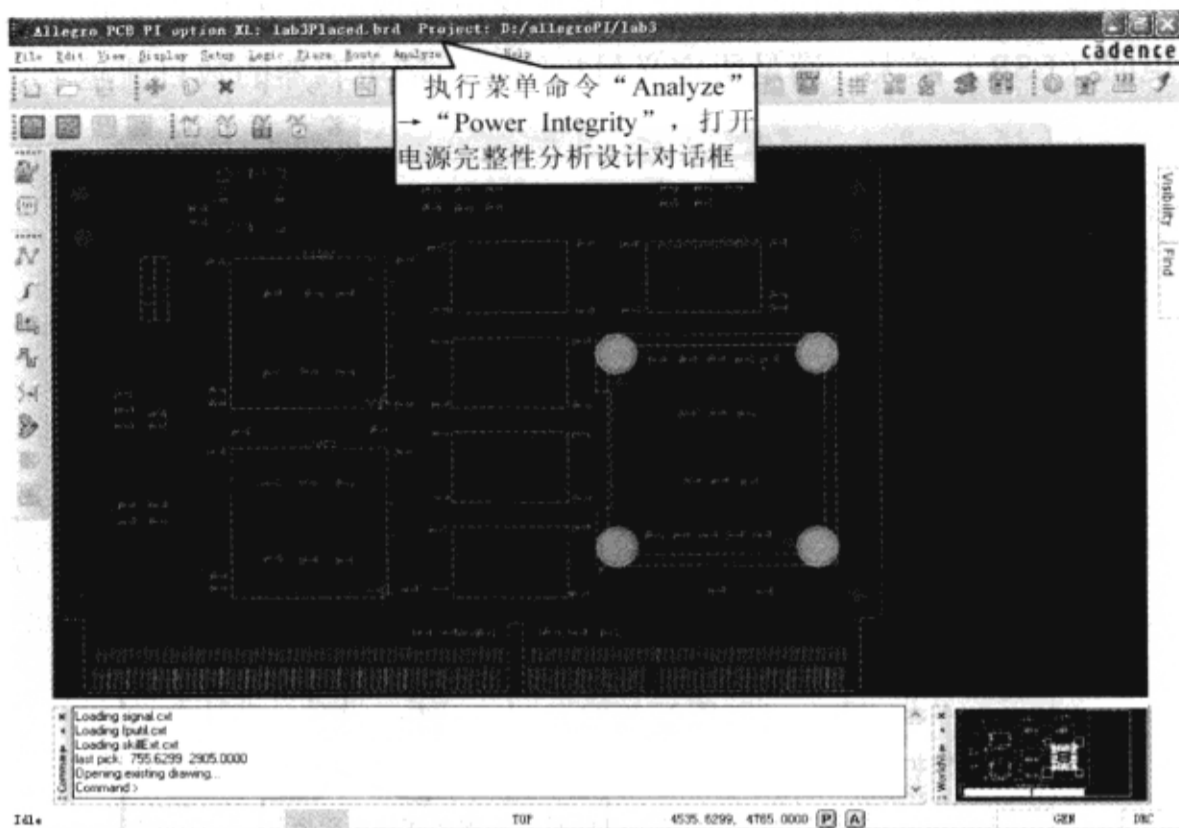


图 9-7-52 打开 PCB 文件

(4) 在 Allegro PCB PI option XL 窗口中执行菜单命令“Analyze”→“Power Integrity”，弹出“Power Integrity Design & Analysis”对话框，如图 9-7-53 所示。此时并不需要对“Power Integrity Control”对话框下的参数进行设置，先前的参数设置已经保存在了 signoise.run 文件夹下，如果在相同的目录下打开 PCB 文件，电源完整性工具就调用这些参数。

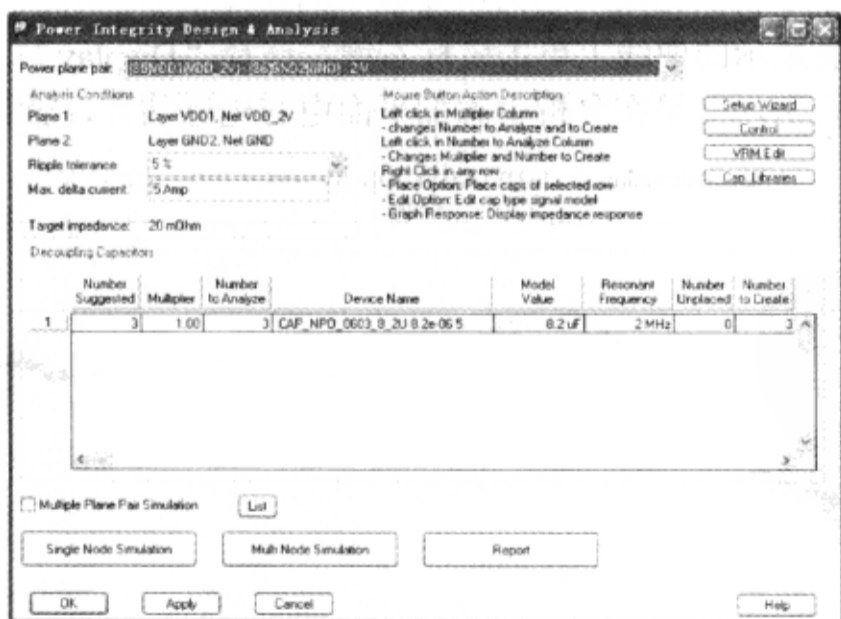


图 9-7-53 电源完整性设计分析窗口

(5) 在“Power Integrity Design & Analysis”对话框中“Power plane pair”栏中选择“[S1]VDD3(VDD\_3) - [S2]GND(GND) - 3V”，如图 9-7-54 所示。此时在“Power Integrity

Design & Analysis”对话框中所有所选的电容器已经摆放在 PCB 上。并不需要摆放所有电源完整性工具建议的电容器，电源完整性工具只是大概估计了一下满足定义目标阻抗所需电容器的数目，计算所得结果某种程度上是基于所选择电容器的等效串联电阻（ESR），电容器的等效串联电阻（ESR）越大，满足所定义目标阻抗所需电容器的数目就越大。

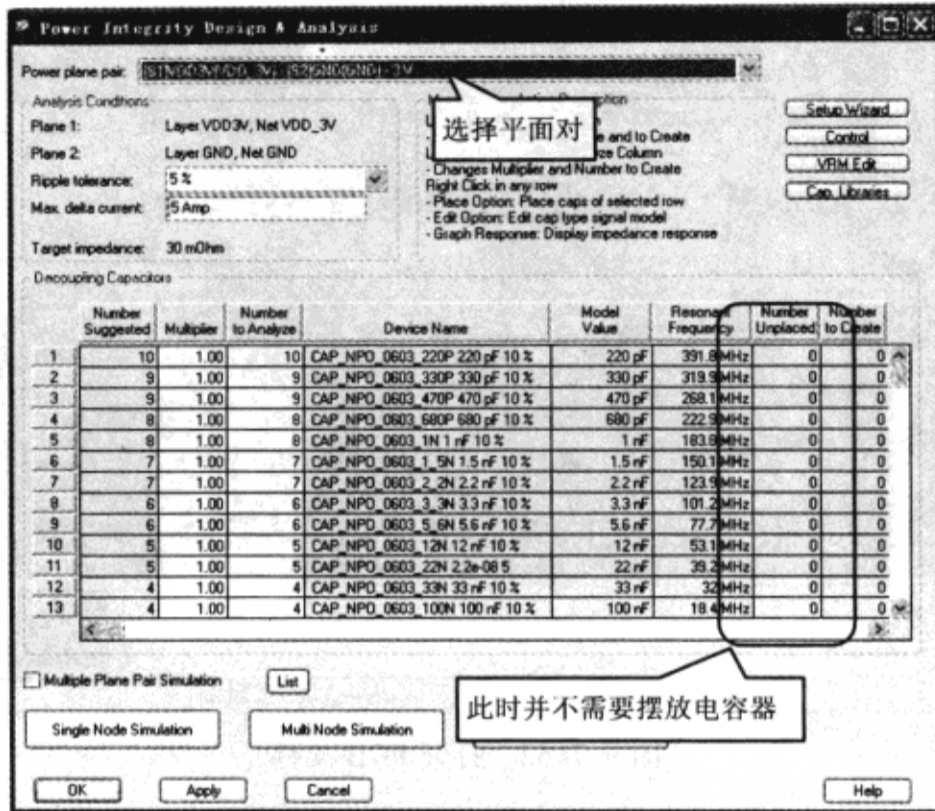


图 9-7-54 选择平面对

(6) 在“Power Integrity Design & Analysis”对话框中单击“Multi-Node Simulation”按钮，此时还没有命令电源完整性工具为仿真计算贴装电感值，就进行了多节点分析，并在 SigWave 窗口当中显示了仿真结果（因为所要显示的曲线很多，所以需要在窗口左边对曲线的显示进行设置，在要显示的曲线上单击鼠标右键，选择“Display”），如图 9-7-55 所示。在图 9-7-55 中可以看出，如果在分析中添加平面电容电感估计，就会在波形仿真结果中产

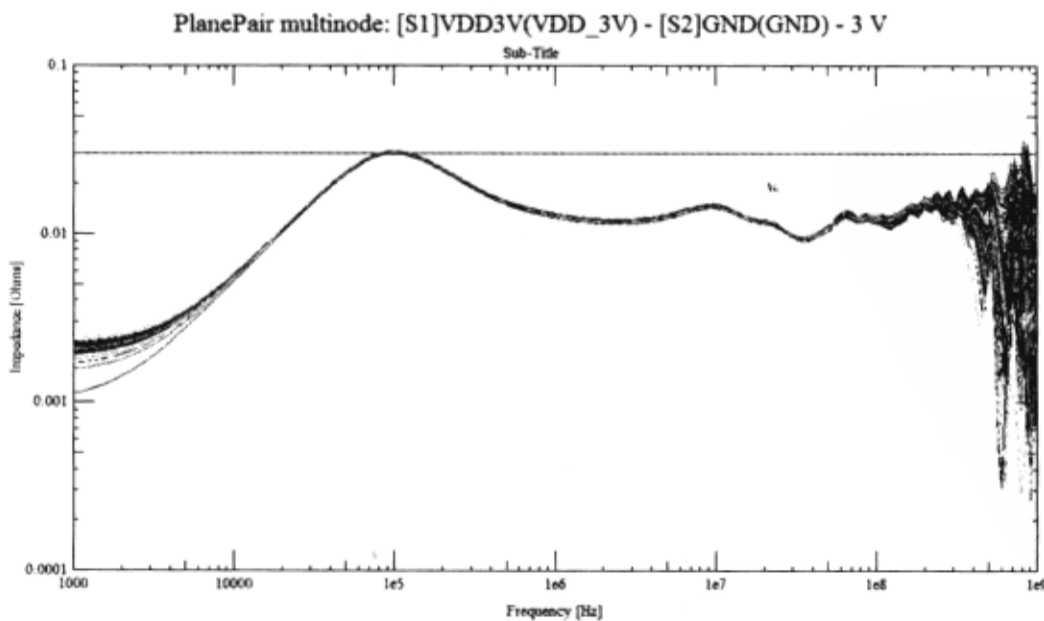


图 9-7-55 多节点仿真结果



生一些很小的波峰。本次仿真包括了本征电感值 (intrinsic inductance) 和默认贴装电感值 (mounted inductance), 这些波峰基本处于目标阻抗值以下 ( $30\text{m}\Omega$ ), 所以电容器的选择及其布局满足了目标阻抗, 接下来将试图减少这些波峰。

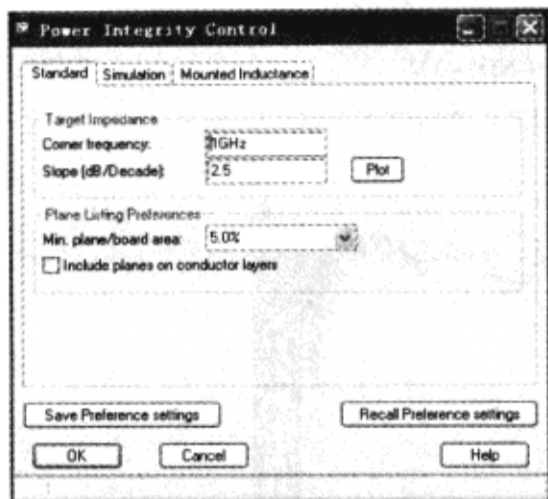


图 9-7-56 “Power Integrity control” 对话框

## 2) 多节点分析

(1) 在“Power Integrity Design & Analysis”对话框中单击“Control”按钮, 弹出“Power Integrity Control”对话框, 如图 9-7-56 所示。

(2) 选中“Mounted Inductance”标签页, 如图 9-7-57 所示。

(3) 选中“Calculate all on MultiNode Simulation” → 单击“OK”按钮, 电源完整性工具会在进行多节点仿真时计算贴装电感, 如图 9-7-58 所示。

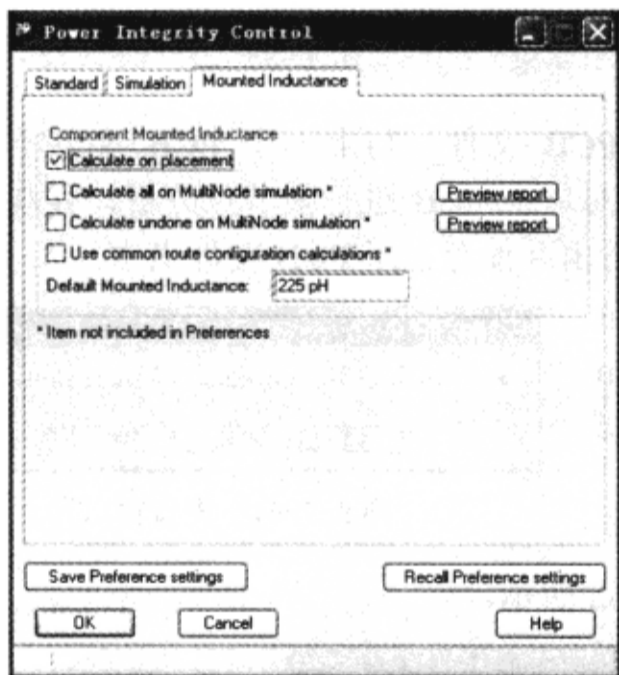


图 9-7-57 贴装电感值设置窗口

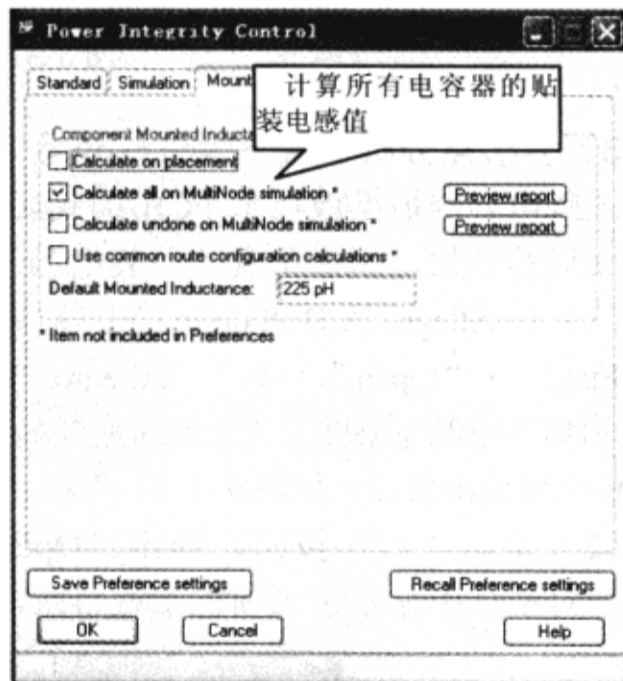


图 9-7-58 计算所有电容器的贴装电感值

(4) 在“Power Integrity Design & Analysis”对话框中单击“MultiNode Simulation”按钮, 此时会弹出一个提示窗口, 电源完整性工具会为 92 个电容器的贴装电感进行 Fast Henry 计算, 这些计算会花费一些时间, 如图 9-7-59 所示。

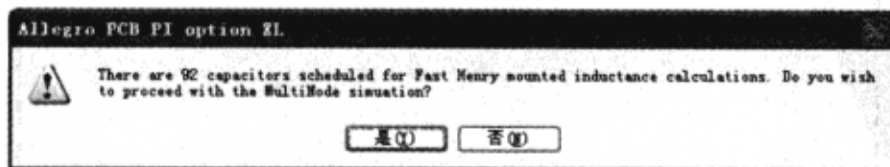


图 9-7-59 警告窗口

(5) 在“Allegro PCB PI option XL”窗口中单击“是”按钮, 电源完整性工具开始为仿真计算贴装电感值并进行多节点分析, 在 SigWave 窗口中会显示仿真结果 (因为所要显示的仿真曲线众多, 所以需要在窗口左边对曲线的显示进行设置, 在要显示的曲线上单击鼠标右

键, 选择“Display”), 如图 9-7-60 所示。在图 9-7-60 中可以看出, 使用电源完整性工具计算贴装电感值, 并在分析中包含这些计算结果会产生不同的仿真结果波形。

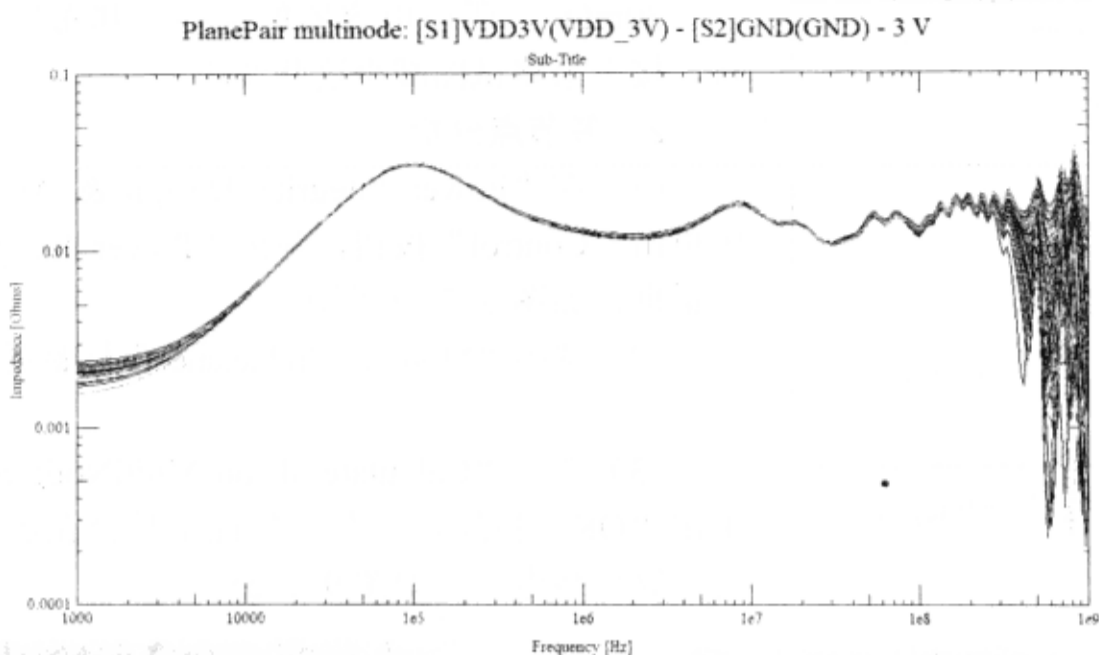


图 9-7-60 多节点仿真结果

3) 多节点分析 接下来将打开另一个版本的 PCB 文件, 与上一个 PCB 文件不同的是, 一些电容器被摆放在了 PCB 的底层。接下来将对这个 PCB 进行多节点分析, 并观测电容器布局的效果。用于仿真的贴装电感值已经计算得出并保存在了 PCB 文件当中。

(1) 在 Allegro PCB PI option XL 窗口中执行菜单命令“File”→“Open”, 弹出“Allegro PCB PI option XL”窗口, 电源完整性工具会询问是否对 lab3Placed.brd 电路板文件做出修改, 如图 9-7-61 所示。

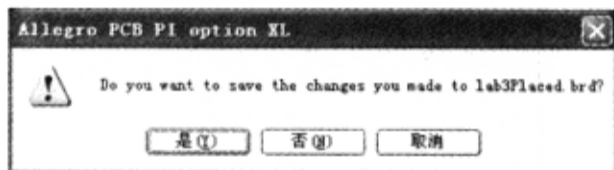


图 9-7-61 警告窗口

(2) 单击“否”按钮, 弹出“Open”对话框, 在这个对话框中显示了当前的工程目录, 如图 9-7-62 所示。

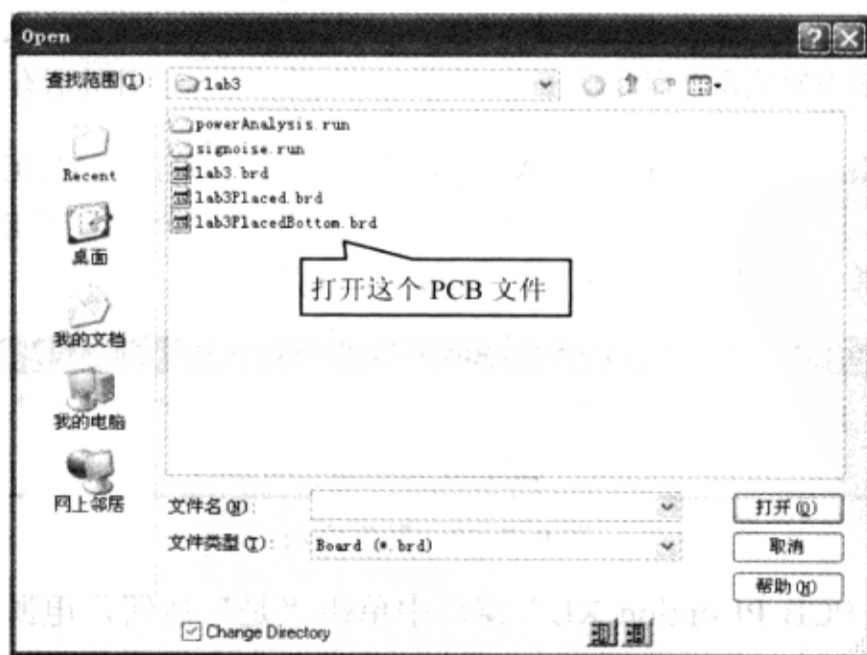


图 9-7-62 “Open”对话框

(3) 双击 lab3PlacedBottom.brd, 打开这个 PCB 文件。因为 lab3PlacedBottom.brd 电路板文件位于相同的目录下, 因此不需要对当前的工程目录进行修改, 如图 9-7-63 所示。

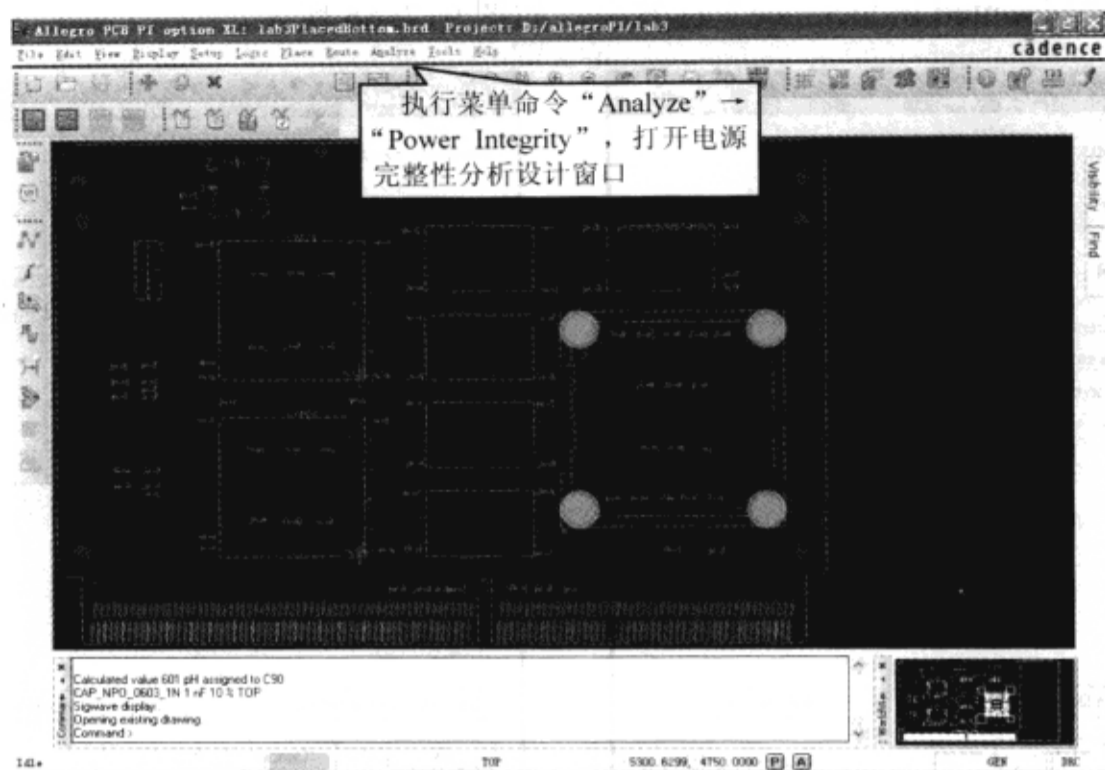


图 9-7-63 打开电路板文件

(4) 在 Allegro PCB PI option XL 窗口中执行菜单命令 “Analyze” → “Power Integrity”, 弹出 “Power Integrity Design & Analysis” 对话框, 如图 9-7-64 所示。

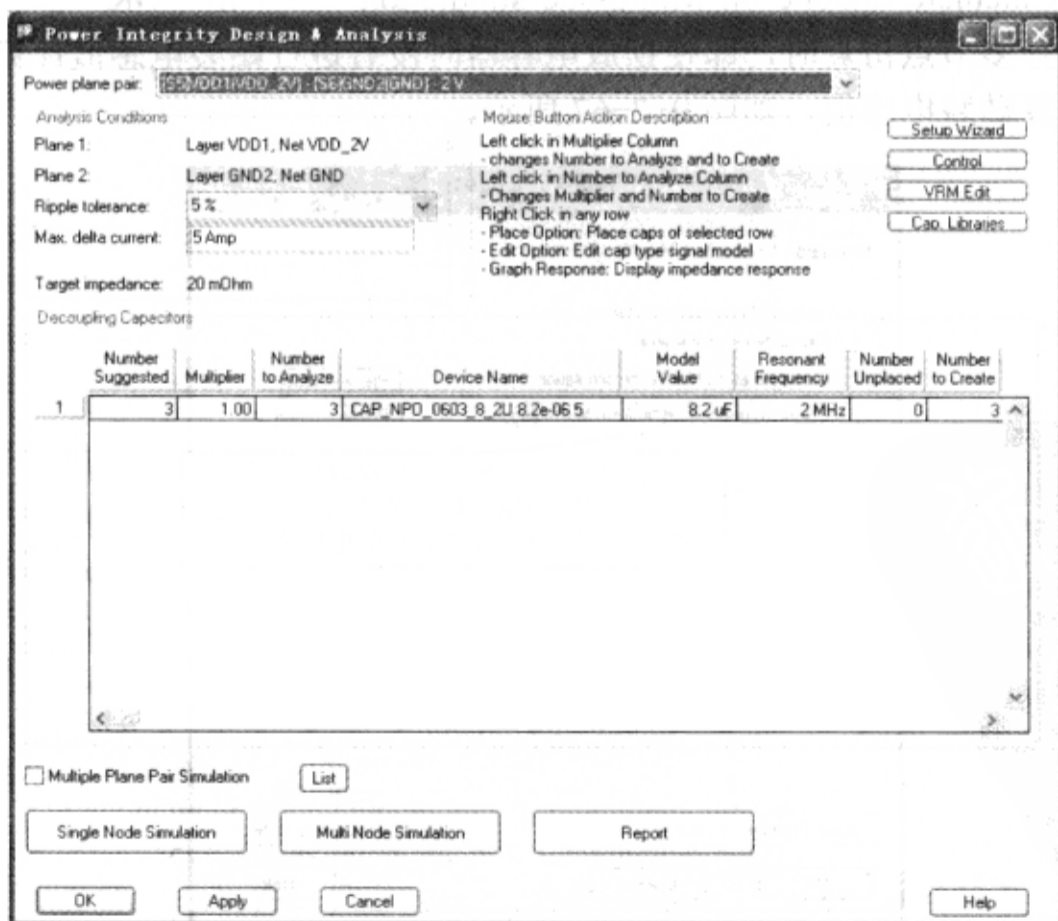


图 9-7-64 “Power Integrity Design & Analysis” 对话框

(5) 在“Power Integrity Design & Analysis”对话框中单击“Control”按钮，弹出“Power Integrity Control”对话框，如图 9-7-65 所示。

(6) 选中“Mounted Inductance”标签页，如图 9-7-66 所示。

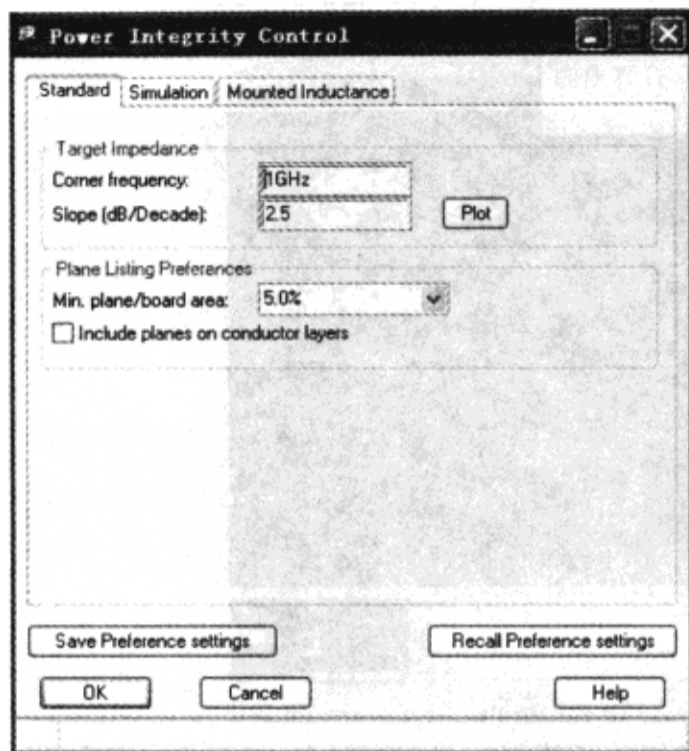


图 9-7-65 “Power Integrity Control”对话框

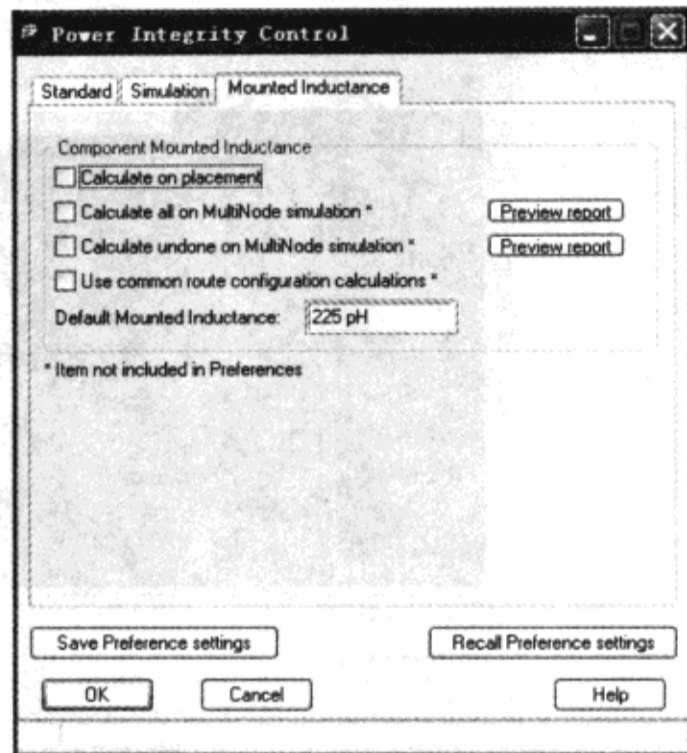


图 9-7-66 “Power Integrity Control”对话框  
“Mounted Inductance”标签页

(7) 选中“Calculate undone on Multinode simulation” →单击“OK”按钮。如果选中这个复选框，当进行多节点仿真时，即使摆放电容器时没有进行贴装电感值计算，电源完整性工具也会为其计算贴装电感值，如图 9-7-67 所示。

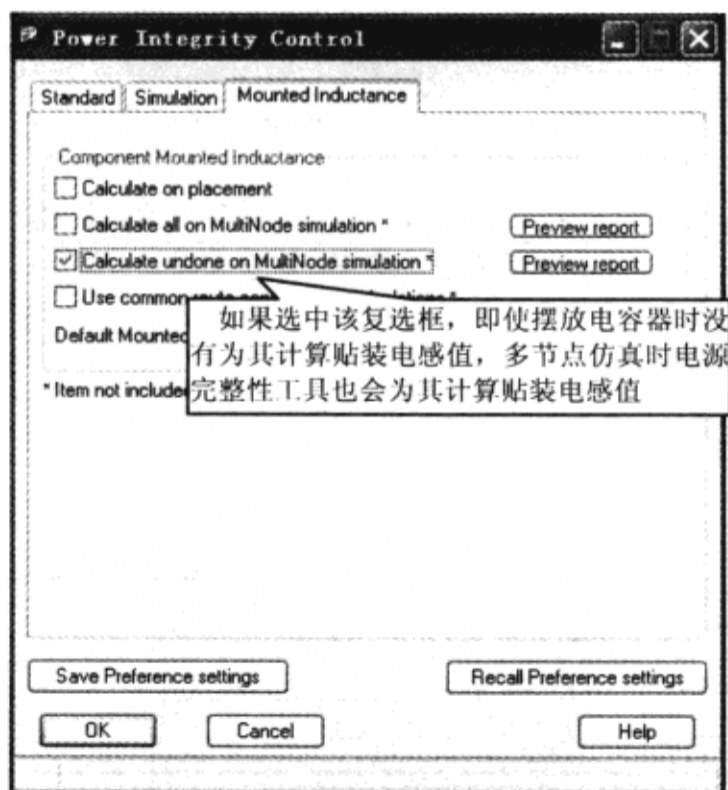


图 9-7-67 计算贴装电感值

(8) 在“Power Integrity Design & Analysis”对话框的“Power plane pair”栏中选择“[S1]VDD3(VDD\_3) - [S2]GND(GND) - 3V”，在“Power Integrity Design & Analysis”对话框中所有所选电容器已被摆放在 PCB 上，如图 9-7-68 所示。

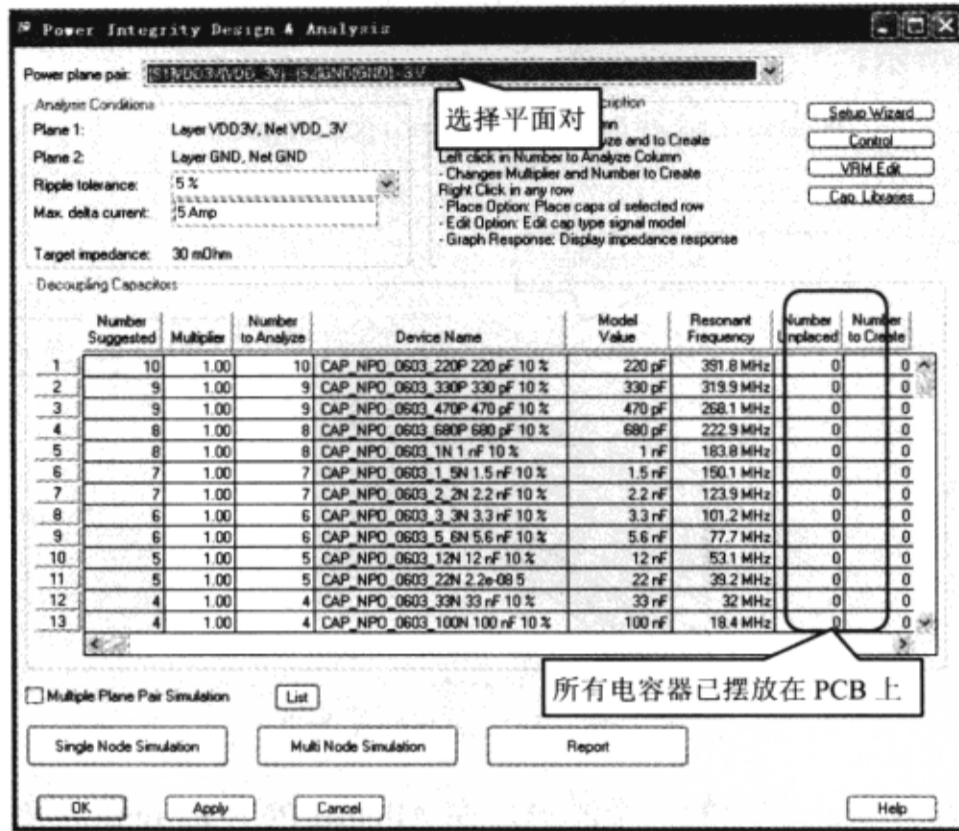


图 9-7-68 选择平面对

(9) 在“Power Integrity Design & Analysis”对话框中选择“MultiNode Simulation”，电源完整性工具会进行多节点仿真并在 SigWave 窗口中显示仿真结果，如图 9-7-69 所示。在图 9-7-69 中可以看出，在 PCB 的底层摆放一些电容器会在仿真波形当中产生一个非常大的反谐振波峰。

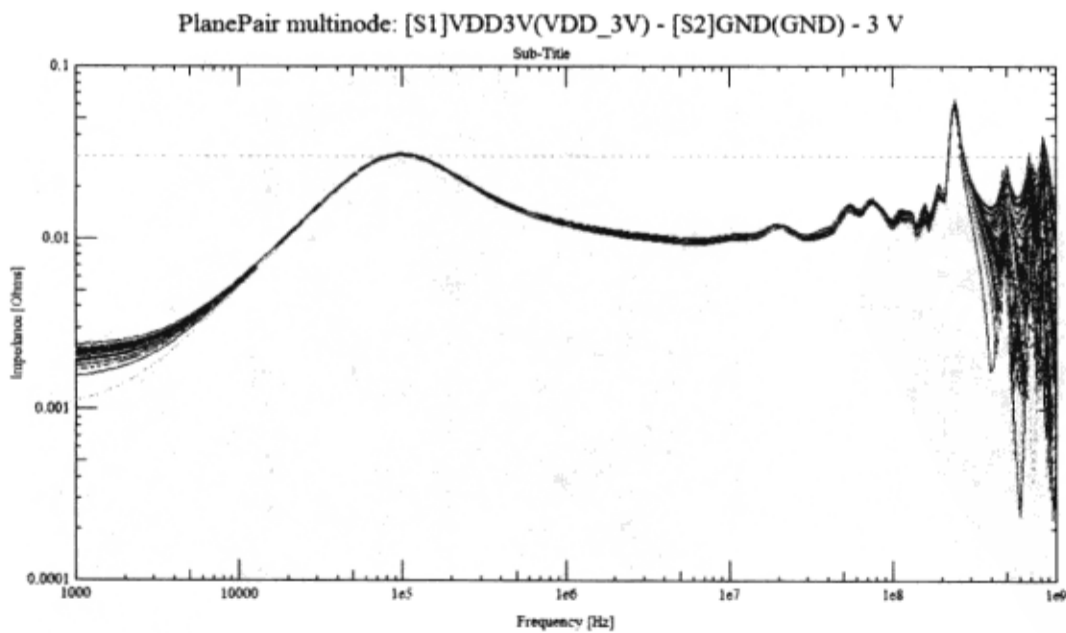


图 9-7-69 多节点仿真结果

在电源完整性工具中使用交互查看功能（cross-probe feature）可隔离与这些波峰相关的



区域，接下来将选择一些电容器摆放在这些区域中，然后进行多节点分析并观测结果。

#### 4) 使用交互查看功能

(1) 在 SigWave 波形显示窗口中单击鼠标左键，然后在 SigWave 窗口中执行菜单命令“Zoom”→“In Region”，在接近 240MHz 的地方画一个方框，这个方框应该包括波形中的波峰，如图 9-7-70 所示。

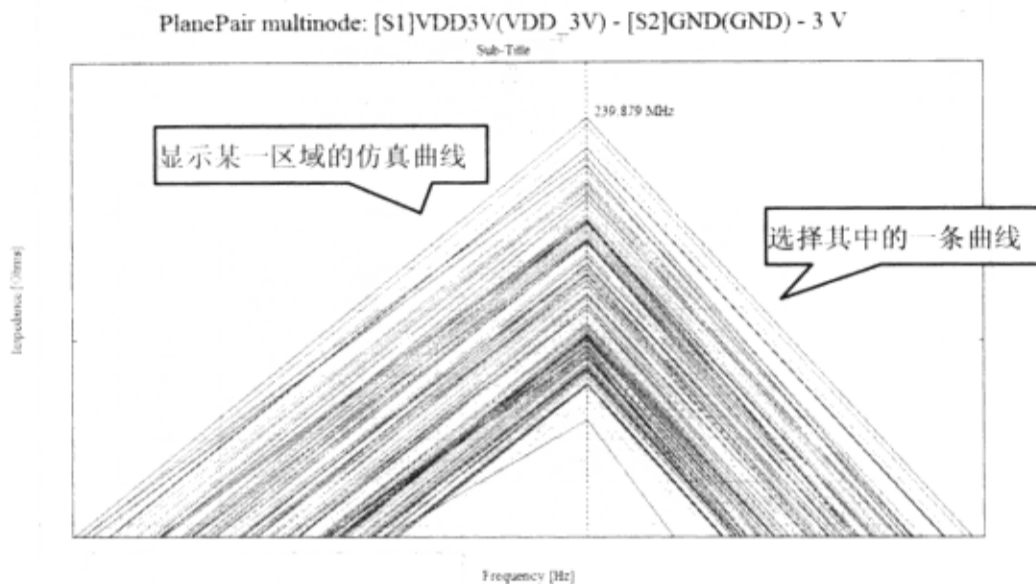


图 9-7-70 显示部分仿真曲线

(2) 在图 9-7-70 中单击其中的一个波形，在 Allegro PCB PI option XL 窗口中会显示受这个波形影响的单元格区域。先前在参数窗口中设置的网格格式为“10X10”，这意味着 PCB 由 100 个这样代表单元格的方框所组成，在 SigWave 窗口中所显示的每一个波形都与其中的一个单元格相关联，如图 9-7-71 所示。方框由每条边上的传输线所组成，电容器被连接在网格点的连接节点上。

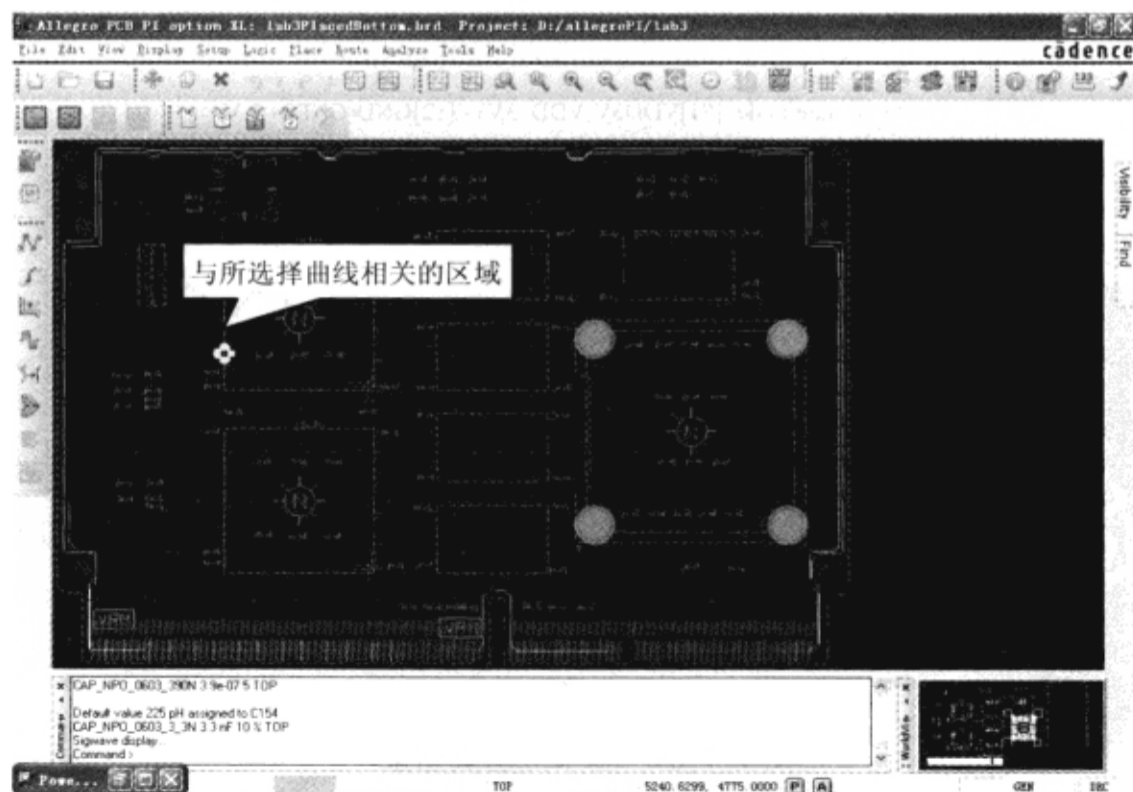


图 9-7-71 电源完整性工具的交互查看功能

在电容器库中选择一个谐振频率接近 240MHz 的电容器，然后重新进行多节点分析来验证电容器是否减小了波形中的反谐振波峰。其中一个非常重要的考虑因素是是否要在 PCB 的顶层和底层安装一个或者多个新的电容器。

(3) 在“Power Integrity Design & Analysis”对话框中单击“Control”按钮，改变默认贴装电感值为 600 pH。通过计算 PCB 顶层摆放的所有 0603 电容器的贴装电感值，在电容器库中会显示所有电容器的谐振频率，如图 9-7-72 所示。

(4) 在“Power Integrity Design & Analysis”对话框中单击“Cap Libraries”按钮，弹出“Power Integrity Setup Wizard-Library Setup”对话框，如图 9-7-73 所示。



图 9-7-72 改变默认贴装电感值

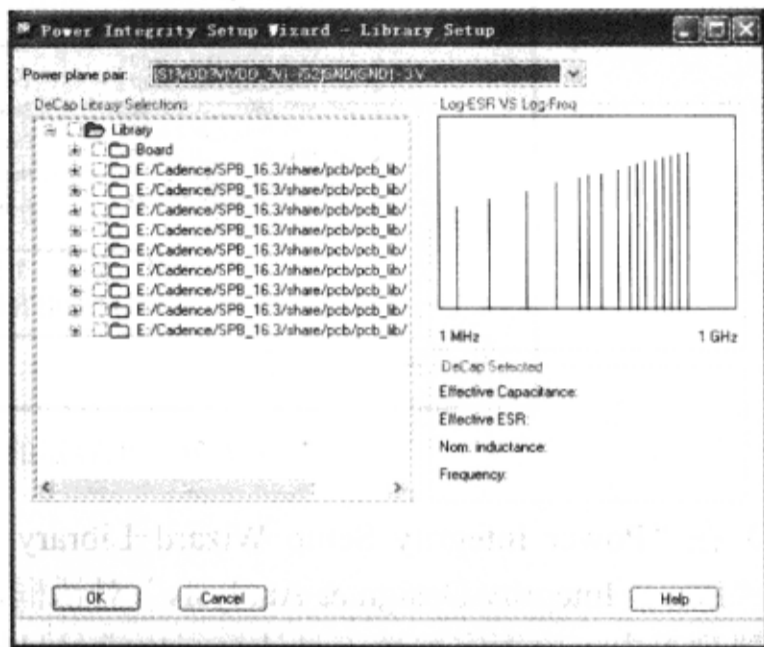


图 9-7-73 “Power Integrity Setup Wizard-Library Setup”对话框

(5) 在“Power Integrity Setup Wizard-Library Setup”对话框的“Power plane pair”栏中选择“[S1]VDD3(VDD\_3) - [S2]GND(GND) - 3V”，如图 9-7-74 所示。

(6) 在“DeCap Library Selections”区域单击电容库 E:/Cadence/SPB\_16.3/share/pcb/pcb\_lib/np0\_0603\_caps 旁边的“+”号，显示这个电容库中所有的电容器，如图 9-7-75 所示。

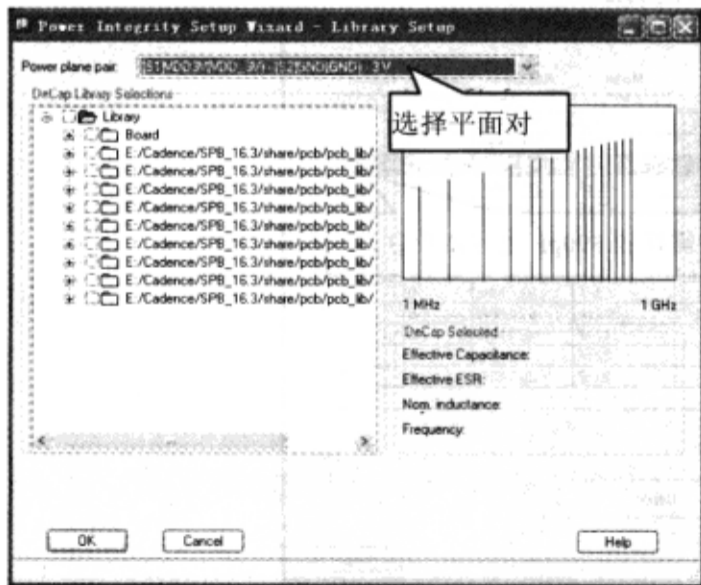


图 9-7-74 选择平面对

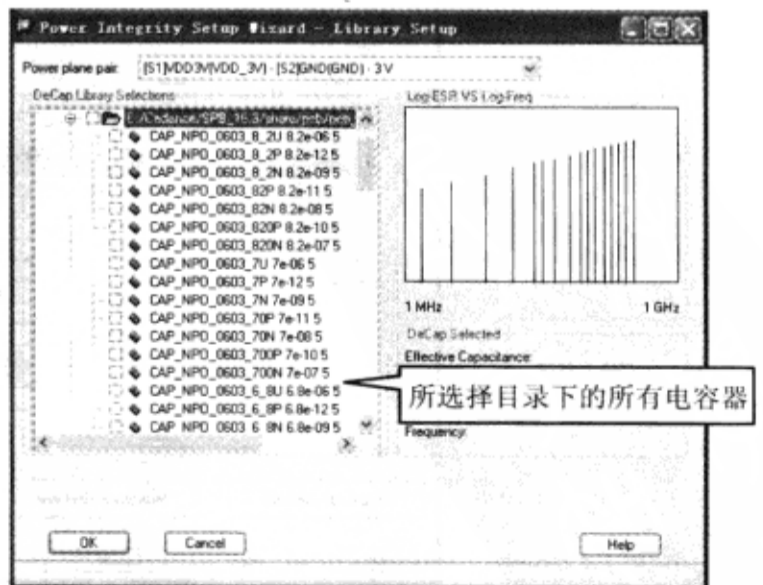


图 9-7-75 目录下的电容器

(7) 向下滚动下拉菜单，选中电容器 CAP\_NPO\_0603\_390P，选择这个电容器的原因是因为其谐振频率接近 240.277 MHz，如图 9-7-76 所示。

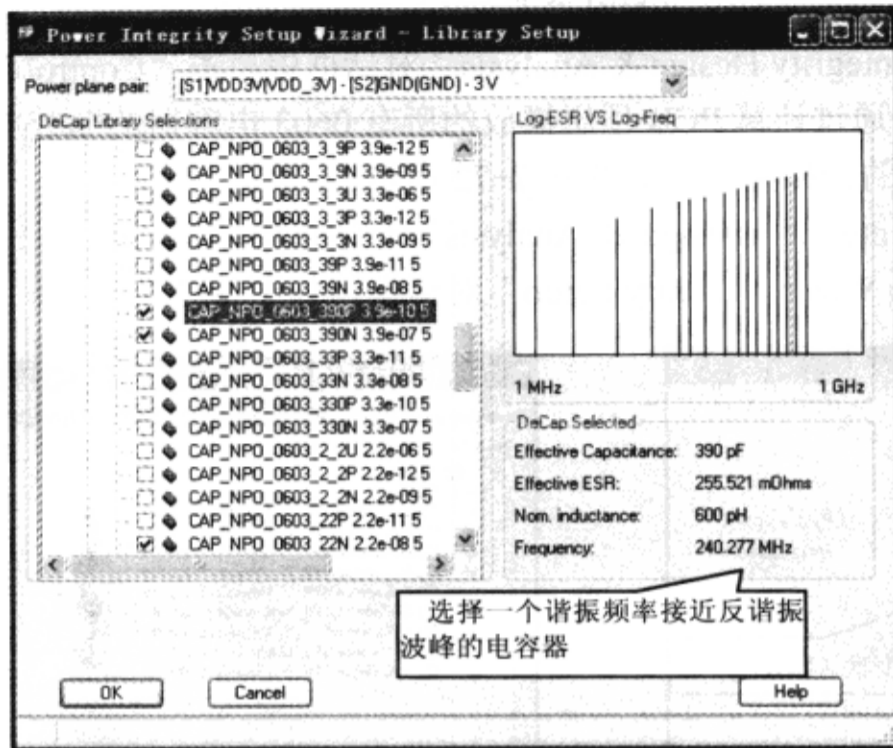


图 9-7-76 电容器的谐振频率

(8) 在“Power Integrity Setup Wizard-Library Setup”对话框中单击“OK”按钮，会再次显示“Power Integrity Design & Analysis”对话框，新电容器已经被添加到了对话框中的去耦电容器列表中，电源完整性工具计算得出满足目标阻抗所需摆放电容器的数目为 9（记住此时的有效波长值），如图 9-7-77 所示。

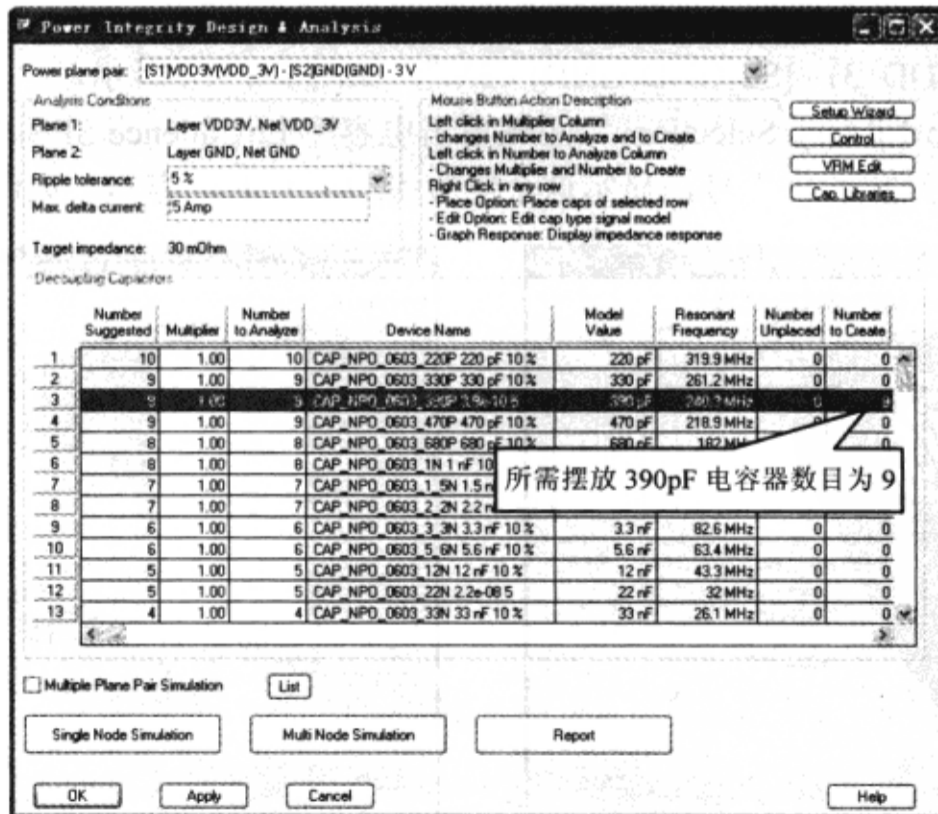


图 9-7-77 所需摆放电容器的数目

在由 Allegro-SigWave 交互查看 (cross-probe) 功能确定的区域并不需要摆放所有的 9 个电容器, 需要通过通过有效波长范围 (effective wavelength circle)、交互查看功能 (cross-probe feature) 及自己判断来摆放这些电容器。

(9) 在 Allegro PCB PI option XL 窗口中 PCB 的高亮矩形中摆放一个电容器, 如图 9-7-78 所示。

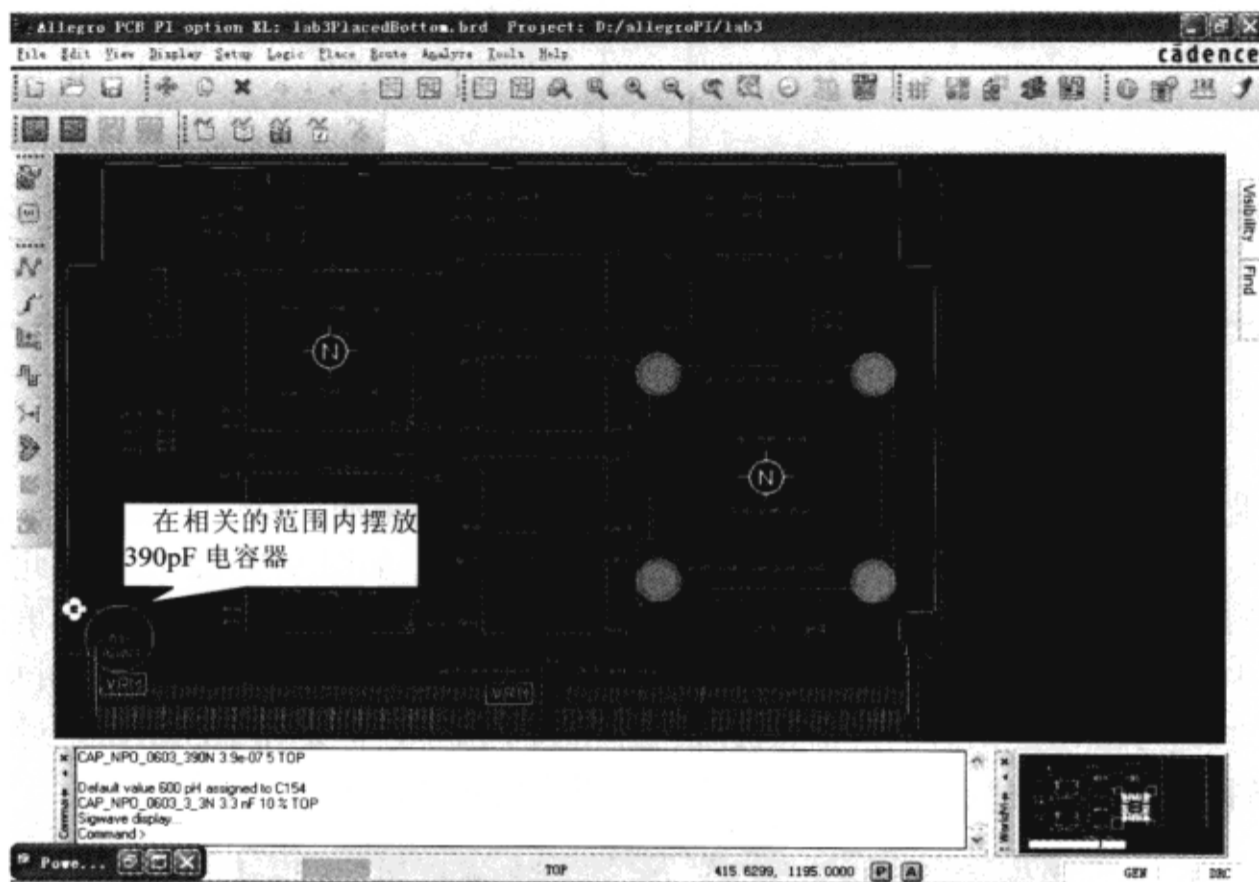


图 9-7-78 在相关的范围内摆放电容器

(10) 在 SigWave 窗口中单击另一条波形, 在 Allegro PCB PI option XL 窗口中会显示受这个波形影响的 PCB 区域。

(11) 在 Allegro PCB PI option XL 窗口中高亮矩形中摆放一个电容器。

(12) 在 Allegro PCB PI option XL 窗口中重复以上步骤, 直到所有 9 个电容器完全摆放在了 PCB 上, 这时会显示一个窗口提示所有的电容器已经被摆放在了 PCB 上, 如图 9-7-79 所示。

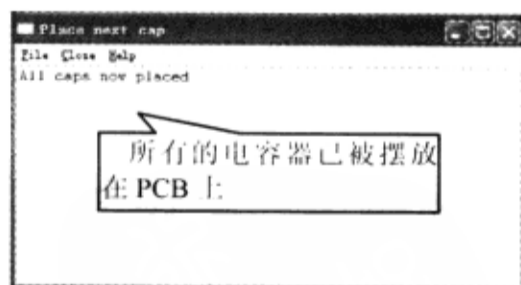


图 9-7-79 提示窗口

(13) 关闭提示窗口。

(14) 在“Power Integrity Design & Analysis”对话框中单击“Control”按钮, 弹出“Power Integrity Control”对话框, 如图 9-7-80 所示。

(15) 选中“Mounted Inductance”标签页, 如图 9-7-81 所示。

(16) 选中“Calculate undone on Multinode simulation”, 单击“OK”按钮。在进行多节点仿真时, 电源完整性工具会仅计算新摆放电容器的贴装电感值。

(17) 在“Power Integrity Design & Analysis”对话框中单击“MultiNode Simulation”按钮。

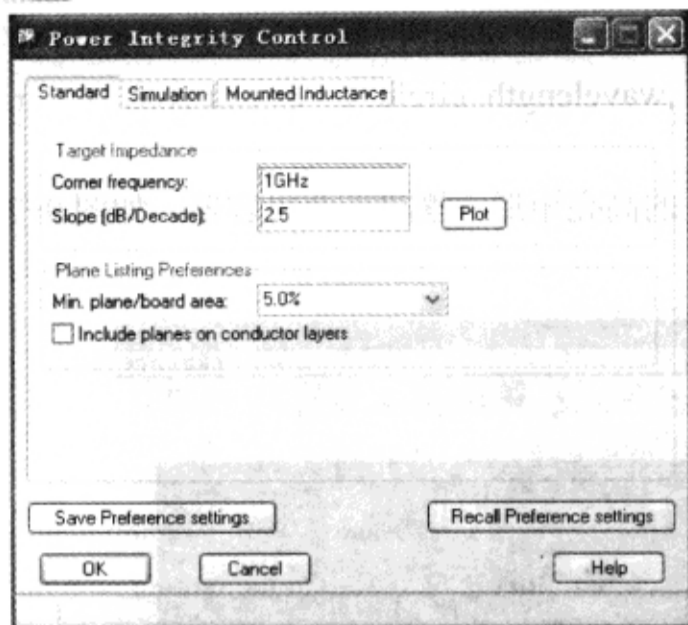


图 9-7-80 “Power Integrity Control” 对话框

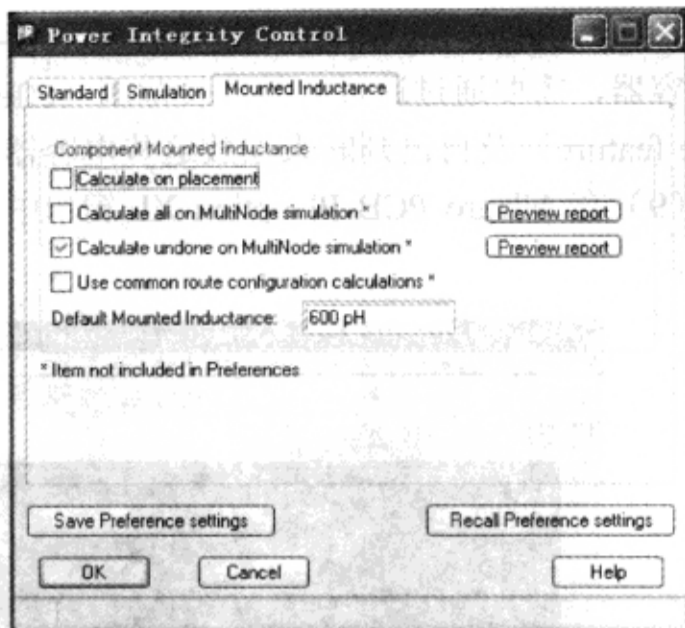


图 9-7-81 “Power Integrity Control” 对话框  
“Mounted Inductance” 标签页

(18) 此时会显示 Allegro PCB PI option XL 提示窗口，电源完整性工具会提示将对 9 个电容器进行 Fast Henry 贴装电感值计算，单击“是”按钮，如图 9-7-82 所示。此时会进行多节点分析并在 SigWave 窗口中显示结果，如图 9-7-83 所示。每个人的仿真结果很可能和图 9-7-83 中所显示的不一样，这是因为电容器的摆放位置是不相同的。但是从图 9-7-83 中可以看出，接近 240MHz 附近的反谐振波峰已经得到了减小，但是在 265MHz 附近会产生一个新的反谐振波峰，要想减小这个波峰只需重复以上的步骤即可。

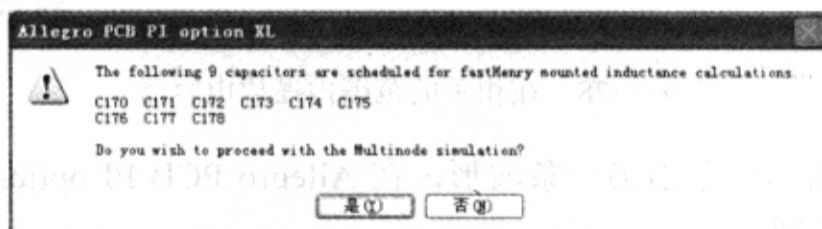


图 9-7-82 对电容器进行快速亨利贴装电感值计算

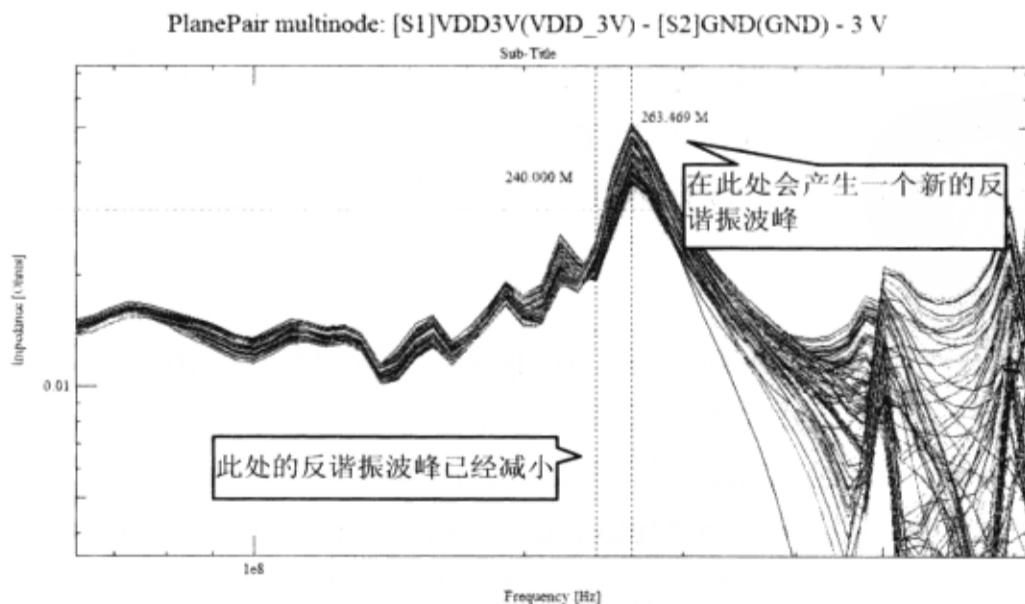


图 9-7-83 平面对多节点仿真结果



减小反谐振波峰还有另外一种方法：修改 PCB 的叠层结构。通过减少平面对之间的间隔距离，可以增加平面对高频情况下的去耦能力。但这是有风险的，因为 PCB 生产厂商不一定能制造出这种 PCB，且制造出的 PCB 不一定满足所要求的设计目标。接下来将观察在平面间隔距离减小时将会发生的情况。

(19) 暂时不要退出 SigWave 窗口，因为不久将要对比仿真波形。

### 5) 调整平面间电容

(1) 在“Power Integrity Design & Analysis”对话框中单击“Setup Wizard”按钮，弹出“Power Integrity Setup Wizard-Introduction”窗口，如图 9-7-84 所示。

(2) 单击两次“Next”按钮，直到显示“Power Integrity Setup Wizard-Stack-up”对话框，如图 9-7-85 所示。

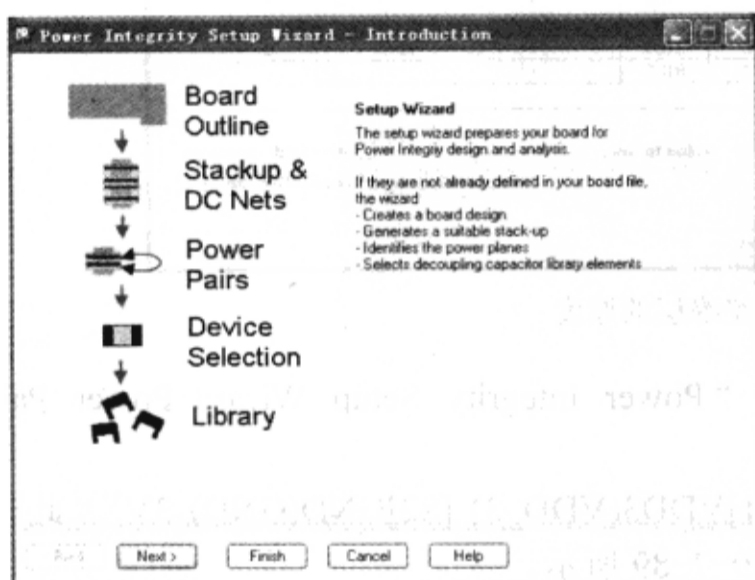


图 9-7-84 “Power Integrity Setup Wizard-Introduction”窗口

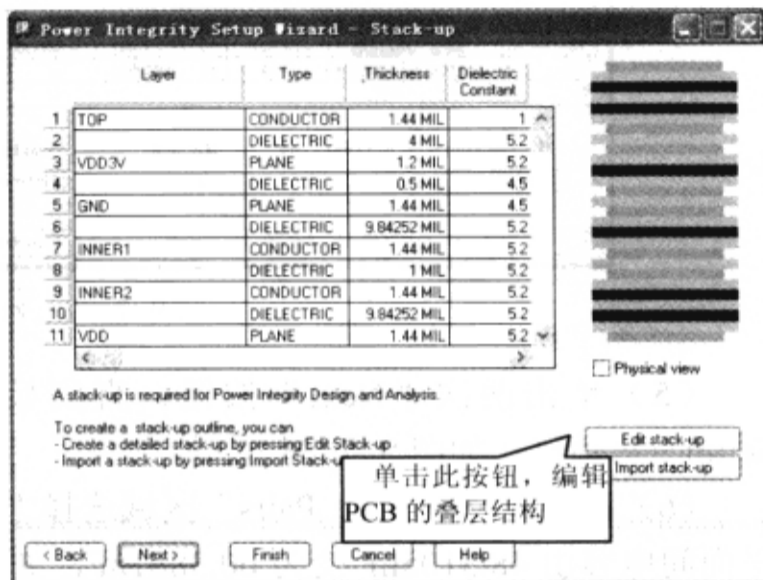


图 9-7-85 “Power Integrity Setup Wizard-Stack-up”对话框

(3) 单击“Edit stackup”按钮，弹出“Layout Cross Section”对话框，如图 9-7-86 所示。

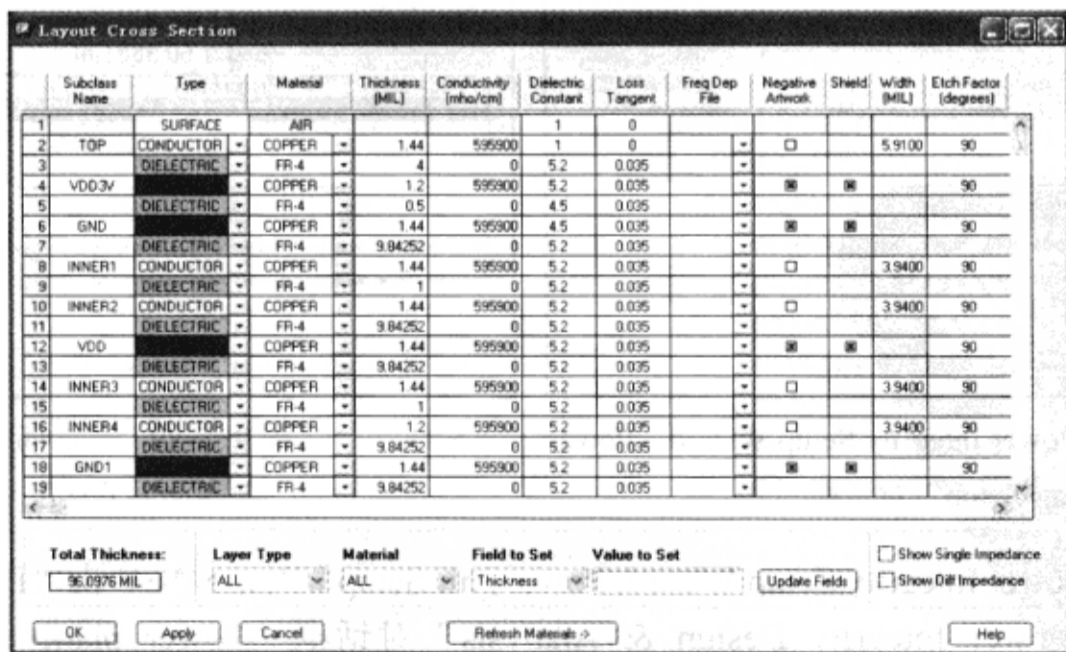


图 9-7-86 “Layout Cross Section”对话框

(4) 把第5层的绝缘层厚度由0.5修改为0.4→单击“OK”按钮，如图9-7-87所示。



图 9-7-87 修改绝缘层的厚度

(5) 单击两次“Next”按钮，直到显示“Power Integrity Setup Wizard-Power Pair Setup”对话框，如图9-7-88所示。

(6) 在“Power Plane Pairs”区域选择“[S1]VDD3(VDD\_3) [S2]GND(GND) 3V”。此时平面间电容由48.3105nF变为60.3881nF，如图9-7-89所示。

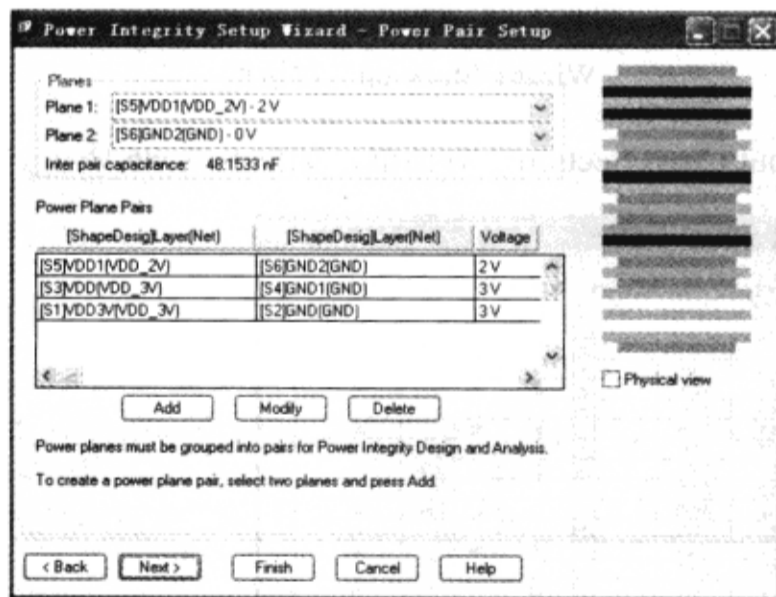


图 9-7-88 “Power Integrity Setup Wizard - Power Pair Setup”对话框

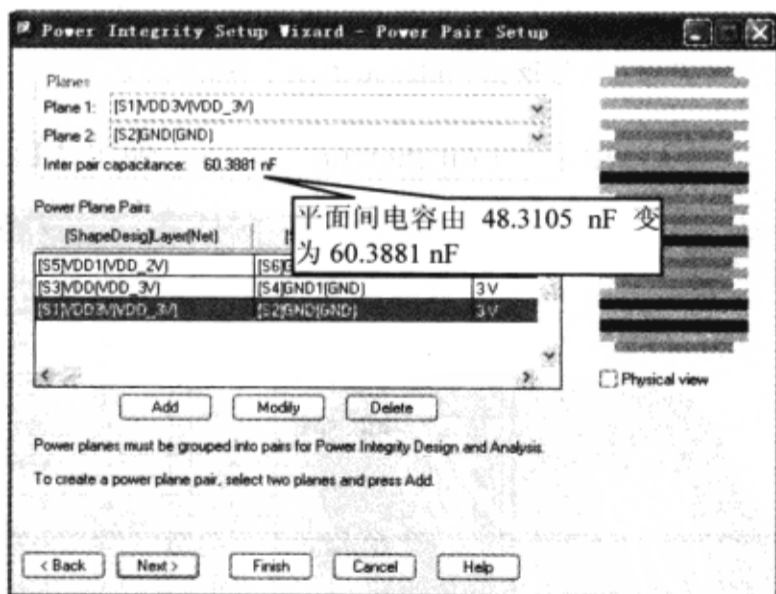


图 9-7-89 平面间的电容发生了变化

(7) 在“Power Integrity Setup Wizard-Power Pair Setup”对话框中单击“Finish”按钮。

(8) 在“Power Integrity Design & Analysis”对话框“Power plane pair”栏中选择“[S1]VDD3(VDD\_3) - [S2]GND(GND) - 3V”，如图9-7-90所示。

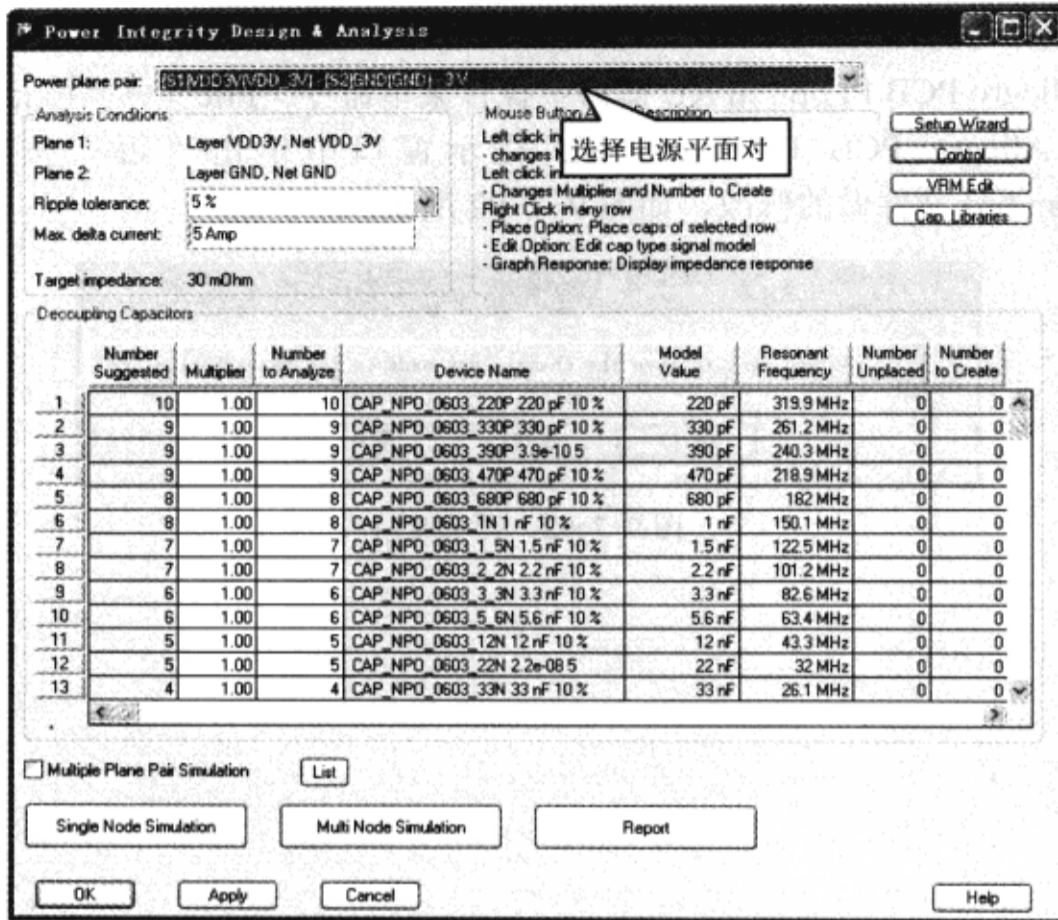


图 9-7-90 选择电源平面对

(9) 单击“Multi Node Simulation”按钮，电源完整工具开始进行多节点分析并在 SigWave 窗口中显示仿真结果，如图 9-7-91 所示。在 SigWave 窗口左边对显示波形进行设置，可显示上次多节点分析的仿真结果（在要显示的波形上单击鼠标右键，选择“Display”），通过对比当前显示的两套波形观测叠层结构的修改对仿真波形的影响。通过对比图 9-7-69 和图 9-7-91 可知，平面对平面间电容的变化会减小整个波形。

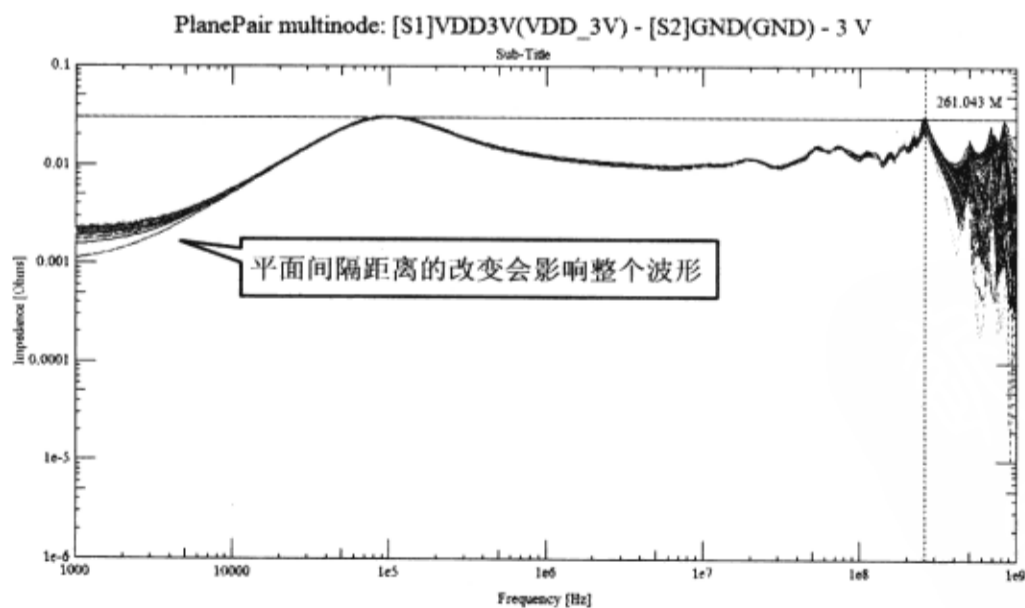


图 9-7-91 平面对多节点仿真结果

(10) 在 SigWave 窗口中执行菜单命令“File”→“Exit”。

(11) 在“Power Integrity Design & Analysis”对话框中单击“Cancel”按钮关闭这个窗

口，并不需要保存对文件的修改。

(12) 在 Allegro PCB PI option XL 窗口中执行菜单命令“File”→“Exit”。

(13) 在 Allegro PCB PI option XL 提示窗口中单击“否”按钮，不保存对 lab3PlacedBottom.brd 文件做的修改，如图 9-7-92 所示。

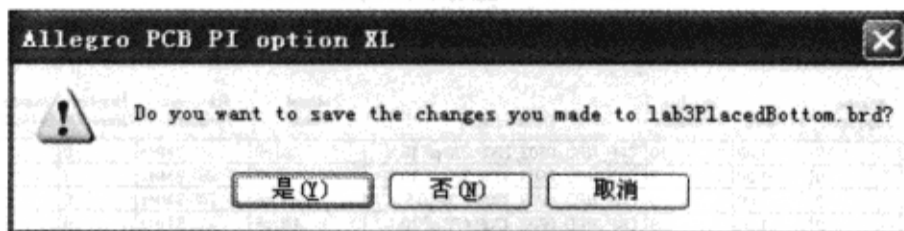


图 9-7-92 提示窗口

# 第10章 贴装电感和电容器库

## 10.1 学习目的

本章将在复习第9章的基础上继续学习关于 Allegro PCB PI option XL 电源完整性工具的相关知识。

- (1) 电容器的本征电感和贴装电感；
- (2) 焊盘布局效应；
- (3) 多节点仿真和快速亨利计算；
- (4) 电容器库管理；
- (5) 验证电容器和估计电感。

去耦电容器用于在电源和地平面之间产生低 AC 阻抗，去耦电容器的存在阻止了大电流回路的形成，大电流回路对高速电路是非常有害的。通常情况下，选择使用一些低频时低阻抗的大容量电容器，配合选择一些高频时低阻抗的小容量电容器（接近谐振点）。

在某些频率范围内还有一些没有发现的现象，去耦电容器会使 PDS 的阻抗增高，这些情况下都会存在谐振现象，在本章中将研究这些问题。

## 10.2 第9章回顾

第9章的主要学习内容如下所述。

- (1) 电容器布局；
- (2) 噪声源；
- (3) 平面网格；
- (4) 多节点仿真和交互查看功能。

第9章主要学习了包含有 PCB 寄生效应的多节点分析，而单节点分析并不包含 PCB 的寄生效应。此外，多节点分析还包括了与电容器形状相关的本征电感和贴装电感，分析中所使用的安装电容器所产生的额外电感值是估计值，电容器模型包含了这些估计的电感值。本章将比较估计得出的电感值和计算得出的电感值，在多节点分析中将看到它们之间巨大差别。

## 10.3 电源完整性工具元器件库的管理

### 1. 创建电容器模型

在电源完整性分析中元器件库的使用方法和信号完整性分析中元器件库的使用方法相



同，在电源完整性工具当中：

- (1) 可以添加、编辑或复制一个 DML 文件中任意一个单独电容器模型；
- (2) 在 Library browser 中创建和添加新的 DML 文件。

在电源完整性工具中创建的信号模型和在信号完整性分析中使用的普通电容器模型有明显的不同：

- (1) 信号完整性分析中的普通电容器模型仅是定义了电容值的简单 SPICE 模型；
- (2) 电源完整性工具中的电容器模型不仅定义了电容值和电阻值，还定义了电感值（包括本征电感和贴装电感）。

创建电源完整性电容器模型的过程将在本章中学习，电源完整性中的电容器模型和信号完整性中的电容器模型有所不同，这是因为信号完整性中的模型是理想化的双引脚电容器模型，它不包括等效串联电阻值（ESR）和等效串联电感值（ESL）。

当使用电源完整性工具创建电容器模型时，只需要在编辑窗口中输入数据，电源完整性工具就会创建一些必要的文件，但所创建的文件中并不包括 DCL（Decap Capacitor Library）文件和 DML（Device Model Library）文件。如果要创建一个新的电容器系列，就需要创建一个空的文本文件，这个文件的名称必须是电容器系列名称加上 DCL 扩展名。

## 2. “DML Library Management” 对话框

在“DML Library Management”对话框中可同时进行信号完整性分析，还可导入、编辑和创建库文件，如图 10-3-1 所示。

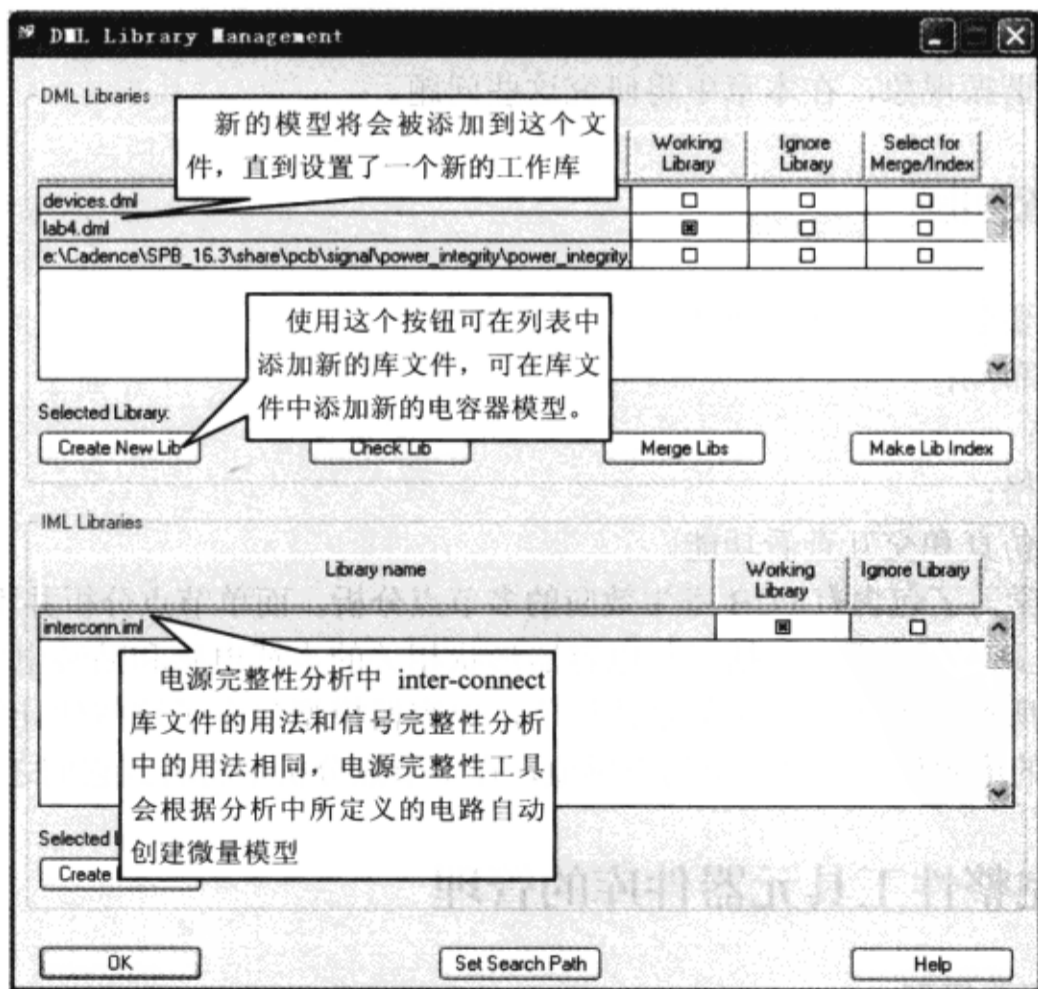


图 10-3-1 “DML Library Management” 对话框

### 3. 创建去耦电容器模型

根据电容器的设计流程图，需要一些必要的项目来创建一个可用的电容器模型，如图 10-3-2 所示。

Allegro PCB PI option XL 电源完整性工具会以系列的形式管理电容器，同一系列电容器拥有相同的参数特征，如电容值、物理尺寸和耐用性、安装种类，以及温度和湿度因素。去耦电容器库 (.dcl) 文件指定了一个系列电容器，使用 ASCII 码文本编辑器就可创建一个去耦电容器库 (.dcl) 文件。

在去耦电容器库 (.dcl) 文件中，电容器系列中每个电容器都有一个单独的名字，这个名字的拓展名为 (.txt)，这个名称是元器件文件的索引名称。元器件名称是添加到设计中的所有元器件种类基本元器件的定义。

### 4. 文件的内部关系

元器件文件在 Allegro 数据库中定义了元器件的索引编号，符号文件定义了符号图形的索引编号。元器件文件同时描述了电容器的物理属性，元器件符号包括封装符号（描述了电容器的布局 and 引脚特性）；电容器的元件编号；指定了电容值、本征电感值、标定贴装电感值和等效串联电阻值 (ESR) 的信号模型。

可以使用 ASCII 文本编辑器来创建一个元器件文件，而电容器的信号模型必须遵循与 Allegro PCB PI option XL 电源完整性工具相近的格式，这种格式被称为元器件模型语言 (Device Model Language, dml)。

使用 ASCII 文本编辑器也可创建一个信号模型文件，图 10-3-3 显示了文件中的内部联系：元件库、元器件、封装符号和信号模型，这些文件用于创建去耦电容器模型。

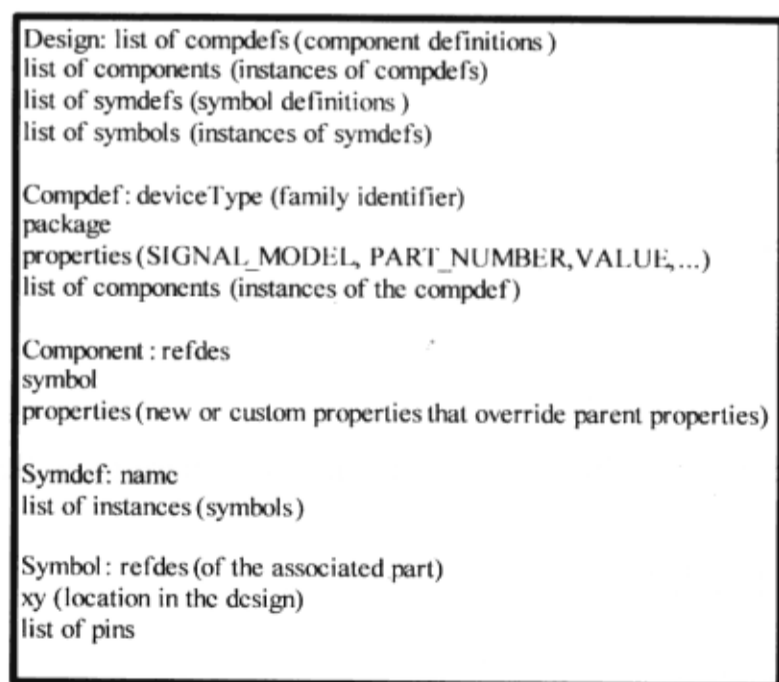


图 10-3-2 电容器设计流程图

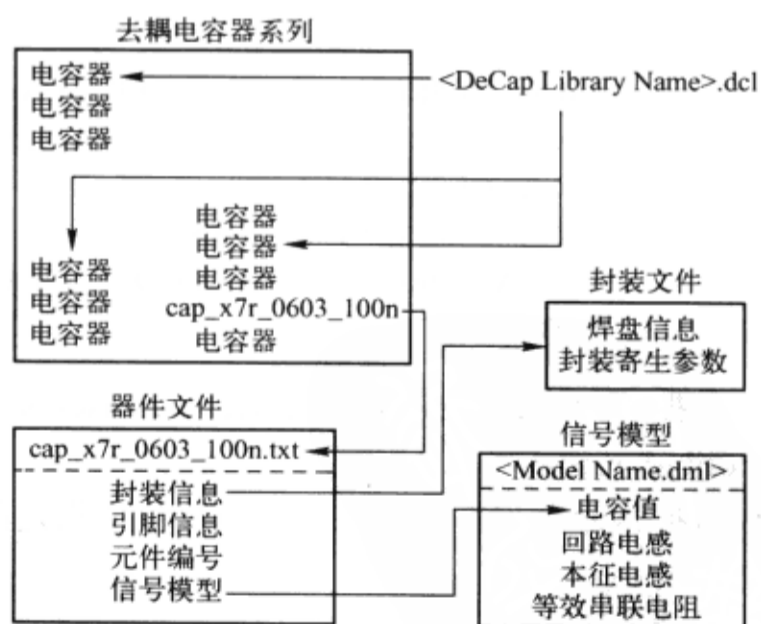


图 10-3-3 文件的内部关系

### 5. 去耦电容器库文件语法

去耦电容器库文件名称的结构为 “<DeCap Library Name>.dcl”，如 “x7r\_caps.dcl”。

去耦电容器种类名称的结构为“capacitor-type-name”这是一个由字母和数字组成的语句，比如：

```
"cap_x7r_0603_100n"  
"cap_x7r_0603_100p"  
"cap_x7r_0603_150n"  
"cap_x7r_0603_150p"
```

元器件文件描述了电容器的特性，元器件文件由电容器名称（电容器种类名称）和扩展名（.txt）组成。

搜索命令：<install\_dir>/share/pcb/pcb\_lib, <install\_dir>/share/pcb/allegrolib  
搜索命令和 dcl 路径环境变量所确定的目录有关。

## 6. 去耦电容器元器件文件语法

元器件文件包含了与去耦电容器元器件相关的封装和模型名称。

➤ 文件：<Device File Name>.txt

➤ 举例：cap\_x7r\_0603\_680n.txt

<device filename>必须是小写字母，并且是由字母和数字组成的字符串。

举例：

```
(DEVICE FILE: cap_x7r_0603_680n)  
PACKAGE 0603rf_wv_12d  
CLASS DISCRETE  
PINCOUNT 2  
PINORDER 'CAP-1' A B  
PINUSE 'CAP-1' BI BI  
FUNCTION G1 'CAP-1' 1 2  
PACKAGEPROP PART_NUMBER 'CDN0004-01'  
PACKAGEPROP RATED_VOLTAGE 125  
PACKAGEPROP TOL '5'  
PACKAGEPROP VALUE 6.8e-07  
PACKAGEPROP SIGNAL_MODEL 'x7r_0603_680n'  
END
```

搜索命令：devices.../devices<release>/share/pcb/pcb\_lib/devices,<install\_dir>/share/pcb/allegrolib/devices

搜索命令与元器件路径环境变量所指定的目录相关。



不要用数字作为元器件名称的开头；否则，SPICE 仿真器就会把元器件名称当做是一个节点。

## 7. 元器件文件语法定义

元器件库文件的语法定义为：

- 封装 Package <package name> 代表了器件 device <device filename>的封装文件。
- 元件编号 Part\_Number <part number> 代表了制造商元件的定义。
- 额定电压 Rated\_Voltage <voltage value> 指定了电容器的额定电压。
- 容限 TOL <tolerance> 指定了电容容限（比率的形式）。
- 电容值 Value <capacitance value> 指定了电容器的电容值。
- 信号模型 SIGNAL\_MODEL<signal model name> 代表了信号模型（.dml）。
- 封装文件（.psm）由绘图文件（.dra）和焊盘文件（.pad）所组成，这些二进制文件不能在 Allegro PCB PI option XL 电源完整性工具以外的地方进行编辑，可以使用 Allegro PCB PI option XL 电源完整性工具创建一个临时的封装。封装的名称必须是一个字母字符串，特殊的特征必须由一种字符组成。搜索命令与由封装文件路径与焊盘文件路径环境变量所指定的目录相关。

搜索命令为 “<install\_dir>/share/pcb/pcb\_lib/symbols” 和 “<install\_dir>/share/pcb/allegro lib/symbols”。

- 元件符号必须是由字母和数字组成的字符串，特殊字符必须是一位，如 “CDN0004-01”。
- 电压值必须是字母和数字组成的字符串，如 “125”。
- 容限值必须是字母和数字组成的字符串，如 “5”。
- 电容值必须是字母和数字组成的字符串，如 “6.8e-07”。
- 信号模型名称必须是字母和数字组成的字符串，特殊字符必须是一位，如 “x7r-0603-680n”。

## 8. 去耦电容器模型文件语法

文件：<Model Library Name>.dml

```
("/cds/14.2/v14.2/share/pcb/signal/power_integrity.dml"
(LibraryVersion 14.2 )
(PackagedDevice
(x7r_0603_680n
(meta
(function capacitor))
(param
(capacitance 6.8e-07)
(intrinsicInductance 5.25e-10)
(loopInductance 2.25e-10)
(esr 0.0245)
(num 1))
(circuit
(1
(meta
```

```

(lang spectre))
(def
(text "subckt x7r_0603_680n (1 5)
parameters capacitance=680n num=1 intrinsicInductance=525p
loopInductance=225p
ind=intrinsicInductance + loopInductance esr=24.5m
l1 (1 2)inductor l=ind // pad loop inductance in henries
c1 (2 3)capacitor c=capacitance // capacitance in farads
r1 (3 4)resistor r=esr // esr in ohms
rdum (2 3)resistor r=10M // resistor to make dc path.
vsense (4 5) vsource dc=0
fmult (1 5)cccs probe=vsense gain=num - 1
ends x7r_0603_680n
"))))
))

```

典型的路径为: <install\_dir>/share/pcb/signal <release>/share/pcb/signal/optlib, <install\_dir>/share/pcb/text。搜索命令与元器件库搜索路径相关,同时也可以改变。搜索路径与由信号噪声路径环境变量所指定的目录相关。



- (1) 参数部分定义了用于多节点仿真的 Allegro 参数名称和默认值。
- (2) 每个子电路字符串只能有一个参数状态。
- (3) 不要用数字作为元器件名称的开头: 否则, Spice 仿真器就会把元器件名称当做是一个节点。
- (4) 元器件模型语法指令中主体的注释必须是以“;”作为开头, 如(capacitance 6.8e-07); 680 nF or 0.68 uF。
- (5) Allegro 语法指令中子电路字符串的注释必须是以“//”开头, 如 l1(12)inductor l=ind // pad loop inductance in henries。

## 10.4 电容器中的电感

### 1. 产生电感的原因

电容器中的电感主要由以下 3 部分组成。

- (1) 焊盘布局产生的电感;
- (2) 电容器高度产生的电感 (本征电感或者固有电感);
- (3) 电容器高度和电源平面传输产生电感 (贴装电感)。

这 3 个组成部分形成了电流回路, 回路面积越大, 电容器的去耦功能就越弱。

在高频范围内可使去耦电容器变得更加有效果, 可使用高质量、低等效串联电阻的电容器来减小 PDS 的阻抗。但是, 低等效串联电阻电容器是一把双刃剑, 如果使用恰当, 会有很小的电流回路区域, 这些元件会配送合适的低阻抗, 同时会减小元件成本; 如果使用



不恰当，这些元件会产生比较大的高频电流，这必然会产生一些辐射问题。尽管如此，只要在去耦电容器设计时多加小心，就能有效地缩短去耦电容器和电源平面之间有效频率的差别。

## 2. 表贴电容器的横截面

电流会在过孔、去耦电容器焊盘和电容器本身之间形成的回路上传播。电容器包含有两个垂直的接头并连接在许多交叉的板级之间。图 10-4-1 所示的是安装在 PCB 上与 VCC 和 GND 电源平面相连的分立电容器的横截面，图 10-4-2 所示的是电容器安装在 PCB 上时用于 SPICE 仿真的电路模型的结构。

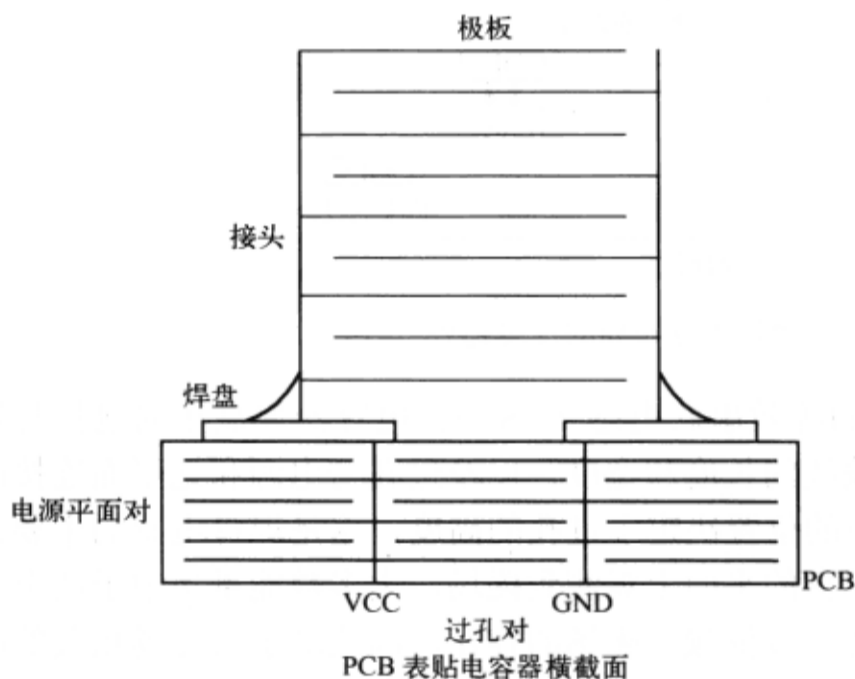


图 10-4-1 表贴电容器横截面

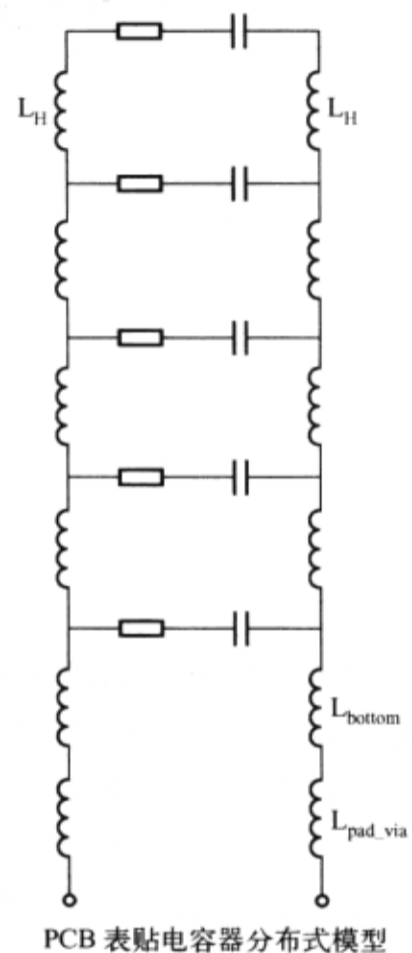


图 10-4-2 表贴电容器 SPICE 模型

设计优良的 PDS 的电源平面的间隔距离至少为 2mils，距离 PCB 的表面要少于 6mils。相比之下，电容器的高度可能为 40mils 或更大。回路的电流路径开始于 VCC 平面，通过过孔和焊盘继续向电容器接头传播，在这里继续向接头传输电流，不久从其中的一个极板输出。电流通常在阻抗最小的回路中流动，根据自身的实际情况相应的分配电流。最后，所有电流路径指向电容器极板，导电电流会在通过陶瓷电介质时消失。电流路径在电容器右接头、PCB 的焊盘和过孔之间完成回路，最后通向地电源平面。

梯形结构的容性和阻性极板形成梯形的梯级，如图 10-4-2 所示。每一层极板是由有电阻值的薄金属片组成的，极板的电阻是造成大多数电容器产生等效串联电阻的原因，如果频率在 1 GHz 以下，电介质损耗占陶瓷电容器损耗的很小一部分，因此等效串联电阻的一部分与每个分部电容器极板相关。

通常情况下，电感值与电流回路相关，电流回路越大，就会在周围的环境中产生大量的磁通量，从而产生很大的电感。流到底部极板然后返回电源平面的电流会形成一个较小的环路，而在电容器顶部各种路径中传播的电流会形成一个较大的环路。梯形模型的垂直部分相当于电感。因此，流过梯形顶部的电流会比流过梯形底部的电流穿越更多的电感。

### 3. 焊盘布局

电容器焊盘布局的发展趋势如图 10-4-3 所示。

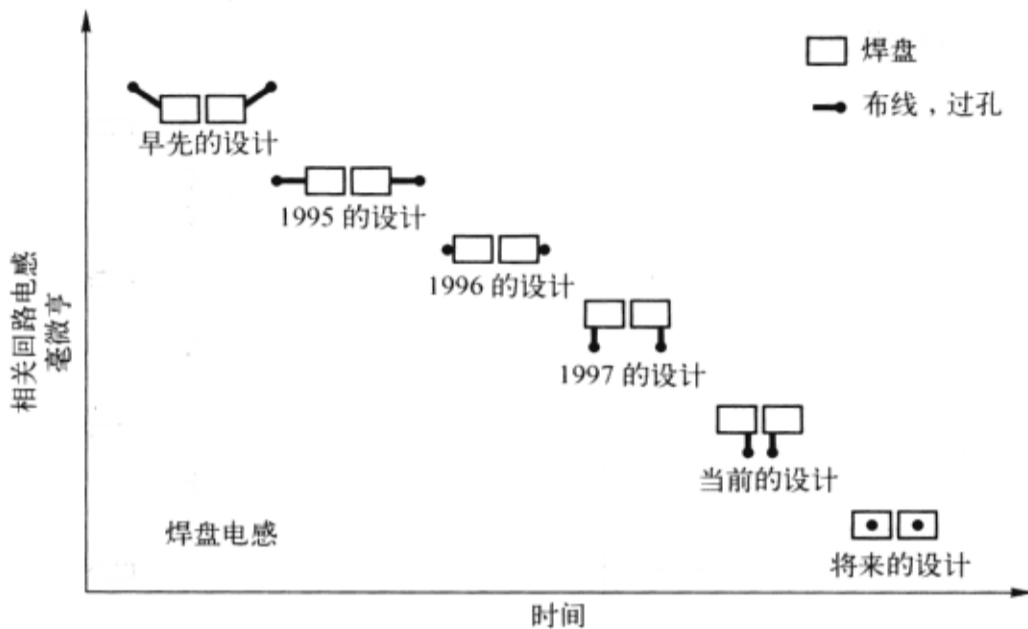


图 10-4-3 电容器焊盘布局的发展趋势

电容器的焊盘布局决定了电容器的等效串联电感（ESL）。电容器焊盘布局包括与焊盘相关的过孔的摆放，与焊盘连接的传输线的长度和宽度，以及过孔与电源和地平面连接的方式。电源和地平面在 PCB 叠层结构中的位置决定了过孔的高度，这是焊盘电感的主要决定因素。如果在焊盘以下而不是平行于焊盘的平面上观测到磁场，大多数能量集中于两个过孔之间，其他地方的能量可以忽略。电感直接依赖于磁场的存在，因此减小与磁场相关的能量有助于减小总的电感。通常通过减小电流回路大小的方式来实现电感的减小。

### 4. 各种焊盘布局产生的电感

焊盘布局时要注意到以下三点。

- (1) 在摆放过孔和焊盘时，摆放得越近越好；
- (2) 连接焊盘和过孔之间布线的长度和宽度应该尽可能保持短和宽；
- (3) 过孔连接电源和地平面的方式应该是使平面对尽可能靠近安装表面，即保持过孔尽可能得短。

图 10-4-3 所示的是近几年来在焊盘扇出方式优化方面做出的进步，电容器焊盘扇出长度在逐渐减小，电流环路的不断减小促使一项新制造技术的诞生：焊盘中过孔（via-in-pad）设计。

如今关键的问题是如何去预测和优化电源平面的设计。如果没有一个好的设计和分析方法，电源平面会不恰当地响应，可能会增加由传输线产生的共模电磁干扰（EMI），这可能导致系统崩溃；否则，就需要对 PDS 的设计花费大量精力，这会增加系统不必要的成本。

## 5. 减小贴装电感

贴装电感的产生如图 10-4-4 所示。

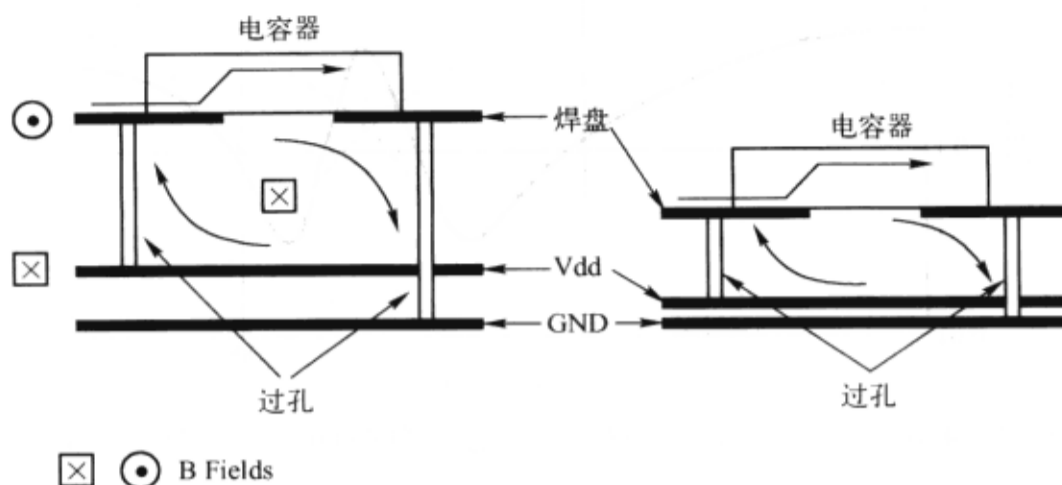


图 10-4-4 贴装电感的产生

电感是决定于电流以磁通量 (B field) 形式存储的能量, 一个减小回路电感的有效方法是减小回路区域。

为了使高频去耦电容器的效用发挥到最大, 必须减小回路区域和回路电感。用于电容器的扇出方法很大程度上影响了这些寄生效应。幸运的是, 可以使用三维视场的方法来确定不同扇出方法的回路电感, 从而确定元器件扇出最优设计方法。

## 6. 安装在普通感性焊盘上的不同电容器

从图 10-4-5 可以看出, 合成曲线的波峰要比每个电容器的要高。阻抗的最大值发生在一个元器件和另一个元器件的谐振频率之间, 这部分区间可被当做不同元器件的频率过渡区间, 通常被称为“反谐振”, 这部分区域中所存在的问题在 PDS 设计时必须多加注意。离频率中的谐振频率越远, 反谐振波峰就会变得越明显。

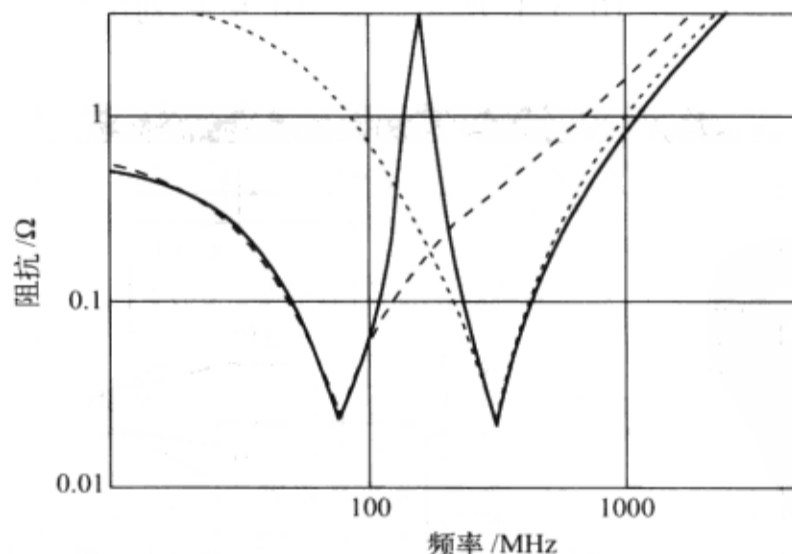


图 10-4-5 安装在普通焊盘上不同电容器的阻抗—频率响应曲线

## 7. 安装在低电感焊盘上的不同电容器

减小反谐振波峰高度最有效的方法是减小电感值, 图 10-4-6 显示了与图 10-4-5 所示相同的一套电容器安装在低电感焊盘上, 此时的波峰就要比目标阻抗低得多。

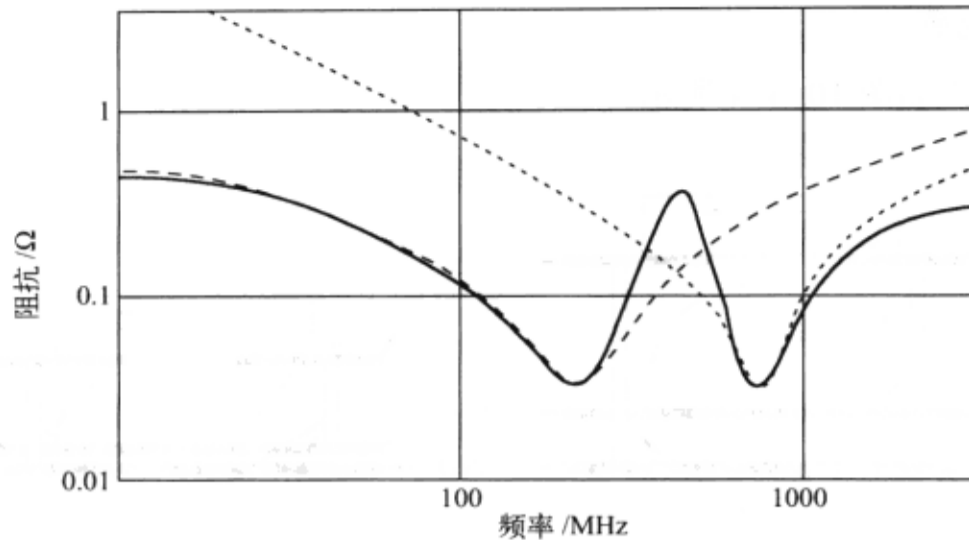


图 10-4-6 安装在低电感焊盘上不同电容器的阻抗—频率响应曲线

平行摆放的不同值电容器会产生一个不期望的“反谐振”，反谐振波峰要比每个电容器自身的阻抗要高，反谐振波峰与一个电容器变为感性而另一个电容器仍为容性时形成的电路相关，这是一个典型的 LC 并联共振电路。

减小反谐振波峰高度最有效的方法是减小电感值。图 10-4-6 所示的一套电容器安装在低电感焊盘上时的情形，图中的反谐振波峰要比图 10-4-5 中的要小得多。大型的反谐振波峰形成于低等效串联电阻电容器摆放在感性焊盘上时，高电感和低电阻产生一个很高的  $Q$  值电路，即  $Q=L/R$ 。因为 NPO 电容器有较低的等效串联电阻值，所以应该在低电感焊盘上使用。

## 10.5 在 Allegro PCB PI option XL 中配置电容器

### 1. 修改去耦电容器

使用“Decoupling Capacitor Editor”对话框可查看或修改所选择去耦电容器的参数，在库目录结构的电容器上单击鼠标右键，在弹出的菜单中选择“Edit”即可进入“Decoupling Capacitor Editor”对话框，如图 10-5-1 所示。表 10-5-1 列出的是“Decoupling Capacitor Editor”对话框参数。

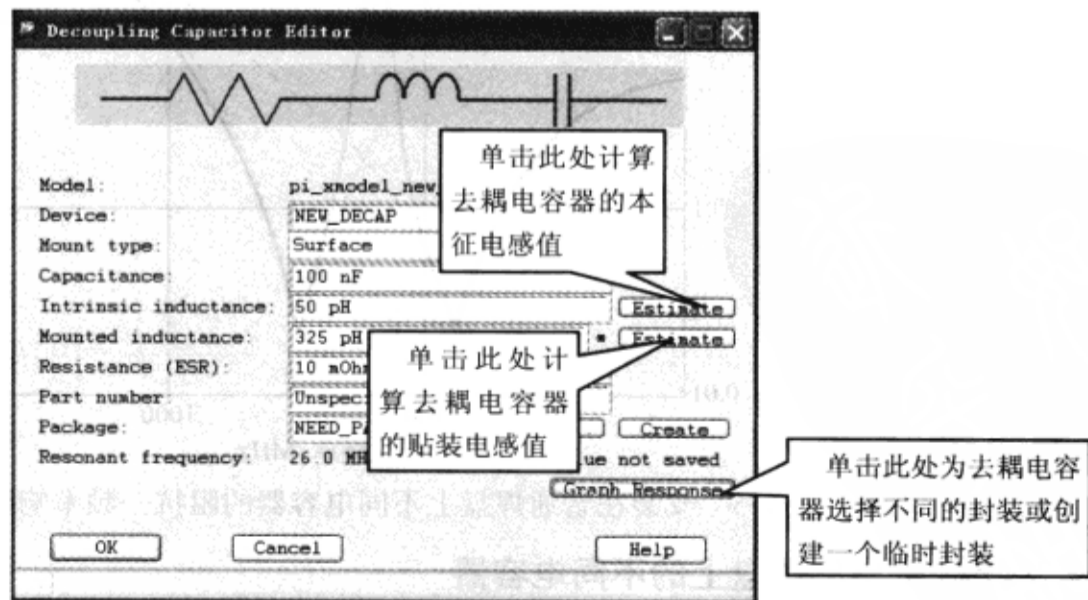


图 10-5-1 “Decoupling Capacitor Editor”对话框

表 10-5-1 “Decoupling Capacitor Editor” 对话框参数

参数名称	含义
Name	与电容器相关的元器件文件的名称
Mount Type	安装类型：表贴或直立
Capacitance	信号模型中指定的默认额定电感值
Intrinsic Inductance	根据表贴电容器高度参数计算得出的本征电感估计值，本征电感值的计算并不包括电容器的安装参数
Mounted Inductance	贴装电感值与表贴电容器引脚距离和相关过孔到平面参数有关
Resistance (ESR)	信号模型的谐振时的阻抗值
Part Number	保存到电容器元器件文件中的元件编号
Package	电容器器件文件中所引用的电容器封装符号 (.psm)
Resonant Frequency	根据电容值、贴装电感值和本征电感值计算得出的谐振频率

## 2. 本征电感值估算

根据所提供的表贴电容器的厚度（高度）值，电源完整性可估算出其本征电感值。在“Decoupling Capacitor Editor”对话框中单击“Intrinsic inductance”栏旁边的“Estimate”按钮就可弹出“Intrinsic Inductance Estimator”对话框，如图 10-5-2 所示。本征电感值的估算并不考虑电容器的安装参数。

## 3. 贴装电感值估算

根据所提供的表贴电容器参数，电源完整性工具可估算出其贴装电感值。需要指定电源平面对和封装，以及在 PCB 的顶层还是底层安装电容器。在“Decoupling Capacitor Editor”对话框中单击“Mounted inductance”栏旁边的“Estimate”按钮就可弹出“Mounted Inductance Estimator”对话框，如图 10-5-3 所示。

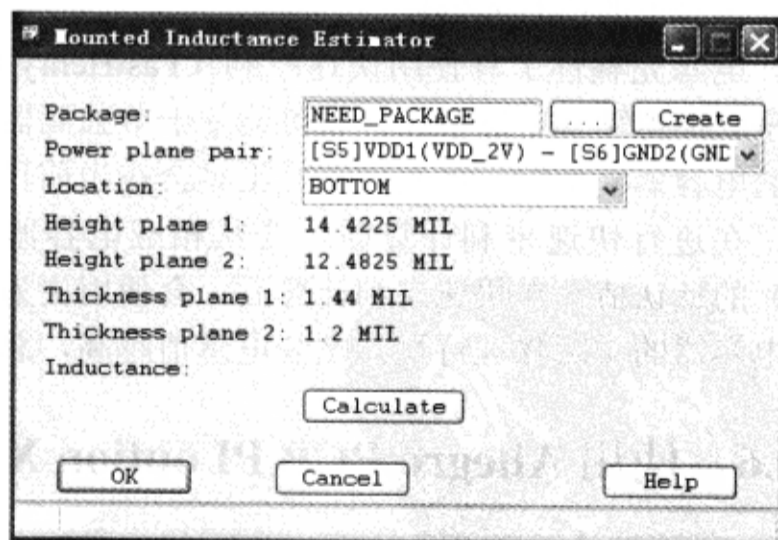
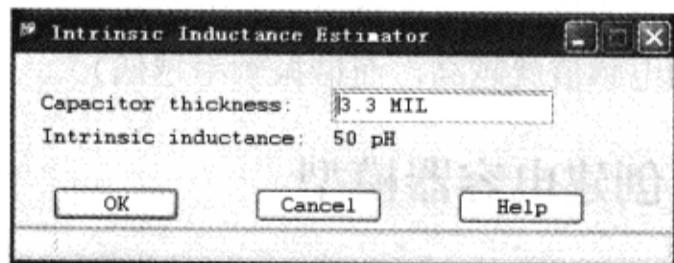


图 10-5-2 “Intrinsic Inductance Estimator” 对话框 图 10-5-3 “Mounted Inductance Estimator” 对话框

贴装电感是由平面对产生的外部回路电感，包括电气布线长度、过孔大小和回路区域的三维路径效应。

如果库中所提供的封装不合适，在对话框中单击“Package”栏旁边的“Create”按钮，就能为临时封装符号指定一些必须的参数。



此外，使用“experiment”模式可指定一个高度和厚度参数不断变化的虚拟平面，在“Power plane pair”栏中就可选择“experiment”模式。



注意

“Mounted Inductance Estimator”对话框要和“Analysis Preferences”对话框中的“Use calculated cap-to-plane mounted inductances 结合起来使用”。

#### 4. 贴装电感值计算

PCB 上电容器元器件的贴装电感值是电源完整性分析中重要的一环，它是电容器外部电感效应的总和，包括电容器的导线或者引脚、焊盘连接、电气布线路径、过孔，以及诸如介电常数和间隔距离的平面对特性，这些参数会因为元器件的不同而不同，同时还与所处电路板层面、位置、布线及过孔大小有关，如图 10-5-4 所示

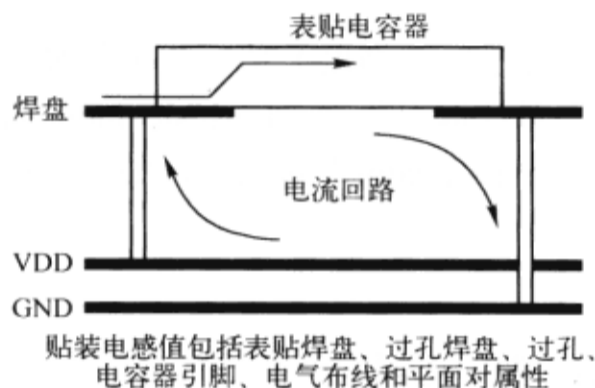


图 10-5-4 贴装电感的产生

贴装电感值在电容器元器件模型参数中被称为额定贴装电感值，这个值会赋给安装在相同平面对上的所有元器件。

电源完整性工具使用快速亨利（FastHenry）可执行程序来进行贴装电感值的计算。快速亨利模拟贴装电感值计算很可能基于单独元器件，并不在模型中保存。在进行快速亨利计算的电容器模型中，电源完整性工具会在当前目录中写入一个数据文件。

在进行快速亨利计算前，会从相应电容器库文件（\*.dml）提取出 L\_mount（贴装电感）的默认值。在快速亨利计算后，会使用更为精确的值，这主要决定于与电源和地相连接的电容器的实际物理特性（贴装电感值越高，总的电感值就越高，而谐振频率越低）。

## 10.6 使用 Allegro PCB PI option XL 创建电容器模型

【本节目的】主要学习电容器模型的创建方法。

【使用工具】Allegro PCB PI option XL。

【使用文件】allegroPI/lab4/lab4.brd。

### 1. 学习目标

本节主要的学习目标是熟悉创建和管理电容器模型的方法，接下来将创建多个电容器模

型。当没有供应商所提供的模型时，用户使用电源完整性工具可创建自己的模型。但是，最好还是使用供应商提供的模型，因为供应商能很好地描述电容器特性，并且能为模型提供更加精确的参数。虽然在产品说明手册中很容易获得电容值，但是诸如电容器等效串联电阻（ESR）和等效串联电感（ESL）等一类参数并不是很容易获得的。

本节将学习创建电容器的模型。虽然创建电容器模型的过程很简单，但还需要了解电源完整性工具在系统中是如何创建电容器模型的。

本节的主要学习内容有：

#### (1) 创建电容器模型：

- 创建新的 DCL（Decap Capacitor Library）文件。
- 创建新的 DML（Device Model Library）文件。
- 创建临时封装模型，包括创建临时元器件文件（Allegro Device 文件）和临时符号文件（Allegro Symbol file）。

(2) 同时使用局部环境文件（local environment file）和全局环境文件（global environment file）。这样，电源完整性工具就能找到用户自己创建的电容器模型和供应商提供的电容器模型。

(3) 在多个 DML 文件上运行 syntax checker 和 dmlcheck。

(4) 把多个 DML 文件合并为一个 DML 文件。

## 2. 打开 PCB 文件

### 1) 启动 Allegro PCB PI option XL

(1) 执行菜单命令“开始”→“所有程序”→“Cadence”→“Release 16.3”→“PCB SI”，弹出“Cadence Product Choices-16.3”对话框，如图 10-6-1 所示。

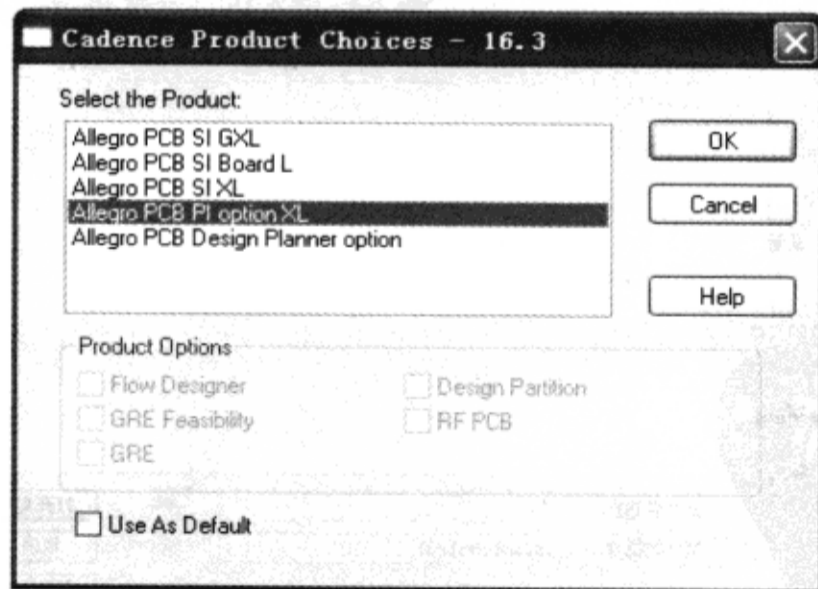


图 10-6-1 “Cadence Product Choices-16.3”对话框

(2) 在“Select the Product”列表框中选择“Allegro PCB PI option XL”→单击“OK”按钮，弹出 Allegro PCB PI option XL 窗口。在 Allegro PCB PI option XL 窗口顶部显示了当前的工作目录，这是 Allegro PCB PI option XL 保存当前设计文件的目录，如图 10-6-2 所示。

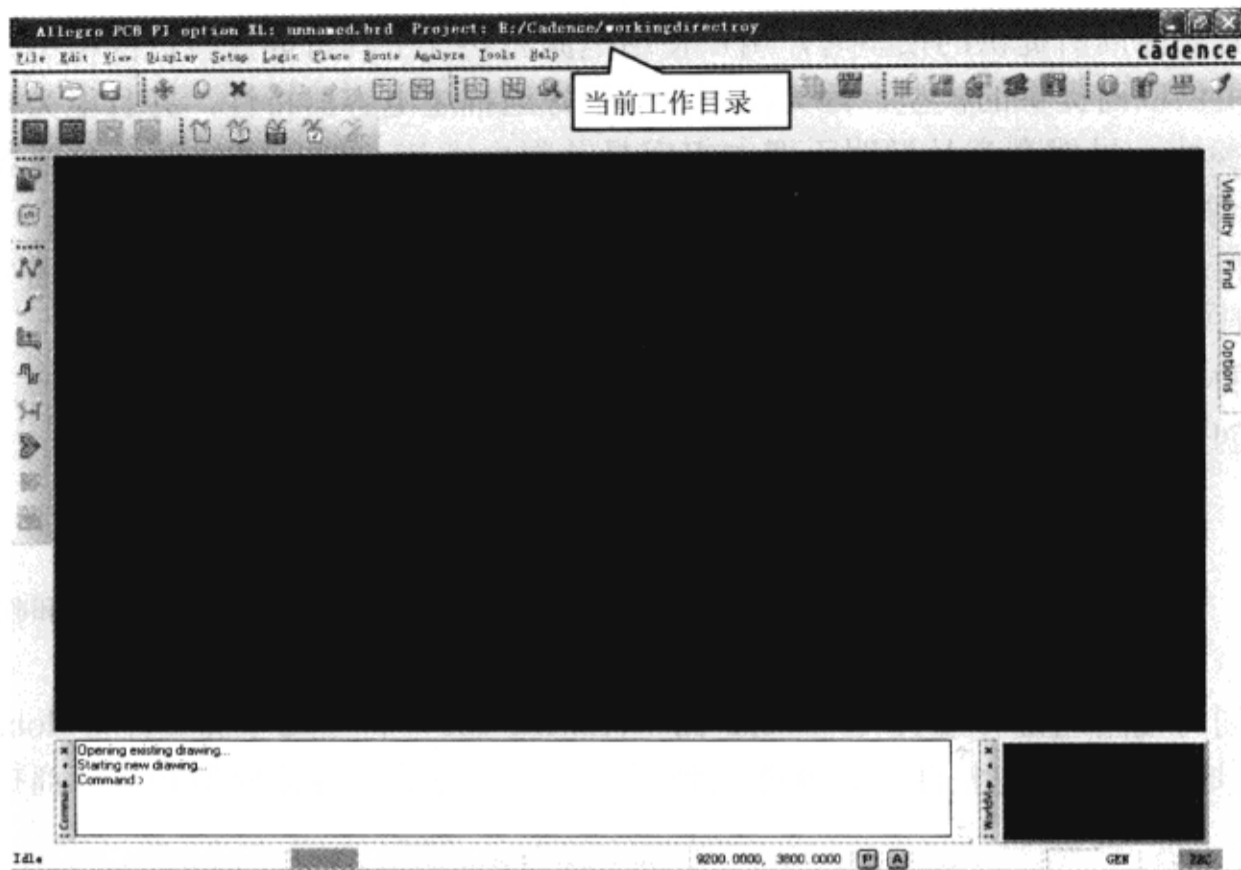


图 10-6-2 Allegro PCB PI option XL 窗口

2) 打开现有 PCB 文件 本节将使用第 9 章 PCB 文件的新版本, 不同之处仅在于一些元器件已经摆放在了 PCB 上。

(1) 在 Allegro PCB PI option XL 窗口中执行菜单命令“File”→“Open”, 弹出“Open”对话框, 在对话框中会显示当前的工程目录, 如图 10-6-3 所示。



图 10-6-3 “Open”对话框

(2) 打开 D:/allegroPI/lab4 文件夹, 双击 lab4.brd 打开这个 PCB 文件, 在 Allegro PCB PI option XL 窗口中会显示 lab4.brd 电路板文件, 如图 10-6-4 所示。

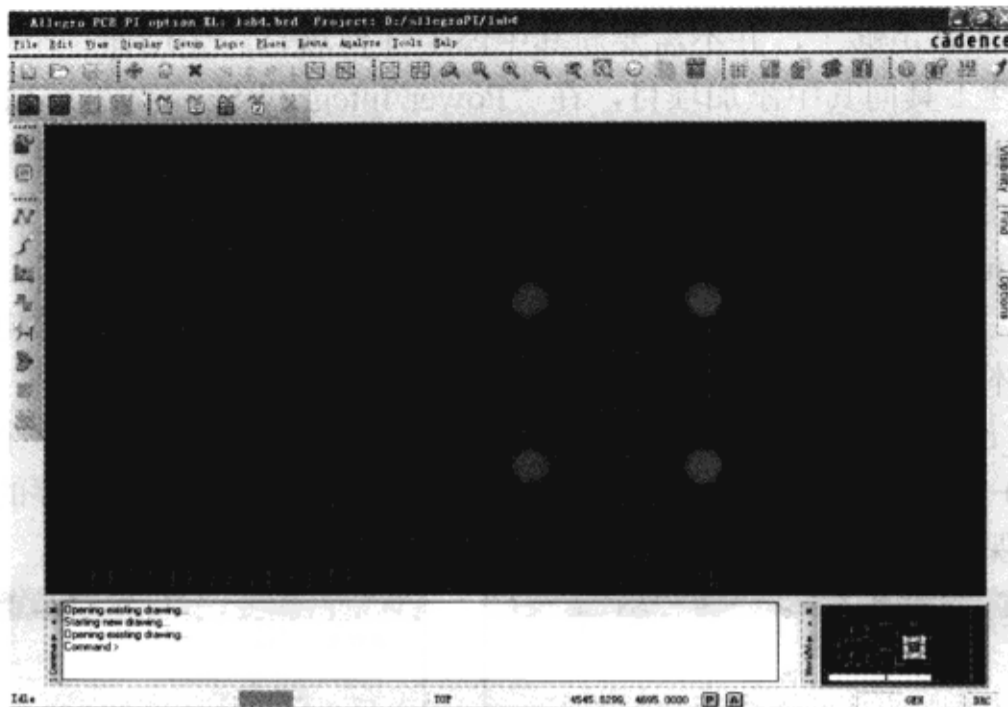


图 10-6-4 打开 PCB 文件

### 3. 创建去耦电容器模型

1) 创建去耦电容器库元件 电源完整性元器件库中的电容器模型包括了很多类型的文件：DCL（Decap Capacitor Library，去耦电容器库）文件包含有特定元器件库中的电容器模型；DML（Device Model Library，元器件模型库）文件是包含了电容器模型 SPICE 描述的仿真文件；符号文件（Symbol file）和元器件文件（Device file）是描述模型物理特性及其相关属性的 Allegro 文件，这些文件描述了与电容器种类相关的安装情况。可通过文本输入工具对这些单独文件（符号文件除外）进行编辑来创建一个新的电容器模型，因为符号文件是图形文件的等效二进制数，它是在布局中代替元器件实体布局的文件。

仅在创建 DCL（去耦电容器库）文件时才使用到文本编辑器，在创建电容器模型的其他文件时并不需要文本输入工具。

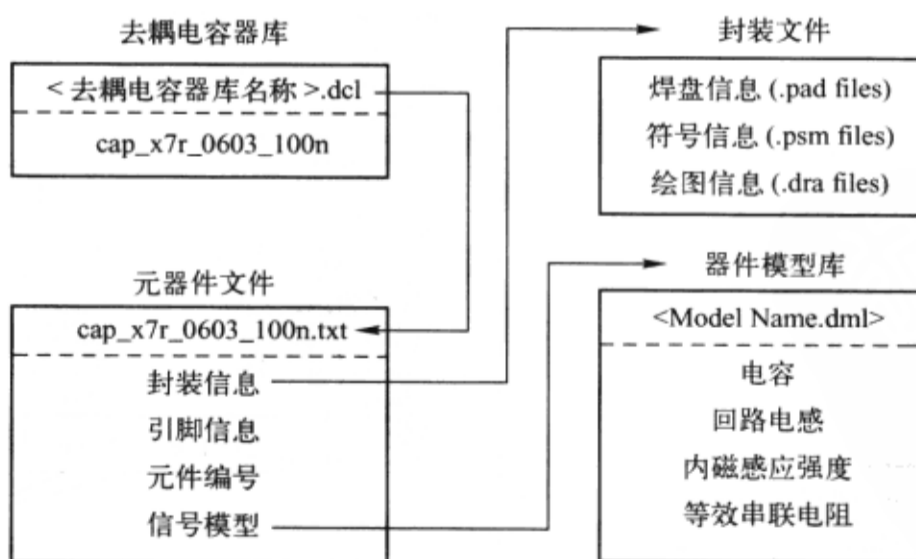


图 10-6-5 文件的内部关系

电源完整性工具并不能创建 DCL 文件，仅能在现有的 DCL 文件当中添加项目。但是，

DCL 文件仅仅存在就足够了，并不需要向其中添加任何项目。先创建一个空 DCL 文件，然后使用电源完整性工具向其中添加项目，在“Power Integrity Setup Wizard-Library Setup”对话框中使用 Create Capacitor 功能就能完成以上操作。但是，电源完整性工具并不能移动或删除 DCL 文件中的项目，需要对其进行手工编辑操作。

在“Power Integrity Setup Wizard-Library Setup”对话框中可读取 DCL 文件，在该对话框中会显示 DCL 文件所在的位置，还会显示各种 DCL 文件当中所包含的电容器。

(1) 打开文本编辑器创建一个空的 DCL 文件，如图 10-6-6 所示。

(2) 以 lab4\_npo\_0603\_caps.dcl 作为文件名在 D:/allegroPI/lab4 保存这个文件，退出文本编辑器，如图 10-6-7 所示。确保文本编辑器不是以 (.txt) 为拓展名保存的文件，否则必须将其移除并重新保存。

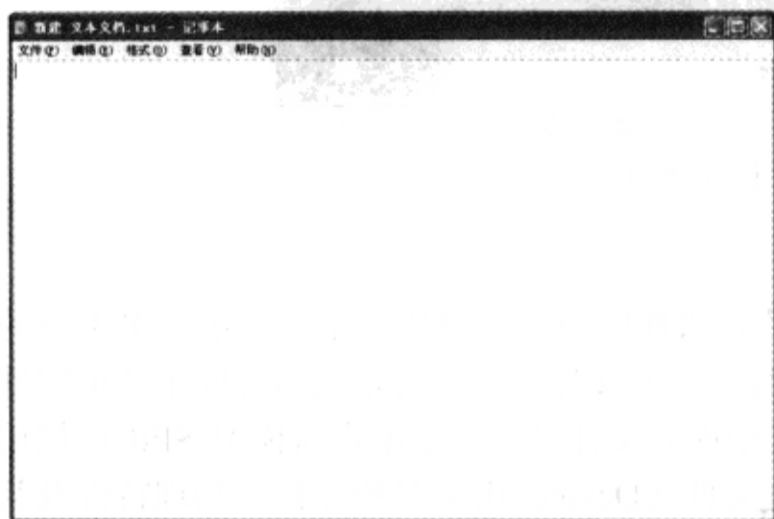


图 10-6-6 文本编辑器窗口



图 10-6-7 保存 DCL 文件

## 2) 创建器件模型库文件

(1) 如图 10-6-8 所示，在 Allegro PCB PI option XL 窗口中单击“Signal Library”按钮，弹出“SI Model Browser”对话框，如图 10-6-9 所示。

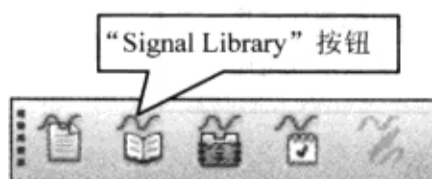


图 10-6-8 打开信号模型库管理窗口



图 10-6-9 信号模型库窗口



(2) 在“SI Model Browser”对话框中单击“Library Mgmt”按钮，弹出“DML Library Management”对话框，如图 10-6-10 所示。

(3) 在“DML Library Management”对话框“DML Libraries”区域的“Selected Library”下单击“Create New Lib”按钮，弹出“另存为”对话框，如图 10-6-11 所示。

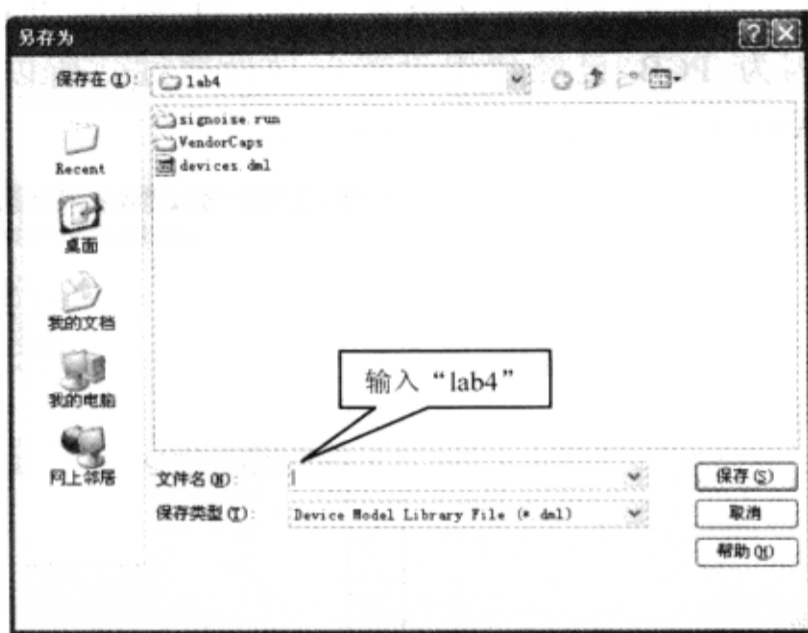
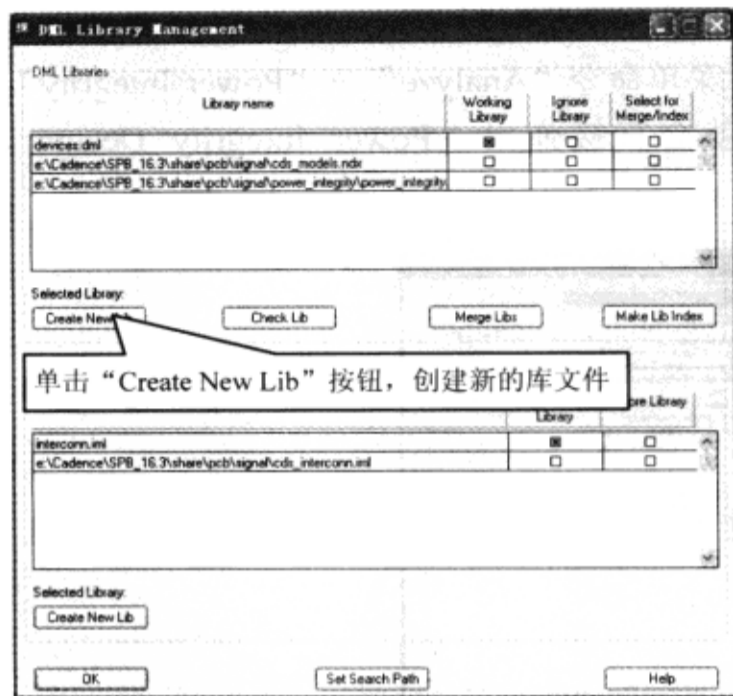


图 10-6-10 “DML Library Management”对话框

图 10-6-11 “另存为”对话框

(4) 在“文件名 (N)”栏中输入“lab4”作为新元器件库的名称，单击“保存 (S)”按钮，一个新的库文件 (DML 文件) 就保存在了当前目录中。会再次显示“DML Library Management”对话框，在“DML Libraries”区域中选择“lab4.dml”，单击“OK”按钮，任何新库元器件将被写入 lab4.dml 库中，如图 10-6-12 所示。

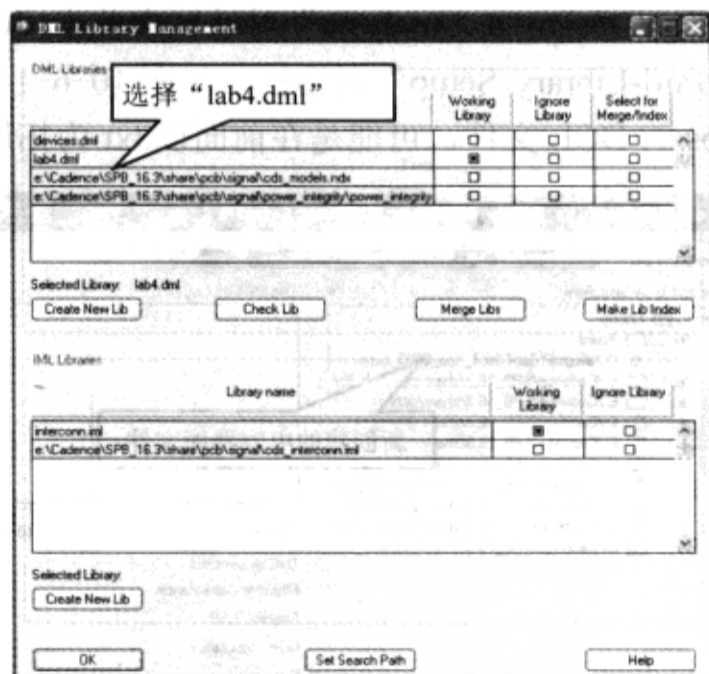


图 10-6-12 新建库文件

(5) 在“SI Model Browser”对话框中单击“Close”按钮。

3) 创建电容器模型 前面已经创建了一个 DCL (Decap Capacitor Library, 去耦电容器库) 文件和一个 DML (Device Model Library, 元器件模型库) 文件，使用 DCL 文件可在

“Power Integrity Capacitor Library Setup”对话框中查看所存在的电容器，而 DML 文件则描述了电容器模型的电气运行特性，并在“DML Library Management”对话框中显示。此时，DCL 文件和 DML 文件是空的，电源完整性工具在新的电容器模型创建时向这些文件写入内容。

接下来还需创建一个元器件文件（device file）和符号文件（symbol file），然后使用电源完整性工具创建一个电容器模型并为这个模型创建一个临时封装。

(1) 在 Allegro PCB PI option XL 窗口中执行菜单命令“Analyze”→“Power Integrity”，因为 PCB 已经使用设置向导设置过，所以就会直接弹出“Power Integrity Design & Analysis”对话框，如图 10-6-13 所示。



图 10-6-13 “Power Integrity Design & Analysis”对话框

(2) 在“Power Integrity Design & Analysis”对话框中单击“Cap Libraries”按钮，弹出“Power Integrity Setup Wizard-Library Setup”对话框，如图 10-6-14 所示。如果在对话框中没有显示 lab4\_npo\_0603\_caps 的 DCL 文件，可能是在前面以.txt 为拓展名保存了 DCL 文件。



图 10-6-14 “Power Integrity Setup Wizard-Library Setup”对话框

(3) 在 D:\allegroPI\lab4\lab4\_npo\_0603\_caps 上单击鼠标右键，在弹出的菜单中选择“Create Capacitor”，弹出“Decoupling Capacitor Editor”对话框，如图 10-6-15 所示。

在对话框中会显示一个电容器模型的默认参数，我们将创建一个 100 $\mu$ F 的表贴电容器。图 10-6-15 中所示的电感值是估计电感值，本征电感值是由电容器在 PCB 上的高度所决定的，贴装电感值是由电容器相对于每个平面的高度和所定义平面对每个平面的厚度所决定的。本征电感、贴装电感和封装效应共同定义了一个回路电感。在对话框中显示了计算得出的谐振频率，谐振频率是由对话框中其他参数共同决定的。因为要创建一个 100 $\mu$ F 的电容器模型，所以需要改变对话框中的电感值。

(4) 在“Device”栏中输入“lab4\_npo\_0603\_100uf”，如图 10-6-16 所示。

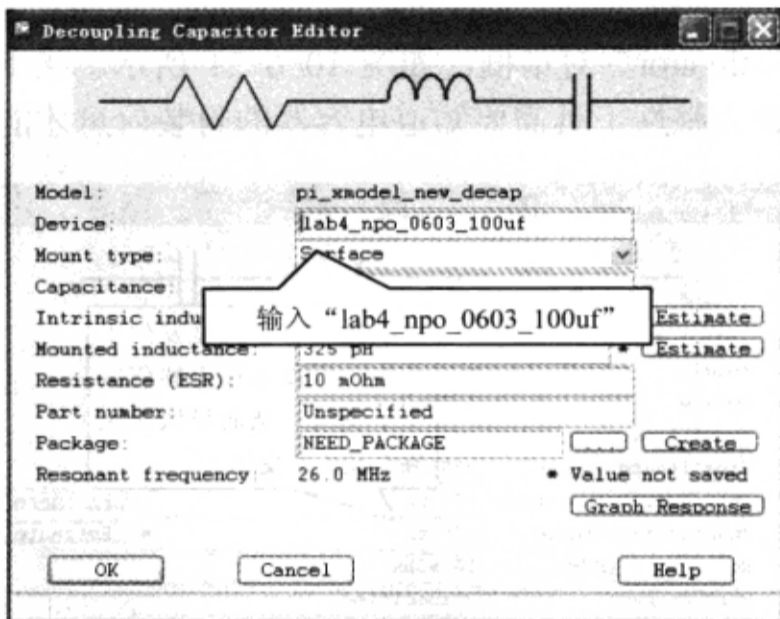
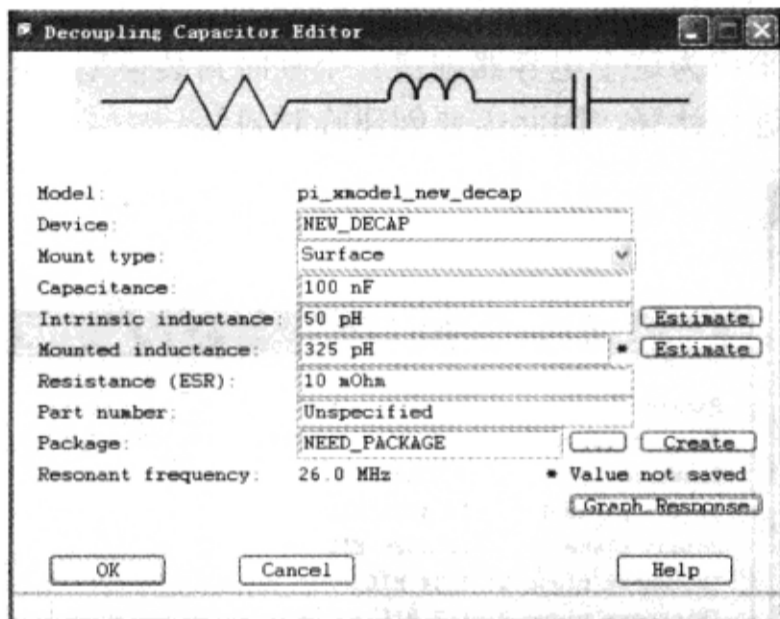


图 10-6-15 “Decoupling Capacitor Editor”对话框

图 10-6-16 输入去耦电容器名称

(5) 在“Mount type”栏中选择“Surface”，如图 10-6-17 所示。

(6) 在“Capacitance”栏中输入“100uF”，如图 10-6-18 所示。

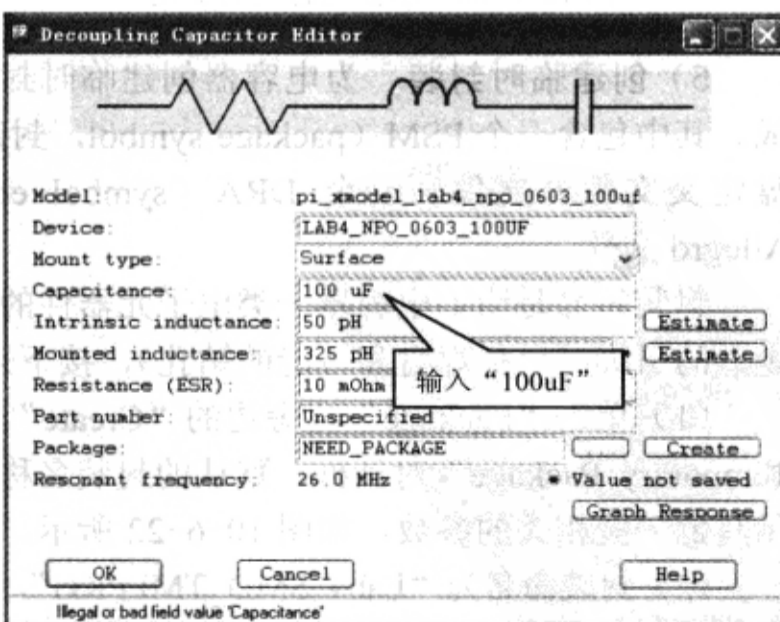
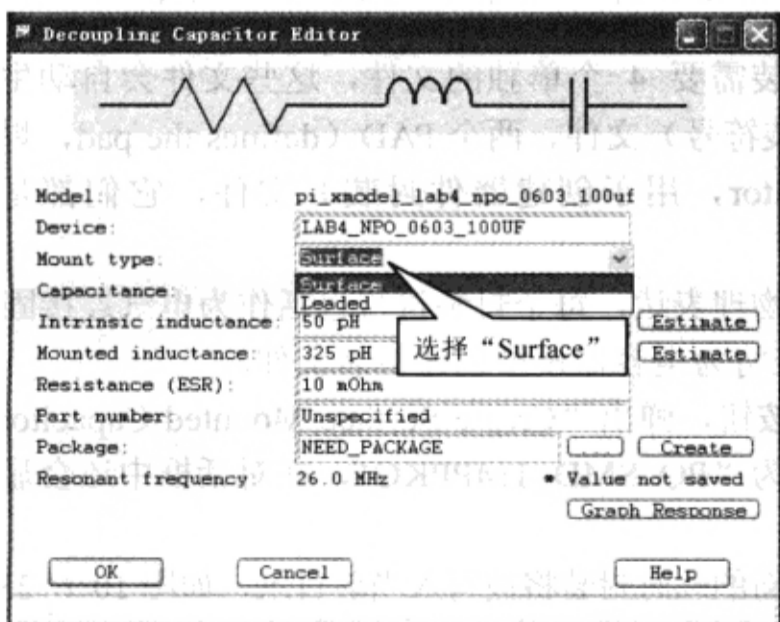
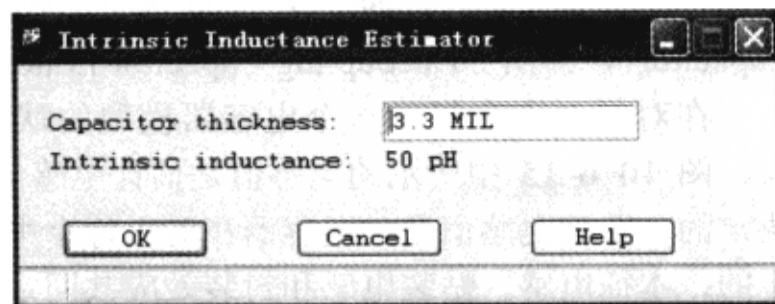


图 10-6-17 选择电容器的安装种类

图 10-6-18 输入去耦电容器电容值

#### 4) 电感值

(1) 单击“**Intrinsic inductance**”栏旁边的“**Estimate**”按钮，弹出“**Intrinsic Inductance Estimator**”对话框，如图 10-6-19 所示。



(2) 在“**Intrinsic Inductance Estimator**”对话框中输入“35”来改变本征电感值，单击“**OK**”按钮，此时的本征电感值变为 525 pH，电容器的谐振频率同时发生了变化，如图 10-6-20 所示。

图 10-6-19 “**Intrinsic Inductance Estimator**”对话框

(3) 单击“**Mounted inductance**”栏旁边的“**Estimate**”按钮，弹出“**Mounted Inductance Estimator**”对话框，如图 10-6-21 所示。接下来将为这个电容器创建一个临时封装模型，电源完整性工具需要知道电容器的封装信息才能进行计算，因此需要创建临时封装。

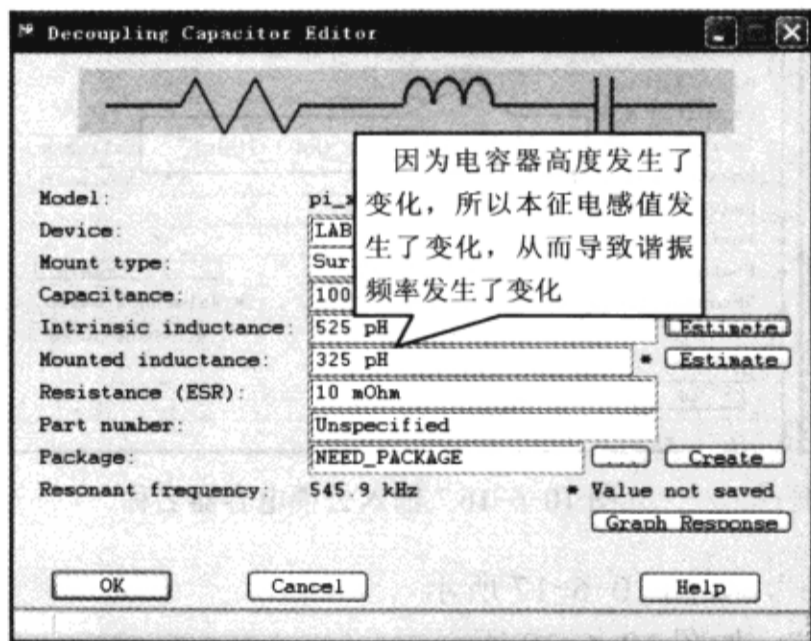


图 10-6-20 本征电感值的变化

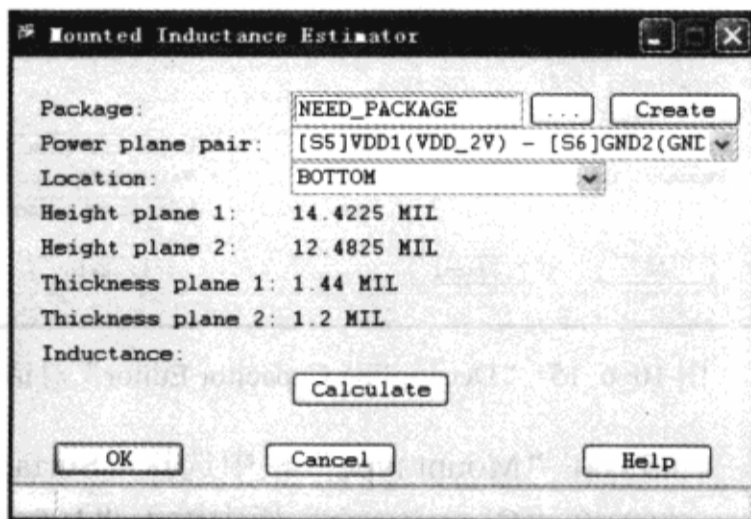


图 10-6-21 “**Mounted Inductance Estimator**”对话框

**5) 创建临时封装** 为电容器创建临时封装需要 4 个单独的文件，这些文件会自动生成。其中包含一个 PSM (package symbol, 封装符号) 文件、两个 PAD (defines the pad, 焊盘定义文件) 文件、一个 DRA (symbol editor, 用于创建器件封装) 文件，它们都是 Allegro 文件。

封装符号是诸如电容器一类电子元器件的物理表达，每个封装符号包括作为电气连接固定点的引脚（包括焊盘和可能的钻孔），接下来将为电容器模型创建封装文件。

(1) 单击“**Package**”栏旁边的“**Create**”按钮，弹出“**Create Surface Mounted Capacitor Temporary Package**”对话框，默认的封装名称为“**PQ\_SMD\_TMPPKG**”，在对话框中还会显示其他一些相关的参数，如图 10-6-22 所示。

(2) 封装命名为“**Lab4\_SMD\_TMPPKG**”，新的临时封装将被写入当前目录，如图 10-6-23 所示。



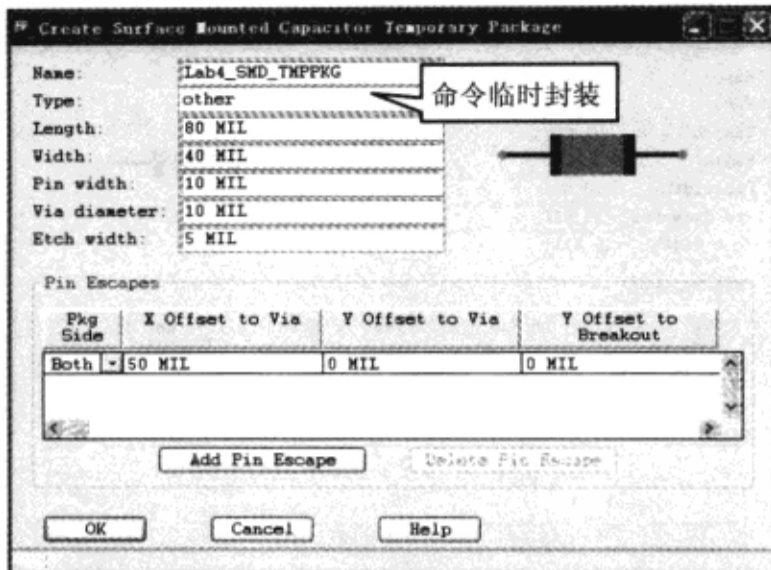
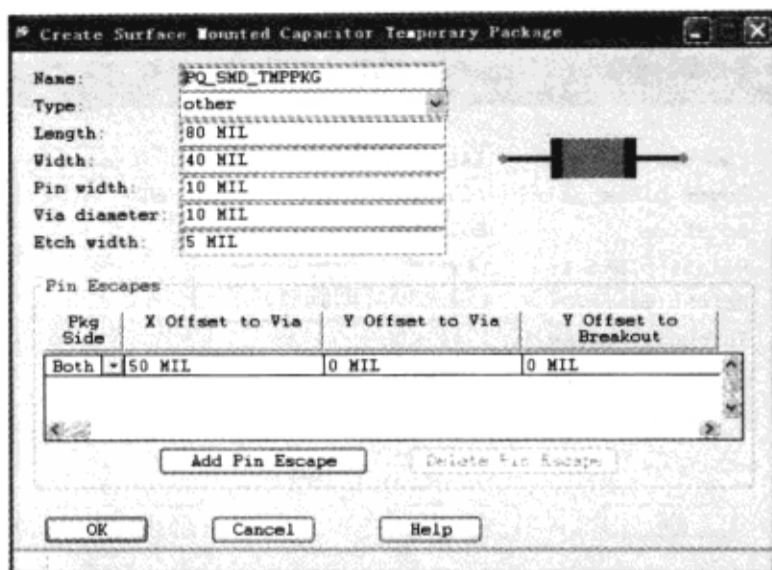


图 10-6-22 “Create Surface Mounted Capacitor Temporary Package” 对话框 图 10-6-23 命名临时封装文件

(3) 在“Create Surface Mounted Capacitor Temporary Package”对话框“Type”栏中选择“0603\_R”，封装的名称表示了封装的长度和宽度，如 0805 表示长为 80mils，宽为 50mils；1210 表示长为 120mils，宽为 100mils，如图 10-6-24 所示。

cap\_sizes.dat 文件中所提供的值是制造商的平均值，制造商对宽度要求苛刻而对长度要求比较灵活，1206\_R 封装名称表示常规封装，而 1206\_W 表示大于常规封装。

(4) 改变过孔的直径为 13，如图 10-6-25 所示。

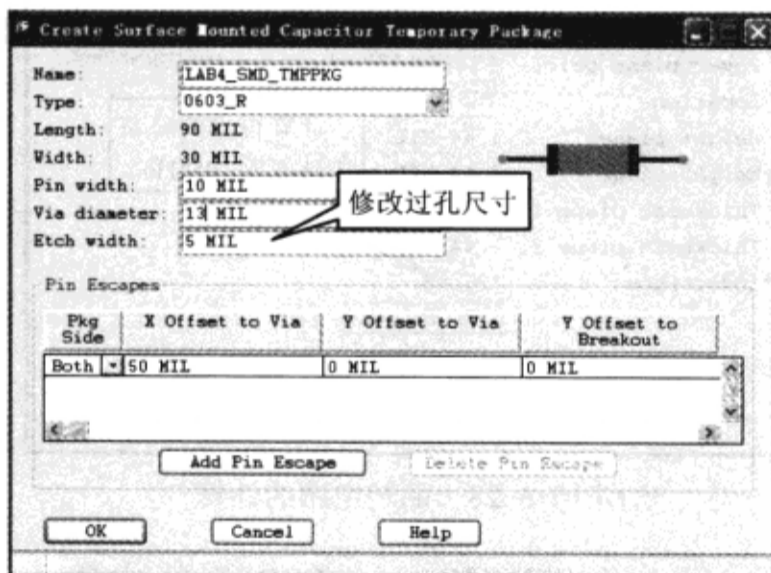
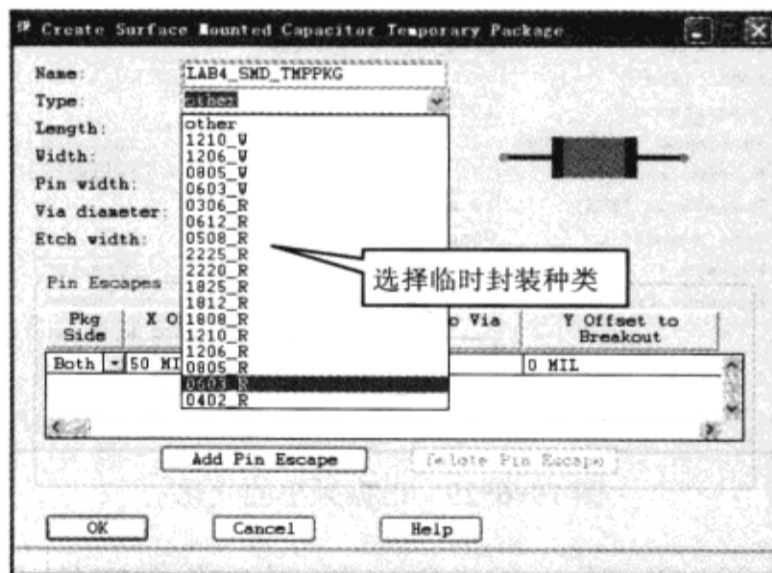


图 10-6-24 选择临时封装种类

图 10-6-25 修改过孔尺寸

(5) 在“Create Surface Mounted Capacitor Temporary Package”对话框中的“Pin Escapes”区域下的“X Offset to Via”栏改为 0，单击“OK”按钮，如图 10-6-26 所示。在“Mounted Inductance Estimator”对话框中“Package”栏中会显示新创建的封装名称，如图 10-6-27 所示。接下来将研究含有此封装的电容器安装在 PCB 上的谐振频率，通过选择可计算任意定义平面对、安装在 PCB 顶层或底层的电容器的谐振频率。

(6) 在“Power plane pair”栏中选择“[S1]VDD3V(VDD\_3V) - [S2]GND(GND) - 3 V”，在“Location”栏中选择“Top”，单击“Calculate”按钮。电源完整性工具会把这个电容器摆放在 Allegro PCB PI option XL 窗口的左上角，并连接引脚到所选择的平面对，最后计算贴装电感值，计算得出的结果为 195 pH，如图 10-6-28 所示。



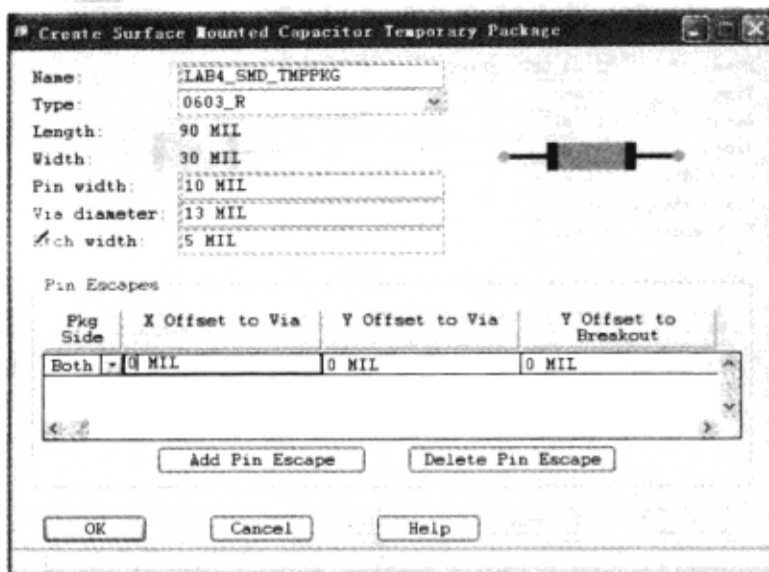


图 10-6-26 修改引脚偏移量

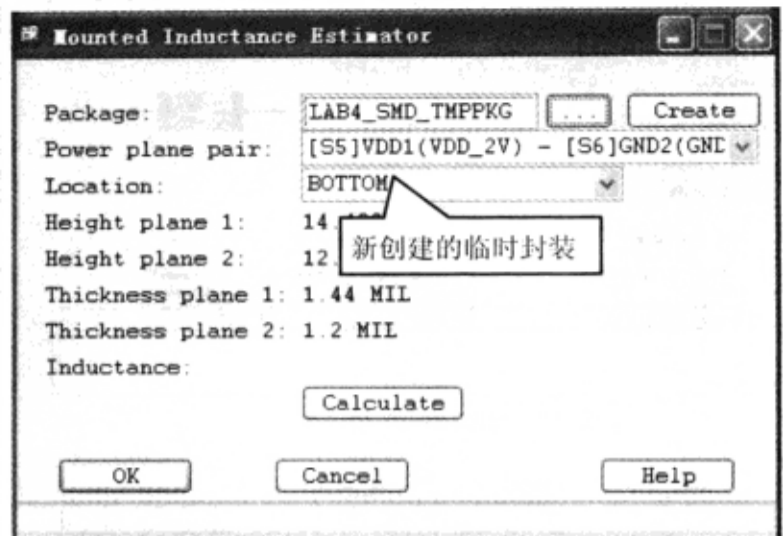


图 10-6-27 生成新的临时封装

(7) 在“Mounted Inductance Estimator”对话框中单击“OK”按钮就可看到谐振频率值，在“Decoupling Capacitor Editor”对话框中显示的谐振频率变为 593.1 kHz，如图 10-6-29 所示。

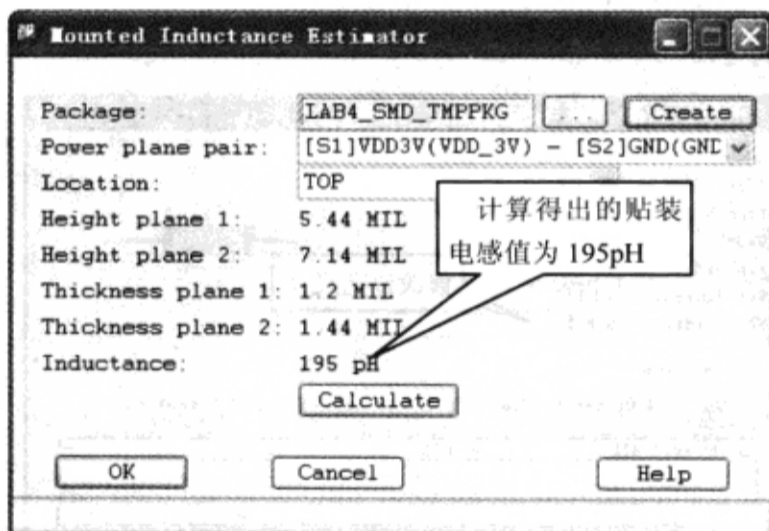


图 10-6-28 贴装电感的计算

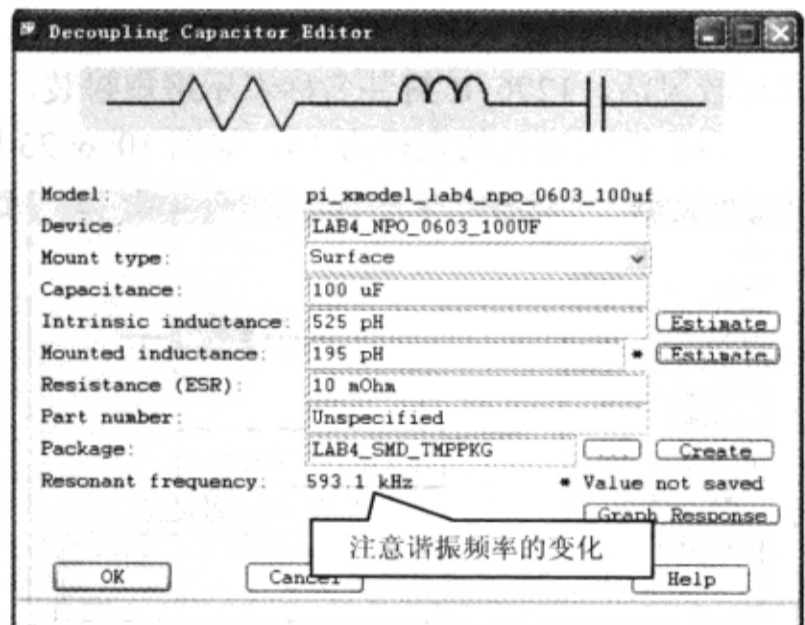


图 10-6-29 谐振频率的变化

(8) 在“Resistance (ESR)”栏中输入“32mOhm”，在“Part Number”栏中输入“Lab4\_0001”，如图 10-6-30 所示。

(9) 单击“Package”栏旁边的“ellipse”，在“Library Browser”对话框中选择“lab4\_smd\_tmppkg”，单击“OK”按钮，如图 10-6-31 所示。

在“Power Integrity Setup Wizard-Library Setup”对话框中所选择的电容器已位于 D:/allegroPI/lab4/lab4\_npo\_0603\_caps 目录下，这个目录其实就是刚才所创建的 DCL 文件，如图 10-6-32 所示。电源完整性工具把新的电容器名称写入了 DCL 文件中，同时把一个新的元器件文件写入了 lab4.dml 文件中。此外，电源完整性工具还创建一个封装文件，根据这个文件可在 PCB 上摆放电容器。这些文件都写入了当前的目录中。在“Power Integrity Setup Wizard-Library Setup”对话框中会显示与此电容器相关的一些参数，此时的额定电感值为 325pH，这是默认的贴装电感值。

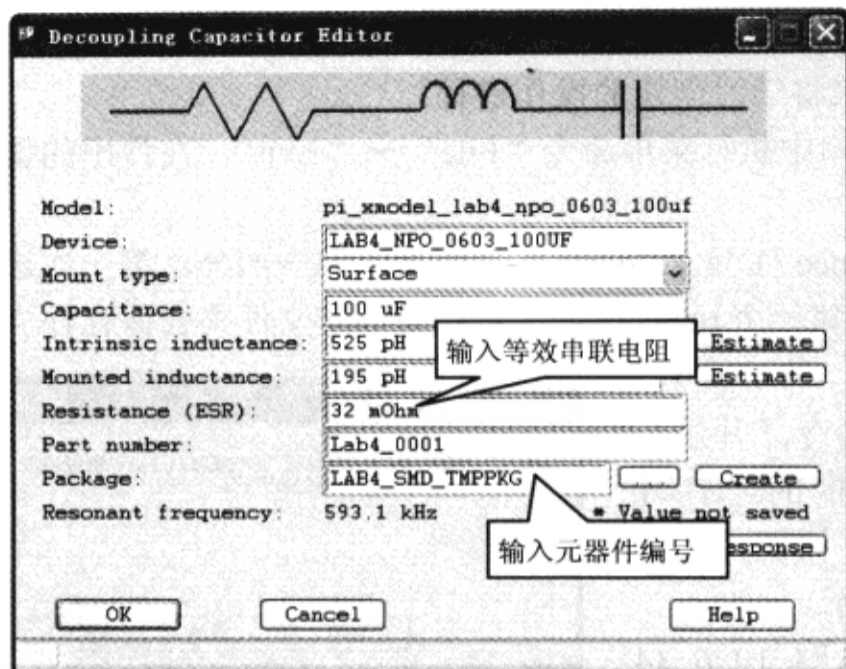


图 10-6-30 输入等效串联电阻和元器件编号

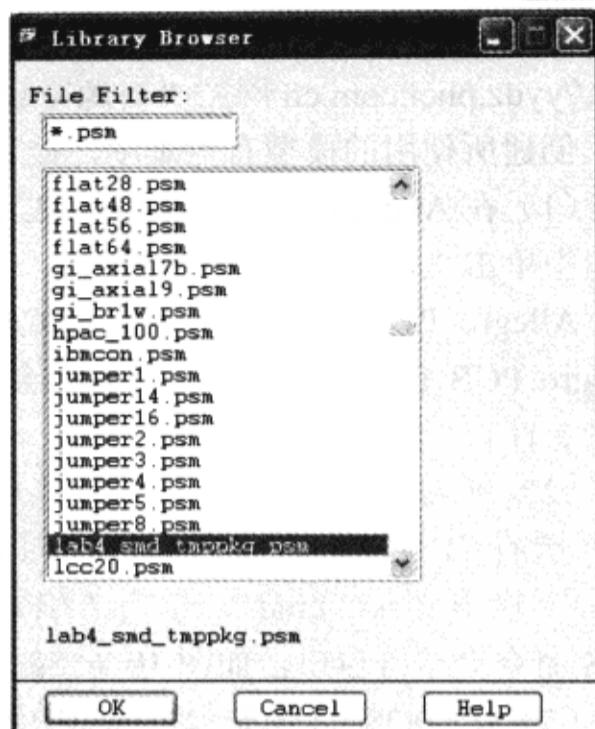


图 10-6-31 选择封装文件

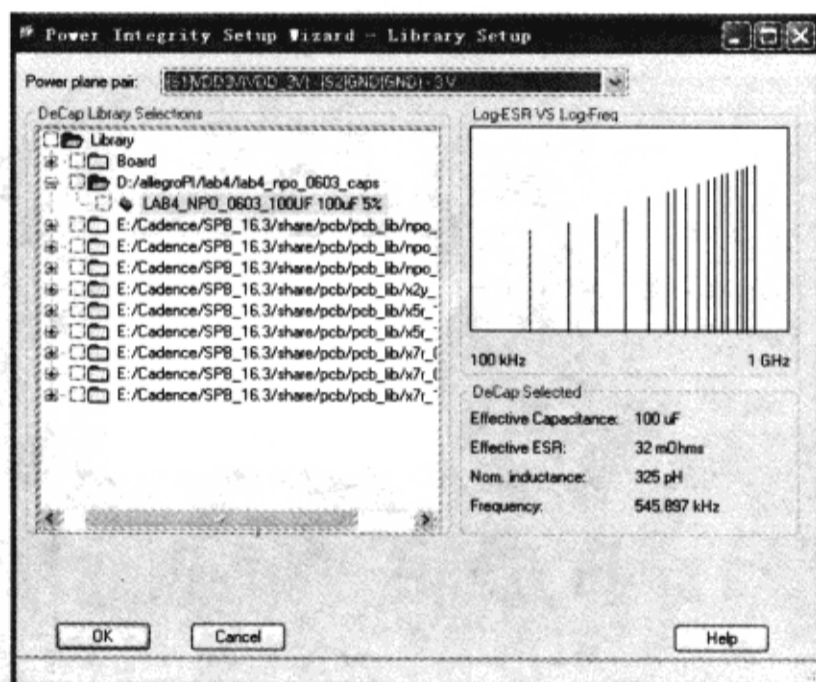


图 10-6-32 “Power Integrity Setup Wizard-Library Setup”对话框

计算得出的贴装电感值并不会随着电容器模型而保存，计算得出的贴装电感值仅会作为 PCB 文件中所摆放电容器的 `PQ_MOUNTED_INDUCTANCE` 特性而保存，在“Power Integrity Setup Wizard-Library Setup”对话框中选择一个电容器时，就会显示电容器的默认贴装电感值。

(10) 在“Power Integrity Setup Wizard-Library Setup”对话框中单击“OK”按钮。

#### 4. 使用供应商提供的电容器模型

1) 在 DOS 环境下打开模型文件 一些商业上的供应商会提供电源完整性工具中使用的电容器模型，供应商是这些模型的最好来源。供应商能有效地描述电容器的特性，因而能提供最精确的模型。其中有两家比较有名的模型供应商：一家是 TDK 公司，另一家是 Murata

Manufacturing 公司。这些供应商提供的模型放在了本书范例资料包里，读者可以到 <http://yydz.phei.com.cn> 网站“资源下载”栏目下载。

创建所使用的模型有点难度，接下来将学习创建的操作过程。

(1) 在 Allegro PCB PI option XL 窗口中执行菜单命令“File”→“Exit”，在弹出的警告窗口中单击“是 (Y)”按钮。

Allegro PCB PI option XL 是 Cadence 工具 Allegro 系列产品中的一部分，第一次进入 Allegro PCB PI option XL 时，软件会创建一个 pcbenv 文件夹，pcbenv 文件夹会保存在当前目录文件夹下。

(2) 进入 pcbenv 文件，执行菜单命令“开始”→“运行”，在弹出的“运行”对话框的“打开(O):”栏中输入“cmd”，单击“确定”按钮，打开 DOS 命令提示符窗口，如图 10-6-33 所示。

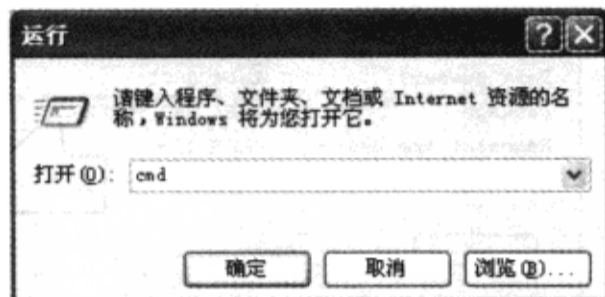


图 10-6-33 “运行”对话框

(3) 在 DOS 目录提示符窗口中输入图 10-6-34 中所示的命令，进入默认工作目录下的 pcbenv 文件夹，pcbenv 文件夹所处的位置会根据用户所设置默认工作目录的不同而不同。

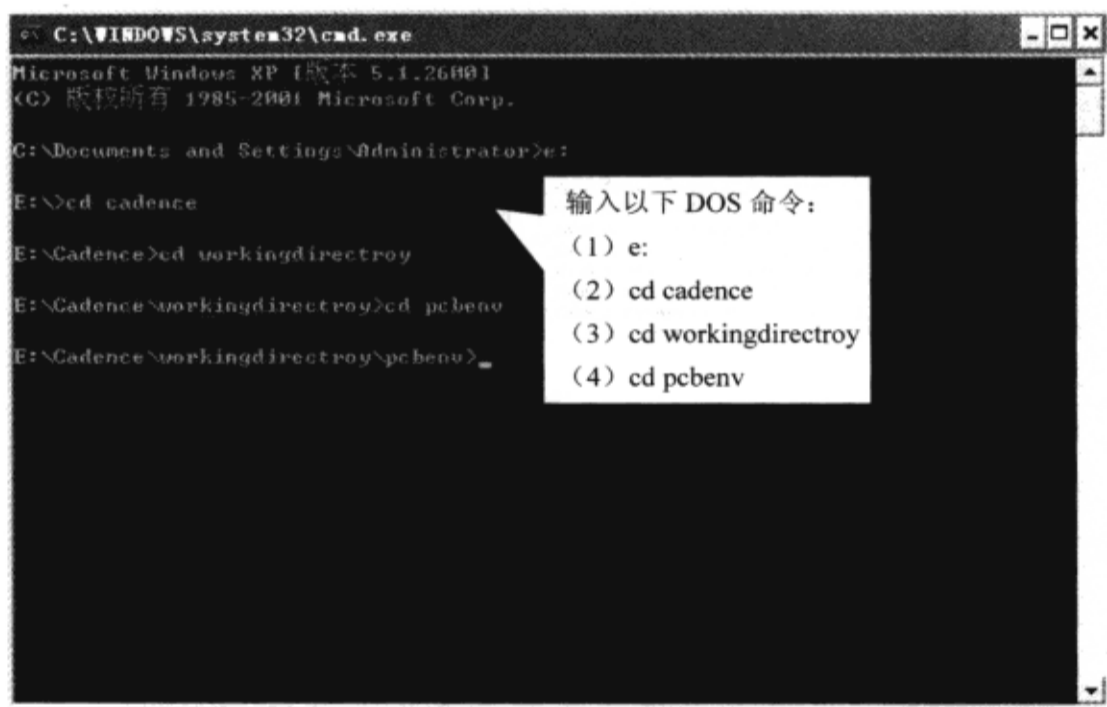


图 10-6-34 进入 pcbenv 文件夹

(4) 在 DOS 命令提示符窗口中输入“dir”可查看当前目录下所有的文件，如图 10-6-35 所示。在当前目录下有一个 env 文件，这个文件通常被称为局部 env 文件，局部 env 文件指向安装文件夹下的 Allegro 全局环境变量文件，这个文件的路径为 install\_dir/share/pcb/text/env。Allegro 全局环境变量文件定义了 Allegro 系列工具所使用的文件以及其他文件的位置路径，还可添加其他的路径，这样就可以在 Cadence 安装目录以外的地方保存在电容器模型，因此在每次启动电源完整性工具时，都会进入另外的电容器模型。

需要编辑 env 文件来添加它的路径，在本节中只需要使用本书范例资料包中本章文件夹下的 env 文件就行了。



图 10-6-35 局部环境变量文件

(5) 保存原始的 env 文件：在 DOS 命令提示符窗口中输入“rename env envorig”，如图 10-6-36 所示。



图 10-6-36 重新命名局部环境变量文件

(6) 打开 labenv 文件：在 DOS 命令提示符窗口中输入图 10-6-37 所示的命令。

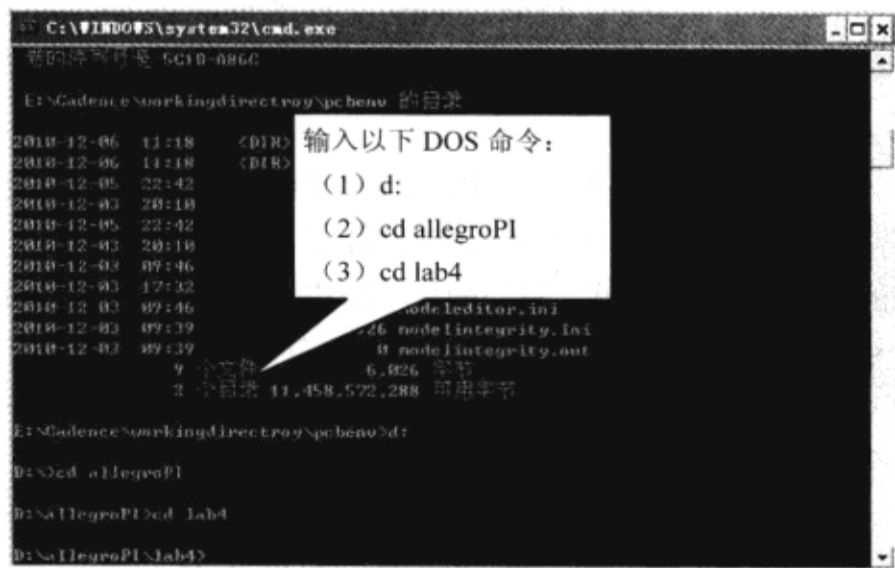


图 10-6-37 进入 lab4 文件夹

(7) 在 DOS 命令提示符窗口中输入“dir”，在当前文件夹下存在一个 labenv 文件，重新命名这个文件，在 DOS 命令提示符窗口中输入“rename labenv env”，如图 10-6-38 所示。

## 2) env 文件所包含的内容

在 DOS 命令提示符窗口中输入“notepad env”，使用记事本打开 env 文件，如图 10-6-39 所示。其中“source \$ALLEGRO\_INSTALL\_DIR\text\env”定义了入口，当启动了 Allegro PCB PI option XL 时，软件会读取局部 env 文件，同时要读取安装目录下的全局环境变量，其来自于局部 env 文件，通过这种方式读取了所有默认的环境变量。



图 10-6-38 重新命名 labenv 文件



图 10-6-39 使用记事本打开 env 文件

“set vendorcaps D:\user1\AllegroPCB\_PI\_15\_5\lab4\VendorCaps”定义了一个新的变量，同时定义了路径。

“set DEVPATH =.devicez.../devices \$ALLEGRO\_SITE/devices \$ALIBPATH/devices \$COMPLIBPATH/devices \$Vendorcaps\Cmfcs\device”复制了全局环境变量文件中的 DEVPATH 变量，这个变量定义了元器件文件所处的路径。新的供应商电容器元器件文件路径被添加到了这个变量中。

“set DCLPATH =...\$ALIBPATH \$COMPLIBPATH \$Vendorcaps/Cmfcs \$Vendorcaps/muratacap/Muratacap”复制了全局环境变量文件中的 DCLPATH 变量，这个变量定义了去耦电容器文件所处的路径。新的供应商去耦电容器文件的路径被添加到了这个变量中。

如果想要添加另外的路径，必须复制全局 env 文件的原始路径，并在局部 env 文件中粘贴，然后添加新的路径。如果不这样做，就不会读取默认的路径，进入与丢失路径相关的文件时会出现错误。

在某一个位置储存电容器文件，并使用上面的方法告知电源完整性工具这些文件所处的位置，每次进入电源完整性工具时即可进入这些文件了。

可把所提供文件的内容复制到当前的目录中，即电源完整性工具首先寻找文件的地方。所提供的文件当中有 98 个 TDK 电容器，意味着提供了 98 个元器件文件、98 个 dml 文件和一个 dcl 文件。所提供的文件中有 135 个 Murata 电容器，意味着提供了 135 个元器件文件、135 个 dml 文件和一个 dcl 文件。总共有 468 个文件，并不需要把 468 个文件添加到当前的目录中。更重要的是，如果把这 468 个文件保存在了当前目录中，就不能在其他目录的设计当中使用这些文件，除非把所用 468 个文件复制到那个目录中。



3) 供应商电容器 DML 文件的语法检查 现在已经设置了局部变量环境文件, 并且获得了供应商的电容器文件, 需要对 dml 文件进行语法检查, 将使用批处理方式对所用供应商的 dml 文件进行语法检查。

(1) 进入 TDK 电容器供应商的目录, 在 DOS 命令提示符窗口中输入图 10-6-40 中所示的命令, 改变当前目录为 TDK dml 文件所在的目录。

(2) 对 tdk\_dml 文件进行 dmlcheck 检测, 在 DOS 命令提示符窗口中输入以下命令: “for %f in (\*.dml) do dmlcheck %f”, 会在窗口中显示检查结果, 如图 10-6-41 所示。

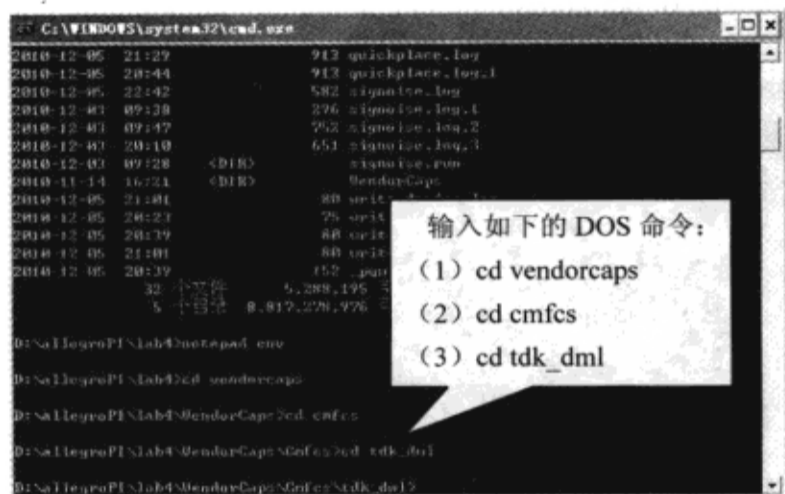


图 10-6-40 进入 tdk\_dml 文件夹

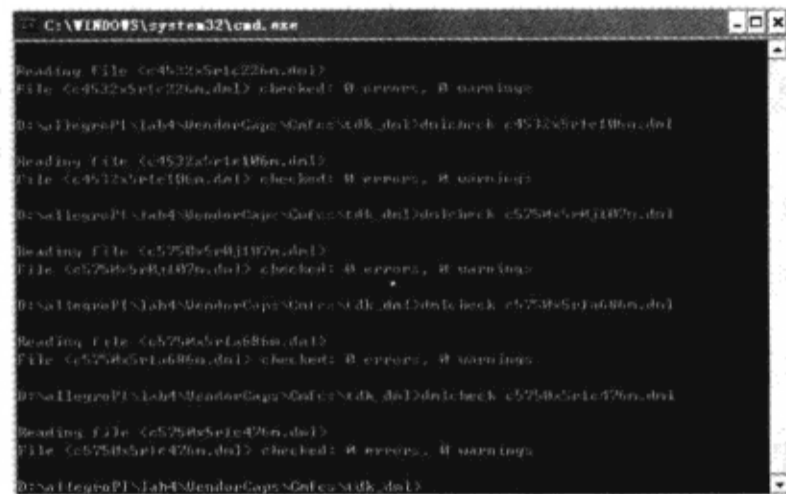


图 10-6-41 进行 dml 语法检测

(3) 在 DOS 命令提示符窗口输入图 10-6-42 所示的命令, 把当前目录改变到 Murata dml 文件所在的目录。

(4) 对 Murata dml 文件进行手工 dmlcheck 检查, 在 DOS 命令提示符窗口中输入如下的命令: “for %f in (\*.dml) do dmlcheck %f”, 在窗口中会显示语法检查的结果, 如图 10-6-43 所示。

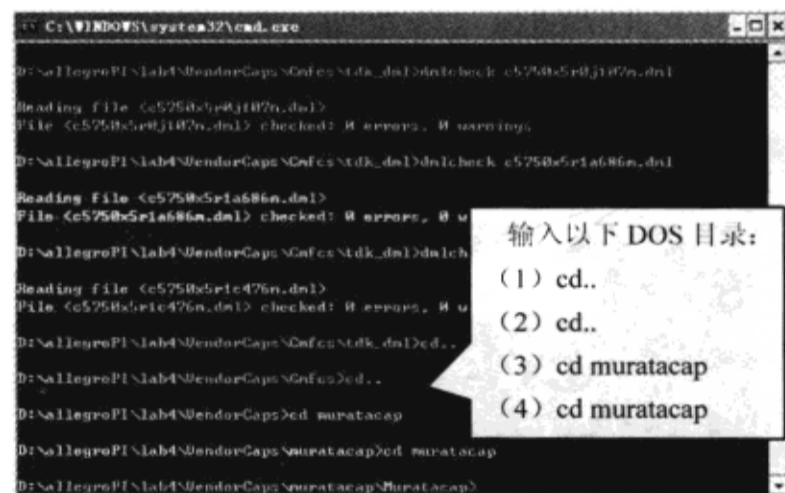


图 10-6-42 进入 muratacap 文件夹

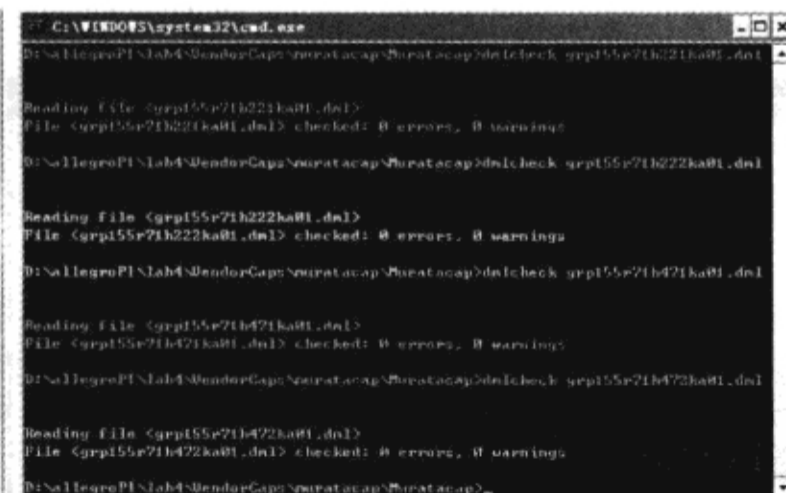


图 10-6-43 进行 dml 语法检测

对这些文件进行 dmlcheck 检查是为了检查出文件中的语法错误, 在多个 dml 文件合并成一个 dml 文件前必须进行 dmlcheck 检查, 如果其中的某个 dml 文件含有语法错误, 这个 dml 文件就不能和其他的 dml 文件合并。接下来将合并供应商的 dml 文件。

4) 合并供应商的电容器 DML 文件 供应商提供的 dml 文件总共包括了 98 个 TDK dml

文件和 135 个 Murata dml 文件，并不需要把所有单独的 dml 文件装载到 Library Browser 中，可把每个供应商的文件合并到一个 dml 文件中，这将使 Library Browser 中的操作更方便一些。接下来将使用 Allegro PCB PI option XL 中的“DML Library Management”对话框完成以上内容。

(1) 执行菜单命令“开始”→“所用程序”→“Cadence”→“Release 16.3”→“PCB SI”，弹出“Cadence Product Choices-16.3”对话框，如图 10-6-44 所示。

(2) 在“Select the Product:”列表框中选择“Allegro PCB PI option XL”→单击“OK”按钮，打开 Allegro PCB PI option XL 窗口，如图 10-6-45 所示。

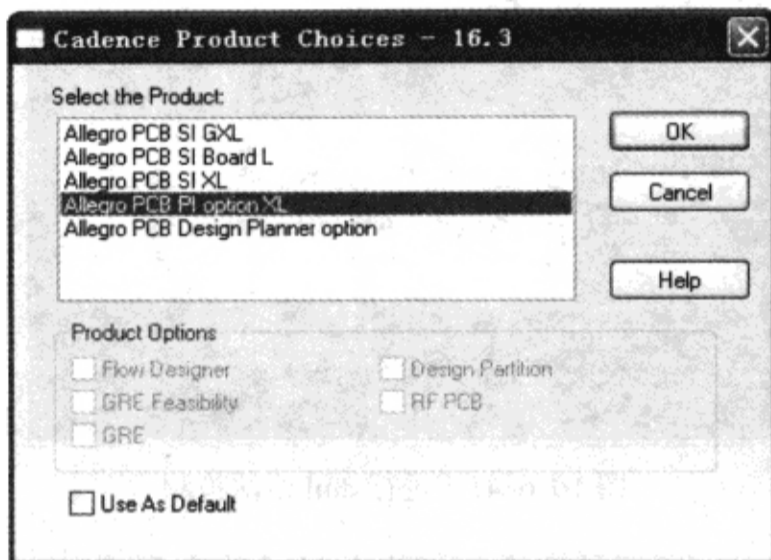


图 10-6-44 “Cadence Product Choices-16.3”对话框

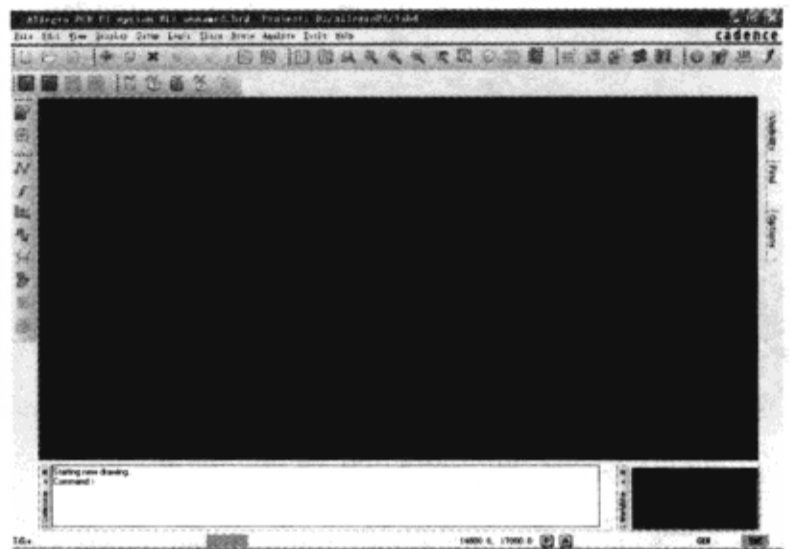


图 10-6-45 Allegro PCB PI option XL 窗口

### 5) 打开 PCB 文件

(1) 在 Allegro PCB PI option XL 窗口中执行菜单命令“File”→“Open”，弹出“Open”对话框，如图 10-6-46 所示。

(2) 双击 lab4.brd 打开这个 PCB 文件，如图 10-6-47 所示。

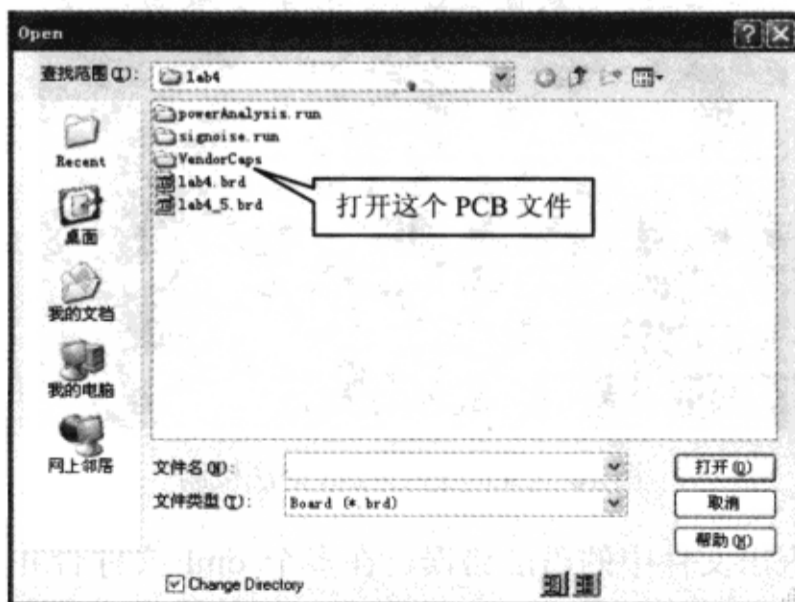


图 10-6-46 “Open”对话框

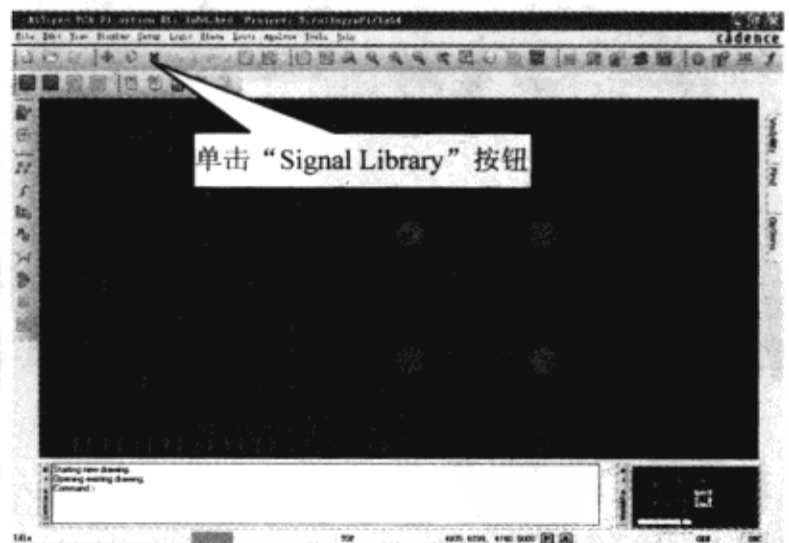


图 10-6-47 打开 PCB 文件

(3) 在 Allegro PCB PI option XL 窗口中单击“Signal Library”按钮，弹出“SI Model

Brower”对话框，如图 10-6-48 所示。



图 10-6-48 “SI Model Browser”对话框

(4) 单击“Set Search Path”按钮，弹出“Set Model Search Path”对话框，如图 10-6-49 所示。

(5) 单击“Add Directory...”按钮，弹出“Select New Search Directory”对话框，如图 10-6-50 所示。

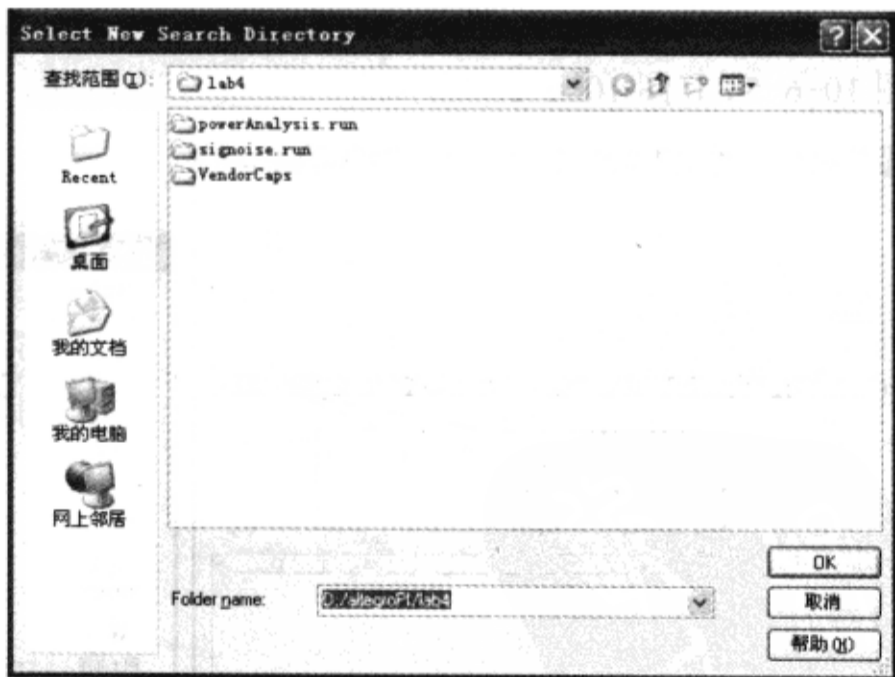


图 10-6-49 “Set Model Search Path”对话框 图 10-6-50 “Select New Search Directory”对话框

(6) 选择“VendorCaps/Cmfcs/tdk\_dml”，单击“OK”按钮，把所有 TDK 电容器的 dml 文件导入“Set Model Search Path”对话框中，如图 10-6-51 所示。

(7) 在“Set Model Search Path”对话框中单击“OK”按钮→在“SI Model Brower”对话框中单击“Library Mgmt”按钮，弹出“DML Library Management”对话框，如图 10-6-52

所示。

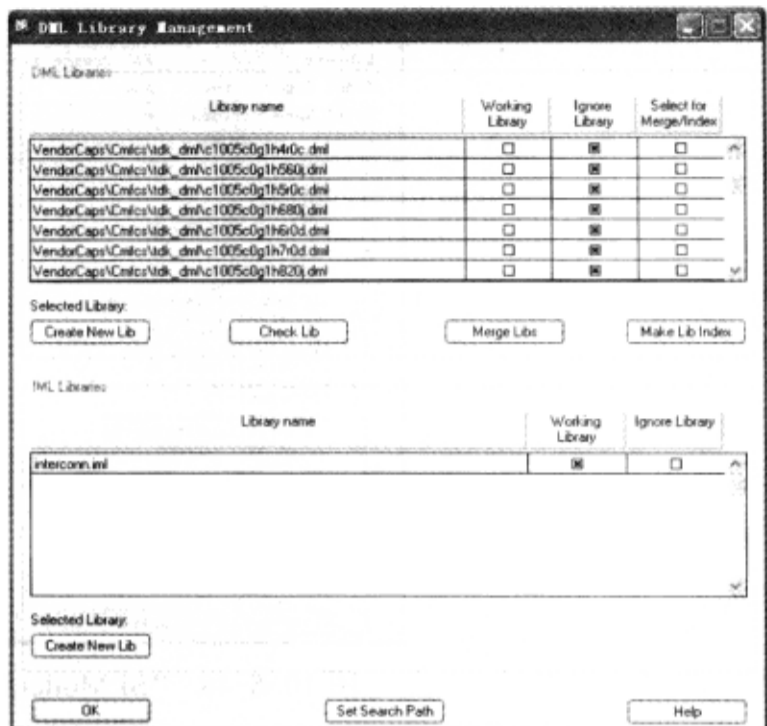


图 10-6-51 “Set Model Search Path”对话框 图 10-6-52 “DML Library Management”对话框

(8) 在“DML Library Management”对话框“DML Libraries”区域“Select for Merge/Index”栏下选中 tdk\_dml 文件夹下所有的 dml 文件，如图 10-6-53 所示。

(9) 单击“Merge Libs”按钮，弹出“另存为”对话框，在“文件名(N)”栏中输入“tdk”，单击“保存(S)”按钮，弹出 Allegro PCB PI option XL 提示窗口，按“Enter”键，如图 10-6-54 和图 10-6-55 所示。



图 10-6-53 选择目录下的 DML 文件

图 10-6-54 合并为一个 DML 文件

(10) 此时 tdk\_dml 文件夹下的 dml 文件合并为一个 tdk.dml 文件，如图 10-6-56 所示。单击“OK”按钮，回到“SI Model Browser”对话框。

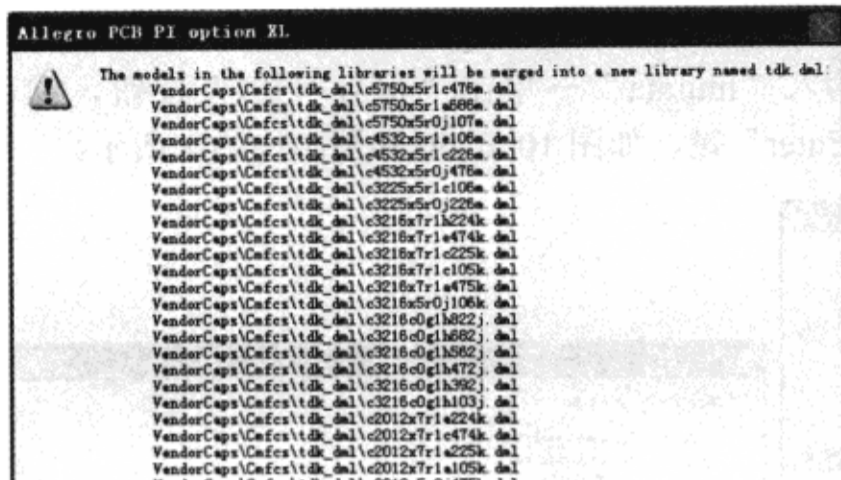


图 10-6-55 提示窗口

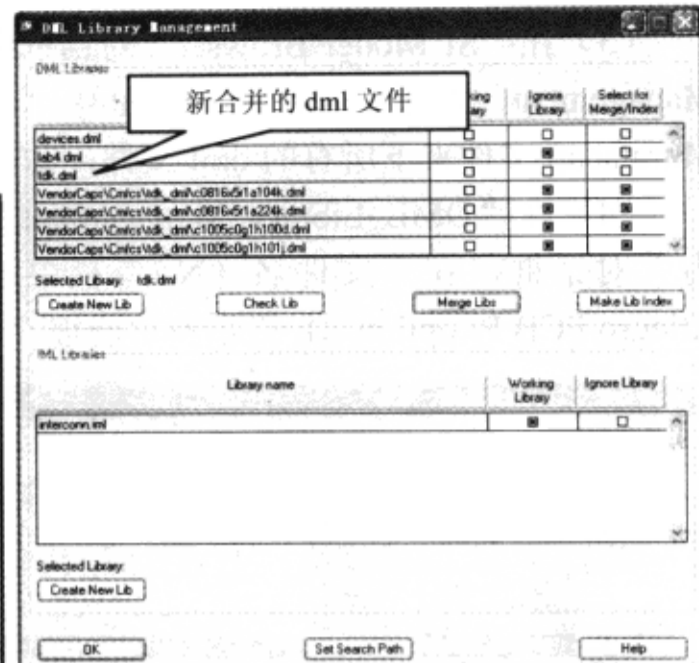


图 10-6-56 DML 文件库管理窗口

### 6) 合并 Murata 电容器 DML 文件

(1) 在“SI Model Browser”对话框中单击“Set Search Path”按钮，弹出“Set Model Search Path”对话框，如图 10-6-57 所示。

(2) 单击“Remove Directory”按钮移除 VendorCaps/Cmfcs/tdk\_dml 目录，单击“Add Directory...”按钮添加 VendorCaps/muratacap/Muratacap 目录，如图 10-6-58 所示。单击“OK”按钮，回到“SI Model Browser”对话框。

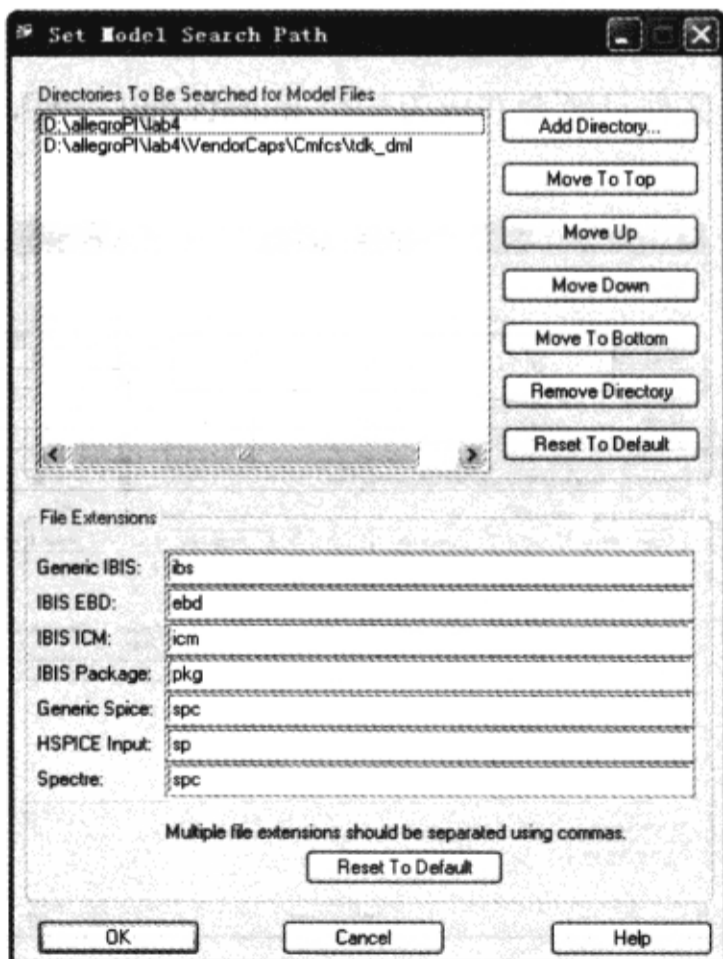


图 10-6-57 “Set Model Search Path”对话框

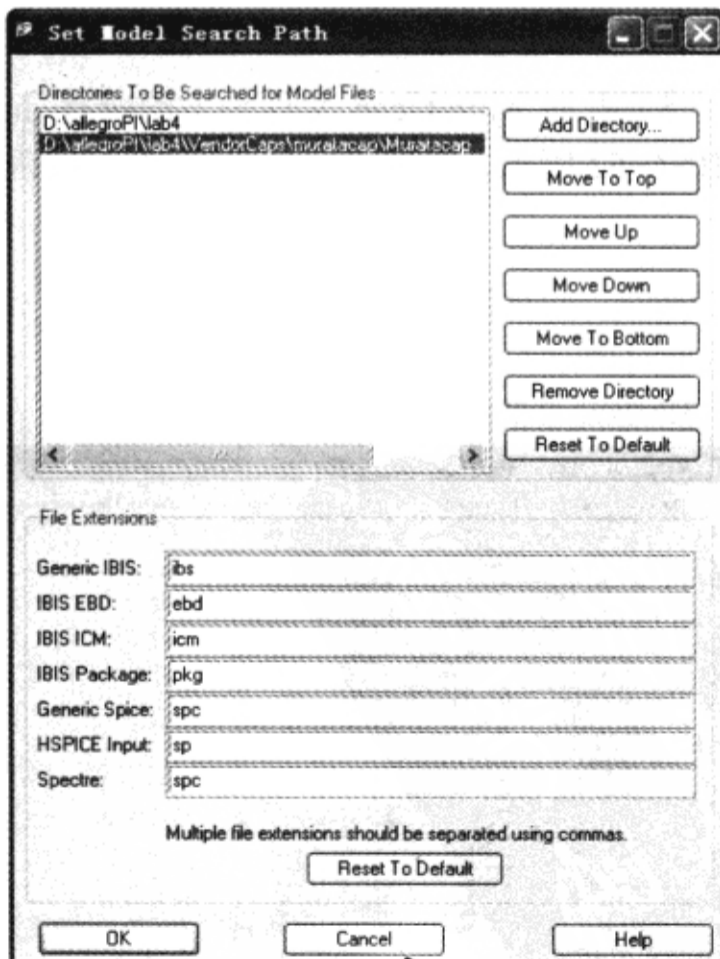


图 10-6-58 添加新的目录



(3) 在“SI Model Browser”对话框中单击“Library Mgmt”按钮，弹出“DML Library Management”对话框，选中对话框中“DML Libraries”区域“Select for Merge/Index”栏 Muratacap 文件夹下所有的 dml 文件，如图 10-6-59 所示。

(4) 在“DML Library Management”对话框中单击“Merge Libs”按钮，弹出“另存为”对话框，在“文件名(N)”栏中输入“murata”→单击“保存(S)”按钮，弹出 Allegro PCB PI option XL 提示窗口→按“Enter”键，如图 10-6-60 和图 10-6-61 所示。

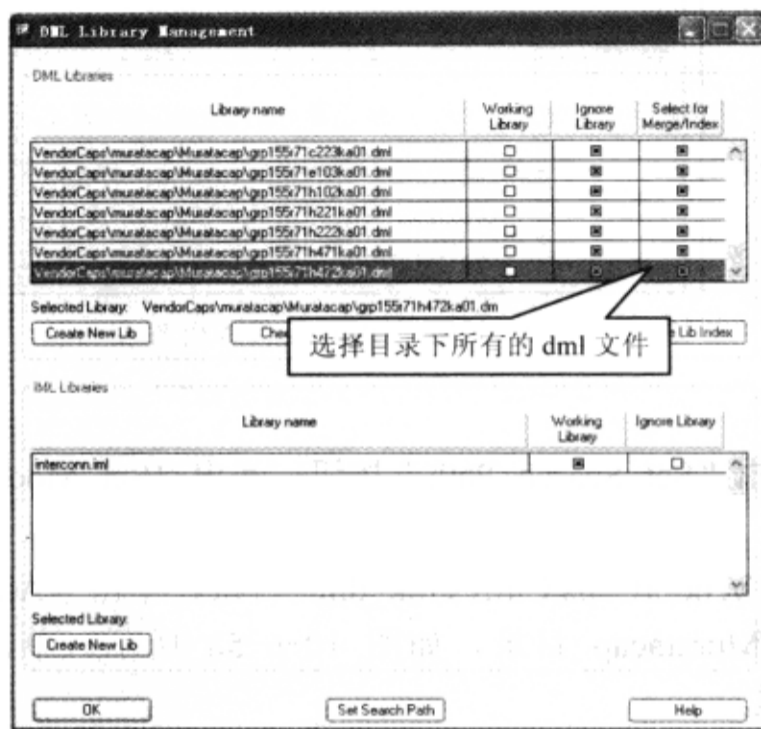


图 10-6-59 合并 DML 文件

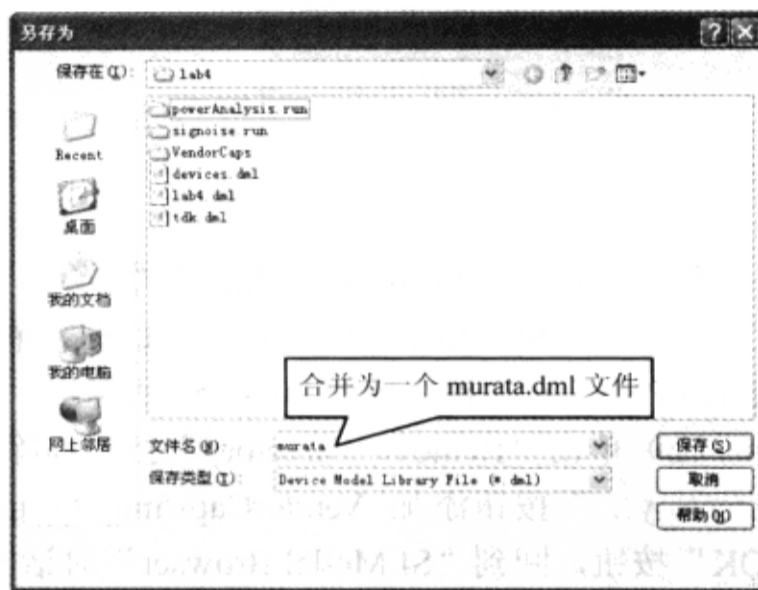


图 10-6-60 合并为一个 DML 文件

(5) 此时 Muratacap 文件夹下的所有 dml 文件已经合并成为一个 murata.dml 文件，如图 10-6-62 所示，在窗口中单击“OK”按钮。



图 10-6-61 提示窗口

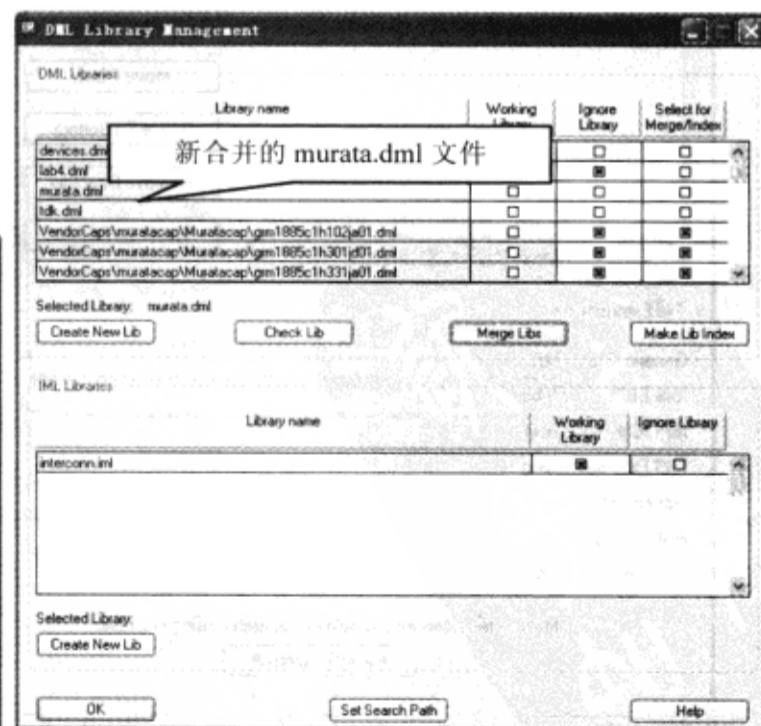


图 10-6-62 合并 DML 文件

(6) 在“SI Model Browser”对话框单击“Close”按钮。

### 7) 验证模型

(1) 在 Allegro PCB PI option XL 窗口中执行菜单命令“Analyze”→“Power Integrity”，弹出“Power Integrity Design & Analysis”对话框，如图 10-6-63 所示。

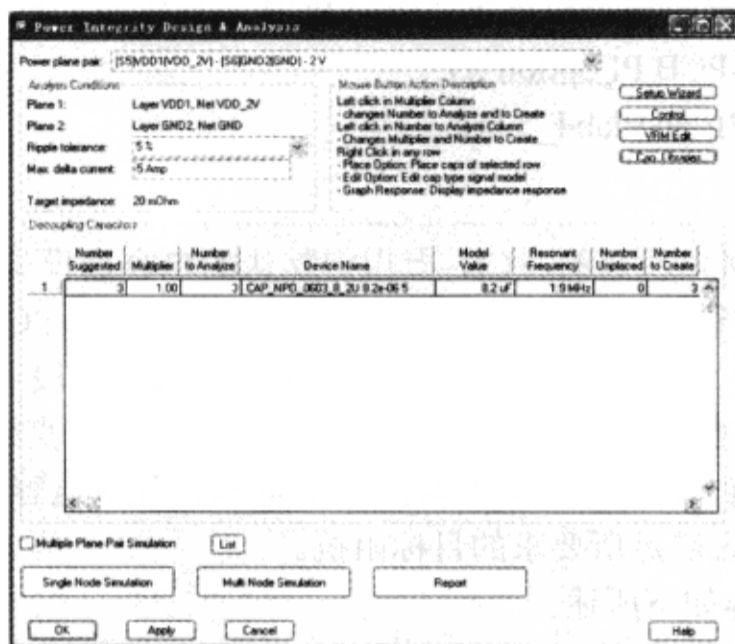


图 10-6-63 “Power Integrity Design & Analysis”对话框

(2) 在“Power Integrity Design & Analysis”对话框中单击“Cap Libraries”按钮，弹出“Power Integrity Setup Wizard-Library Setup”对话框，此时在“Power Integrity Setup Wizard-Library Setup”对话框中列出了 TDK 和 Murata 电容器，如图 10-6-64 所示。电源完整性工具读取了供应商提供的 DCL 文件，因此在窗口中列出了其电容器模型。如果在窗口中没有显示供应商提供的电容器模型，需要检查局部 env 文件中的路径。

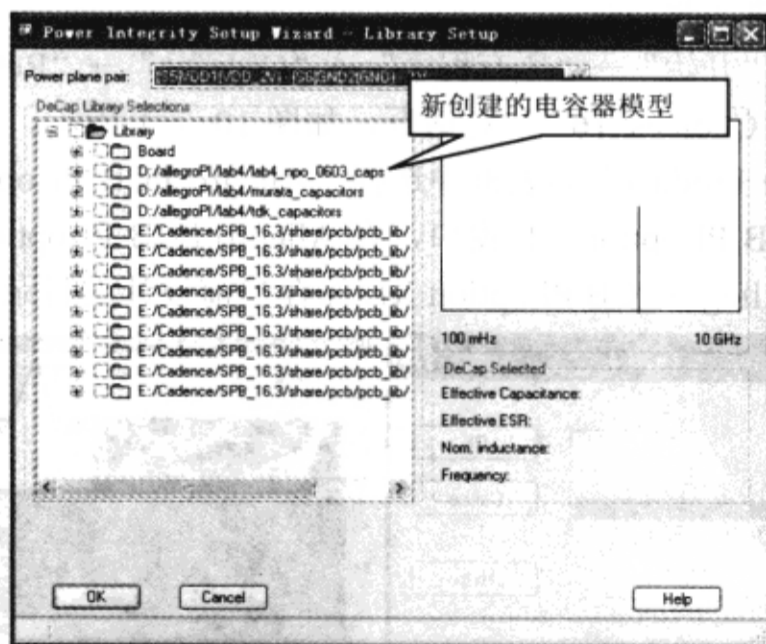


图 10-6-64 “Power Integrity Setup Wizard-Library Setup”对话框

(3) 在“Power Integrity Setup Wizard-Library Setup”对话框中单击“OK”按钮。

(4) 在“Power Integrity Design & Analysis”对话框中单击“OK”按钮。

(5) 在 Allegro PCB PI option XL 窗口中执行菜单命令“File”→“Exit”，在弹出的提示

窗口中单击“OK”按钮。

## 10.7 对 PCB 进行电源完整性分析

【本节目的】学习对已经布局和布线完毕的 PCB 进行电源完整性分析的方法。

【使用工具】Allegro PCB PI option XL。

【使用文件】allegroPI/lab4/lab4\_5.brd。

### 1. 学习目标

本节将主要学习如何在现有的 PCB 上指定默认的电容器模型。有时期望使用 Allegro PCB PI option XL 电源完整性工具对一个已经布局和布线完毕的 PCB 进行分析。为了进行分析，必须为所有的去耦电容器指定仿真模型。在 PCB 的设计阶段可能并没有使用到 Allegro PCB PI option XL 电源完整性工具，因此并没有去耦电容器的仿真模型。

本节主要学习向现有 PCB 上的电容器指定 Cadence 默认电容器模型的方法，通过以上方法能快速验证 PCB 是否满足所要求的目标阻抗。

本节的主要学习内容如下所述。

(1) 使用 Allegro PCB PI option XL Database Setup Advisor 来验证 PCB 的数据库是否满足仿真所要求的设置，验证的关键是直流网络的指定和器件的设置。

(2) 使用电源完整性设置向导验证 PCB 的数据库已满足电源完整性分析的设置要求，验证的关键是平面对和电容器模型的指定。

(3) 计算贴装电感值并进行多节点分析，验证现有的电容器满足所要求的目标阻抗。

### 2. 打开 PCB 文件

#### 1) 启动电源完整性工具

(1) 执行菜单命令“开始”→“所有程序”→“Cadence”→“Release 16.3”→“PCBSI”，弹出“Cadence Product Choices-16.3”对话框，如图 10-7-1 所示。

(2) 在“Select the Product”列表框中选择“Allegro PCB PI option XL”→单击“OK”按钮，打开 Allegro PCB PI option XL 窗口，在 Allegro PCB PI option XL 窗口的顶部显示当前的工作目录，这是 Allegro PCB PI option XL 保存当前设计的目录，如图 10-7-2 所示。

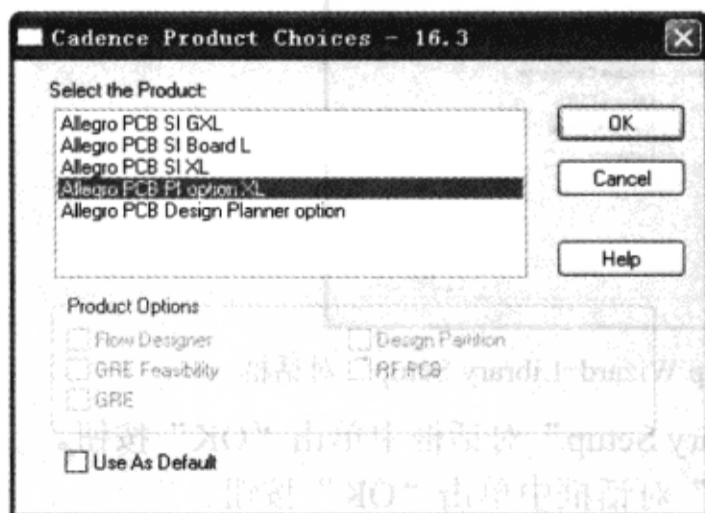


图 10-7-1 “Cadence Product Choices-16.3”对话框



图 10-7-2 Allegro PCB PI option XL 窗口

## 2) 打开现有的 PCB 文件

(1) 在 Allegro PCB PI option XL 窗口中执行菜单命令“File”→“Open”，弹出“Open”对话框，如图 10-7-3 所示。

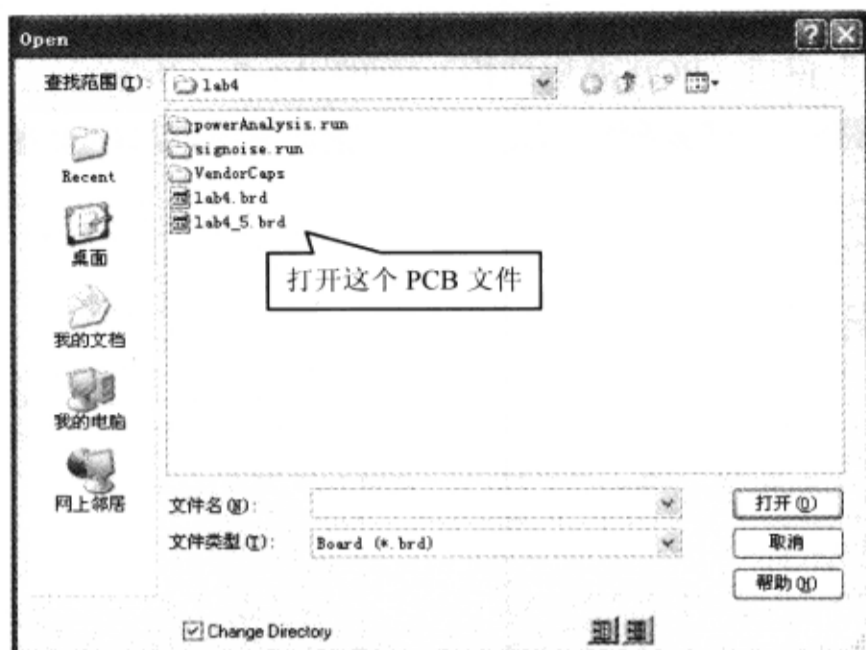


图 10-7-3 “Open”对话框

(2) 双击 lab4\_5.brd 打开这个 PCB 文件，如图 10-7-4 所示。

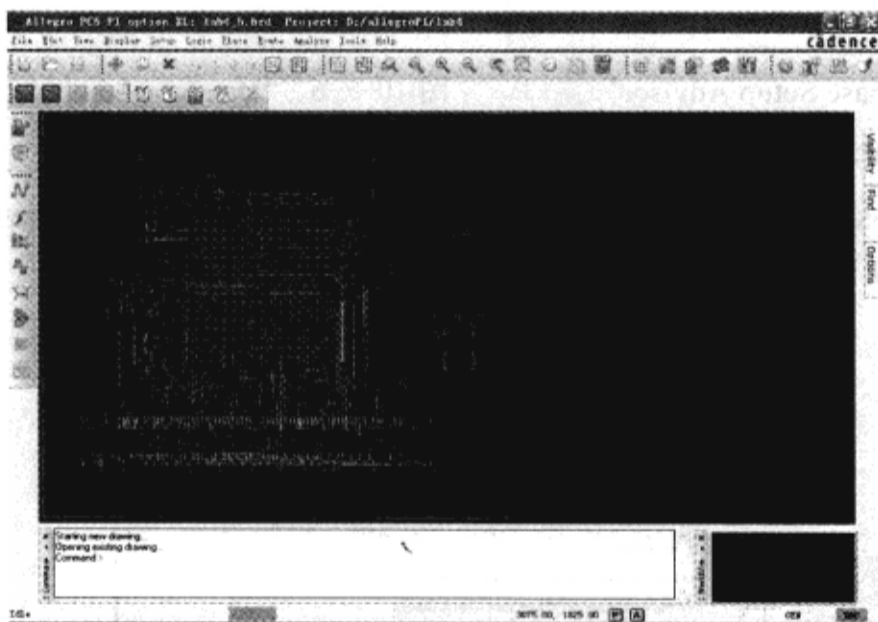


图 10-7-4 打开 PCB 文件

## 3. 验证 PCB

1) 启动 Database Setup Advisor 要想成功的对 PCB 进行信号完整性和电源完整性分析，PCB 的数据库中必须存在一些必要的信息，使用 Allegro PCB PI option XL Database Setup Advisor 来验证 PCB 中存在的正确信息。通常情况下，Database Setup Advisor 对 PCB 数据库运行一次就行了，但在不确定数据库是否正确设置的情况下，应该在所设计的 PCB 文件上运行 Allegro PCB PI option XL Database Setup Advisor。

Database Setup Process 列出了过程中的 6 个关键步骤，在新 PCB 文件上需从头到尾完

成这些步骤,但也可以跳过其中的几个步骤。当 PCB 完成时,就可跳过其中的某些步骤。

(1) 在 Allegro PCB PI option XL 窗口中执行菜单命令“Tools”→“Setup Advisor”,弹出“Database Setup Advisor”窗口,如图 10-7-5 所示。

(2) 在“Database Setup Advisor”窗口中单击“Next”按钮,弹出“Database Setup Advisor-Cross-section”窗口(PCB 叠层结构),如图 10-7-6 所示。

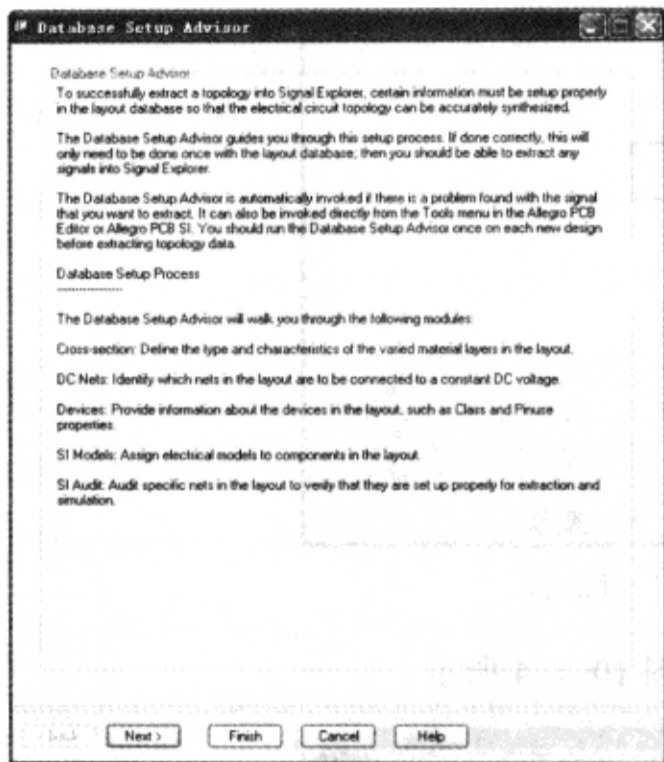


图 10-7-5 “Database Setup Advisor”窗口

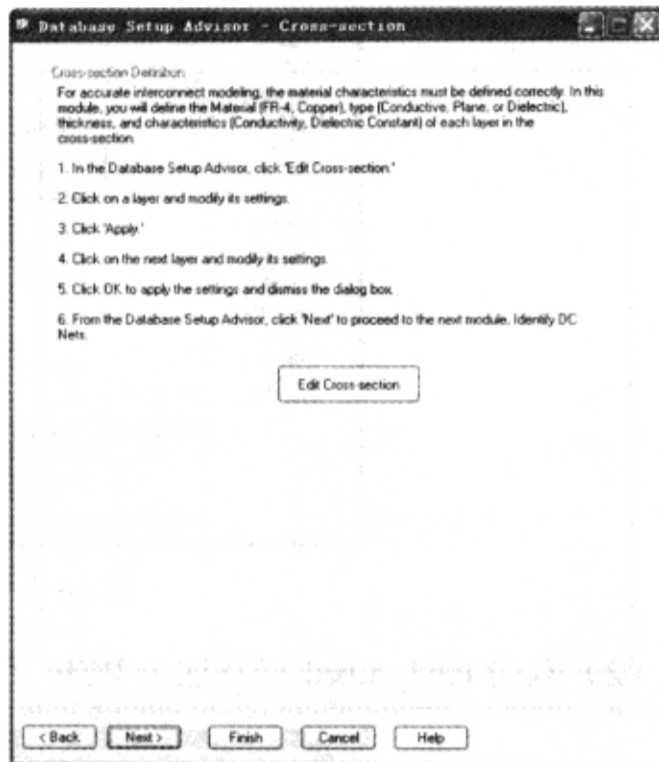


图 10-7-6 “Database Setup Advisor-Cross-section”窗口

2) PCB 叠层结构 PCB 的叠层结构已经设置完成,所以不需要改变。在“Database Setup Advisor-Cross-section”窗口中单击“Next”按钮,弹出“Database Setup Advisor-DC Nets”窗口,如图 10-7-7 所示。

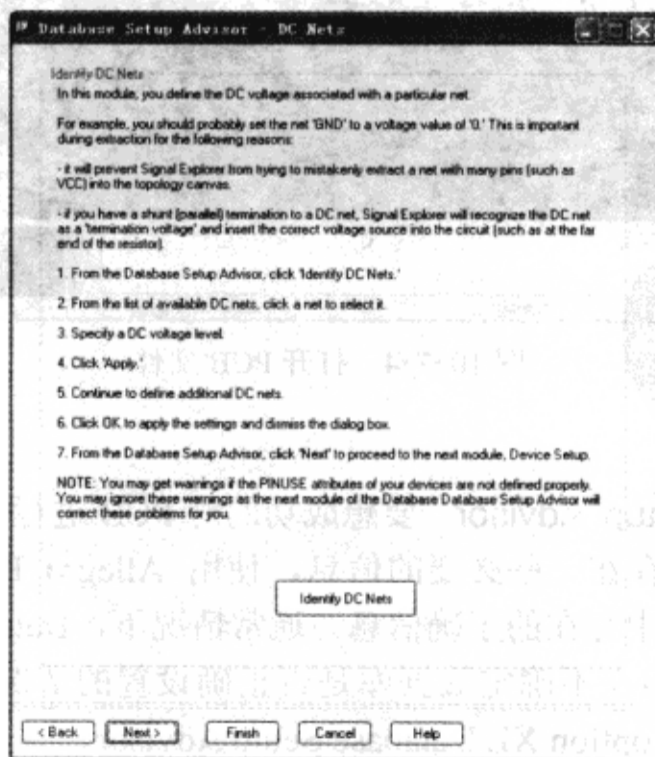


图 10-7-7 “Database Setup Advisor-DC Nets”窗口



### 3) 指定直流网络

(1) 在“Database Setup Advisor-DC Nets”窗口中单击“Identify DC Nets”按钮，弹出“Identify DC Nets”对话框，这个对话框主要用于在网络上指定 VOLTAGE 特性，使这些网络成为 Allegro PCB PI option XL 中的直流网络，如图 10-7-8 所示。

(2) 选择“1\_8V”网络，此时“Voltage”栏中对应的值为“None”，如图 10-7-9 所示。

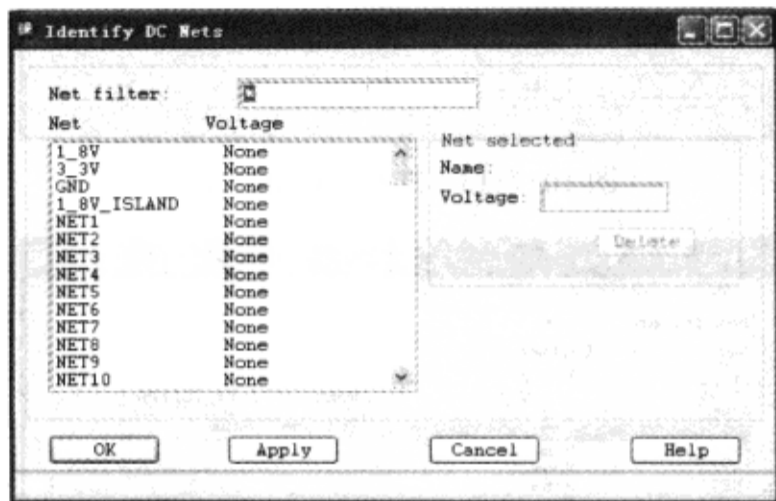


图 10-7-8 “Identify DC Nets”对话框

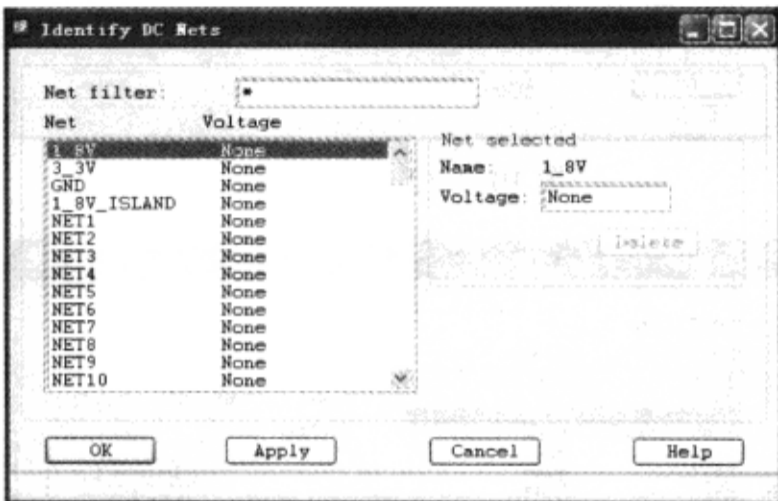


图 10-7-9 选择“1\_8V”网络

(3) 双击“Voltage”栏中的“None”，输入“1.8”→按“Tab”键，此时网络的直流电压特性为 1.8V，如图 10-7-10 所示。

(4) 选择“3\_3V”的网络，如图 10-7-11 所示。

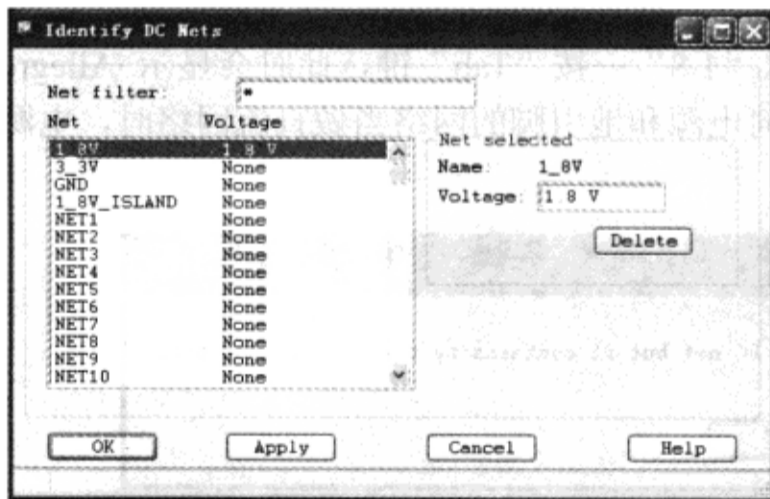


图 10-7-10 指定电压

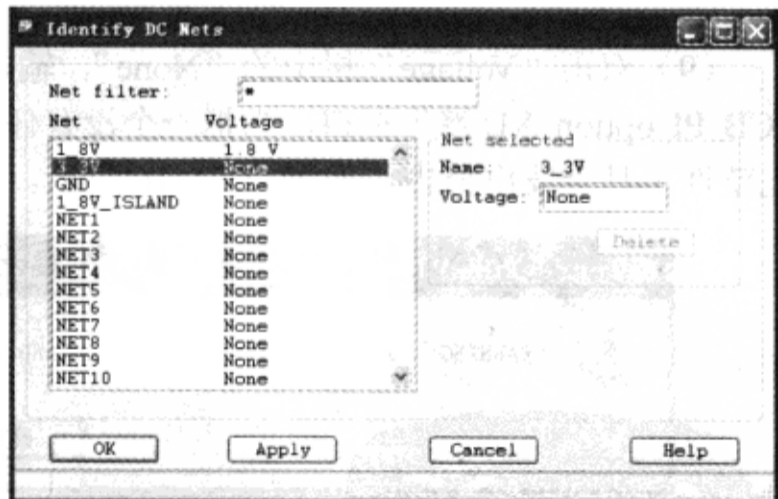


图 10-7-11 选择“3\_3V”网络

(5) 双击“Voltage”栏中的“None”，输入“3.3”→按“Tab”键，此时网络的直流电压特性为 3.3V，如图 10-7-12 所示。

(6) 选择“GND”网络，如图 10-7-13 所示。

(7) 双击“Voltage”栏中的“None”，输入“0”→按“Tab”键，此时网络的直流电压特性为 0V，如图 10-7-14 所示。

(8) 选择“1\_8V\_ISLAND”网络，此时“Voltage”栏中的值为“None”，如图 10-7-15 所示。

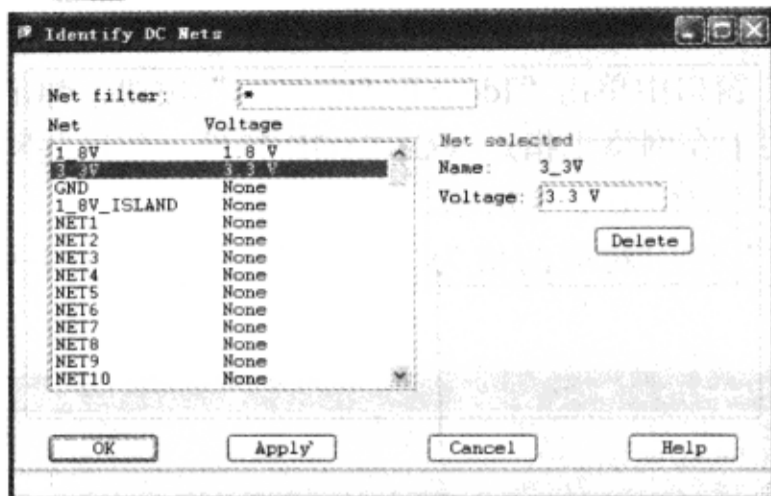


图 10-7-12 指定电压

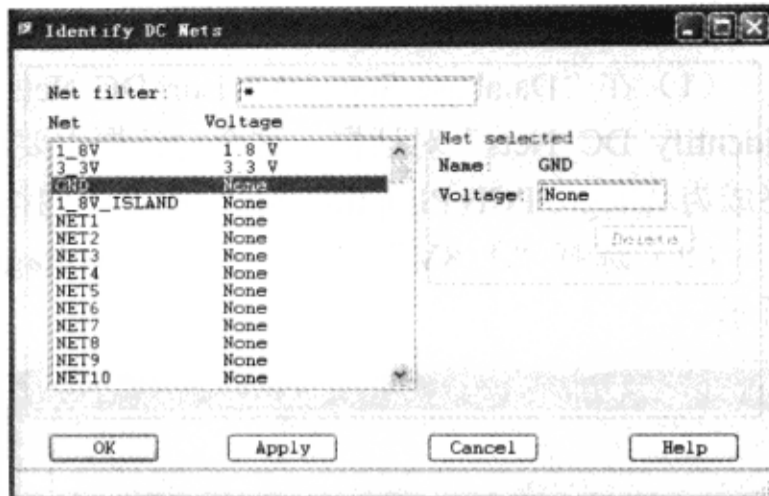


图 10-7-13 选择“GND”网络

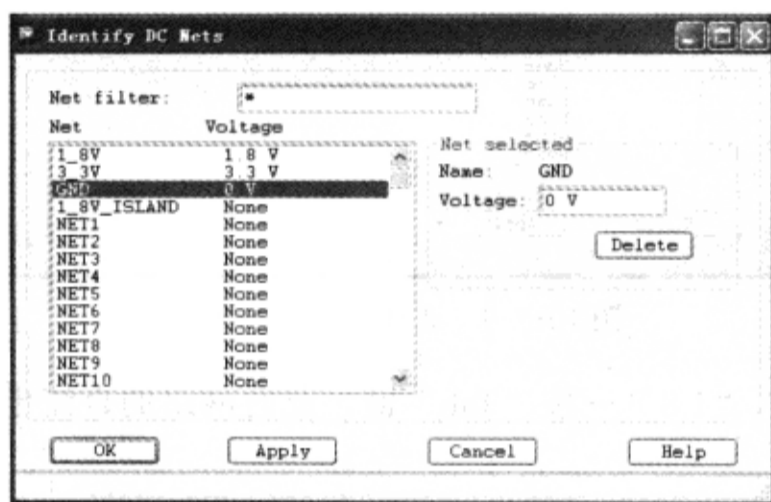


图 10-7-14 指定电压

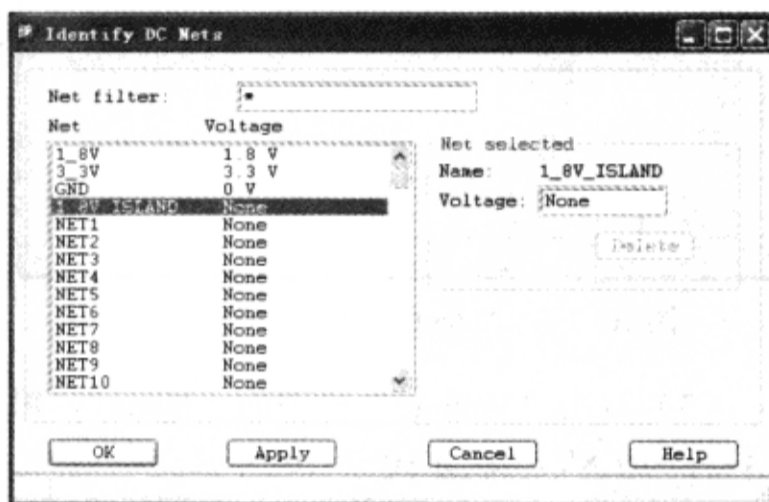


图 10-7-15 选择“1\_8V\_ISLAND”网络

(9) 双击“Voltage”栏中的“None”，输入“1.8”→按“Tab”键，此时会显示 Allegro PCB PI option XL 警告窗口，当把一个没有任何电源和地引脚的网络当做直流网络时，电源完整性工具会发出警告，如图 10-7-16 所示。

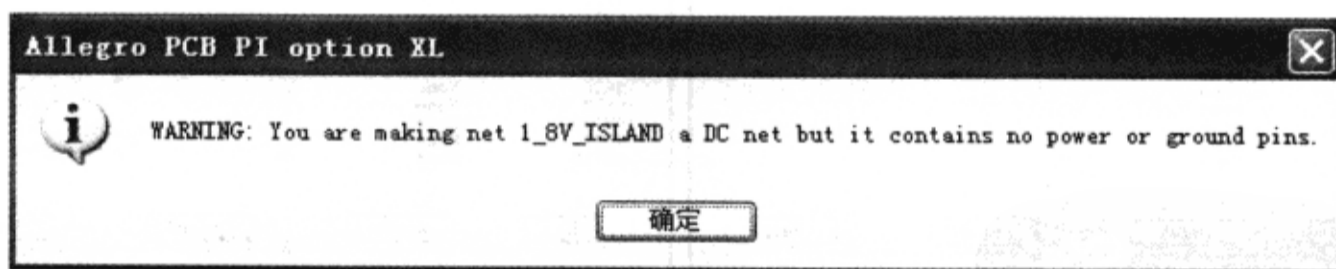


图 10-7-16 警告窗口

通过观察 Allegro PCB PI option XL 窗口中的 PCB 文件，共有 5 个元器件连接到了这个网络，分别是 C1, C28, C33, L1 和 U1，如图 10-7-17 所示。Allegro PCB PI option XL 提示虽然有元器件和这些网络相连，但是这 5 个元器件没有一个引脚被正确定义，分立元器件的引脚必须有一个 UNSPEC 的 PINUSE 特性值，在 Identify DC Nets 并不能看到这些值，以后将要对这些值进行改正。

(10) 在 Allegro PCB PI option XL 警告窗口单击“确定”按钮，然后在“Identify DC Nets”对话框中单击“OK”按钮。

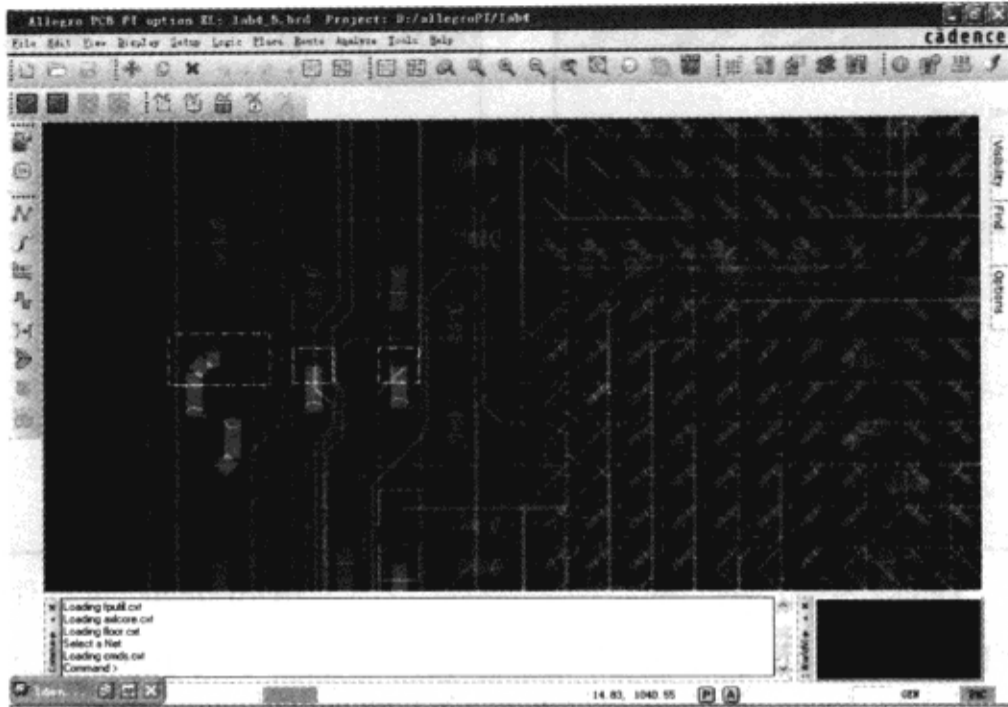


图 10-7-17 连接到网络的元器件

(11) 在“Database Setup Advisor-DC Nets”窗口中单击“Next”按钮，弹出“Database Setup Advisor-Device Setup”窗口，如图 10-7-18 所示。

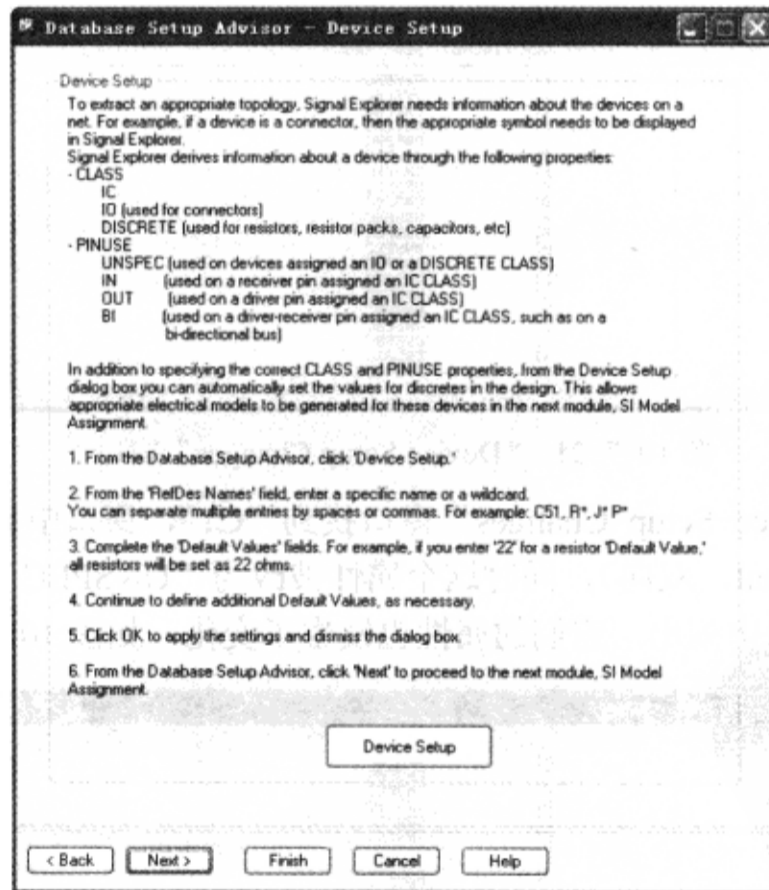


图 10-7-18 “Database Setup Advisor-Device Setup”窗口

#### 4) 元器件设置

(1) 在“Database Setup Advisor-Device Setup”窗口中单击“Device Setup”按钮，弹出“Device Setup”对话框，如图 10-7-19 所示。

(2) 在“Device Setup”对话框中做如图 10-7-20 所示的设置，单击“OK”按钮。

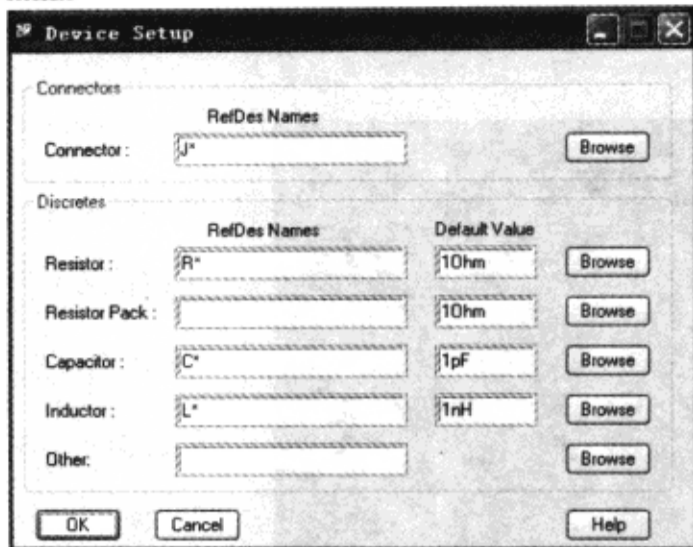


图 10-7-19 “Device Setup”对话框

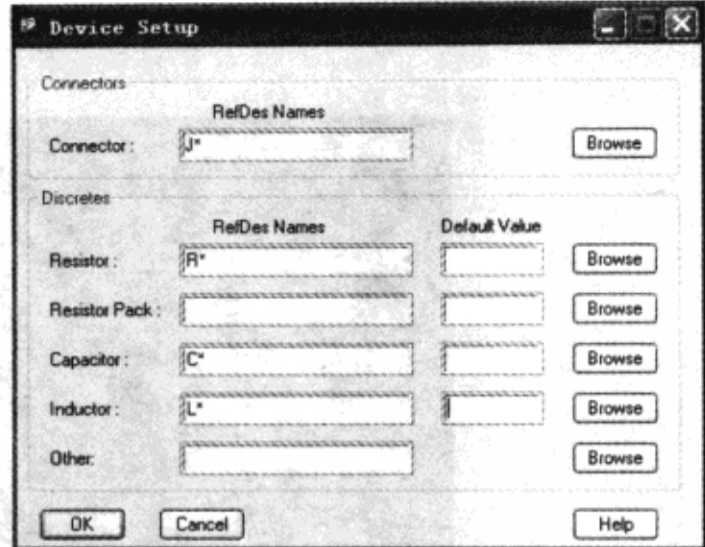


图 10-7-20 元器件设置

此时会弹出“Device Setup Changes”窗口，窗口中显示了对 PINUSE 和 CLASS 特性做出的修改，这一步修正了“Identify DC Nets”窗口中警告信息，如图 10-7-21 所示。窗口提示已经修正了元器件引脚的 PINUSE 特性，在窗口中还可查看元器件的 CLASS 特性，PINUSE 特性的正确分配是基于 CLASS 特性的。

COMPONENT	PIN	OLD PINUSE	NEW PINUSE
R11	2	BI	UNSPEC
R11	1	BI	UNSPEC
R10	2	BI	UNSPEC
R10	1	BI	UNSPEC
R8	2	BI	UNSPEC
R8	1	BI	UNSPEC
R7	2	BI	UNSPEC
R7	1	BI	UNSPEC
R9	2	BI	UNSPEC
R9	1	BI	UNSPEC
R6	2	BI	UNSPEC
R6	1	BI	UNSPEC
R5	2	BI	UNSPEC
R5	1	BI	UNSPEC
R4	2	BI	UNSPEC
R4	1	BI	UNSPEC
R3	2	BI	UNSPEC
R3	1	BI	UNSPEC
R2	2	BI	UNSPEC
R2	1	BI	UNSPEC

图 10-7-21 “Device Setup Changes”窗口

(3) 向下滚动“Device Setup Changes”窗口找到“C1”，窗口中显示器件 C1 的 PINUSE 特性为“BI”（bi-directional，双向），同时这个属性被改为“UNSPEC”（要求所有的分立元器件），C33 和 U1 也在窗口中列出，它们的属性也发生了变化，如图 10-7-22 所示。

COMPONENT	PIN	OLD PINUSE	NEW PINUSE
C8	2	BI	UNSPEC
C8	1	BI	UNSPEC
C7	2	BI	UNSPEC
C7	1	BI	UNSPEC
C6	2	BI	UNSPEC
C6	1	BI	UNSPEC
C5	2	BI	UNSPEC
C5	1	BI	UNSPEC
C4	2	BI	UNSPEC
C4	1	BI	UNSPEC
C3	2	BI	UNSPEC
C3	1	BI	UNSPEC
C2	2	BI	UNSPEC
C2	1	BI	UNSPEC
C1	2	BI	UNSPEC
C1	1	BI	UNSPEC
VR1	6	OUT	GROUND
VR1	1	IN	POWER
VR1	4	OUT	POWER
VR1	2	IN	POWER

NOTE: POWER and GROUND pins have changed - please check net DC voltages

图 10-7-22 器件设置变化窗口

- (4) 关闭“Device Setup Changes”窗口。
- (5) 在“Database Setup Advisor-Device Setup”窗口中单击“Back”按钮。
- (6) 在“Database Setup Advisor-DC Nets”窗口中单击“Identify DC Nets”按钮。
- (7) 在“Identify DC Nets”对话框中选择“1\_8V\_ISLAND”网络并单击“OK”按钮，此时不会再显示警告窗口。
- (8) 在“Database Setup Advisor-DC Nets”窗口中单击“Next”按钮，弹出“Database Setup Advisor-Device Setup”窗口。
- (9) 在“Database Setup Advisor-Device Setup”窗口中单击“Next”按钮，弹出“Database Setup Advisor-SI Models”窗口，如图 10-7-23 所示。

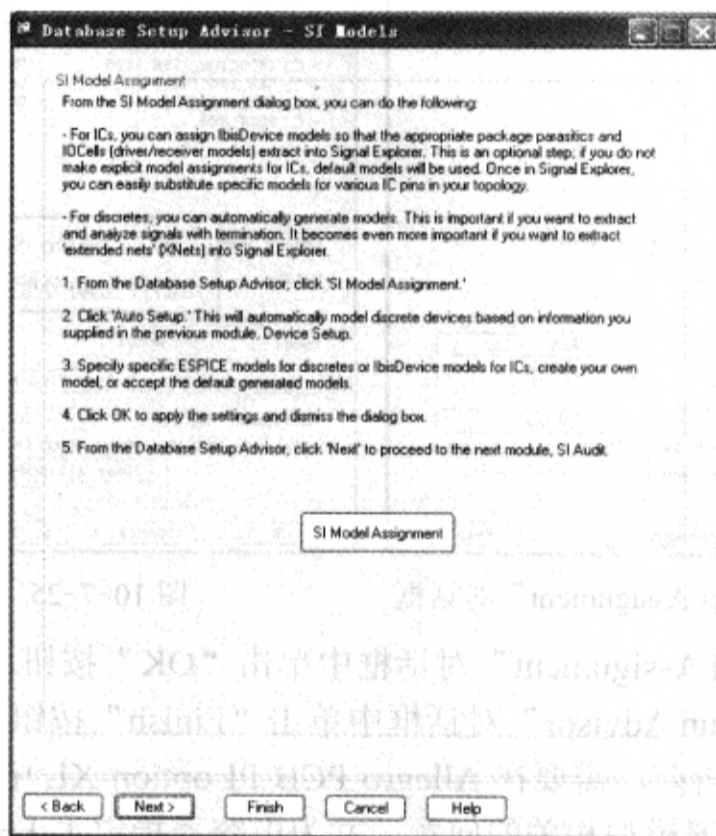


图 10-7-23 “Database Setup Advisor-SI Models”窗口

5) 指定信号模型 “Device Setup”对话框用于确定为 PCB 元器件正确指定了某些特性，需要为分立元器件指定 DISCRETE 的 CLASS 特性和 VALUE 特性。可以手动为分立元器件手工创建信号模型，但这是相当费时的。Allegro PCB PI option XL 使用 CLASS 和 VALUE 特性为所有的双引脚分立元器件（电阻、电容和电感）自动创建和指定 Espice 信号模型，Allegro PCB PI option XL 同时会保存在工作库文件中创建的信号模型。

(1) 在“Database Setup Advisor-SI Models”窗口中单击“SI Model Assignment”按钮，弹出“Signal Model Assignment”对话框，如图 10-7-24 所示。



注意

Device Type 所列出的元器件是根据 Allegro 器件名称排列的，这些元器件在列表框中以目录的形式存在，每个目录包含了以索引编号排列的元器件。



此时在“Signal Model Assignment”对话框中还没有指定任何信号模型，如果指定了模型，就会在“Signal Model”一栏下列出来，同时会在右边的一栏中列出元器件库的名称。

使用“Auto setup”按钮创建的模型会写入在“DML Library Management”对话框中所设置的工作库。如果想要写在其他的地方，必须在单击“Auto Setup”按钮前改变所指定的工作库。

(2) 在“Signal Model Assignment”对话框中单击“Auto Setup”按钮，这些模型被写入了当前的工作库 lab4.dml 中，如图 10-7-25 所示。

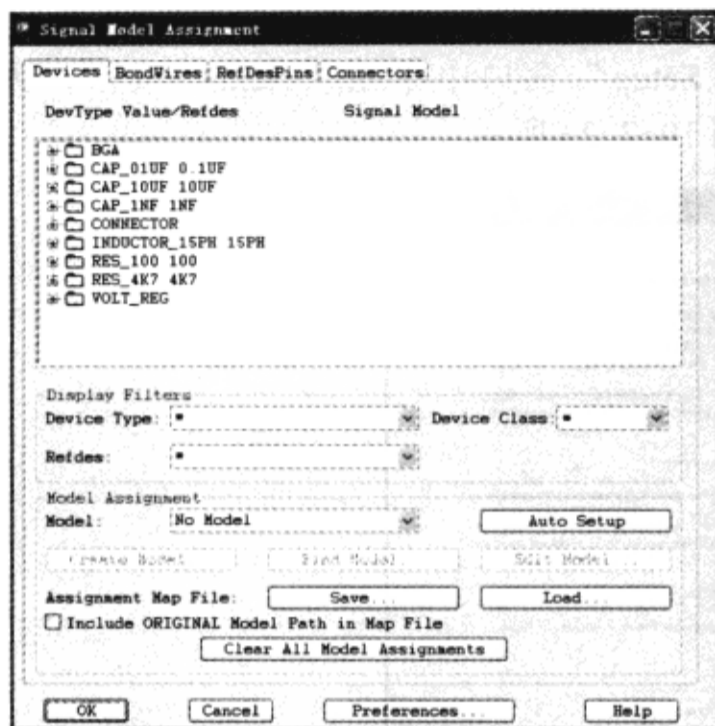


图 10-7-24 “Signal Model Assignment”对话框



图 10-7-25 自动分配模型

(3) 在“Signal Model Assignment”对话框中单击“OK”按钮。

(4) 在“Database Setup Advisor”对话框中单击“Finish”按钮。

在进行电源完整性分析前，需要在 Allegro PCB PI option XL 中运行一次 Database Setup Advisor，用于修改与电容器模型相关的问题，并为电容器指定了 ESPICE 模型，为接下来的电源完整性分析做好准备。

#### 4. 设置 PCB

1) 启动电源完整性设置向导 当打开 Allegro PCB PI option XL 电源完整性工具时，会在窗口中列出 PCB 的电容器。此时还没有为电源完整性分析指定任何有用的电容器，它们仅是被列出而已。

(1) 在 Allegro PCB PI option XL 窗口中执行菜单命令“Analyze”→“Power Integrity”。

(2) 在 Allegro PCB PI option XL 警告窗口单击“OK”按钮，如图 10-7-26 所示。

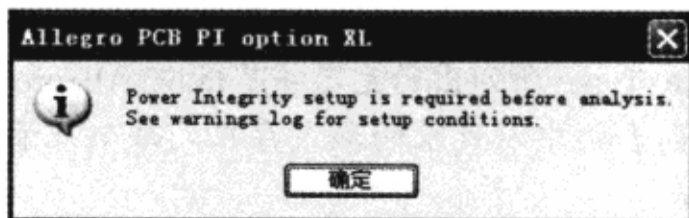


图 10-7-26 警告窗口

(3) 关闭“Signoise Errors/Warnings log”窗口。

(4) 在“Power Integrity Setup Wizard-Introduction”窗口中单击“Next”按钮，弹出“Power Integrity Setup Wizard-Board Outline”对话框，如图 10-7-27 所示。

2) PCB 边框 因为所打开的 PCB 文件已经完成了对 PCB 边框的设置，所以不需要修改。在“Power Integrity Setup Wizard-Introduction”窗口中单击“Next”按钮，弹出“Power Integrity Setup Wizard-Stack-up”对话框，如图 10-7-28 所示。

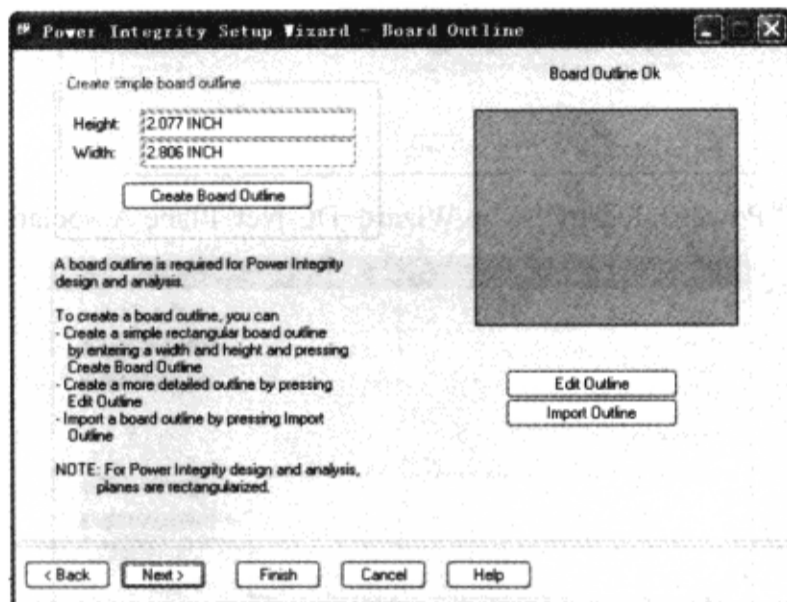


图 10-7-27 “Power Integrity Setup Wizard-Board Outline”对话框

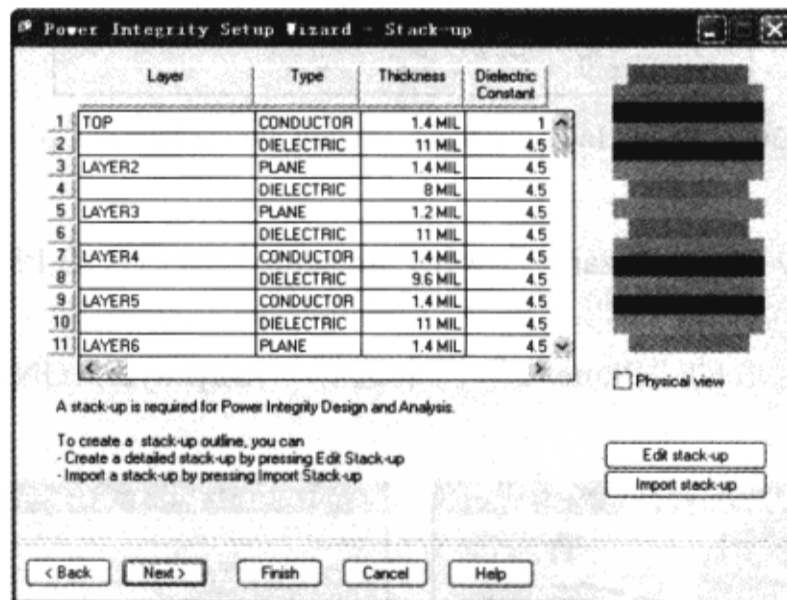


图 10-7-28 “Power Integrity Setup Wizard-Stack-up”对话框

3) 叠层结构 因为所打开的 PCB 文件已经完成了对 PCB 叠层结构的设置，因此不需要做出修改。在“Power Integrity Setup Wizard-Stack-up”对话框中单击“Next”按钮，弹出“Power Integrity Setup Wizard-DC Net - Plane Association”对话框，如图 10-7-29 所示。

4) 关联直流网络和平面 因为所打开的 PCB 文件已经完成了直流网络和平面的相关联，所以这里不需要做出修改。在“Power Integrity Setup Wizard-DC Net-Plane Association”对话框中单击“Next”按钮，弹出“Power Integrity Setup Wizard-Power Pair Setup”对话框，如图 10-7-30 所示。

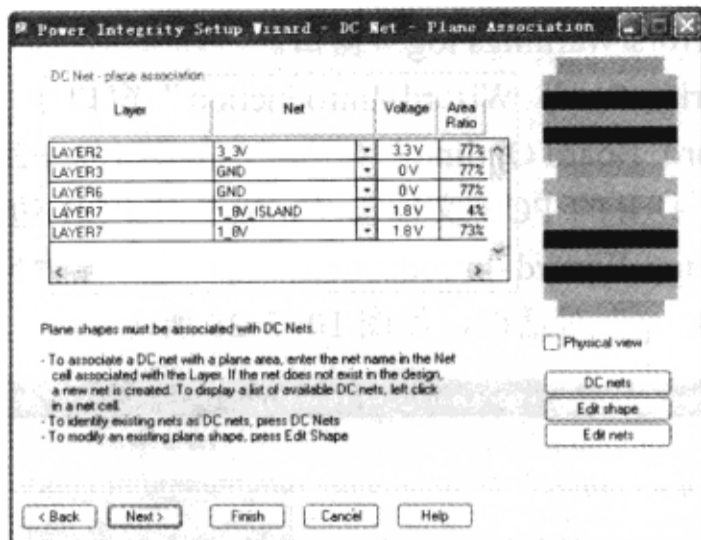


图 10-7-29 “Power Integrity Setup Wizard-DC Net-Plane Association” 对话框

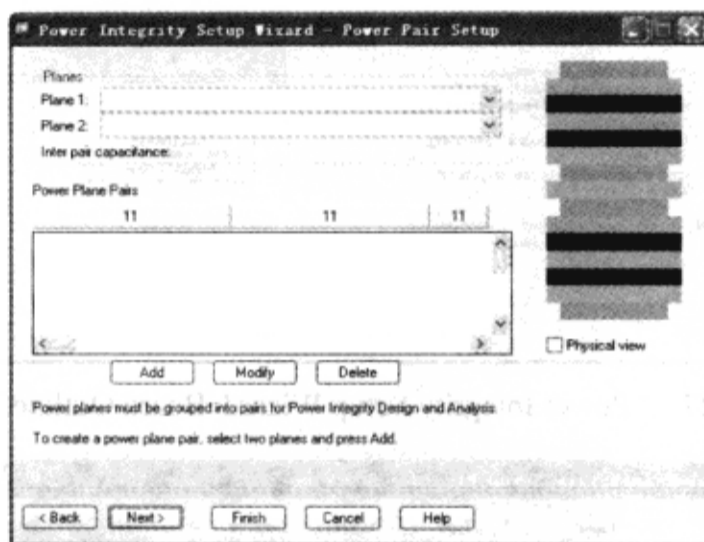


图 10-7-30 “Power Integrity Setup Wizard-Power Pair Setup” 对话框

### 5) 电源平面对设置

(1) “Power Integrity Setup Wizard-Power Pair Setup” 对话框的 Planes 区域的 “Plane 1” 栏中选择 “[S1]Layer2(3\_3V)-3.3V” 电压平面，如图 10-7-31 所示。

(2) 在 “Planes” 区域的 “Plane 2” 栏中选择 “[S2]Layer3(GND)-0V” 电压平面，如图 10-7-32 所示。

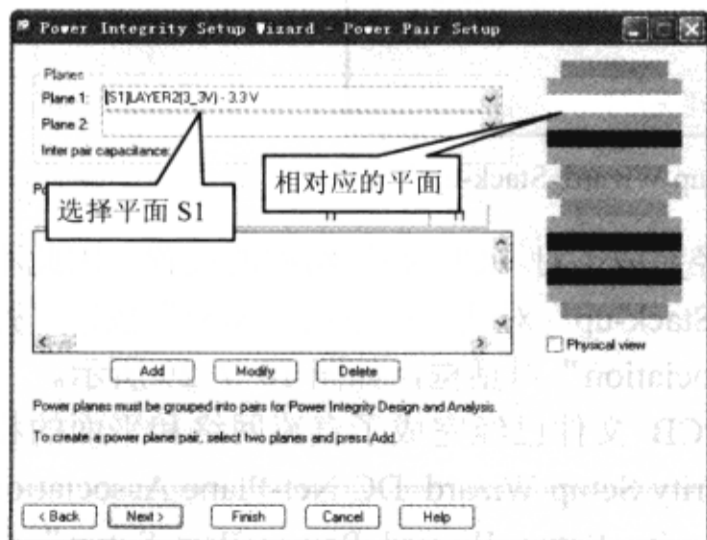


图 10-7-31 为平面对选择平面 (1)

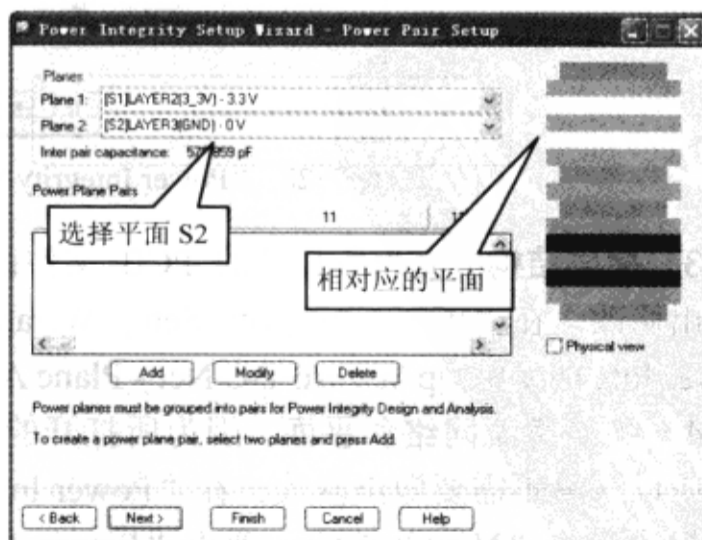


图 10-7-32 为平面对选择平面 (2)

(3) 单击“Add”按钮指定平面对，如图 10-7-33 所示。

(4) 在“Planes”区域的“Plane 1”栏中选择“[S4]Layer7(1\_8V\_Island) - 1.8V”电压平面，如图 10-7-34 所示。

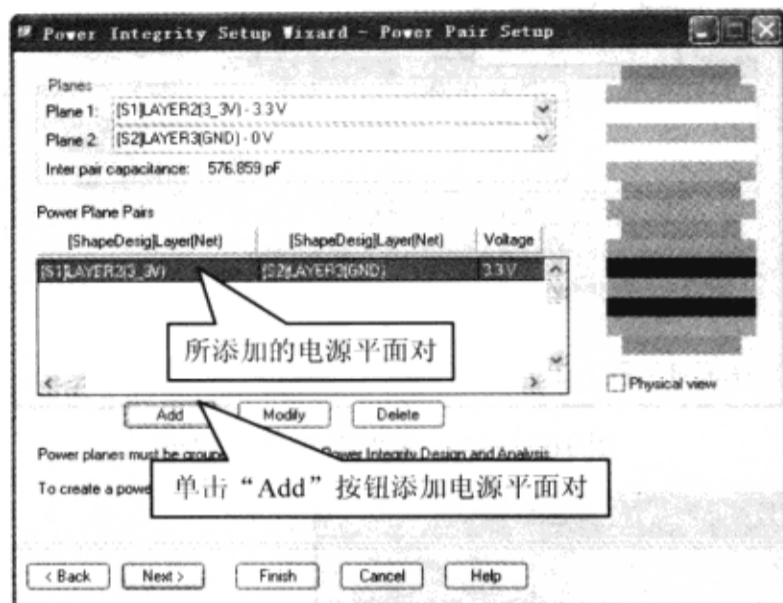


图 10-7-33 添加平面对

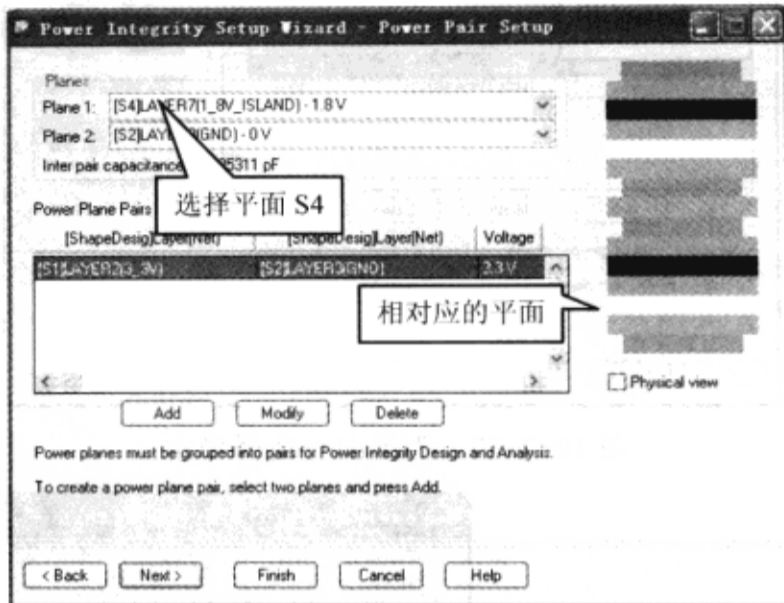


图 10-7-34 为平面对选择平面

(5) 在“Planes”区域的“Plane 2”栏中选择“[S3]Layer6(GND)-0V”电压平面，如图 10-7-35 所示。

(6) 单击“Add”按钮添加平面对，如图 10-7-36 所示。

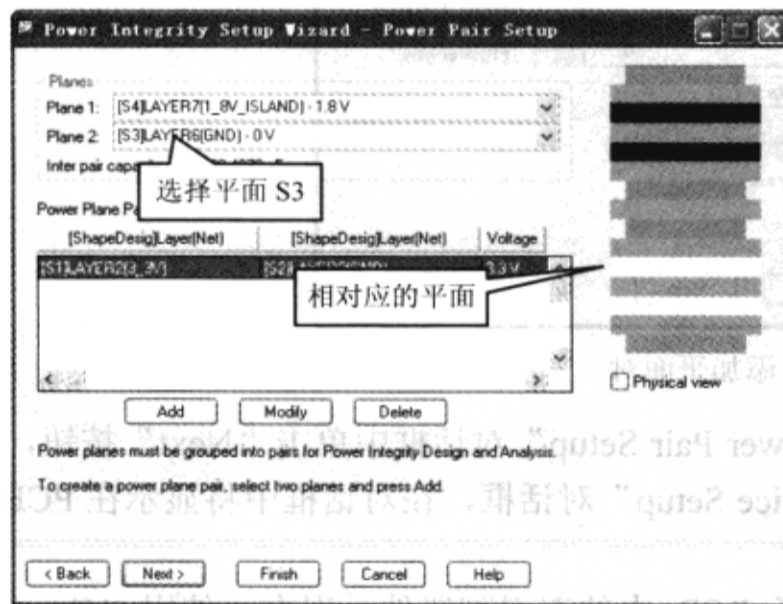


图 10-7-35 为平面对选择平面

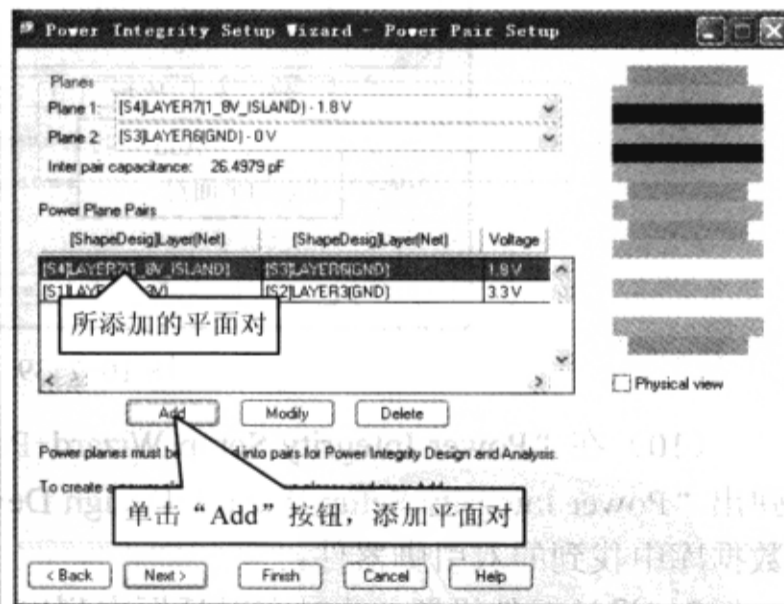


图 10-7-36 添加平面对

(7) 在“Planes”区域的“Plane 1”栏中选择电压平面“[S5]Layer7(1\_8V)-1.8V”，如图 10-7-37 所示。

(8) 在“Planes”区域的“Plane 2”栏中选择电压平面“[S3]Layer6(GND)-0V”，如图 10-7-38 所示。

(9) 单击“Add”按钮添加平面对，如图 10-7-39 所示。

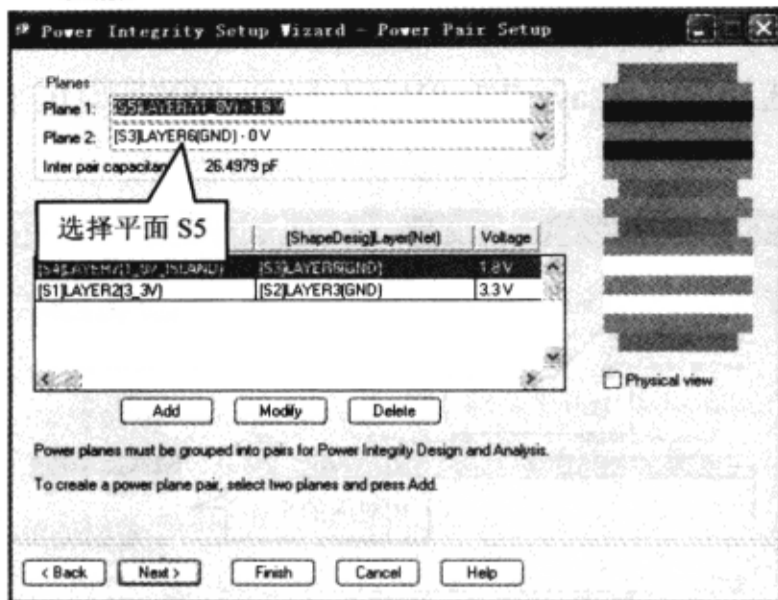


图 10-7-37 为平面对选择平面

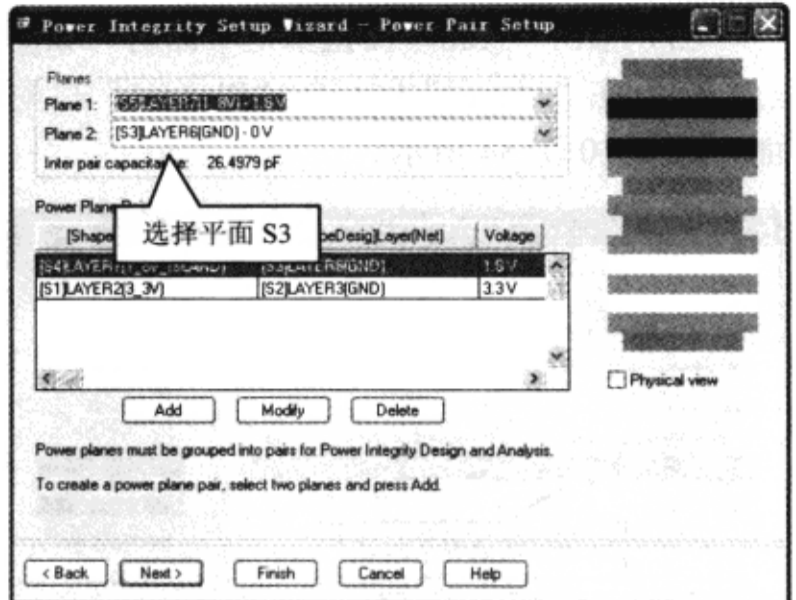


图 10-7-38 为平面对选择平面

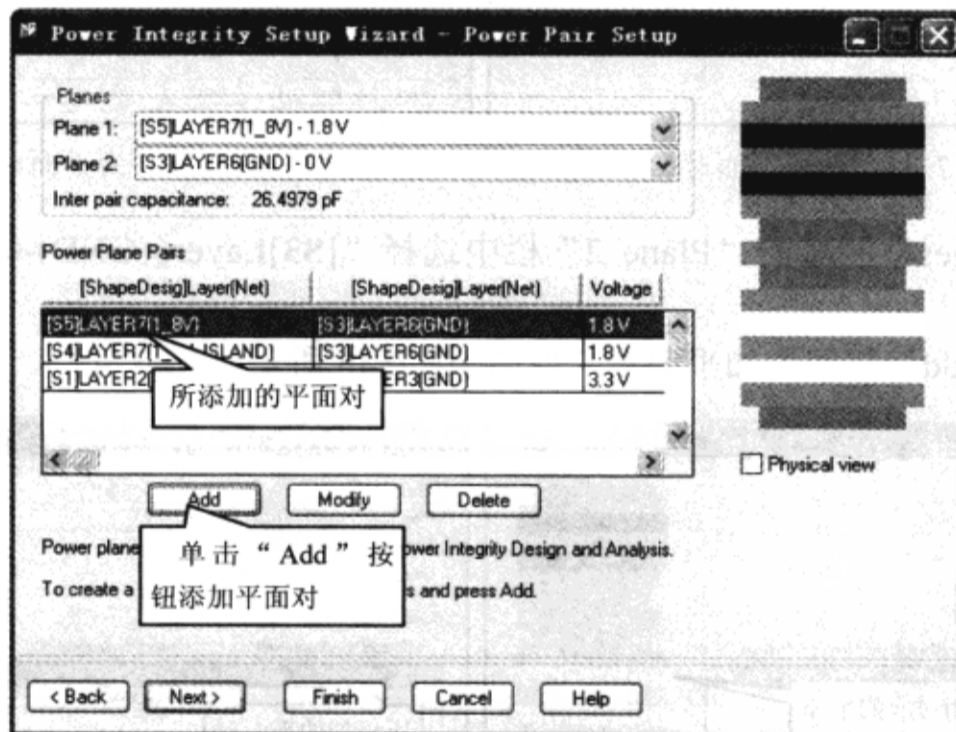


图 10-7-39 添加平面对

(10) 在“Power Integrity Setup Wizard-Power Pair Setup”对话框中单击“Next”按钮，弹出“Power Integrity Setup Wizard-Design Device Setup”对话框，在对话框中将显示在 PCB 数据库中找到双引脚器件。

6) 设计器件设置 此时在对话框中列出了 PCB 中的双引脚器件，现在已使用 Allegro PCB PI option XL 的 Database Setup Advisor 确保所有要求的特性已被正确地赋予了分立元器件，这些特性包括特性值为 DISCRETE 的 CLASS 特性，以及特性值为 UNSPEC 的 PINUSE 特性，这些特性值都赋予了分立元器件。在对话框中会列出正确指定特性的元器件。

(1) 单击 CAP\_01UF、CAP\_1NF 和 CAP\_10UF 旁边“Select Status”一栏下复选框，选中这 3 个元器件，在电源完整性分析中并不会用到剩下的 3 个元器件，如图 10-7-40 所示。



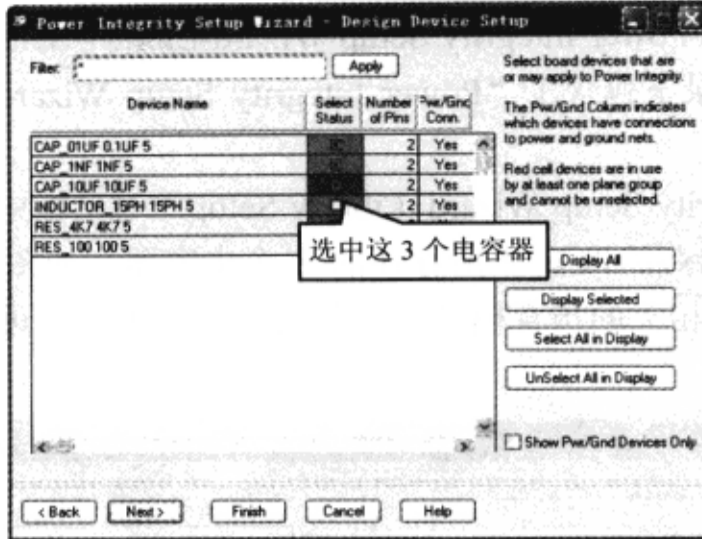


图 10-7-40 “Power Integrity Setup Wizard-Design Device Setup” 对话框

(2) 在“Power Integrity Setup Wizard-Design Device Setup”对话框中单击“Next”按钮弹出“Power Integrity Setup Wizard-Library Format”窗口，如图 10-7-41 所示。

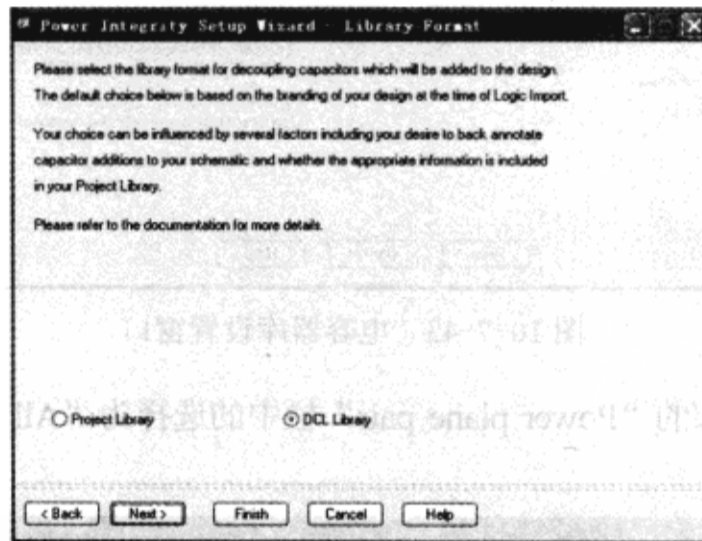


图 10-7-41 “Power Integrity Setup Wizard-Library Format” 窗口

(3) 在“Power Integrity Setup Wizard-Library Format”窗口中单击“Next”按钮弹出“Power Integrity Setup Wizard-Library Setup”对话框，如图 10-7-42 所示。

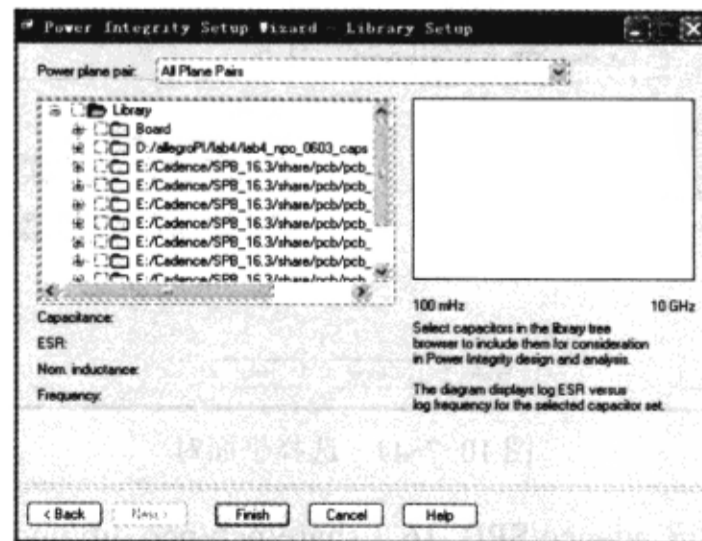


图 10-7-42 “Power Integrity Setup Wizard-Library Setup” 对话框

7) 选择电容器 在“Power Integrity Setup Wizard-Library Setup”对话框中显示了 Board 和其他电容库，Board 目录下包含了“Power Integrity Setup Wizard-Design Device Setup”对话框中检查的元器件。

(1) 在“Power Integrity Setup Wizard-Library Setup”对话框中单击 Board 目录旁边的拓展符号，就会列出这个目录中 PCB 上所存在的 3 个电容器，如图 10-7-43 所示。此时，这些电容器还没有包含于其相关的仿真模型，因此还不能使用它们进行仿真，接下来将处理这个问题。

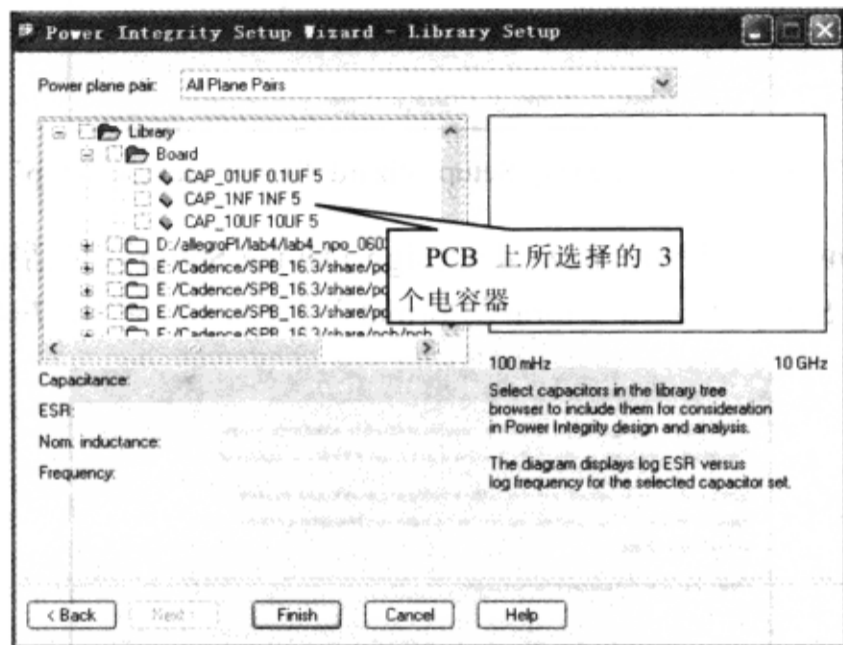


图 10-7-43 电容器库设置窗口

(2) 确定在对话框顶部的“Power plane pair”栏中的选择为“All Plane Pairs”，如图 10-7-44 所示。

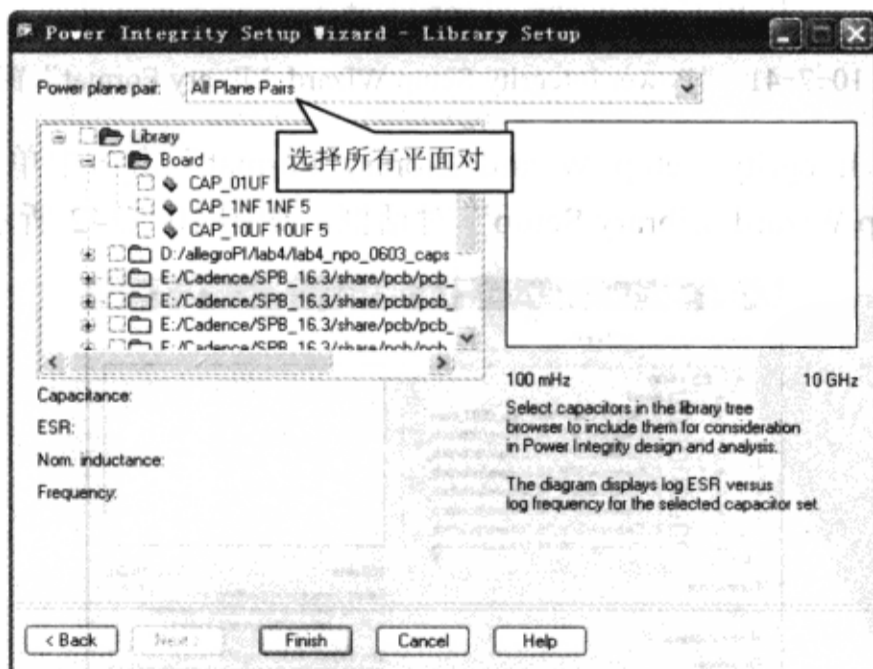


图 10-7-44 选择平面对

(3) 单击电容器库 E:/Cadence/SPB\_16.3/share/pcb/pcb\_lib/npo\_0603\_caps 旁边的拓展符号，显示这个库中所有的电容器，如图 10-7-45 所示。

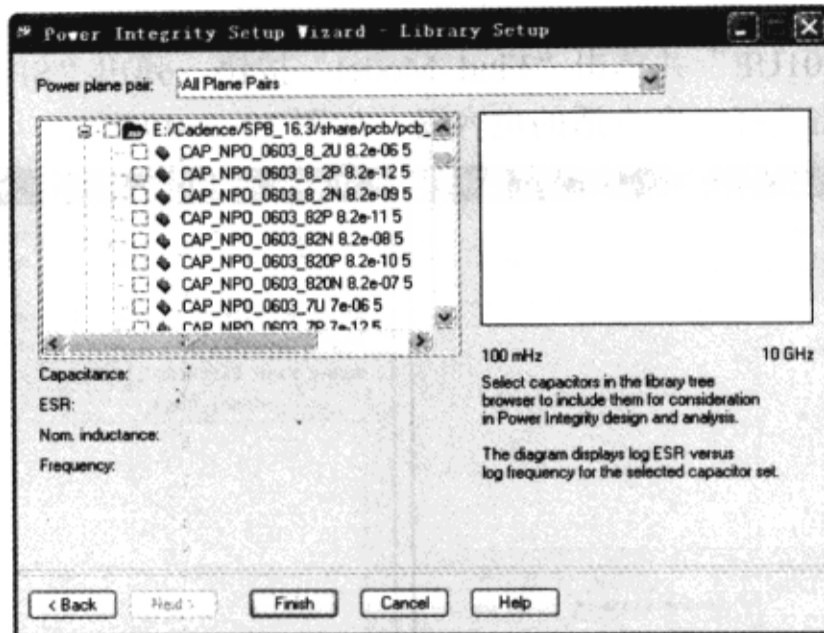


图 10-7-45 目录下的电容器

(4) 向下滚动电容器列表，单击 CAP\_NPO\_0603\_100N 旁边的复选框选中这个电容器，如图 10-7-46 所示。现在已经选择了这个电容器，并把它指定给了所有的平面层，这样做的目的仅是为了完成电源完整性设置向导，这一步是临时的，不久将取消对这个电容器的选择。

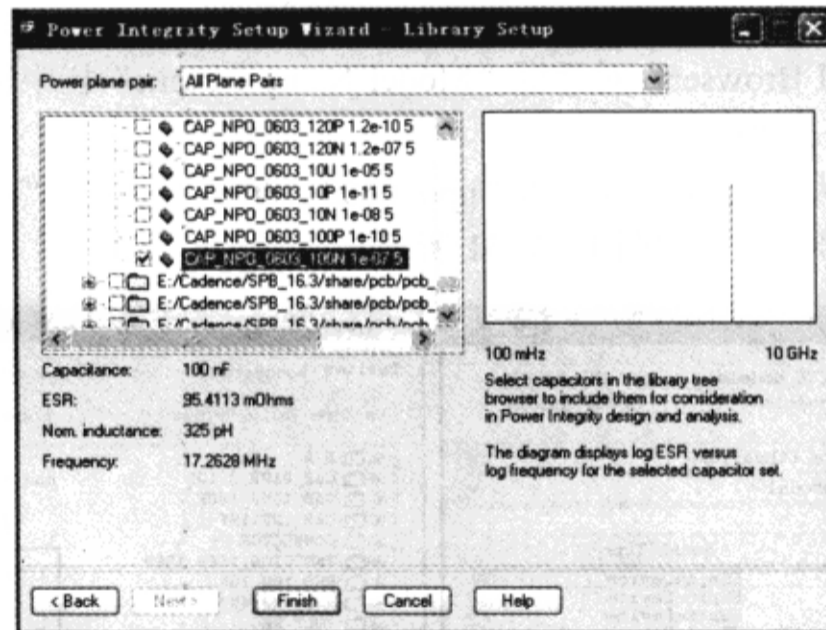


图 10-7-46 选择电容器

(5) 在“Power Integrity Setup Wizard-Library Setup”对话框中单击“Finish”按钮。

(6) 在“Power Integrity & Design Analysis”对话框中单击“OK”按钮。

## 5. 为电容器分配模型

1) 指定默认模型 接下来将为 PCB 上的电容器选择并指定电源完整性工具中默认的电容器模型。

(1) 单击 Allegro PCB PI option XL 窗口中的“Signal Model”按钮，弹出“Signal Model Assignment”对话框，如图 10-7-47 和图 10-7-48 所示。

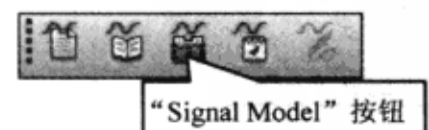


图 10-7-47 信号模型图标

(2) 选择“CAP\_01UF”并单击“Find Model”按钮，弹出“SI Model Browser”对话框，在这个对话框中将选择一个合适的电容器，如图 10-7-49 所示。

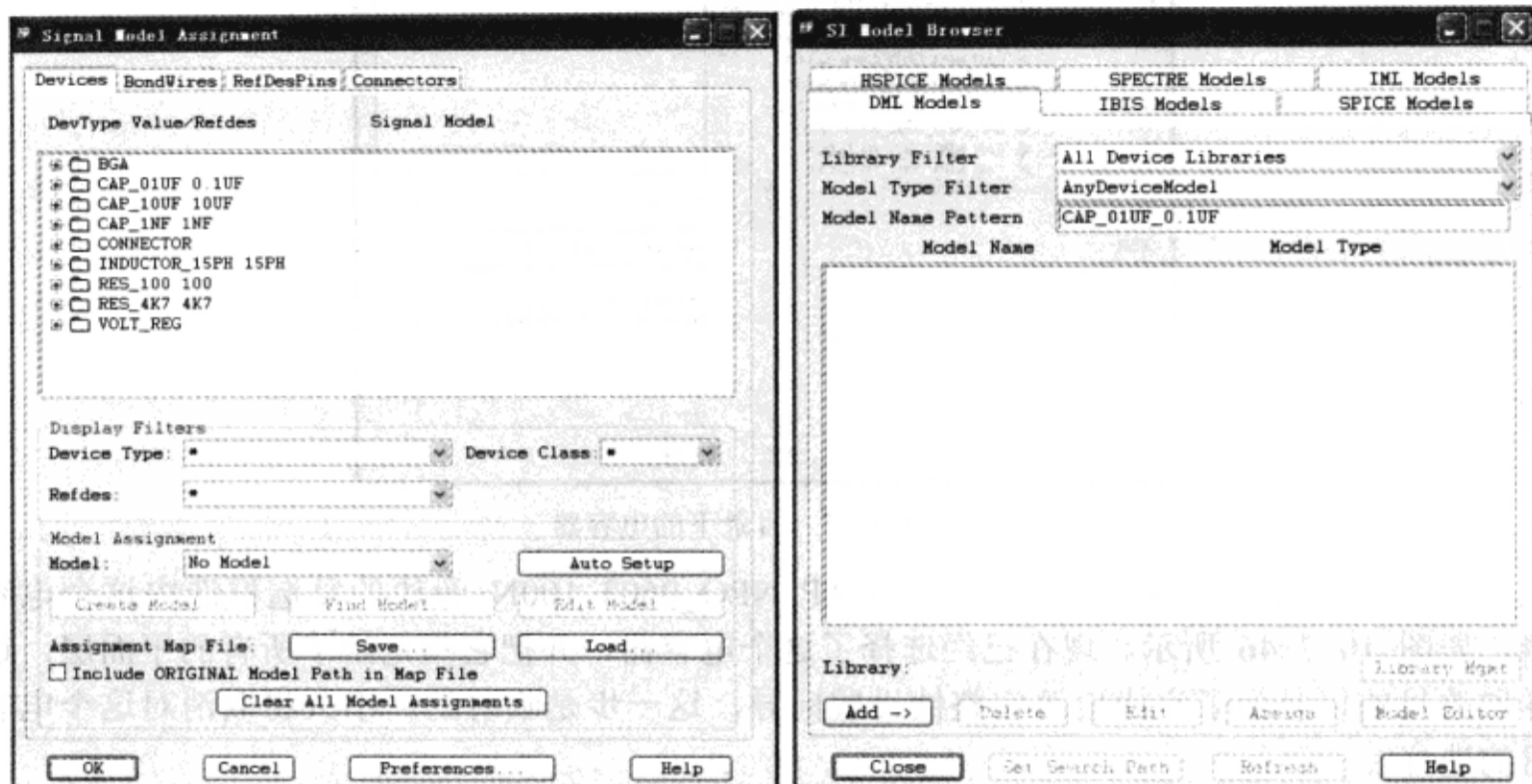


图 10-7-48 “Signal Model Assignment”对话框

图 10-7-49 “SI Model Browser”对话框

(3) 在“SI Model Browser”对话框“Model Name Pattern”栏中输入“npo\_0603\*”，按“Tab”键，如图 10-7-50 所示。

(4) 在对话框中为这个电容器选择“npo\_0603\_100n”并单击“Assign”按钮，就改变了电容器所指定的信号模型，如图 10-7-51 所示。

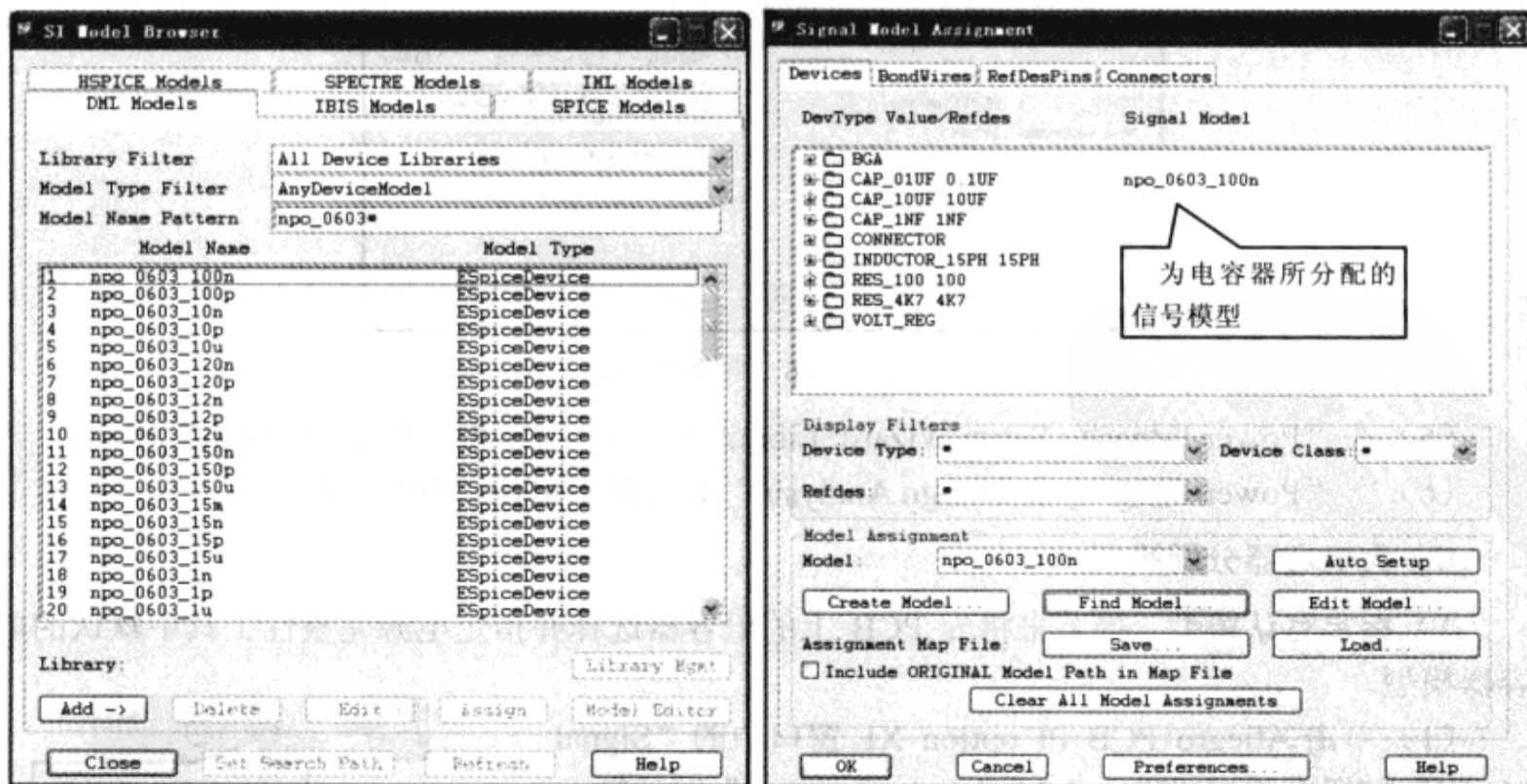


图 10-7-50 选择电容器模型

图 10-7-51 为电容器分配模型



(5) 在“Signal Model Assignment”对话框中选择 CAP\_10UF 10UF 电容器并单击“Find Model”按钮，弹出“SI Model Browser”对话框，在这个对话框中将选择一个合适的电容器，如图 10-7-52 所示。

(6) 在“SI Model Browser”对话框中“Model Name Pattern”栏中输入“\*1210\*”并按“Tab”键，如图 10-7-53 所示。



图 10-7-52 “SI Model Browser”对话框



图 10-7-53 选择电容器模型

(7) 为这个电容器选择“x5r\_1210\_10U”并单击“Assign”按钮，如图 10-7-54 所示。

(8) 在“Signal Model Assignment”对话框中选择 CAP\_1NF 1NF 电容器并单击“Find Model”按钮，将在这个对话框中选择一个合适的电容器，如图 10-7-55 所示。



图 10-7-54 为电容器分配模型



图 10-7-55 “SI Model Browser”对话框



(9) 在“SI Model Browser”对话框中“Model Name Pattern”栏中输入“npo\_0603\*”并按“Tab”键,如图 10-7-56 所示。

(10) 在对话框中为这个电容器选择“npo\_0603\_1n”并单击“Assign”按钮,这个电容器所指定的信号模型就发生了变化,如图 10-7-57 所示。

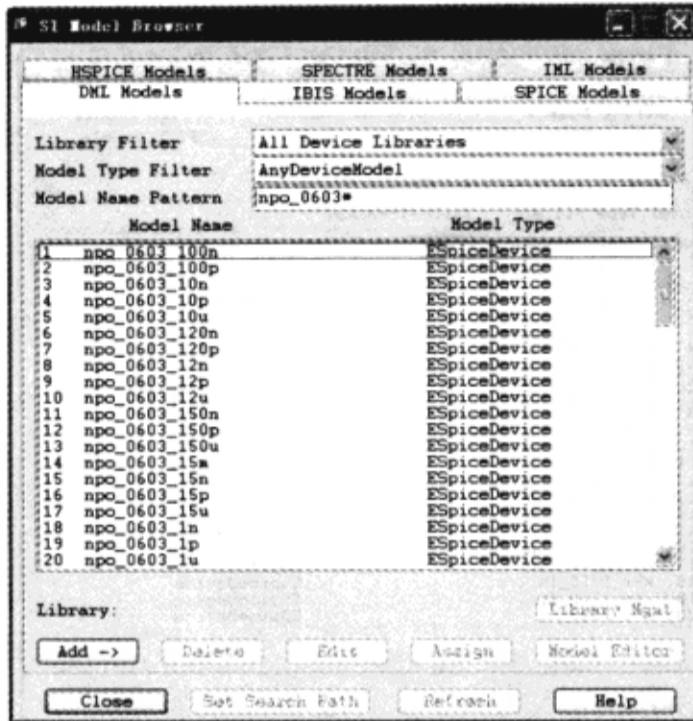


图 10-7-56 选择电容器模型



图 10-7-57 为电容器分配模型

(11) 在“SI Model Browser”对话框中单击“Close”按钮,在“Signal Model Assignment”对话框中单击“OK”按钮,弹出“Signal Model Assignment Changes”窗口,如图 10-7-58 所示。

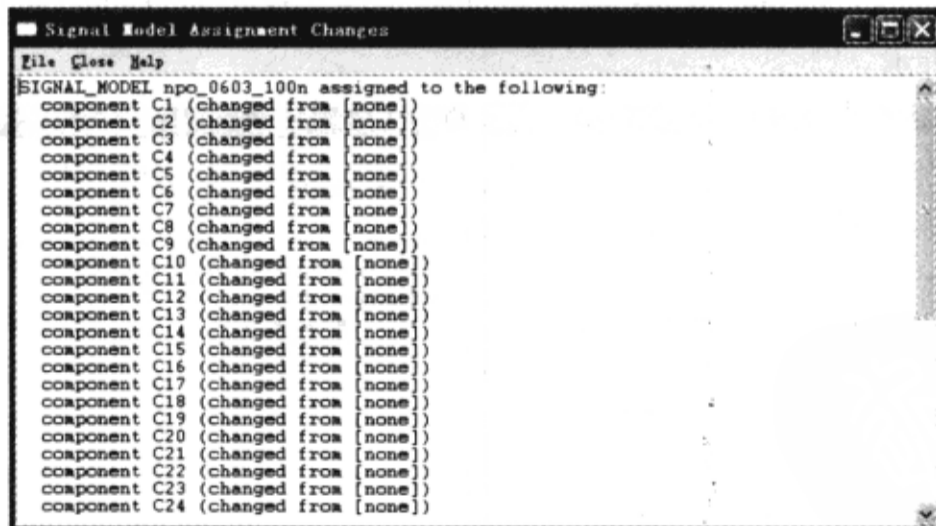


图 10-7-58 “Signal Model Assignment Changes”窗口

(12) 关闭“Signal Model Assignment Changes”窗口。经过上述操作,使得原先简单的 All egro PCB SI 模型变为更加精确的 Allegro PCB PI 电容器模型,这些变化被写入了 PCB 的 DML 文件。

## 2) 选择电容器

(1) 在 Allegro PCB PI option XL 窗口中执行菜单命令“Analyze”→“Power Integrity”,

弹出“Power Integrity Design & Analysis”对话框，如图 10-7-59 所示。

(2) 在对话框中选择“Cap Libraries”，如图 10-7-60 所示。

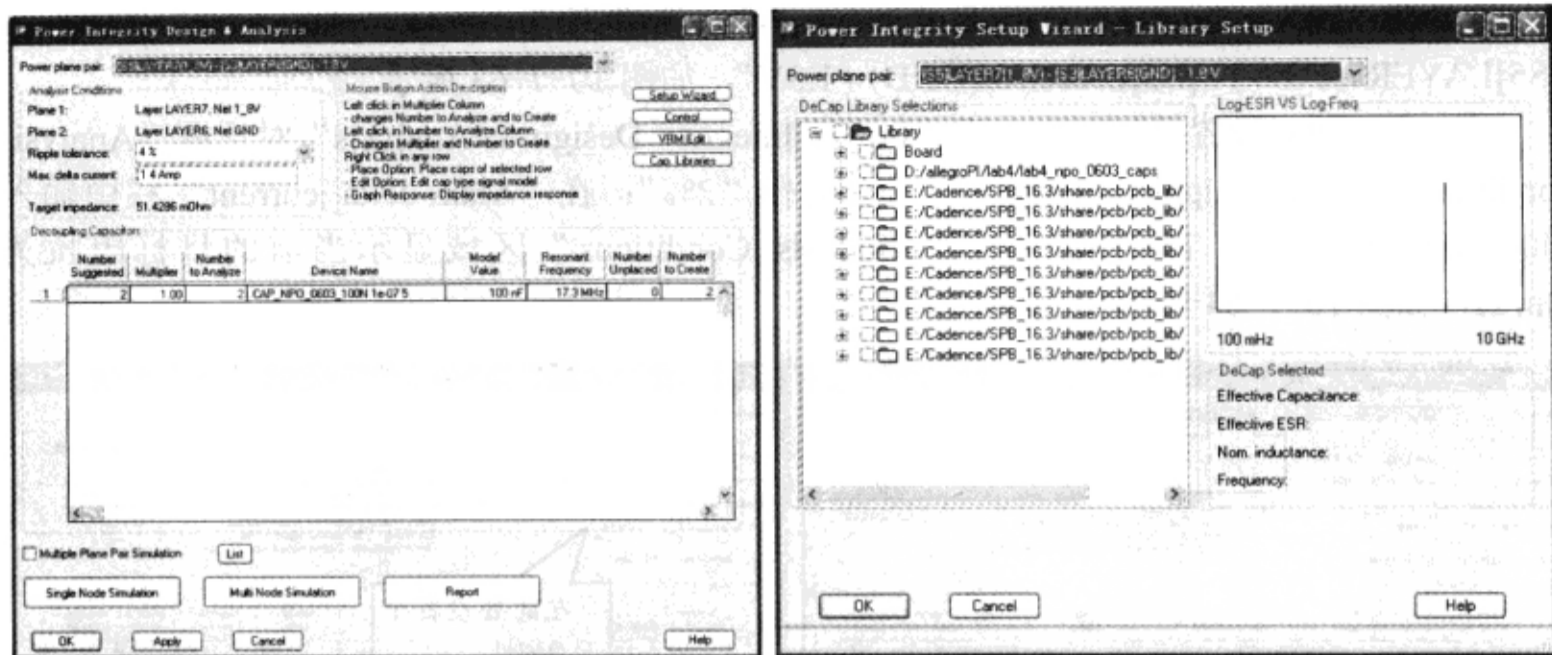


图 10-7-59 “Power Integrity Design & Analysis”对话框

图 10-7-60 电容器库设置窗口

(3) 在对话框顶部“Power plane pair”栏中选择“All Plane Pairs”，如图 10-7-61 所示。

(4) 在电容器库 E:/Cadence/SPB\_16.3/share/pcb/pcb\_lib/np0\_0603\_caps 上单击鼠标右键，在弹出的菜单中选择“Uncheck All Subitems”，取消选择所有平面对 CAP\_NPO\_0603\_100N 电容器的临时分配，这样做的目的仅是为了完成电源完整性向导。

(5) 在电容器库 Board 上单击鼠标右键，从弹出的菜单中选择“Check All Subitems”，然后在对话框中单击“OK”按钮，弹出“Power Integrity Design & Analysis”对话框，如图 10-7-62 所示。现在选择了 PCB 上所有的电容器，并把它们指定给了所有的平面层，这样做的原因是不知某个电容器该连接到哪个平面对。当进行多节点分析时，仿真器只会仿真那些与所选择平面对相连接的电容器。

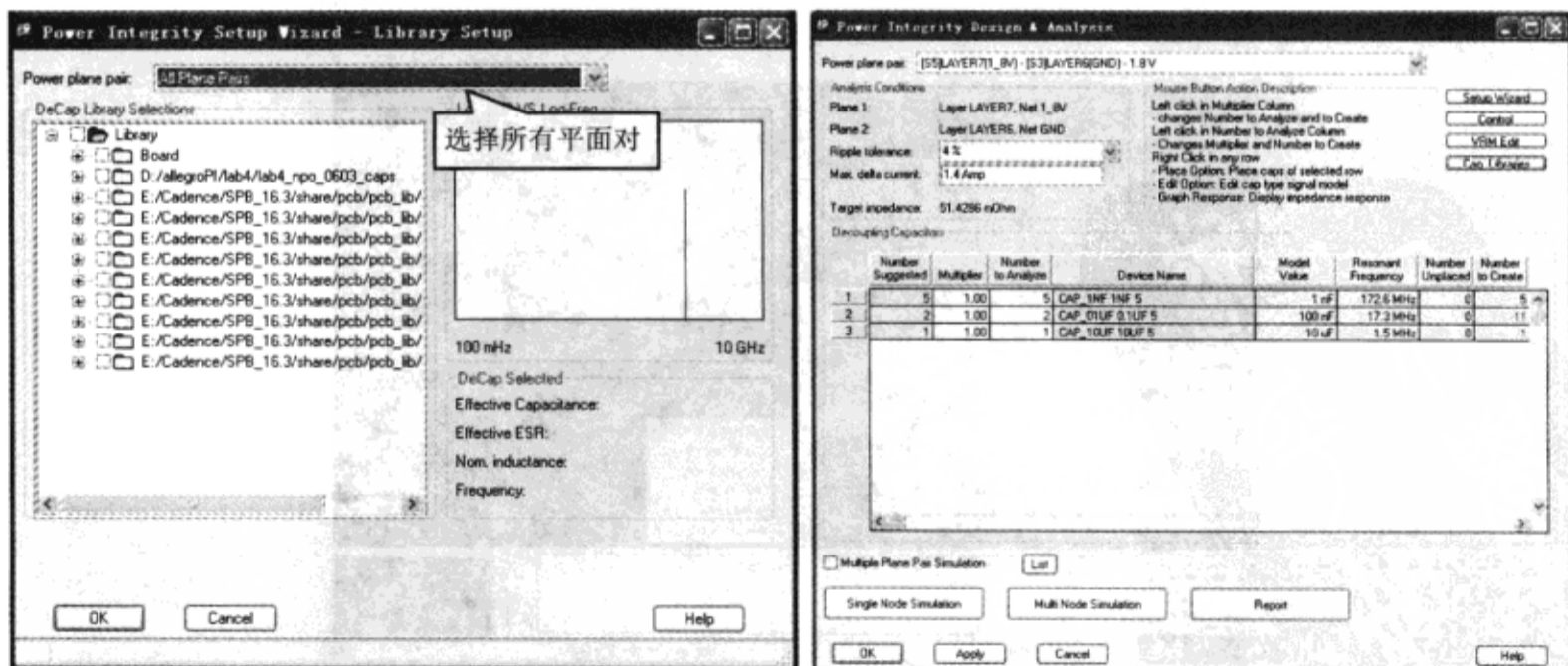


图 10-7-61 选择所有平面对

图 10-7-62 “Power Integrity Design & Analysis”对话框

## 6. 目标阻抗、电压调节模块和噪声源

### 1) 1.8V 平面对

(1) 在“Power Integrity Design & Analysis”对话框顶部“Power plane pair”栏中选择“[S5]LAYER7(1\_8V) - [S3]LAYER6(GND) - 1.8V”，如图 10-7-63 所示。

(2) 为平面对设置目标阻抗：在“Power Integrity Design & Analysis”对话框“Analysis Conditions”区域“Ripple tolerance”栏中选择“2%”；在“Max delta current”栏中输入“400 mA”，按“Tab”键，在“Analysis Conditions”区域显示当前的目标阻抗为 90mΩ，如图 10-7-64 所示。



图 10-7-63 选择平面对

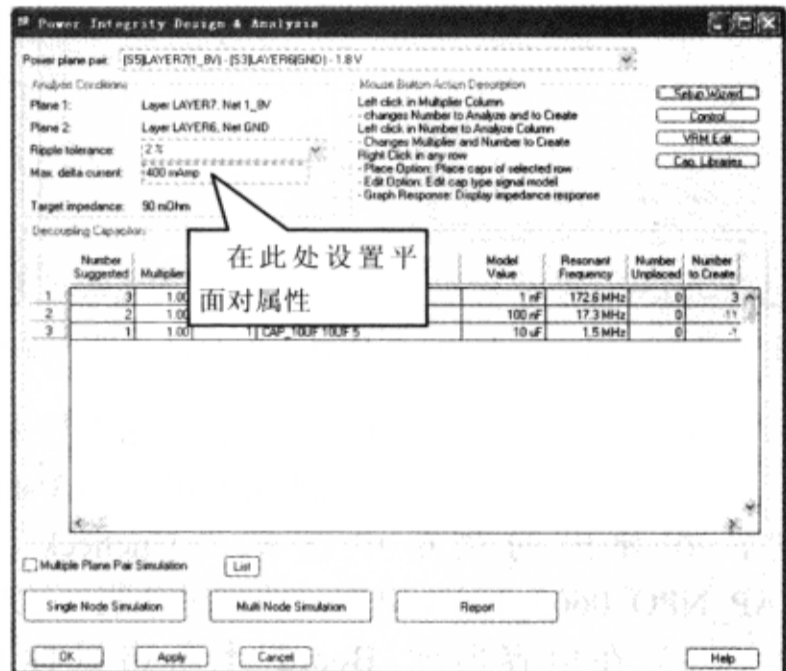


图 10-7-64 设置平面对属性

(3) 在 Allegro PCB PI option XL 窗口中单击鼠标右键，在弹出的菜单中选择“Add VRM”，如图 10-7-65 所示。

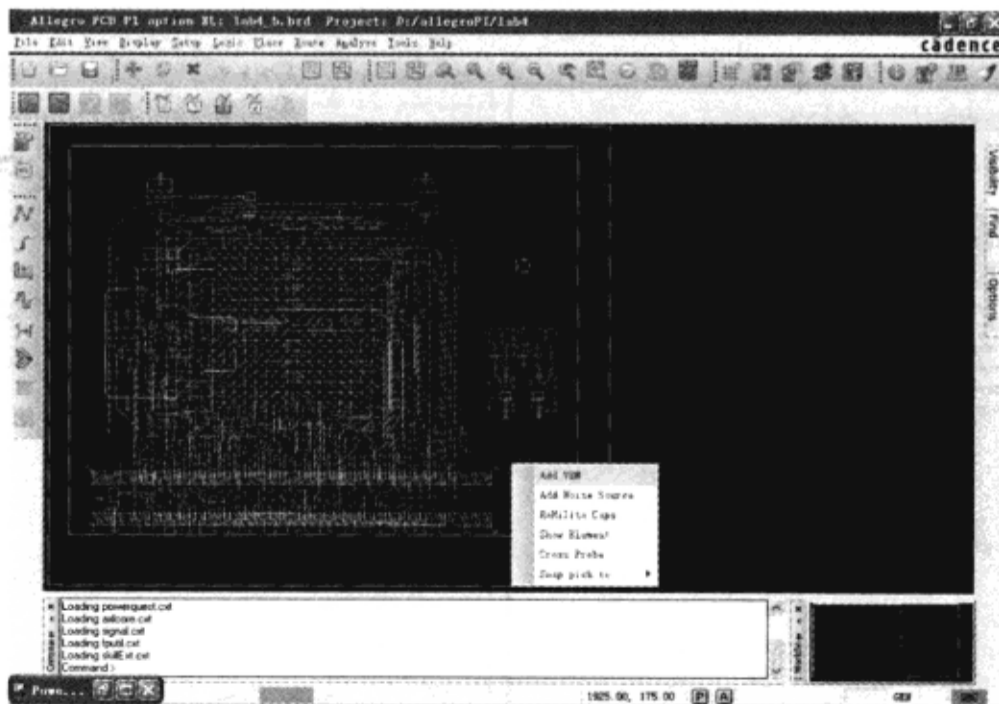


图 10-7-65 添加电压调节模块

(4) 拖动电压调节模块图标到 PCB 右边的电压调节器旁边，单击鼠标左键摆放这个电压调节模块，如图 10-7-66 所示。

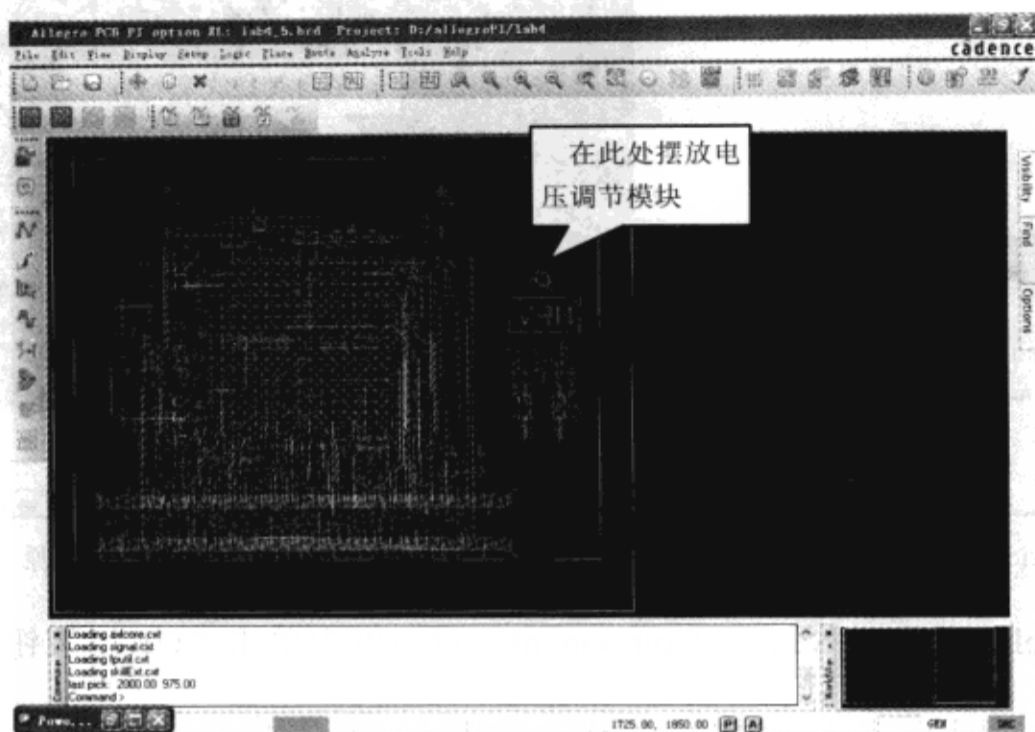


图 10-7-66 摆放电压调节模块

(5) 在 Allegro PCB PI option XL 窗口中单击鼠标右键，在弹出的菜单中选择“Add Noise Source”，如图 10-7-67 所示。

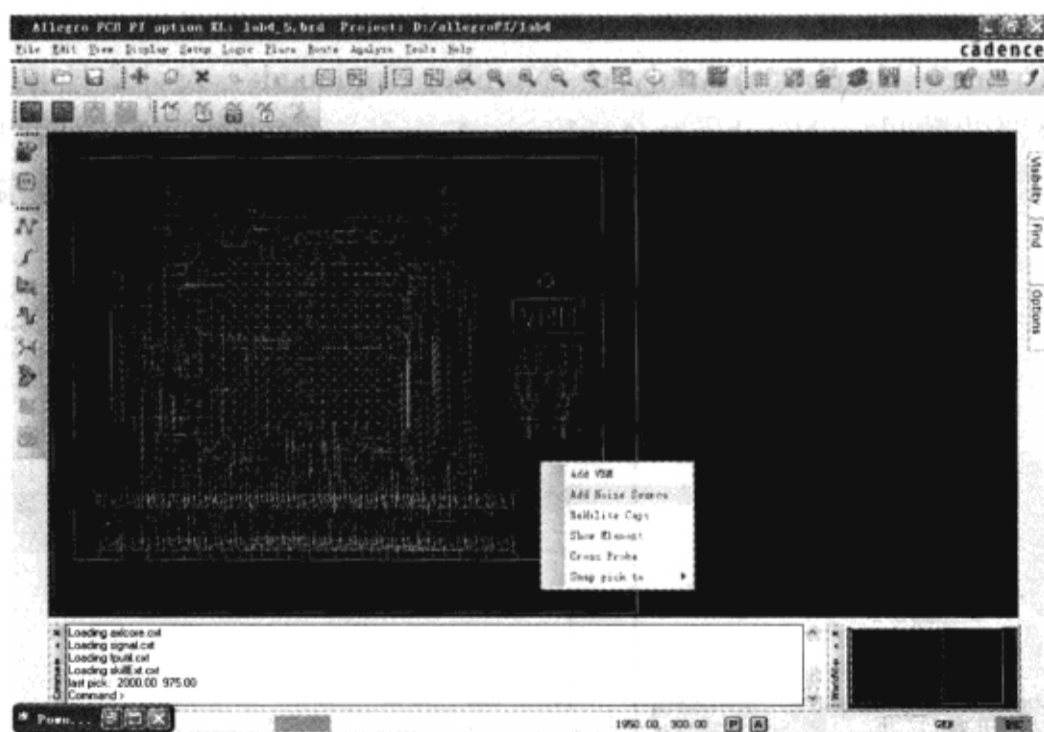


图 10-7-67 添加噪声源

(6) 如图 10-7-68 所示，在“Add Noise Source”对话框“Delta current”栏中输入“400 mA”→单击“OK”按钮，噪声源图标就会附着在光标上。

(7) 拖动噪声源图标到元器件的中心处，单击鼠标左键摆放噪声源，如图 10-7-69 所示。

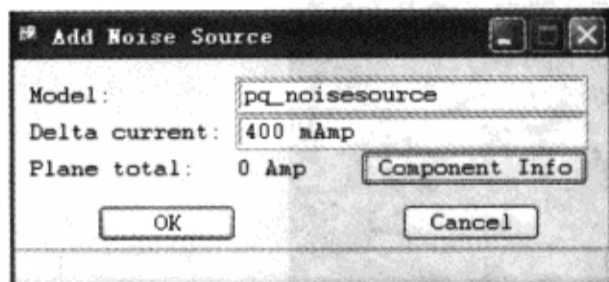


图 10-7-68 “Add Noise Source”对话框

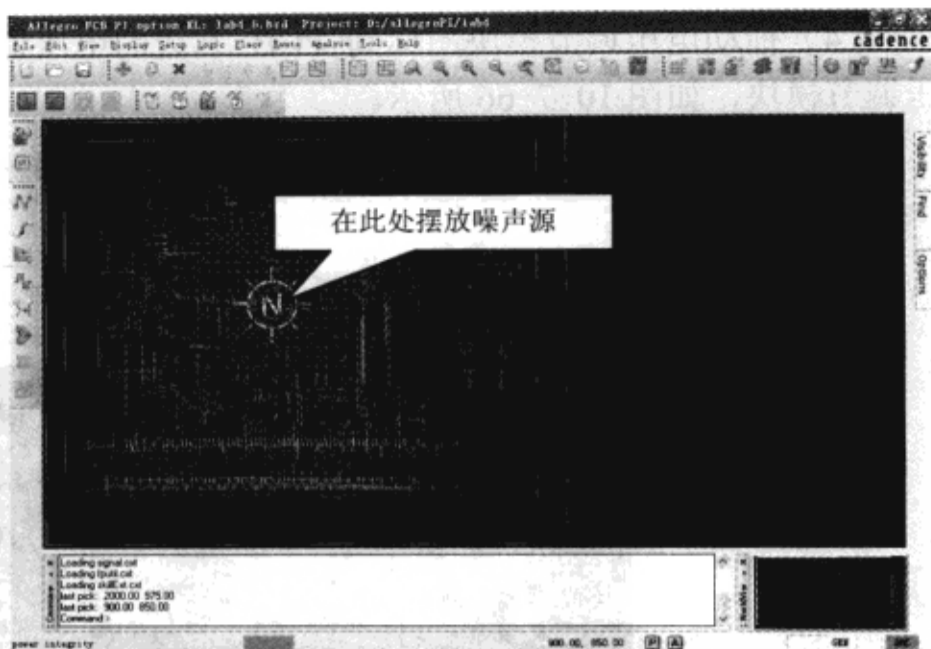


图 10-7-69 摆放噪声源

(8) 在“Select Noise Source Component”对话框中单击“OK”按钮，如图 10-7-70 所示。

如图 10-7-71 所示，此时在“Power Integrity Design & Analysis”中列出了 PCB 上的 3 种电容器。Number Suggested 的值等于电容器的等效串联电阻除以目标阻抗的值。Number to Create 的值是设计中所要添加或删除的电容器的数目，不管这些电容器是否摆放在 PCB 上，都要满足 Number to Analyze 值。只有这两个值相等时才意味着设计完成，Number to Analyze 是一个非常重要的值，而 Number Suggested 不是，它们之间的计算公式为

$$\text{Number to Create} = \text{Number to Analyze} - \text{Number Unplaced} - \text{设计中所摆放电容器的数目}$$

$$\text{所摆放电容器的数目} = \text{Number to Analyze} - \text{Number to Create} - \text{Number Unplaced}$$

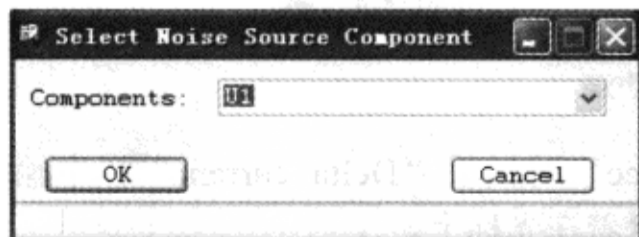


图 10-7-70 “Select Noise Source Component”对话框

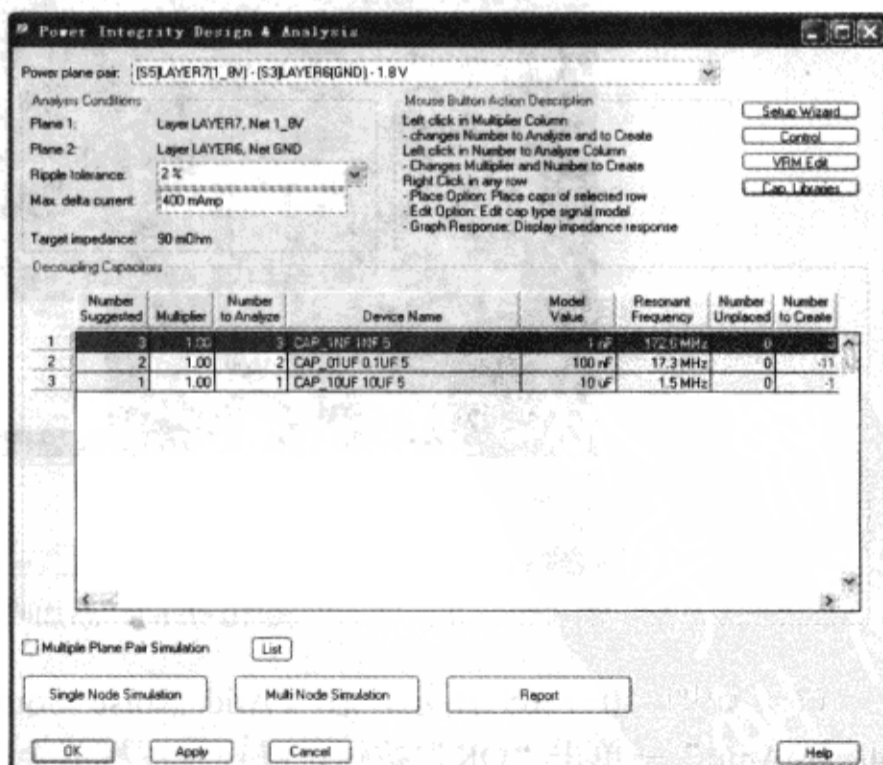


图 10-7-71 电源完整性设计分析对话框



Number Unplaced 含义是那些在设计中已经和平面电源信号相连接但没有摆放的电容器的数目，也就是已经被创建但并没有被摆放的电容器的数目。只有这些电容器被摆放后，它们才是普通电源信号平面对的一个组成部分。

设计中所摆放电容器的数目指的是那些设计中处于平面对边界范围内、已经被摆放在了 PCB 上、并与普通电源信号相连接的电容器的数目（实际上两个平面形状相交的区域组成了平面对）。

单节点仿真中用到了 Number to Analyze 的值，多节点仿真中用到了设计中所摆放电容器的值。

2) 1.8V 平面对的去耦电容器 图 10-7-72 中关于 1nF 电容器的信息有：

(1) 在“Number Suggested”栏中显示有 3 个 1nF 电容器；

(2) 在“Number to Analyze”栏中显示有 3 个 1nF 电容器；

(3) 在“Number to Create”栏中显示有 3 个 1nF 电容器没有摆放在 PCB 上并没有和平面对相连接，与平面对相连接的所需要摆放电容器总数的计算公式为

$$\text{Number to Analyze} - \text{Number to Create} - \text{Number Unplaced} = 3 - 3 - 0 = 0$$

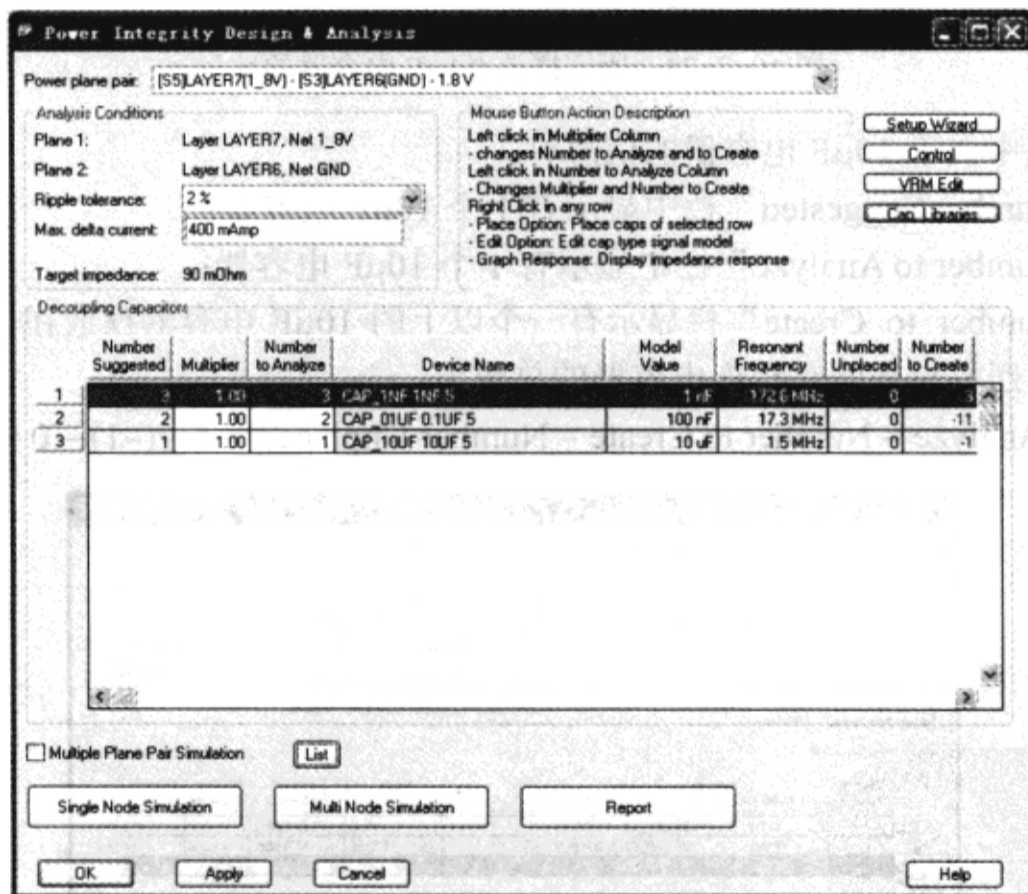


图 10-7-72 所需摆放 1nF 电容器的数目

图 10-7-73 中关于 0.1μF 电容器的信息有：

(1) 在“Number Suggested”栏中显示有 2 个 0.1μF 电容器；

(2) 在“Number to Analyze”栏中显示有 2 个 0.1μF 电容器；

(3) 在“Number to Create”栏中显示有 11 个以上的 0.1μF 电容器摆放在了 PCB 上并和平面对相连接，所需摆放与平面对相连电容器的总数为

$$\text{Number to Analyze} - \text{Number to Create} - \text{Number Unplaced} = 2 - (-11) - 0 = 13$$

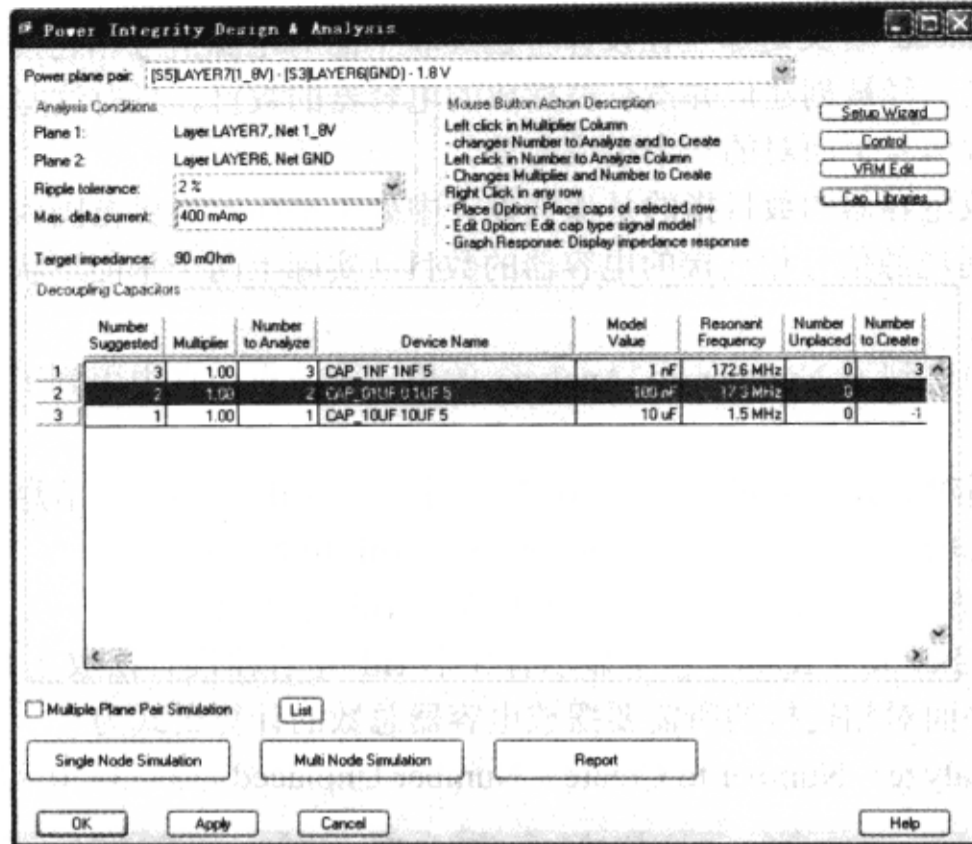


图 10-7-73 所需摆放 0.1µF 电容器的数目

图 10-7-74 中关于 10µF 电容器的信息有：

- (1) 在“Number Suggested”栏中显示有 1 个 10µF 电容器；
- (2) 在“Number to Analyze”栏中显示有 1 个 10µF 电容器；

(3) 在“Number to Create”栏显示有一个以上的 10µF 电容器摆放在了 PCB 上并和平面面对连接，所需摆放与平面对相连电容器的总数为

$$\text{Number to Analyze} - \text{Number to Create} - \text{Number Unplaced} = 1 - (-1) - 0 = 2$$

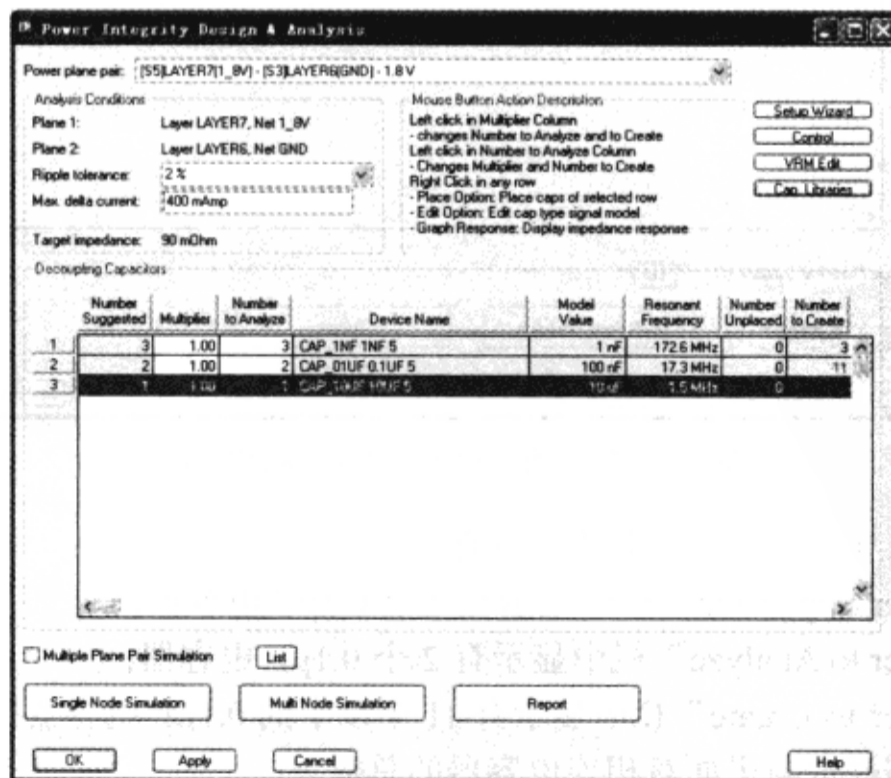


图 10-7-74 所需摆放 10µF 电容器的数目

### 3) 1.8V 岛 (Island) 平面对

(1) 在“Power Integrity Design & Analysis”对话框顶部“Power plane pair”栏中选择“[S4]LAYER7(1\_8V\_ISLAND) - [S3]LAYER6(GND) - 1.8V”，在对话框中会列出上一步所选择的平面对，如图 10-7-75 所示。

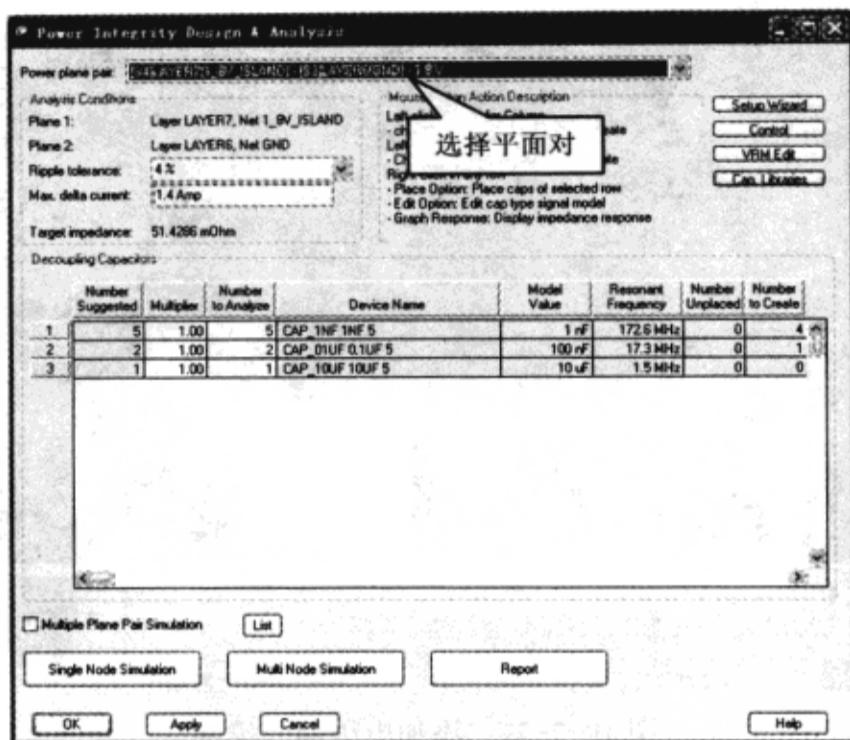


图 10-7-75 选择平面对

(2) 为平面对设置目标阻抗：在“Power Integrity Design & Analysis”对话框“Analysis Conditions”区域“Ripple tolerance”栏中选择“2%”；在“Max delta current”栏中选择“20 mAmp”，在“Analysis Conditions”区域显示的目标阻抗为 1.8Ω，如图 10-7-76 所示。



图 10-7-76 设置平面对

(3) 在 Allegro PCB PI option XL 窗口中单击鼠标右键，在弹出的菜单中选择“Add VRM”，如图 10-7-77 所示。



图 10-7-77 添加电压调节模块

(4) 拖动电压调节模块图标到 PCB 左边的电压调节器，单击鼠标左键摆放这个电压调节模块，如图 10-7-78 所示。

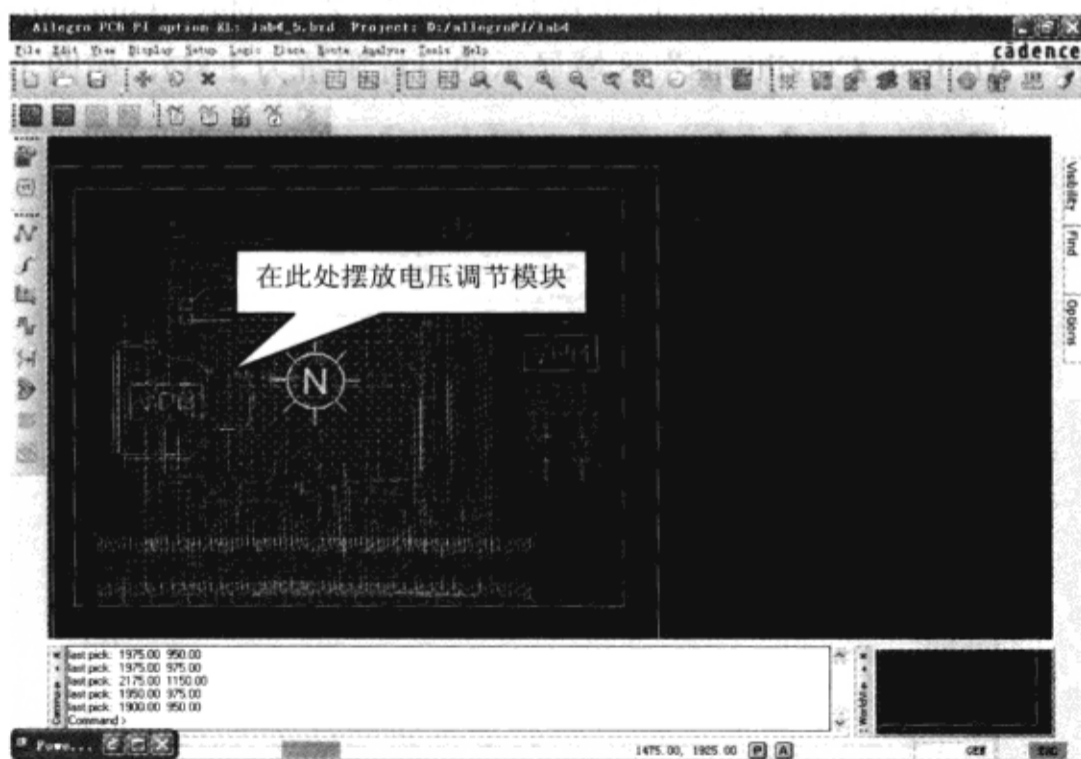


图 10-7-78 摆放电压调节模块

(5) 在 Allegro PCB PI option XL 窗口中单击鼠标右键，在弹出的菜单中选择“Add Noise Source”，如图 10-7-79 所示。

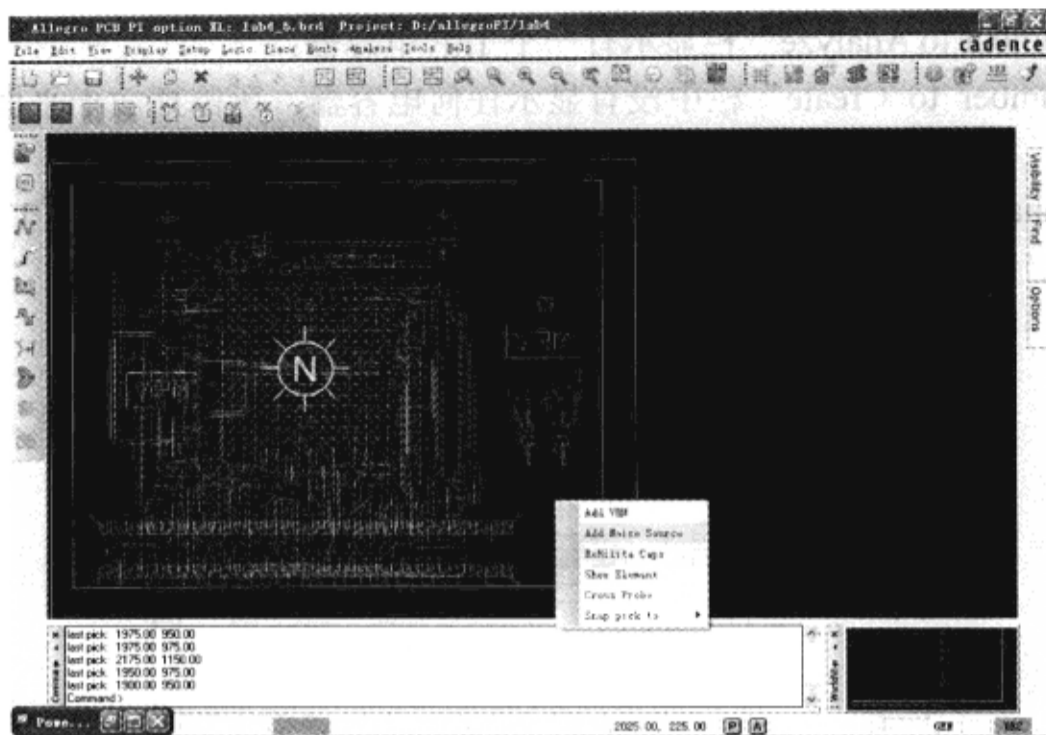


图 10-7-79 选择“Add Noise Source”

(6) 在“Add Noise Source”对话框“Delta current”栏中输入“20mAmp”→单击“OK”按钮，噪声源图标就会附着在光标上，如图 10-7-80 所示。

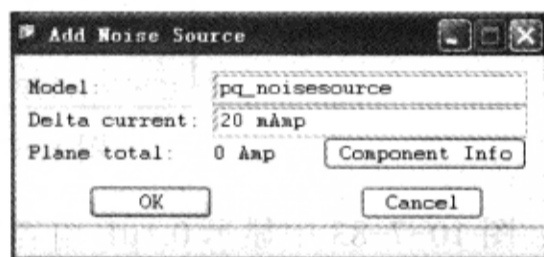


图 10-7-80 “Add Noise Source”对话框

(7) 拖动噪声源图标到高亮图形的中心处，单击鼠标左键摆放这个噪声源，如图 10-7-81 所示。

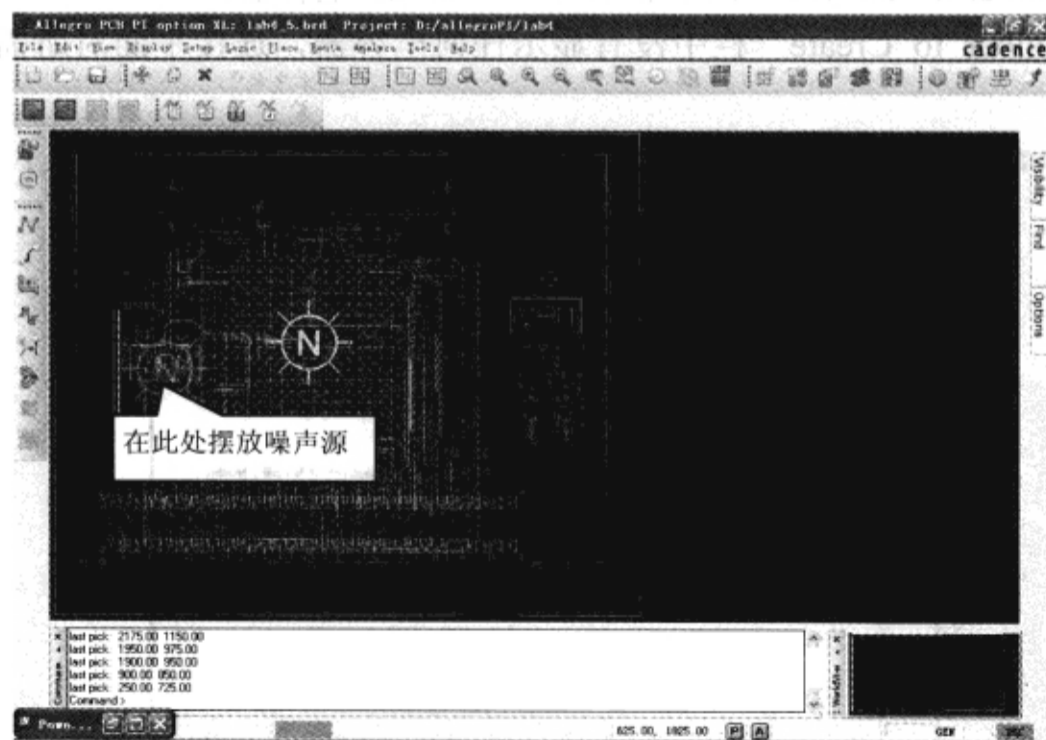


图 10-7-81 摆放噪声源

4) 1.8V 岛平面对的去耦电容器 图 10-7-82 中显示 1nF 电容器的相关信息为：

(1) 在“Number Suggested”栏显示有一个 1nF 电容器；



(2) 在“Number to Analyze”栏显示有一个 1nF 电容器；

(3) 在“Number to Create”栏中没有显示任何电容器，所需摆放于平面对相连的电容器总数为

$$\text{Number to Analyze} - \text{Number to Create} - \text{Number Unplaced} = 1 - (0) - 0 = 1$$

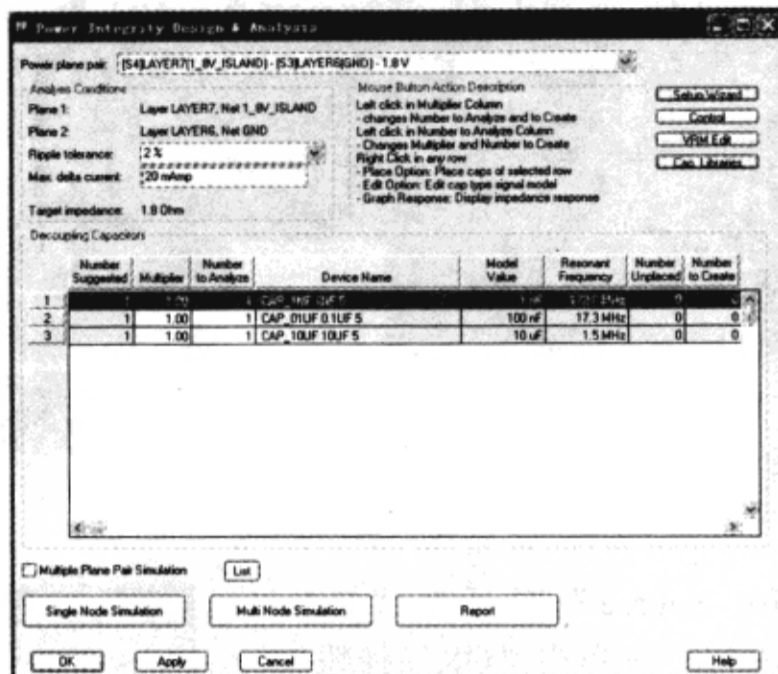


图 10-7-82 所需摆放 1nF 电容器的数目

图 10-7-83 中显示 0.1μF 电容器的相关信息为：

(1) 在“Number Suggested”栏中显示有一个 0.1μF 电容器；

(2) 在“Number to Analyze”栏中显示有一个 0.1μF 电容器；

(3) 在“Number to Create”栏中没有显示任何电容器，连接平面对所需摆放电容器的总数为

$$\text{Number to Analyze} - \text{Number to Create} - \text{Number Unplaced} = 1 - (0) - 0 = 1$$

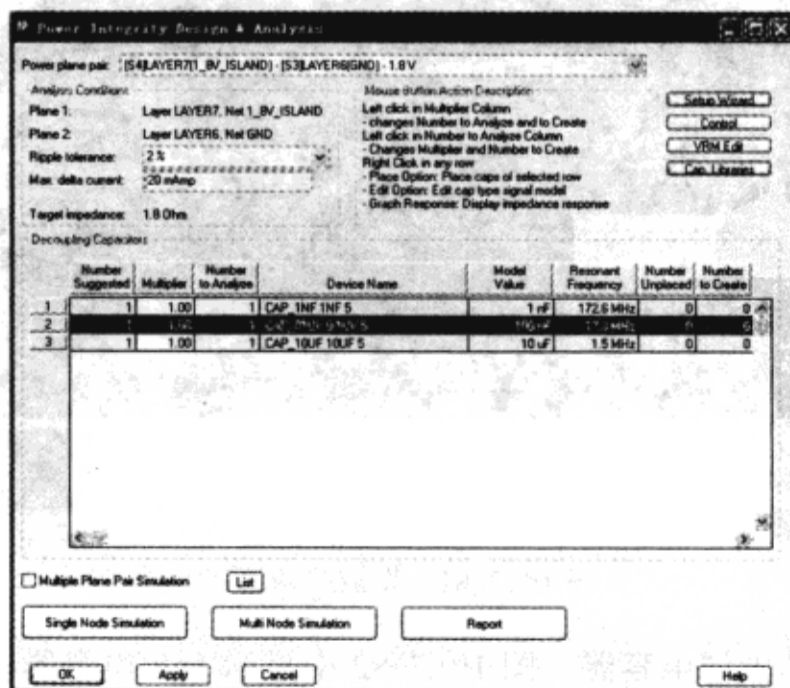


图 10-7-83 所需摆放 0.1μF 电容器的数目

图 10-7-84 中显示 10μF 电容器的相关信息为：

- (1) 在“Number Suggested”栏中显示有一个 10μF 电容器；
- (2) 在“Number to Analyze”栏中显示有一个 10μF 电容器；
- (3) 在“Number to Create”栏没有显示任何电容器，所需摆放与平面对相连的电容器的总数为

$$\text{Number to Analyze} - \text{Number to Create} - \text{Number Unplaced} = 1 - (0) - 0 = 1$$

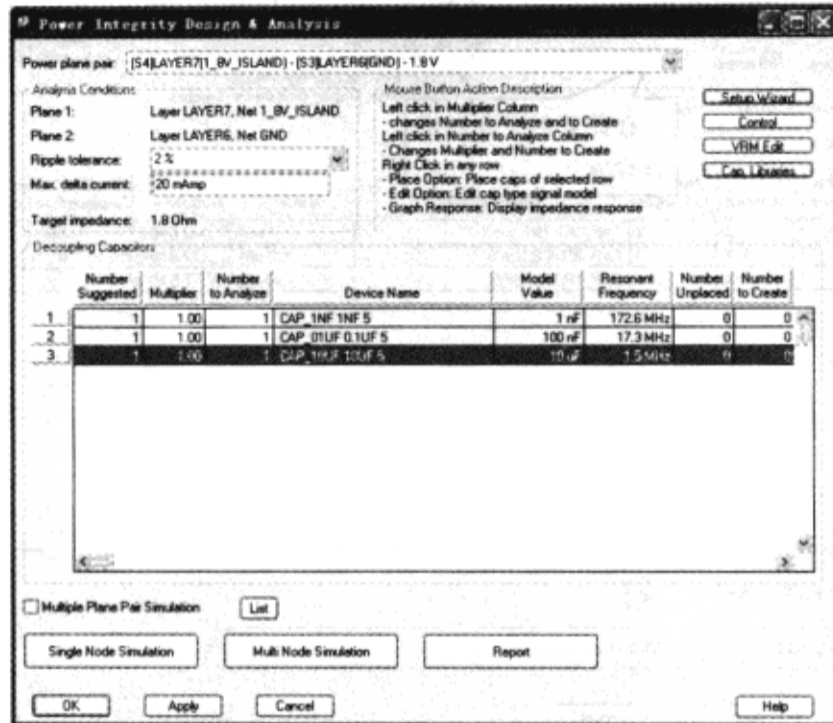


图 10-7-84 所需摆放 10μF 电容器的数目

### 5) 3.3V 平面对

- (1) 在“Power Integrity Design & Analysis”对话框顶部“Power plane pair”栏中选择 “[S1]LAYER2(3\_3V) - [S2]LAYER3(GND) - 3.3V”，如图 10-7-85 所示。

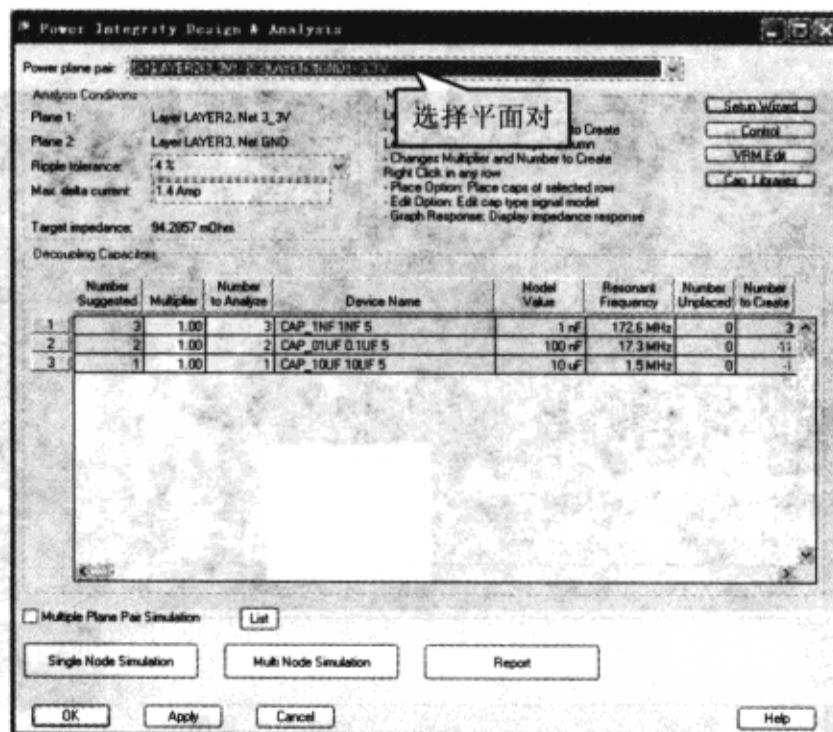


图 10-7-85 选择平面对

(2) 设置平面对的目标阻抗: 在“Power Integrity Design & Analysis”对话框“Analysis Conditions”区域“Ripple tolerance”栏中选择“2%”; 在“Max delta current”栏中选择“85 mAmp”, 此时“Analysis Conditions”区域显示的目标阻抗为 776.471mΩ, 如图 10-7-86 所示。

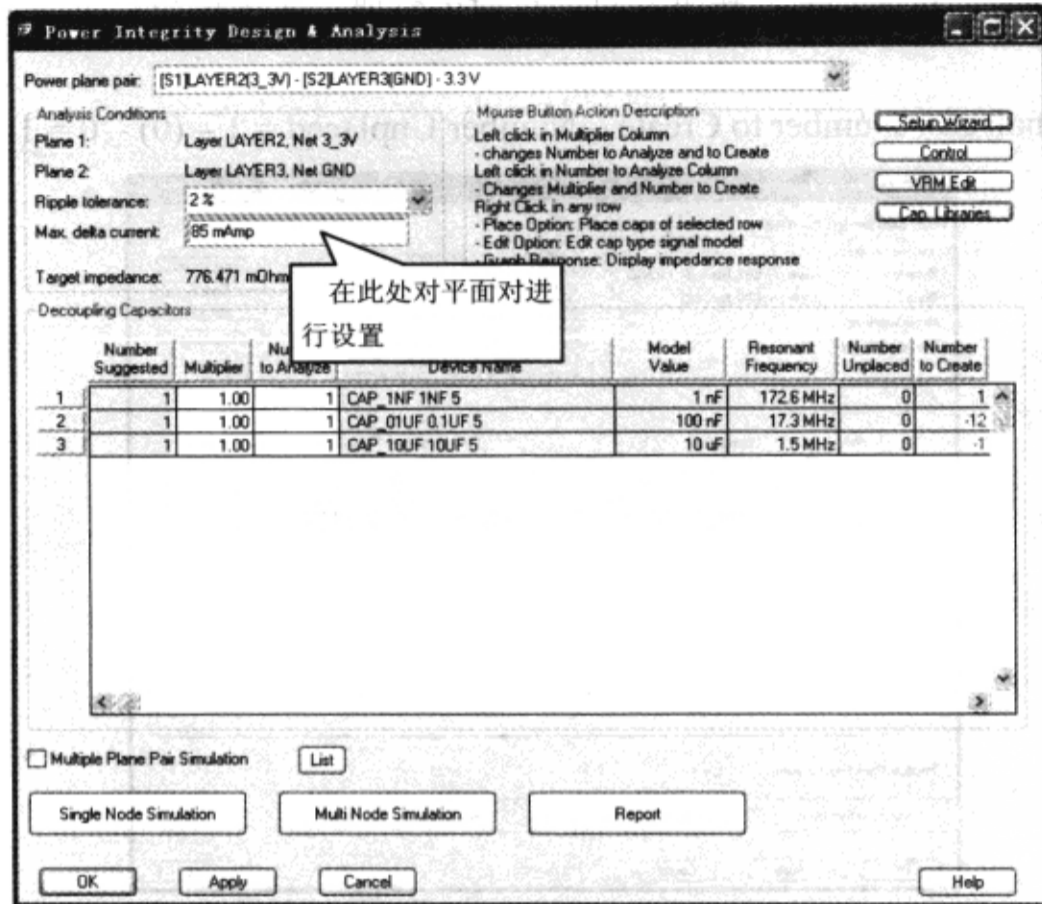


图 10-7-86 设置平面对

(3) 在 Allegro PCB PI option XL 窗口中单击鼠标右键, 在弹出的菜单中选择“Add VRM”, 如图 10-7-87 所示。

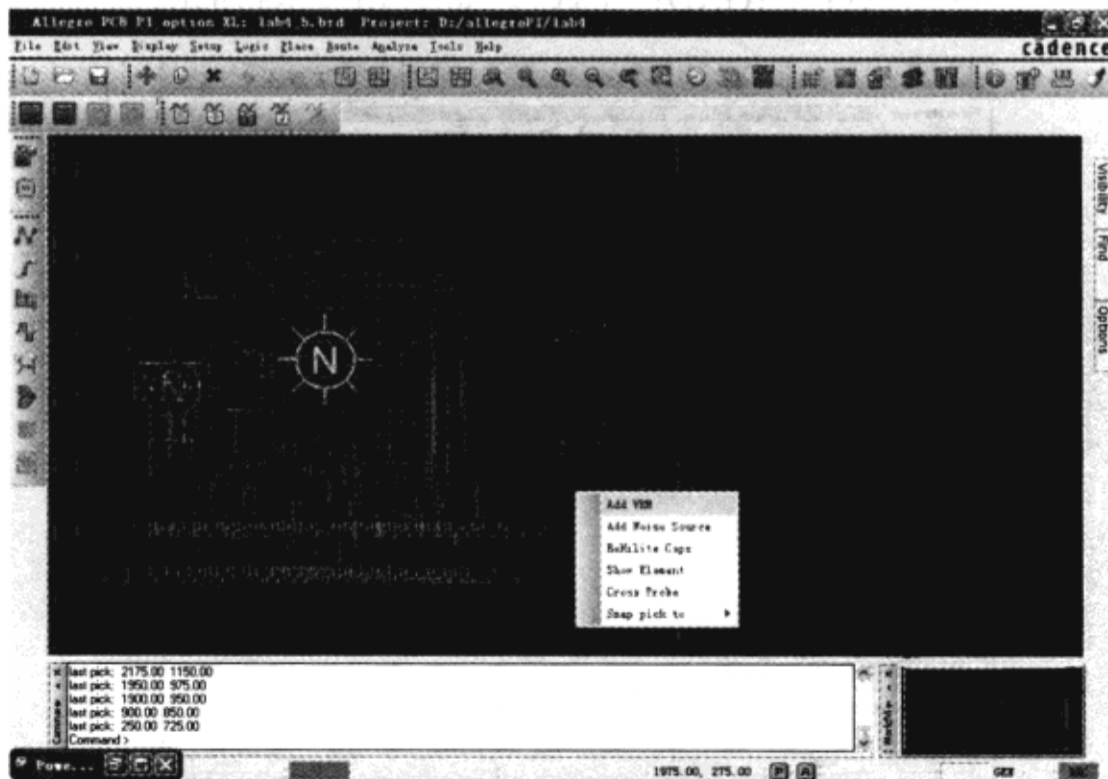


图 10-7-87 添加电压调节模块

(4) 拖动电压调节模块图标到 PCB 右边的电压调节器，单击鼠标左键，摆放电压调节模块，如图 10-7-88 所示。

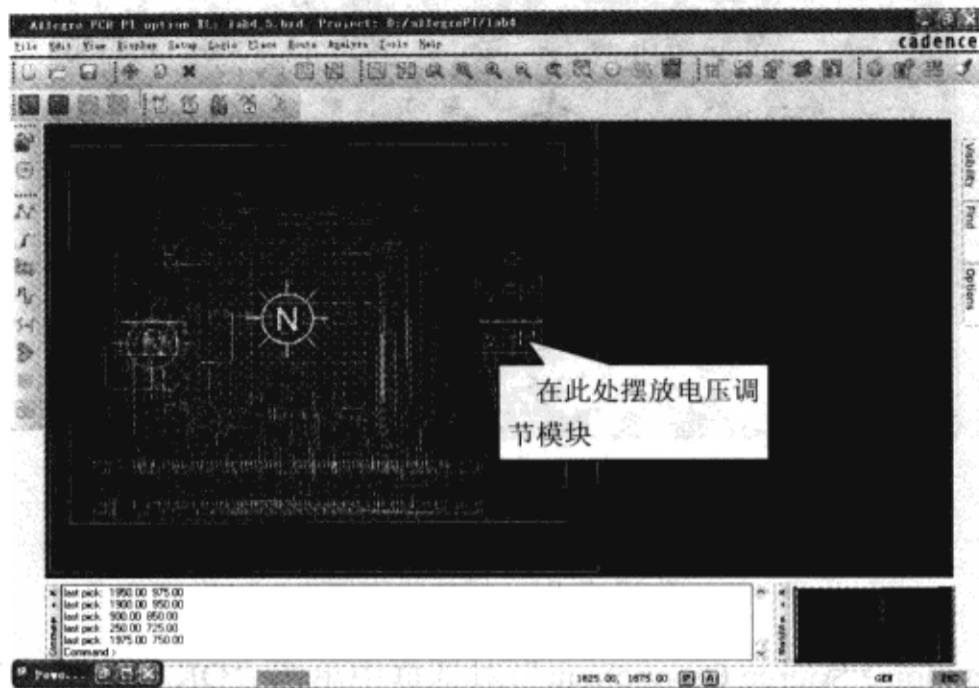


图 10-7-88 摆放电压调节模块

(5) 在 Allegro PCB PI option XL 窗口中单击鼠标右键，在弹出的菜单中选择“Add Noise Source”，如图 10-7-89 所示。

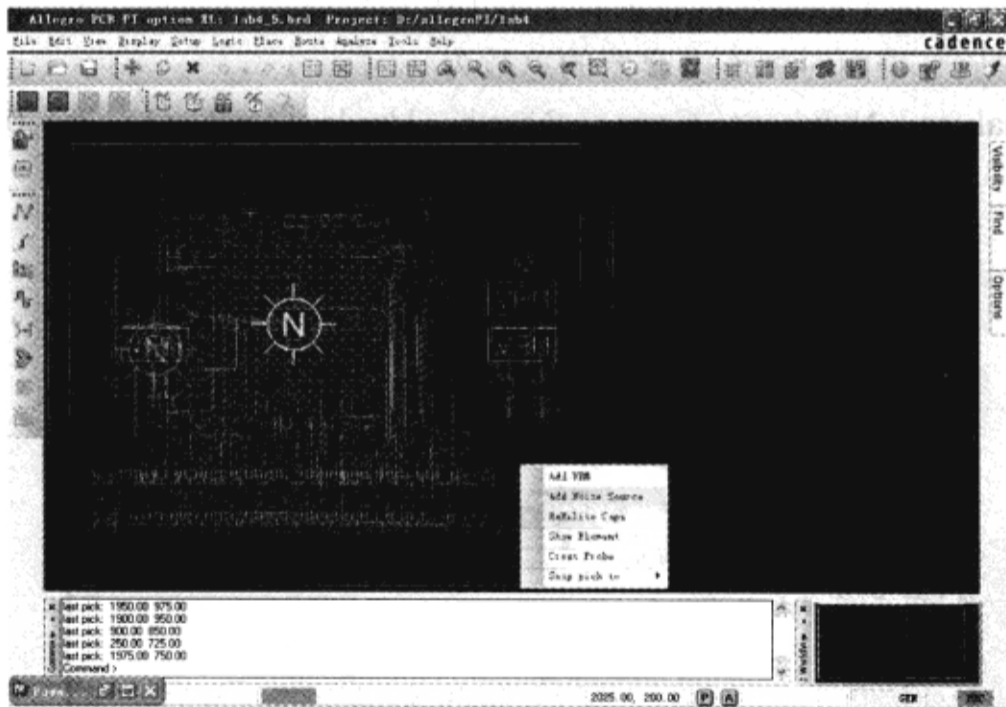


图 10-7-89 添加电压调节模块

(6) 在“Add Noise Source”对话框“Delta current”栏中输入“85mAmp”→单击“OK”按钮，噪声源图标就会附着在光标上，如图 10-7-90 所示。

(7) 拖动噪声源图标到元器件的中心处，单击鼠标左键摆放噪声源，如图 10-7-91 所示。

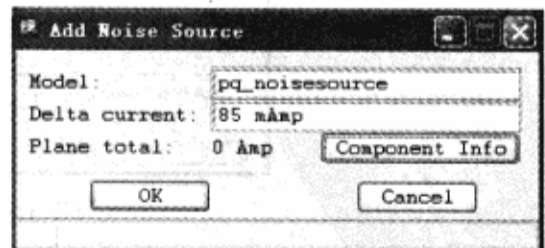


图 10-7-90 电压调节模块设置窗口



图 10-7-91 摆放噪声源

(8) 在“Select Noise Source Component”对话框中单击“OK”按钮。

6) 3.3V 平面对的去耦电容器 图 10-7-92 中显示 1nF 电容器的相关信息有:

(1) 在“Number Suggested”栏显示有 1 个 1nF 电容器;

(2) 在“Number to Analyze”栏显示有 1 个 1nF 电容器;

(3) 在“Number to Create”栏显示有 1 个 1nF 电容器没有摆放在 PCB 上, 并没有和平面连接, 所需摆放与平面对相连电容器的总数为

$$\text{Number to Analyze} - \text{Number to Create} - \text{Number Unplaced} = 1 - (1) - 0 = 0$$

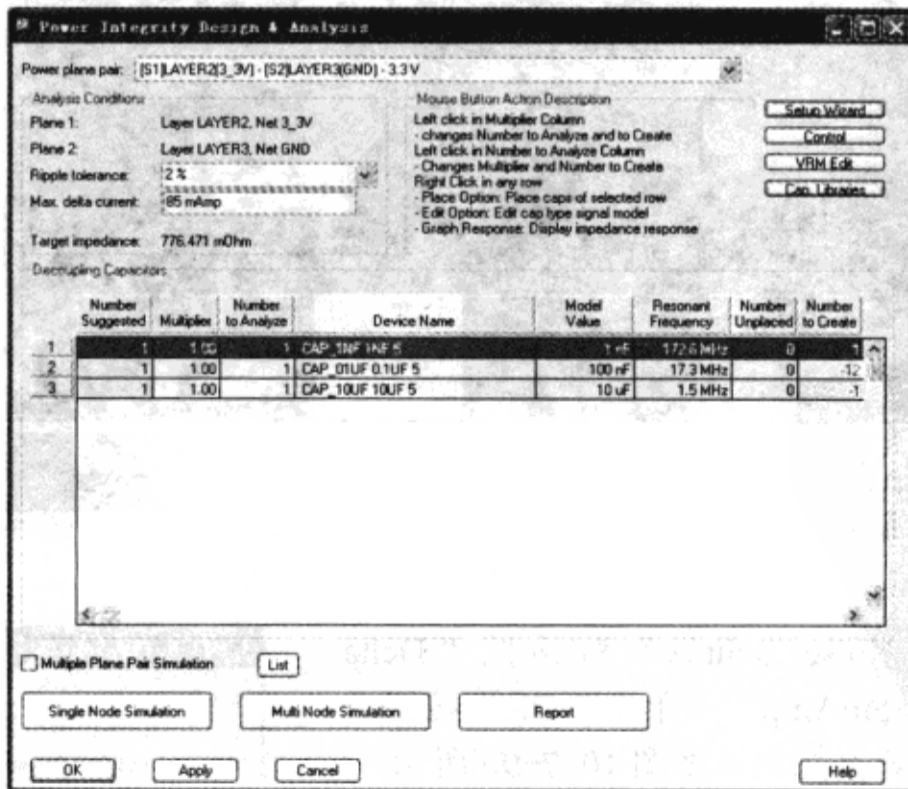


图 10-7-92 所需摆放电容器的数目

在对话框中关于 0.1μF 电容器的相关信息有:



- (1) 在“Number Suggested”栏显示有 1 个 0.1 $\mu$ F 电容器；
- (2) 在“Number to Analyze”栏显示有 1 个 0.1 $\mu$ F 电容器；
- (3) 在“Number to Create”栏显示有多于 12 个的 0.1 $\mu$ F 摆放在 PCB 上，并和平面对连接，所需摆放区平面对相连电容器的总数为

$$\text{Number to Analyze} - \text{Number to Create} - \text{Number Unplaced} = 1 - (-12) - 0 = 13$$

在对话框中关于 10  $\mu$ F 电容器的相关信息有：

- (1) 在“Number Suggested”栏中显示有 1 个 10 $\mu$ F 电容器；
- (2) 在“Number to Analyze”栏中显示有 1 个 10 $\mu$ F 电容器；
- (3) 在“Number to Create”栏中显示有 1 个以上的 10 $\mu$ F 电容器摆放在 PCB 上，并和平面对相连接，所需摆放与平面对相连的电容器的总数为

$$\text{Number to Analyze} - \text{Number to Create} - \text{Number Unplaced} = 1 - (-1) - 0 = 2$$

## 7. 对平面对进行多节点分析

### 1) 3.3V 平面对的多节点分析

- (1) 在“Power Integrity Design & Analysis”对话框中单击“Control”按钮，弹出“Power Integrity Control”对话框，如图 10-7-93 所示。

- (2) 在对话框中选中“Mounted Inductance”标签页。

- (3) 选中“Calculate undone on MultiNode simulation”，并单击“OK”按钮，如图 10-7-94 所示。

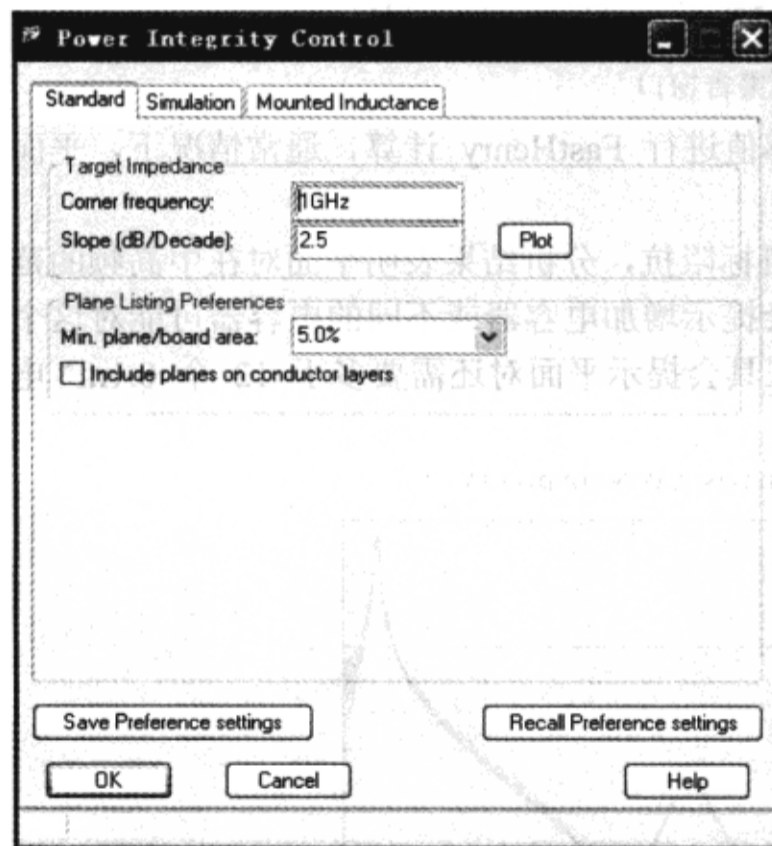


图 10-7-93 “Power Integrity Control”对话框

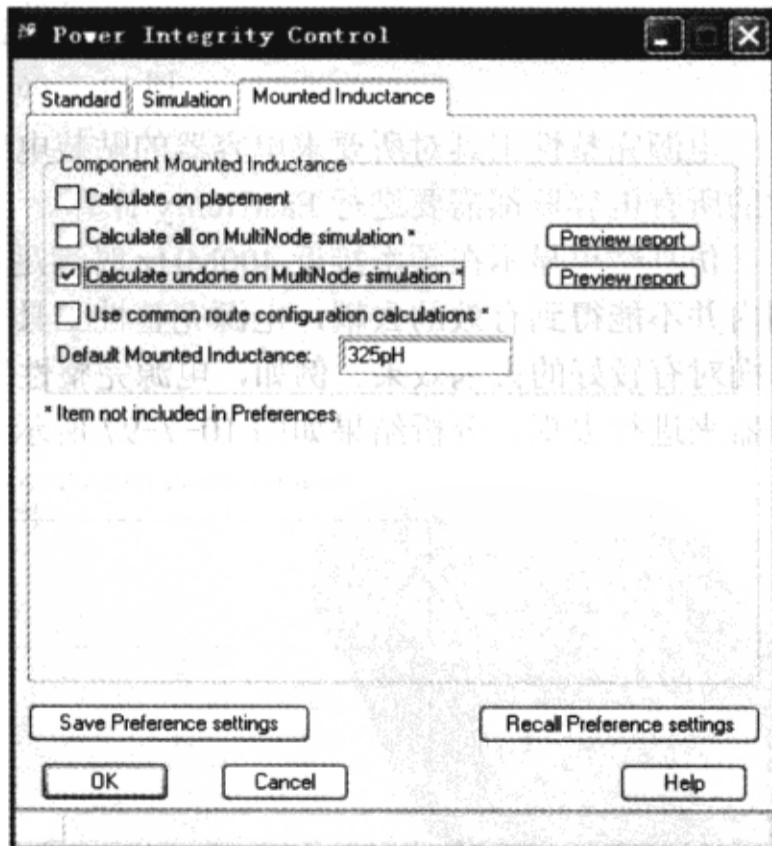


图 10-7-94 贴装电感值的计算

- (4) 在“Power Integrity Design & Analysis”对话框顶部“Power plane pair”栏中选择“[S1]LAYER2(3\_3V) - [S2]LAYER3(GND) - 3.3V”，如图 10-7-95 所示。



图 10-7-95 选择平面对

(5) 在“Power Integrity Design & Analysis”对话框中单击“Multi Node Simulation”按钮，并在 Allegro PCB PI option XL 警告窗口中单击“是”按钮，如图 10-7-96 所示。

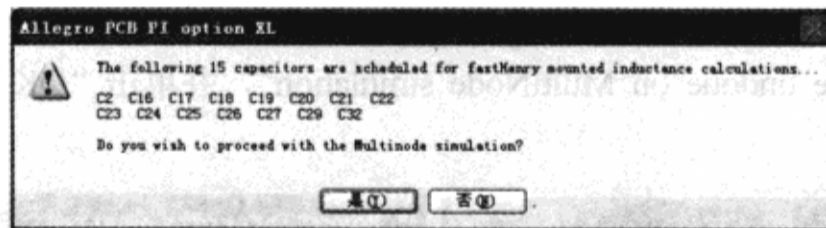


图 10-7-96 警告窗口

电源完整性工具对所要求电容器的贴装电感值进行 FastHenry 计算，通常情况下，平面对的所有电容器都需要进行 FastHenry 计算。

仿真结果显示在频率接近 400MHz 时满足目标阻抗，分析结果表明平面对在中高频的范围内并不能得到有效的去耦，电源完整性工具会提示增加电容器或不同的电容器可能对这个平面对有较好的去耦效果。例如，电源完整性工具会提示平面对还需要多于 12 个 0.1nF 电容器来进行去耦。分析结果如图 10-7-97 所示。

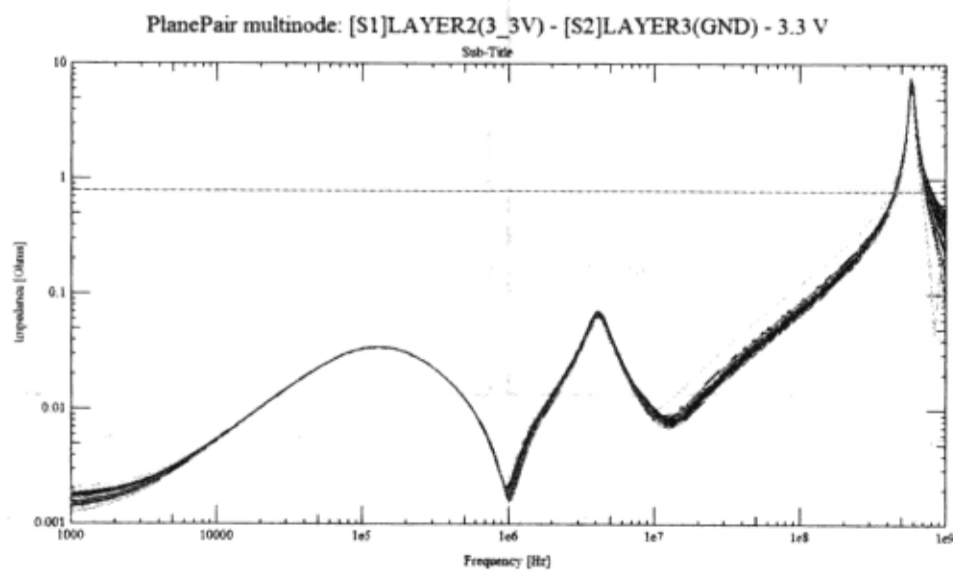


图 10-7-97 平面对多节点分析结果

## 2) 1.8V 平面对的多节点分析

(1) 在“Power Integrity Design & Analysis”对话框顶部“Power plane pair”栏中选择“[S5]LAYER7(1\_8V) - [S3]LAYER6(GND) - 1.8V”，如图 10-7-98 所示。

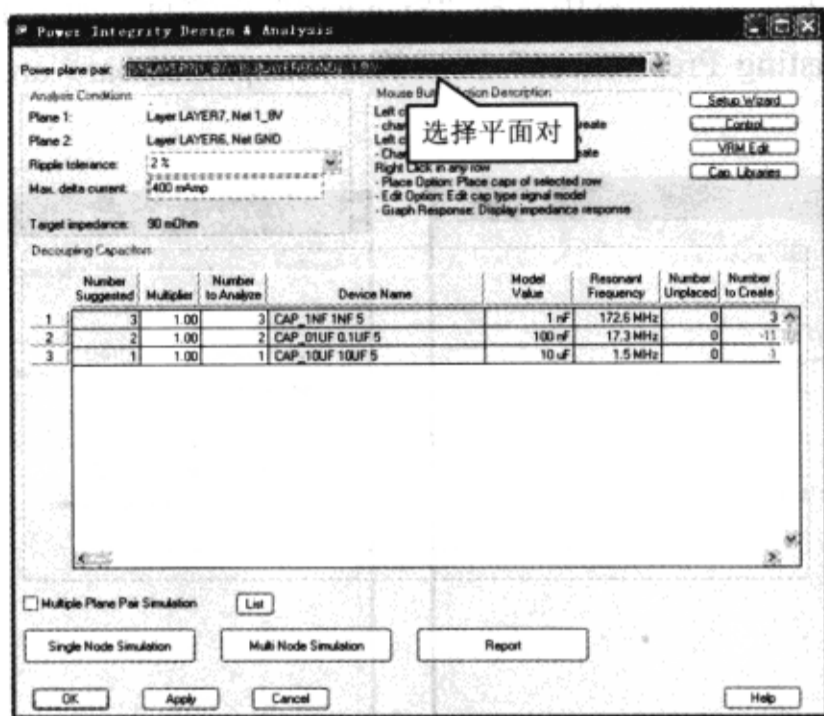


图 10-7-98 选择平面对

(2) 在“Power Integrity Design & Analysis”对话框中单击“Multi Node Simulation”按钮，并在 Allegro PCB PI option XL 警告窗口中单击“是”按钮，如图 10-7-99 所示。

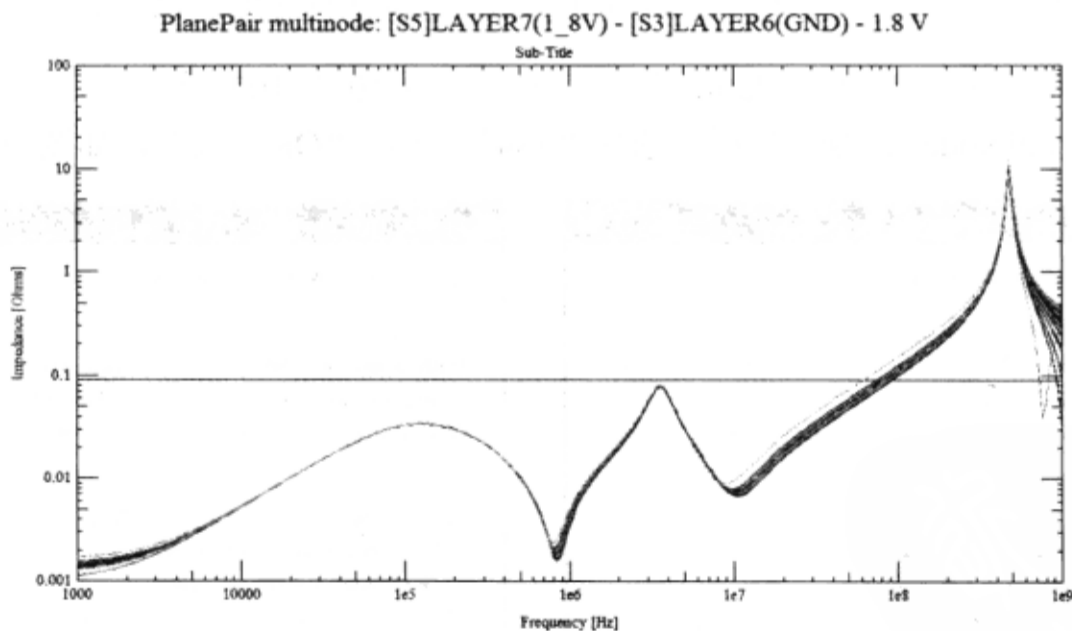


图 10-7-99 平面对多节点分析结果

电源完整性工具对所需电容器的贴装电感值进行 FastHenry 计算。通常情况下，都需要为平面对的电容器进行 FastHenry 计算。

仿真结果显示在频率接近 60MHz 时满足目标阻抗，在接近 30kHz 的地方有一个非常接近目标阻抗值的反谐振波峰。仿真结果显示与上一次的仿真结果相同，平面对并没有得到有效去耦。电源完整性工具提示有多于 11 个 0.1 $\mu$ F 电容器用于对这个平面对进行去耦。分析

结果如图 10-7-100 所示。

### 3) 孤岛平面对的多节点分析

(1) 在“Power Integrity Design & Analysis”对话框中单击“Control”按钮，弹出“Power Integrity Control”对话框，在对话框中选择“Standard”标签页，如图 10-7-100 所示。

(2) 在“Plane Listing Preferences”区域的“Min.plane/board area:”栏中选择“1%”，如图 10-7-101 所示。

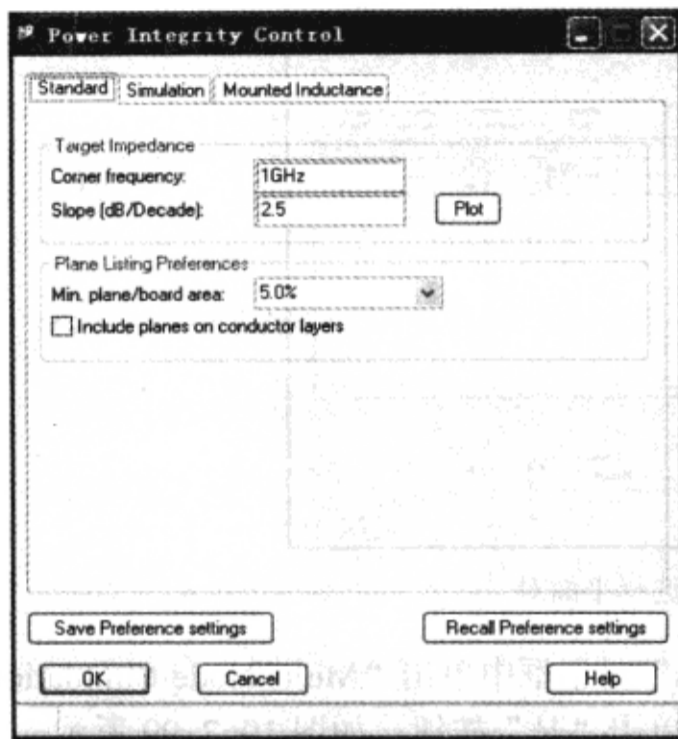


图 10-7-100 电源完整性控制参数设置窗口

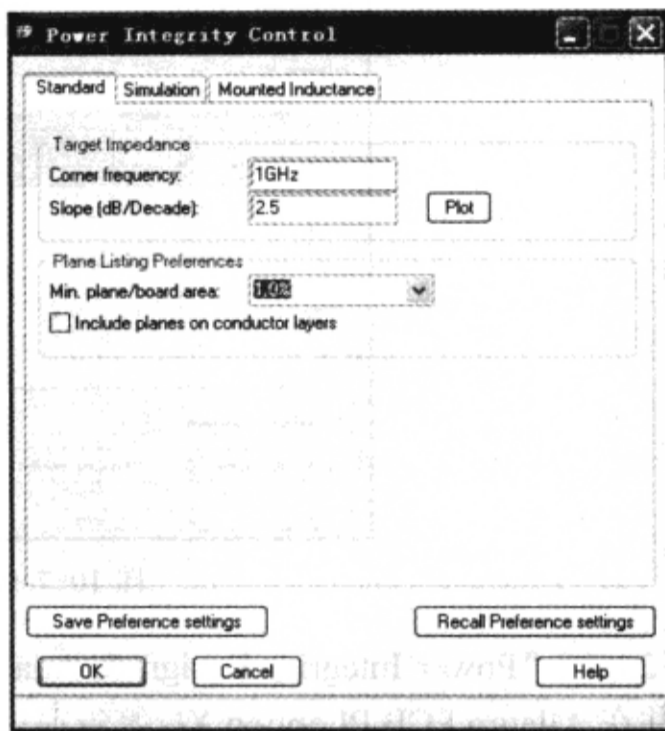


图 10-7-101 最小平面区域设置

(3) 在对话框中选中“Simulation”标签页，如图 10-7-102 所示。

(4) 在“MultiNode grid size”栏中选择“4x4”，单击“OK”按钮，如图 10-7-103 所示。

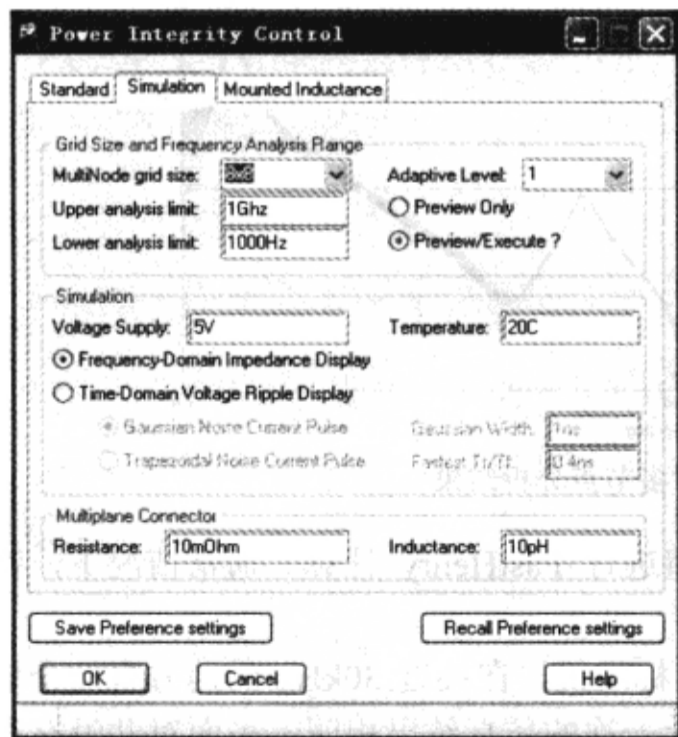


图 10-7-102 “Simulation” 标签页



图 10-7-103 多节点仿真网格点大小设置

(5) 在“Power Integrity Design & Analysis”对话框中“Power plane pair”栏中选择“[S4]LAYER7(1\_8V\_ISLAND) - [S3]LAYER6(GND) - 1.8V”，如图 10-7-104 所示。

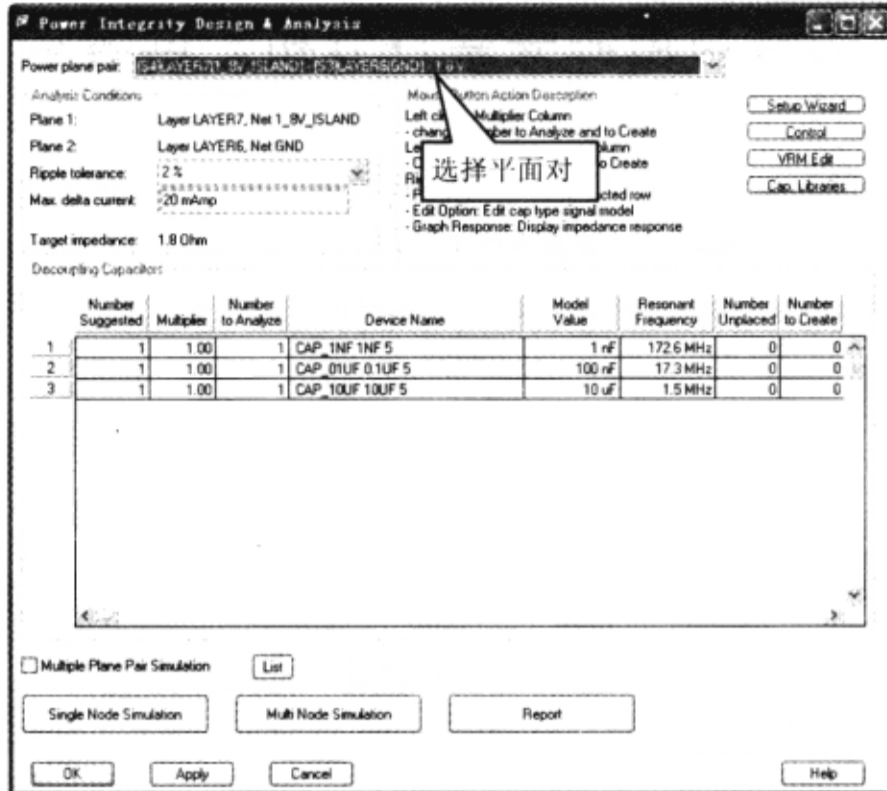


图 10-7-104 选择平面对

(6) 在“Power Integrity Design & Analysis”对话框中单击“Multi Node Simulation”按钮，仿真结果显示在频率接近 80MHz 时满足目标阻抗，如图 10-7-105 所示。和前面两个仿真结果类似，分析结果显示平面对并没有得到有效去耦。电源完整性工具提示只有一个同种类的电容器用于对平面对进行去耦。

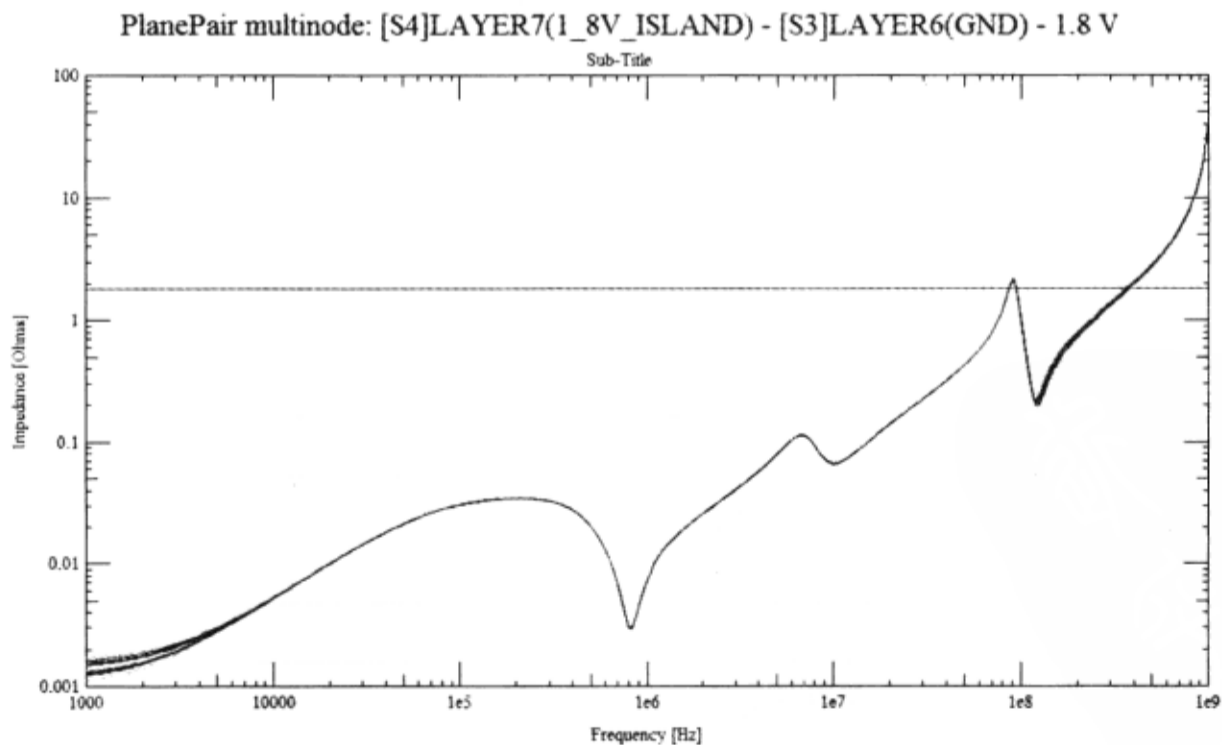


图 10-7-105 平面对多节点仿真结果

(7) 保存 PCB 文件。



EDA 应用技术

# Cadence

## 高速电路板设计与仿真(第4版)

### ——信号与电源完整性分析

随着工程技术的电子化、集成化和系统化的迅速发展, 电路设计已经进入了一个全新的时代, 高速电路设计业已成为电子工程技术发展的主流, 而Cadence软件以其强大的功能和高级的绘图效果, 逐渐成为了EDA行业中的主导软件。本书以Cadence Allegro SPB 16.3为基础, 以具体高速PCB为范例, 详尽讲解了IBIS模型的建立、高速PCB的预布局、拓扑结构的提取、反射分析、窜扰分析、时序分析、约束驱动布线、后布线DRC分析、差分对设计等信号完整性分析内容, 以及目标阻抗、电源噪声、去耦电容器模型与布局、电源分配系统、电压调节模块、电源平面、单节点仿真和多节点仿真等电源完整性分析内容。

本书适合对高速PCB设计有一定基础的中、高级读者阅读, 也可作为高等学校相关专业及培训机构的教学用书。为便于读者阅读、学习, 特提供本书范例的下载资源, 请访问<http://yydz.phei.com.cn>网站, 到“资源下载”栏目下载。

上架建议: 计算机辅助设计/EDA



责任编辑: 张 剑

责任美编: 孙焱津



ISBN 978-7-121-14610-7



9 787121 146107 >

定价: 68.00元

本书贴有激光防伪标志, 凡没有防伪标志者, 属盗版图书。