

【高速先生原创|DDRX 系列】DDR 时序学习笔记

作者：袁波 一博科技高速先生团队成员

高速先生前几期的自媒体文章里多次提到了时序，并且也写了很多时序方面的文章，这些文章都从不同的角度对时序的概念进行了阐述。作者读完之后深受启发，这里，作者也把自己对时序的理解表达出来，供网友们参考。

接触到时序概念，是从学习 DDR 布线开始的。作者以前只知道一个差分对里面的两根线需要等长，等长的原因是保证 P 和 N 两根线上传输的信号同时到达接收端，这样就不会有共模信号的出现。然而，在 DDR 实际布线中，难点在于各组信号间的线长匹配。

我们知道，DDR 的四组信号之中，地址/命令/控制信号都是参考时钟信号的，数据信号参考 DQS。具体来说，就是要这些信号波形的相对位置之间存在一定的约束。时钟与地址/命令，控制之间的波形位置对应关系如下，如下图 1：

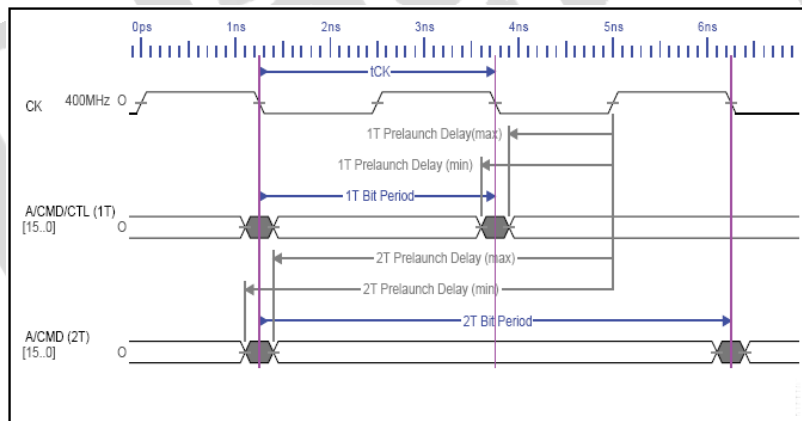


图 1

从图 1 可以看出，理想情况下，地址/命令，控制信号的波形边沿应该和时钟信号的下降沿对齐，这样才能保证时钟信号的上升沿在地址/命令信号的中间位置，只有这样，信号传输到接收端为建立时间和保持时间留足裕量。图一中的灰色窗口就是不确定区域，也是我们在设计的时候需要考虑的，一般我们可以通过查看芯片的 Datasheet 来查阅 Prelaunch 的最小值与最大值，这个是芯片本身的参数，与布线无关。说了这么多，系统在工作的时候，时钟与地址/控制信号波形之间的位置关系到底是什么样的呢？让我们来看看下图 2

如何关注

- 1、搜索微信号“高速先生”
- 2、扫描右侧二维码，开始学习



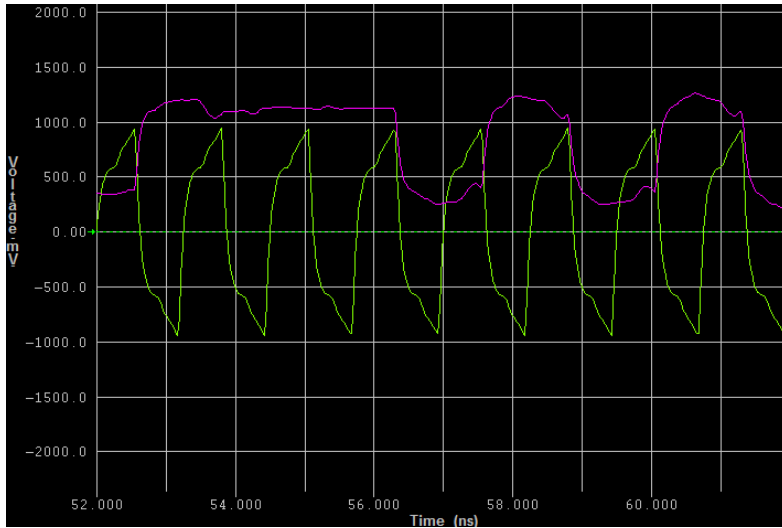


图 2

上图 2 中，绿色的是时钟信号波形，紫色的是地址/命令，控制信号并不像时钟信号那样是周期性的，但它的位宽是时钟周期的整数倍，信号边沿都是要和时钟信号的下降沿对齐的，如果不能对齐，至少在时钟信号下降沿附近。

同样的，数据信号是参考 DQS 的，DQS 又是参考时钟信号的，它们之间的位置关系如下图所示，图 3 是时钟信号与 DQS 之间的时序关系；图 4 是 DQS 与 DQ 之间的时序关系。

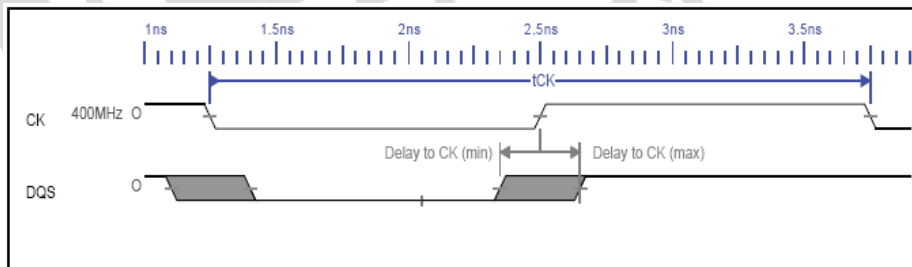


图 3

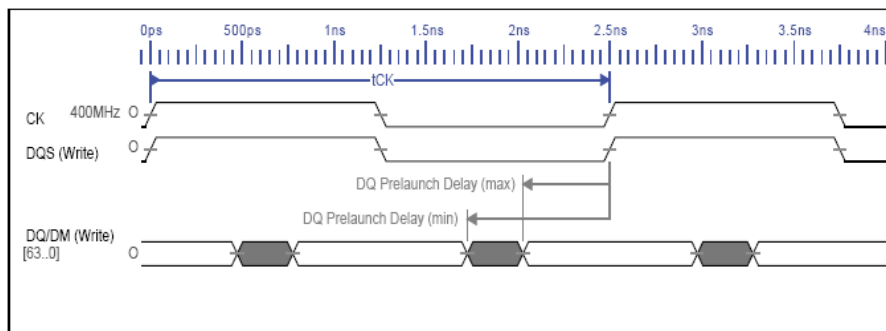


图 4

如何关注

- 1、搜索微信号“高速先生”
- 2、扫描右侧二维码，开始学习



从上图可以看出，理想情况下，DQS 的波形边沿与时钟信号的边沿是应该对齐的。对于数据信号来说，由于是 DDR，双倍数据速率，时钟波形的上升沿和下降沿都能触发数据，为保证这一点，必须保证 DQS 信号波形边沿在 DQ 波形的中间位置。芯片工作时，这些相对位置都会出现一定的偏移，这些偏移量是芯片本身的属性，相关延时参数在芯片手册上可以查找。

理论联系实际，我们还是来看看芯片在实际工作的时候，这几组信号之间的相对位置是不是我们上面说的那样。

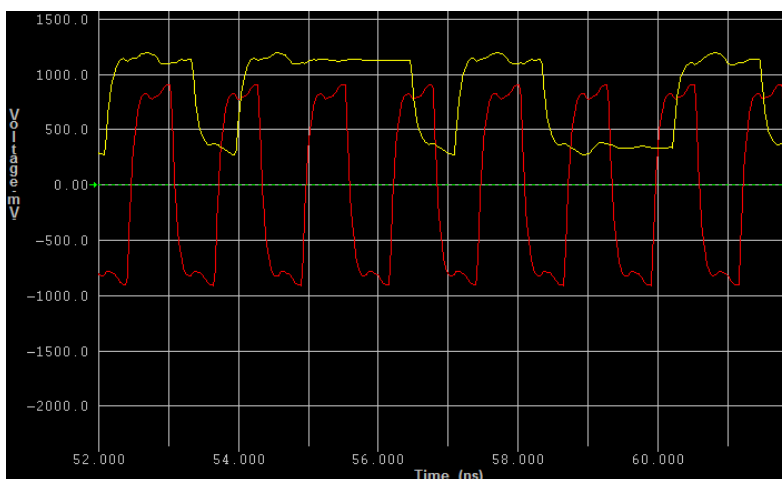


图 5

上图中红色波形是 DQS 信号，黄色是数据信号，可见，数据信号在翻转的时候，边沿基本上都在 DQS 脉冲的中间位置，这也保证了接收端在读取信号的时候有充足的建立时间与保持时间。

综上所述，本篇文章定性的介绍了一下 DDR 各组信号之间的时序关系，没有做定量计算。在实际的时序仿真中，重点在于能够在芯片手册上找到这些时序参数，并理解这些时序参数的含义。最后通过评估建立时间与保持时间的裕量来判定系统时序是否符合要求。

问题来了

你可以列举一些芯片手册上的关键时序参数吗？

高速先生欢迎您和我们一起进行交流，关注微信名（高速先生），直接将答案通过会话回复，参与互动答题即有机会获得奖品，回复关键词“奖品”查看更多。

如何关注

- 1、搜索微信号“高速先生”
- 2、扫描右侧二维码，开始学习



上篇文章说道，时序就是为了维持数据信号与其参考时钟信号之间的相对位置，保证在时钟上升沿或者下降沿附近的数据能够维持稳定，这样数据就能被有效的读取。怎么让这些时序关系在系统运行中有效的实现呢？设计中，是通过定义时序参数来实现的，下面就来看看这些时序参数的具体含义。

这里作者按照自己的理解把时序参数分成了三类，一类是用来描述驱动端的，一类是用来描述接收端的，还有一类是用来描述传输通道的。对于驱动端，描述它的时序参数是 T_{co} ， T_{co} 是指时钟触发开始到有效数据输出的器件内部所有延时的总和。这个参数描述了最开始信号从芯片出来的时候，时钟与数据之间的一个位置关系。对于源同步时序，不是直接用 T_{co} 来定义的，而是使用 T_{vb} 和 T_{va} ，如下图 1

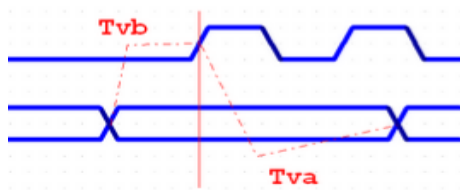


图 1

图 1 中， T_{vb} 指的是在驱动端，时钟上升沿之前（before）数据的有效时间； T_{va} 指的是时钟上升沿之后，数据的有效时间。这些参数在驱动芯片手册上可以查到。

对于接收端，主要是建立时间和保持时间，这两个时序参数是时序分析中提到最多的两个参数，如下图 2 所示：

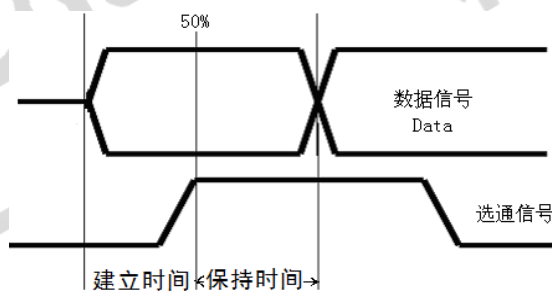


图 2

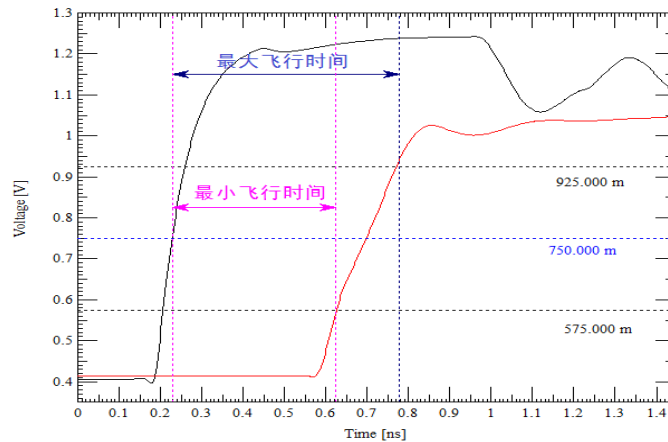
看图 2，有没有觉得和图 1 很相似呢，它们都是以时钟信号为参考。对于接收端来说，数据在时钟信号上升沿之前的有效时间称为建立时间，在时钟上升沿之后的叫保持时间。和驱动端对比，它们的叫法不一样罢了，定义方式都是相似的。时序分析的最终目的就是要保证数据被接收端有效的读取，所以我们在评估一个系统的时序是否满足要求，是通过评估建立时间和保持时间的裕量来实现的。

如何关注

- 1、搜索微信号“高速先生”
- 2、扫描右侧二维码，开始学习



对于传输通道来说，是通过飞行时间来描述的。飞行时间包括最大飞行时间和最小飞行时间。最大最小飞行时间和传输线的长度有关，也和负载的轻重有关，负载较重会导致上升时间变缓，定义方式如下图 3



在理解这些时序参数的含义之后，就可以进行时序裕量的计算了。这里以数据信号为例进行说明，我们知道，DDR 总线中，数据信号是参考 DQS 的，在写方向：

Data 信号从驱动到接收总的延时为： $T_{data}=T_{co_data}+T_{flt_data}$ (1)

DQS 信号从驱动到接收总的延时为： $T_{strobe}=T_{co_strobe}+T_{flt_strobe}+T_{delay}$ (2)

式中： T_{co} 和 T_{flt} 分别代表数据、选通信号在器件的内部延迟和信号传输的飞行时间； T_{delay} 是指数据信号和选通信号之间的延迟，由系统内延时器件决定。建立时序裕量的公式为： $T_{setup_margin}=T_{strobe}-T_{data}-T_{setup}$ (3)

把式 (1) 和式 (2) 带入得式 (3) 得：

$T_{setup_margin}=T_{co_strobe}+T_{flt_strobe}+T_{delay}- (T_{co_data}+T_{flt_data})-T_{setup}$ (4)

式中： T_{setup} 表示接收数据端数据的建立时间，从器件手册上获取；将数据和 Strobe 信号在器件内的延时差异定义为 T_{vb} ，其值从器件手册上获取；

$T_{vb}=T_{co_strobe}+T_{delay}-T_{co_data}$ (5) 将 PCB 走线引起的延时差异，定义为 T_{pcb_skew} ：

$T_{pcb_skew}=T_{flt_data}-T_{flt_strobe}$ (6) 将式 (5) 和式 (6) 带入式 (4)，这样可以得到一个简单的建立时间裕量方程：

$T_{setup_margin}=T_{vb}-T_{setup}- (T_{flt_data(max)}-T_{flt_strobe(min)})$ (7)

使用同样的方法分析，保持时间裕量：

$T_{hold_margin}=(T_{co_strobe}+T_{flt_strobe}+T_{delay})-(T_{co_data}+T_{flt_data})-T_{hold}$ (9)

同样定义：

如何关注

- 1、搜索微信号“高速先生”
- 2、扫描右侧二维码，开始学习



$$Tva=Tco_strobe+Tdelay-Tco_data \quad (10)$$

$$Tpcb_skew=Tflt_data-Tflt_strobe \quad (11)$$

$$Thold_margin=Tva-Thold+(Tflt_data(min)-Tflt_strobe(max)) \quad (12)$$

综上所述，我们可以看出，对于 DDR 的时序来说，影响时序裕量的关键因素是驱动芯片的 Tva 与 Tvb ，以及接收端的建立时间与保持时间。我们布线可以控制的只是数据与选通时钟之间的长度差值。数据线与数据选通线长度的差值有正负之分，从 (7) 和 (9) 式可以看出，建立时间与保持时间与 $Tpcb_skew$ 之间的关系，在增大建立时间的时候必然会牺牲保持时间。所以在布线的时候，数据与数据选通即 DQ 与同组的 DQS 之间应该保持严格的等长，这样可以减少 $Tpcb_skew$ ，增大建立时间裕量。

时序问题是很复杂的，文中分析的情况没有考虑 Jitter 与串扰。我们也很少会手动计算一个系统的时序关系，一般会借助软件分析。本文只是学习时序仿真的一个入门，感兴趣的网友，让我们一起查阅更多的资料，进行更加深入的学习吧！

问题来了

对于像 DDR 数据组这样的源同步时序，总线本身的长度对系统的时序有影响吗，为什么？

高速先生欢迎您和我们一起进行交流，关注微信名（高速先生），直接将答案通过会话回复，参与互动答题即有机会获得奖品，回复关键词“奖品”查看更多。

【关于一博】

一博科技专注于高速 PCB 设计、PCB 制板、焊接加工、物料供应等服务。作为全球最大的高速 PCB 设计公司，我司在中国、美国、日本设立研发机构，全球研发工程师 500 余人。超大规模的高速 PCB 设计团队，引领技术前沿，贴近客户需求。

一博旗下 PCB 板厂成立于 2009 年，位于广东四会（广州北 50KM），采用来自日本、德国的一流加工设备，TPS 精益生产管理以及品质管控体系的引入，致力为广大客户提供高品质、高多层的制板服务。

一博旗下 PCBA 总厂位于深圳，并在上海设立分厂，现有 12 条 SMT 产线，配备全新进口富士 XPF、NXT3、全自动锡膏印刷机、十温区回流炉等高端设备，并配有波峰焊、AOI、XRAY、BGA 返修台等配套设备，专注研发打样、中小批量的 SMT 贴片、组装等服务。

如何关注

- 1、搜索微信号“高速先生”
- 2、扫描右侧二维码，开始学习



【关于高速先生】

高速先生由深圳市一博科技有限公司 R&D 技术研究部创办，用浅显易懂的方式讲述高速设计，成立至今保持每周发布两篇原创技术文章，已和大家分享了百余篇呕心沥血之作，深受业内专业人士欢迎，是中国高速电路第一自媒体品牌。



扫一扫，即可关注

如何关注

- 1、搜索微信号“高速先生”
- 2、扫描右侧二维码，开始学习

