

【高速先生原创|DDR 系列】DDR 线长匹配与时序（下）

作者：袁波 一博科技高速先生团队队员

DDR 线长匹配与时序（下）

上篇文章我们用仿真实例向大家展示了 DDR 中地址相对于时钟的建立时间与保持时间。那么数据信号相对于 DQS 又是什么样的关系呢？我们知道，DDR 和普通的 SDRAM 相比起来，读取速率为普通 SDRAM 的两倍，这个要怎么理解？原来 SDRAM 在写入或者读取数据的时候是靠上升沿或者下降沿来触发的，请注意，这里仅仅是上升沿或者下降沿，并不是上升沿和下降沿同时有效。如果时钟频率是 800MHz，那么对应的数据率就为 800Mbps。但是 DDR 的数据信号却是双倍速率的，如果 DQS 频率为 800MHz，那么数据信号的速率就应该为 1600Mbps。

下面通过具体的仿真实例来看一下。

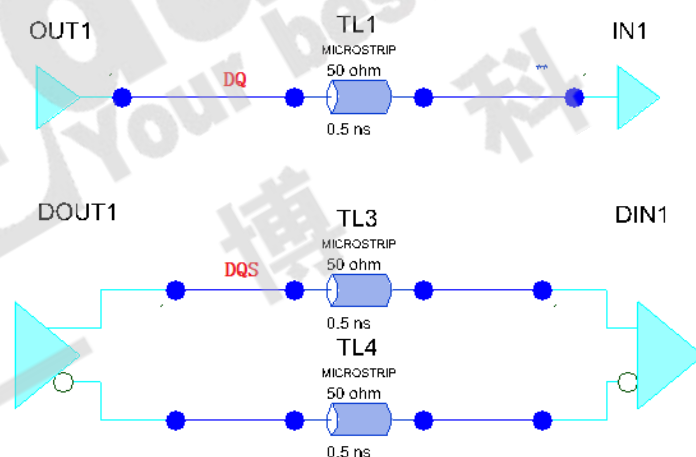


图 1 DQ 与 DQS 仿真示意

仿真通道如上图所示，驱动端和接收端为某芯片公司的 IBIS 模型，仿真波形如下：

如何关注

- 1、搜索微信号“高速先生”
- 2、扫描右侧二维码，开始学习



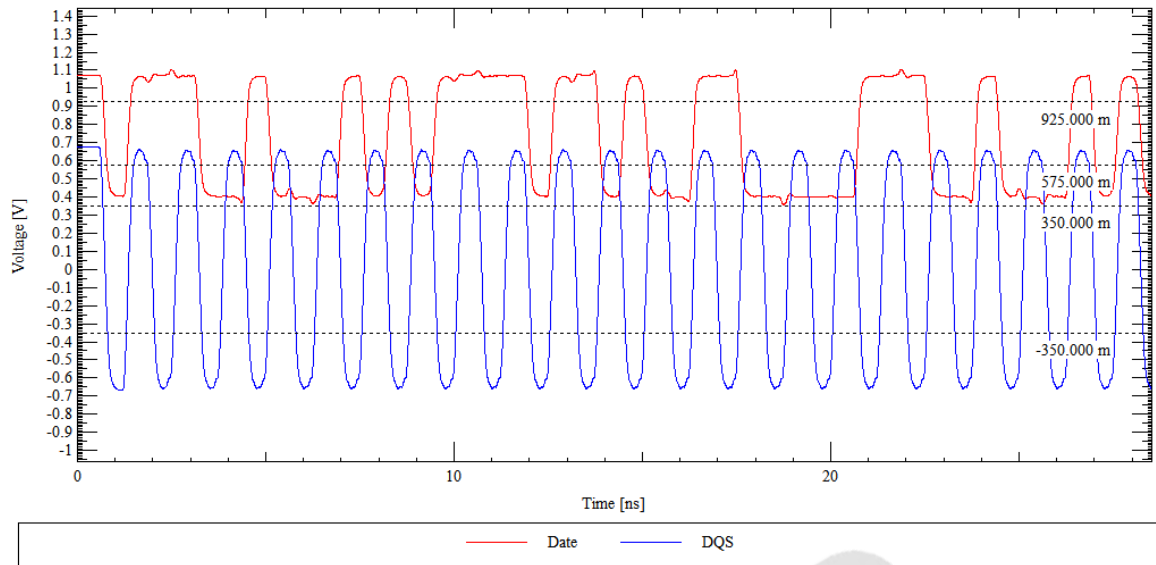


图 2 DQ 与 DQS 仿真波形

我们将 DQS 和 DQ 信号同时生成眼图，在一个窗口观测，结果如下：

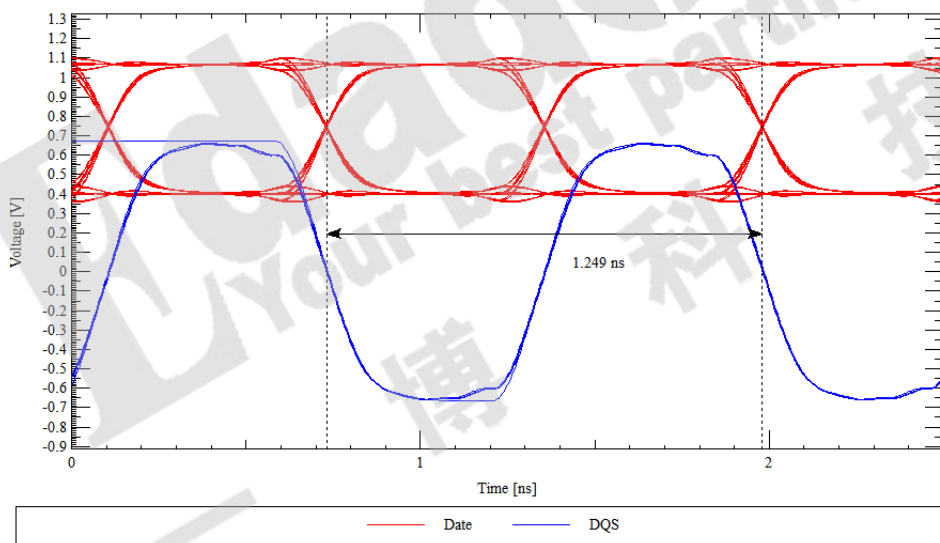


图 3 DQ 与 DQS 眼图

这里，作者本来是想仿真 DDR 在写操作的时候 DQS 和 DQ 之间的时序对应关系。在之前的文章中，我们知道，在写操作的时候，是以高低电平的中点为触发点的，上面眼图中的波形对应关系显然不能完成数据的写入，因为 DQS 的边沿和数据信号翻转的边沿基本是对齐的。

在仿真的时候只是简单的将两波形放在了一起，因为 DQ 和 DQS 的传输通道长度是一样的，所以他们的边沿是对齐的。实际工作的时候，主控芯片会有一个调节机制。一

如何关注

- 1、搜索微信号“高速先生”
- 2、扫描右侧二维码，开始学习



般数据信号会比 DQS 提前四分之一周期被释放出来，实际上，在颗粒端接收到的波形对应关系应该是这样的：

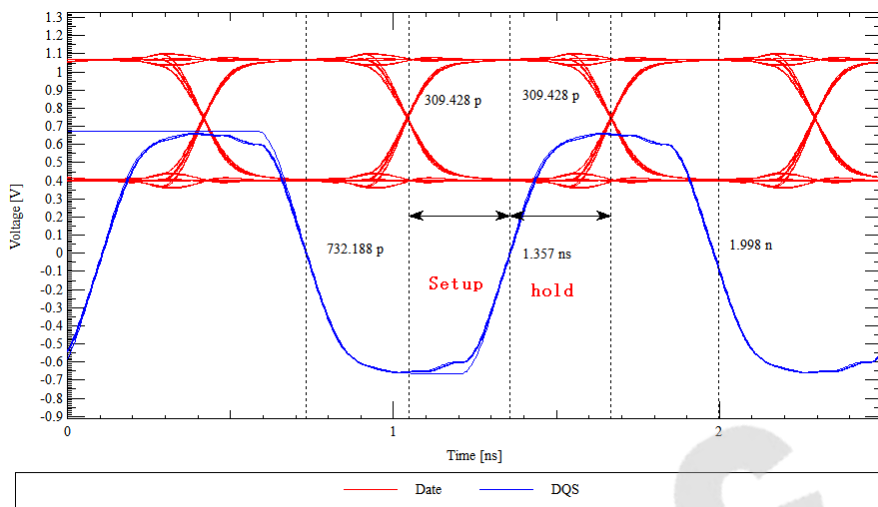


图 4 平移后的眼图

通过主控芯片的调节之后，DQS 的边沿就和 DQ 信号位的中心对齐了，这样就能保证数据在传输到接收端有足够的建立时间与保持时间，就算 DQS 与 DQ 之间的线长匹配的不是那么严格，也会有一些时序裕量。

说了这么多，其实我们要解决的根本问题还是长度匹配的范围问题。在理解了这些基础问题之后，我们需要做的就是将这些时间参数转化为延时。线长匹配范围怎么计算？下面通过具体实例来看看时序裕量是怎么计算的。先简单的来看一张图

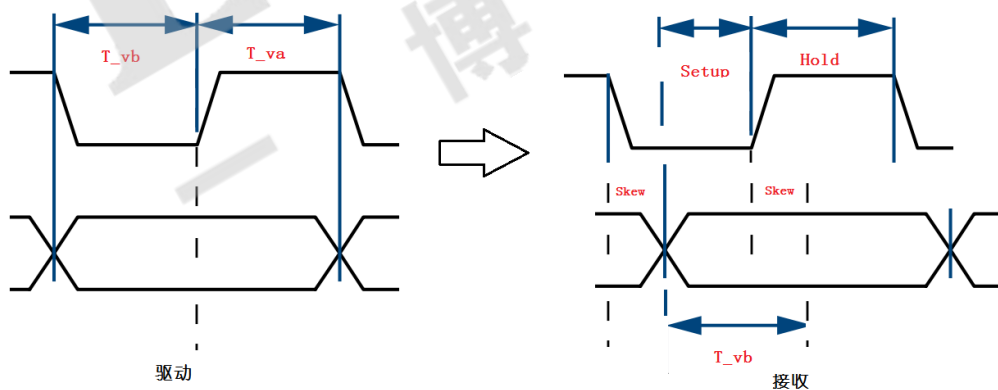


图 5 延时偏差对时序的影响

上图中， T_{vb} 与 T_{va} 表示的是主控芯片在输出数据时时钟与数据之间的时序参数。在理想情况下，时钟边沿和数据电平的中心是对齐的，由于时钟和数据传输通道不等长，使得时钟边沿没有和数据脉冲的中间位置对其，使得建立时间的裕量变小。

如何关注

- 1、搜索微信号“高速先生”
- 2、扫描右侧二维码，开始学习



下面我们通过具体实例来看看时序的计算，下图是 Freescale MPC8572 DDR 主控芯片手册，这张图片定义了从芯片出来的时候，DQS 与 DQ 之间的相位关系。

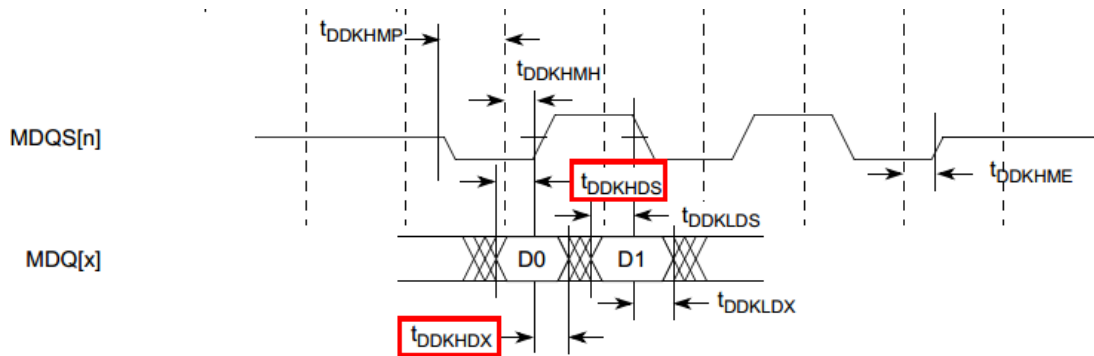


Figure 5. DDR2 and DDR3 SDRAM Interface Output Timing Diagram

图 6 MPC8572 时序图

MDQ/MECC/MDM output setup with respect to MDQS	t_{DDKHDS} t_{DDKLDL}			ps
800 MHz		375	—	
667 MHz		450	—	
533 MHz		538	—	
400 MHz		700	—	
MDQ/MECC/MDM output hold with respect to MDQS	t_{DDKHDX} t_{DDKLDX}			ps
800 MHz		375	—	
667 MHz		450	—	

MPC8572E PowerQUICC III Integrated Processor Hardware Specifications, Rev. 7

图 7 MPC8572 时序参数

颗粒端为美光 DDR，该芯片的时序图以及时序参数如下图所示，这张图片则定义了颗粒端芯片识别信号所需要的建立时间与保持时间。

如何关注

- 1、搜索微信号“高速先生”
- 2、扫描右侧二维码，开始学习



Figure 12: Memory Write and Address/Command Timing

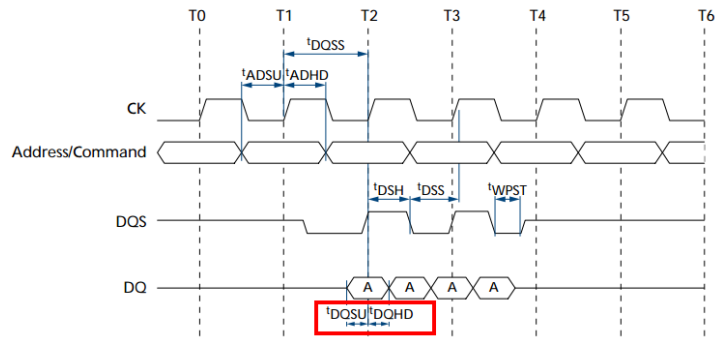


Table 11: DDR3 Write Budget

Element	Skew Component	DDR3-800		DDR3-1066		Unit	Comments
		Setup	Hold	Setup	Hold		
Clock	Data/strobe chip PLL jitter	45	45	45	45	ps	
	DRAM ¹ JITper	50	50	45	45	ps	Derate what the DRAM is tested for
	Clock skew	0	0	0	0	ps	
Transmitter	Controller skew	267	267	209	209	ps	Assume similar to DRAM and use DRAM's specifications
Interconnect	DQ crosstalk and ISI ¹	52	52	32	32	ps	1 victim (1010...), 4 aggressors (PRBS)
	DQS crosstalk and ISI ¹	23	23	23	23	ps	1 shielded victim (1010...), 2 aggressors (PRBS)
	V _{REF} reduction	10	10	10	10	ps	±30mV in DRAM skew, additional ±10 mV/(1 V/ns)
	R _{EFF} mismatch	0	0	0	0	ps	±6% accounted for by DRAM specification
	Path matching (board)	10	10	10	10	ps	Within byte lane: 165 ps/in; mismatch within DQS to DQ
	Path matching (module)	5	5	5	5	ps	Module routing skew (30% reduction with leveling)
	Input capacitance matching	5	5	5	5	ps	Strobe to data variation
	ODT skew (1%)	5	5	5	5	ps	Estimated
	Total interconnect	110	110	90	90	ps	
Receiver	DRAM skew	215	215	165	165	ps	¹ DS, ¹ DH from DRAM specification, derated for faster slew rates

图 8 DDR 颗粒时序图以及时序参数

我们用 T_{pcb skew} 来表示 DQ 与 DQS 之间的延时偏差, 如果想要得到足够的时序裕量, 则延时偏差要满足以下关系:

$$T_{pcb skew} < T_{vb} - T_{setup}$$

$$T_{pcb skew} > T_{hold} - T_{va}$$

代入数据, 有:

$$T_{vb} - T_{setup} = 375 - 215 = 160ps$$

$$T_{hold} - T_{va} = -160ps$$

这样, 如果传输线的速度按照 6mil/ps 来计算, T_{pcb skew} 为 +/-960mil。大家会发现裕量很大, 当然这只是最理想情况, 没有考虑时钟抖动以及数据信号的抖动, 以及串扰、

如何关注

- 1、搜索微信号“高速先生”
- 2、扫描右侧二维码, 开始学习



码间干扰带来的影响，如果把这些因素都考虑进来，留给我们布线偏差的裕量就比较小了。

本期问题：码间干扰和串扰是怎么影响时序的？

【关于一博】

一博科技成立于 2003 年 3 月，专注于高速 PCB 设计、PCB 制板、SMT 焊接加工、元器件供应等服务。作为全球最大的高速 PCB 设计公司，我司在中国、美国、日本设立研发机构，全球研发工程师 500 余人。超大规模的高速 PCB 设计团队，引领技术前沿，遍布全国的研发客服团队，贴近客户需求。

一博旗下 PCB 线路板厂成立于 2009 年，致力为广大客户提供高品质、高多层的制板服务。

一博旗下 PCBA 总厂成立于 2013 年，专注研发打样、中小批量的 SMT 贴片、组装等服务。

PCB 设计、制板、贴片、物料无缝衔接，一博一站式平台致力于缩短客户研发周期，提供方便省心的柔性生产解决方案，已得到 50 余家五百强的认证通过。一博，值得信赖。EDADOC,Your Best Partner。

【关于高速先生】

高速先生由深圳市一博科技有限公司 R&D 技术研究部创办，用浅显易懂的方式讲述高速设计，成立至今保持每周发布两篇原创技术文章，已和大家分享了百余篇呕心沥血之作，深受业内专业人士欢迎，是中国高速电路第一自媒体品牌。

如何关注

- 1、搜索微信号“高速先生”
- 2、扫描右侧二维码，开始学习





扫一扫，即可关注

Edadoc
Your best partner
— 博 科 技

如何关注

- 1、搜索微信号“高速先生”
- 2、扫描右侧二维码，开始学习

