

## 【高速先生原创|DDR 系列】DDR3 布线的那些事儿（二）

作者：肖勇超 一博科技高速先生团队队员

### DDR3 布线的那些事儿（二）

DDR3 的设计有着严格等长要求，归结起来分为两类（以 64 位的 DDR3 为例）：  
数据（DQ, DQS, DQM）：组内等长，误差控制在 20MIL 以内，组间不需要考虑等长；  
地址、控制、时钟信号：地址、控制信号以时钟作参考，误差控制在 100MIL 以内，  
Address、Control 与 CLK 归为一组，因为 Address、Control 是以 CLK 的下降沿触发的  
由 DDR 控制器输出，DDR 颗粒由 CLK 的上升沿锁存 Address、Control 总线上的状态，所  
以需要严格控制 CLK 与 Address/Command、Control 之间的时序关系，确保 DDR 颗粒能  
够获得足够的建立和保持时间。

关注等长的目的就是为了等时，绕等长时需要注意以下几点：

1. 确认芯片是否有 Pin-delay，绕线时要确保 Pin-delay 开关已经打开；
2. 同组信号走在同层，保证不会因换层影响实际的等时；同样的换层结构，换层前后的等长要匹配，即时等长；不同层的传播延时需要考虑，如走在表层与走在内层，其传播速度是不一样的，所以在走线的时候需要考虑，表层走线尽量短，让其差别尽量小（这也是为什么 Intel 的很多 GUIDE 上面要求，表层的走线长度不超过 250MIL 等要求的原因）；
3. Z 轴的延时：在严格要求的情况下，需要把 Z 轴的延时开关也打开，做等长时需要考虑（ALLEGRO 中层叠需要设置好，Z 轴延时才是对的）。
4. 蛇形绕线时单线按 3W，差分按 5W 绕线（W 为线宽）。且保证各 BUS 信号组内间距按 3H，不同组组间间距为 5H（H 为到主参考平面间距），DQS 和 CLK 距离其他信号间距做到 5H 以上。单线和差分绕线方式如下图 1 所示：

#### 如何关注

- 1、搜索微信号“高速先生”
- 2、扫描右侧二维码，开始学习



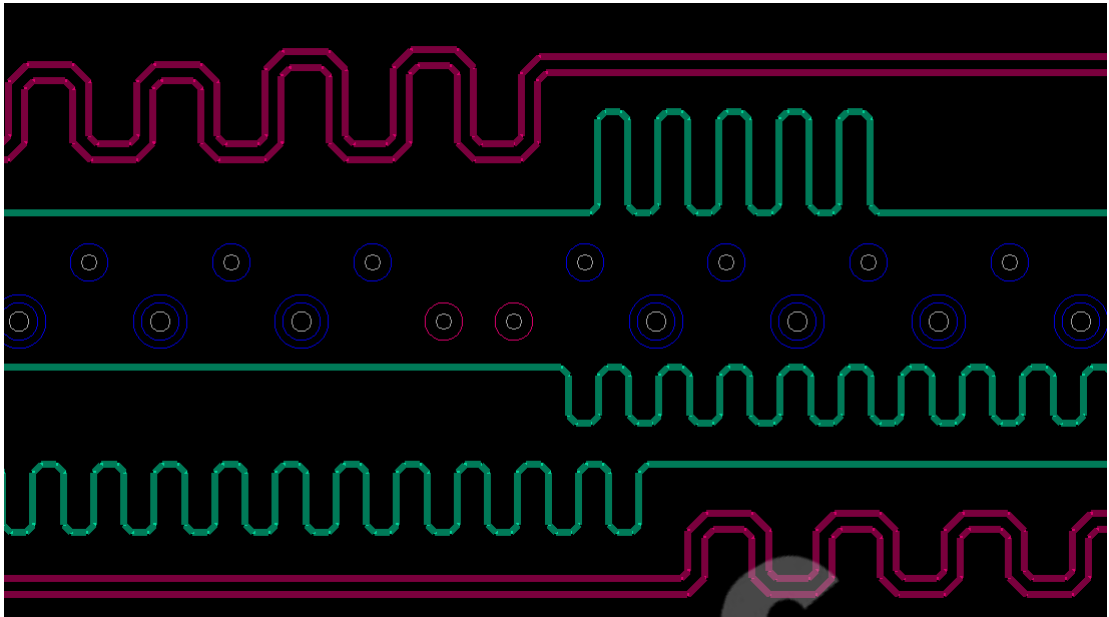


图 1. 单线和差分绕线方式示例

而另一个核心重点便是电源处理。DDR3 中有三类电源，它们是 VDD (1.5V)、VTT (0.75V)、VREF (0.75V，包括 VREFCA 和 VREFDQ)。

1. VDD (1.5V) 电源是 DDR3 的核心电源，其引脚分布比较散，且电流相对会比较大，需要在电源平面分配一个区域给 VDD(1.5V)；VDD 的容差要求是 5%，详细在 JEDEC 里有叙述。通过电源层的平面电容和专用的一定数量的去耦电容，可以做到电源完整性。VDD 电源平面处理如下图 2 所示：

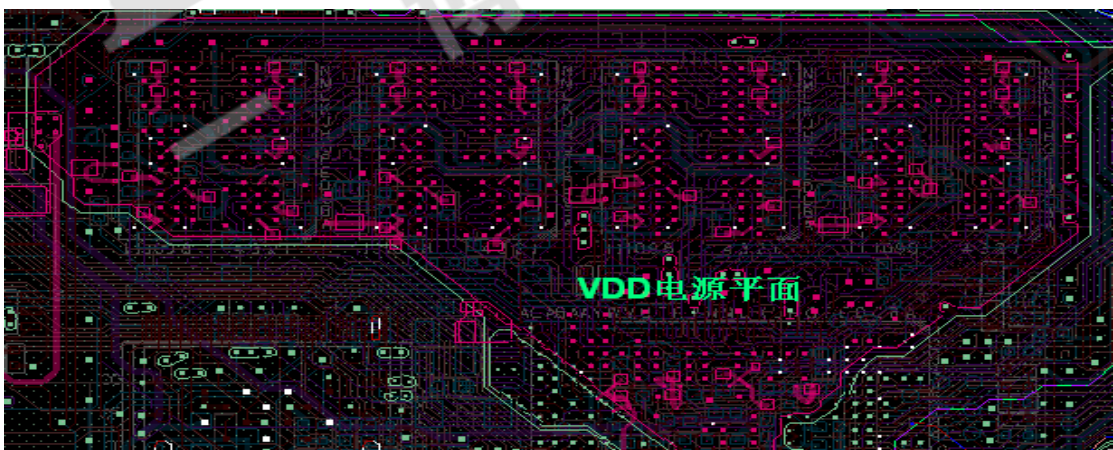


图 2: VDD 电源处理

如何关注

- 1、搜索微信号“高速先生”
- 2、扫描右侧二维码，开始学习



2. VTT 电源，它不仅有着严格的容差性，而且还有着很大的瞬间电流；可以通过增加去耦电容来实现它的目标阻抗匹配；由于 VTT 是集中在终端的上拉电阻处，不是很分散，且对电流有一定的要求，在处理 VTT 电源时，一般是在元件面同层通过铺铜直接连接，铜皮要有一定宽度（120MIL）。VTT 电源处理如图 3 所示：



图 3：VTT 电源

3. VREF 电源。VREF 要求更加严格的容差性，但是它承载的电流比较小。它不需要非常宽的走线，且通过一两个去耦电容就可以达到目标阻抗的要求。DDR3 的 VREF 电源已经分为 VREFCA 和 VREFDQ 两部分，且每个 DDR3 颗粒都有单独的 VREFCA 和 VREFDQ，因其相对比较独立，电流也不大，布线处理时也建议用与器件同层的铜皮或走线直接连接，无须在电源平面层为其分配电源。注意铺铜或走线时，要先经过电容再接到芯片的电源引脚，不要从分压电阻那里直接接到芯片的电源引脚。VREF 电源处理如图 4 所示：

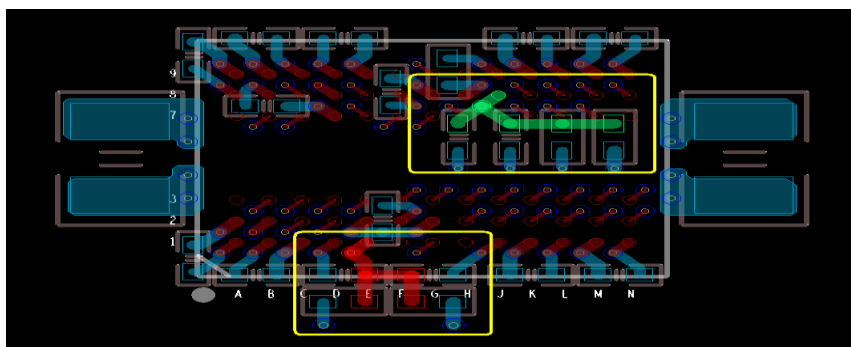


图 4：VREF 电源

#### 如何关注

- 1、搜索微信号“高速先生”
- 2、扫描右侧二维码，开始学习



滤波电容的 FANOUT 小电容尽量靠近相应的电源引脚，电容的引线也要尽量短，并减少电源或地共用过孔；

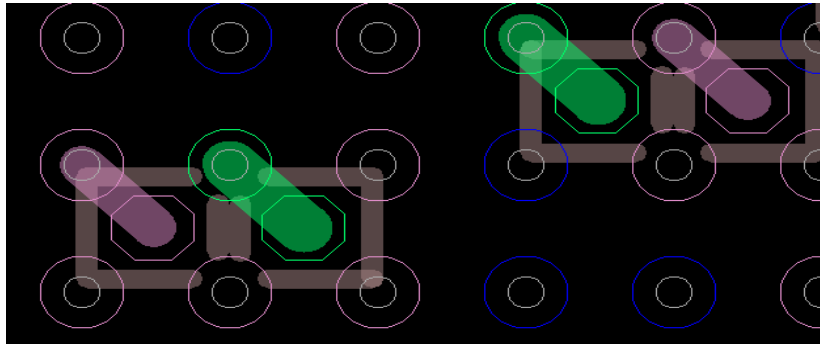


图 5：小滤波电容的 Fanout

### Bulk 电容的 FANOUT

电源的 Bulk 电容一般在设计中起到的是储能滤波的作用，在做 Fanout 时要多打孔，建议 2 个孔以上，电容越大需要过孔越多，也可以用铺铜的形式来做。电容的电源孔和地孔尽量靠近打，如图 6 所示。

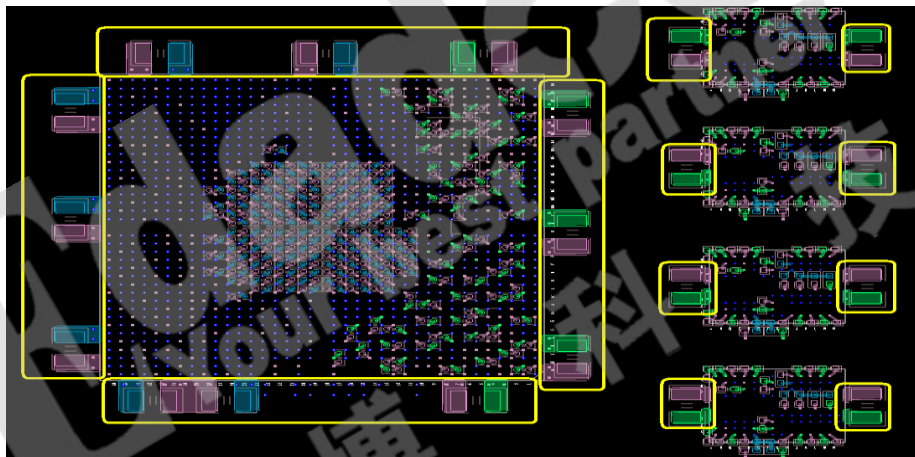


图 6：储能电容的 Fanout

综上所述，我们常规 DDR3 的走线设计总结如下表：

要求 \ 信号	DQ	DQS	CLK	Addr、Ctrl
阻抗要求 (OHM)	50	100	100	50
阻抗要求备注说明	在多负载时（4 片以上），对主干道的走线阻抗要求可能会降低，因为考虑到容性负载补偿的影响（补偿后实际的阻抗是匹配的）；具体的要求请以芯片手册要求为准。			
参考平面	GND	GND	GND/1.5V	GND/1.5V

### 如何关注

- 1、搜索微信号“高速先生”
- 2、扫描右侧二维码，开始学习



组内间距要求	3H	5H	5H	3H
组间间距要求	5H		5H	
与其它非 DDR 间距要求	6H	6H	6H	6H
对内等长要求	/	5mil	5mil	/
组内等长要求	以 DQS 为基准，各组内±10mil		以 CLK 为基准，±100mil	
组间等长要求	各 DATA 组间无等长要求			
颗粒间等长要求	/		推荐±50mil；能做小一些更好； 误差做小一些，可以提升内部调节的效率；	
串阻位置	无	无	靠近 CPU 放置	靠近 CPU 放置
末端拉阻长度要求	/	/	小于 300mil	小于 500mil
备注	1.	因有些 IC 内核设计较特别，按芯片设计指导书或说明按参考板做，特别是 INTEL ,AMD 的芯片，请特别留意芯片手册要求；		
	2.	DQS 的参考平面问题：优先两边都是 GND；接受一边地，一边自身电源，但是到 GND 平面的距离要比到电源平面的距离近；		

表 1：DDR3 走线设计要求

下面进入本期的问答：**DDR3 设计中那些因素会影响时序，在设计中该怎样避免呢？**

如何关注

- 1、搜索微信号“高速先生”
- 2、扫描右侧二维码，开始学习



## 【关于一博】

一博科技成立于 2003 年 3 月，专注于高速 PCB 设计、PCB 制板、SMT 焊接加工、元器件供应等服务。作为全球最大的高速 PCB 设计公司，我司在中国、美国、日本设立研发机构，全球研发工程师 500 余人。超大规模的高速 PCB 设计团队，引领技术前沿，遍布全国的研发客服团队，贴近客户需求。

一博旗下 PCB 线路板厂成立于 2009 年，致力为广大客户提供高品质、高多层的制板服务。

一博旗下 PCBA 总厂成立于 2013 年，专注研发打样、中小批量的 SMT 贴片、组装等服务。

PCB 设计、制板、贴片、物料无缝衔接，一博一站式平台致力于缩短客户研发周期，提供方便省心的柔性生产解决方案，已得到 50 余家五百强的认证通过。一博，值得信赖。EDADOC,Your Best Partner。

## 【关于高速先生】

高速先生由深圳市一博科技有限公司 R&D 技术研究部创办，用浅显易懂的方式讲述高速设计，成立至今保持每周发布两篇原创技术文章，已和大家分享了百余篇呕心沥血之作，深受业内专业人士欢迎，是中国高速电路第一自媒体品牌。



扫一扫，即可关注

### 如何关注

- 1、搜索微信号“高速先生”
- 2、扫描右侧二维码，开始学习

