

【高速先生原创|DDR 系列】走进 JEDEC,解读 DDR(下)

作者：刘为霞 一博科技高速先生团队队员

走进 JEDEC,解读 DDR(下)

上次的问题 Vref 偏移对 DDR 会造成什么影响，其中有比较重要的一个点就是会影响 setup time 和 hold time, 这两个参数和 Vref 又有什么关系呢, 还有 JEDEC 中讲的 derating 又是什么东西呢?

setup time 和 hold time 对我们判断时序裕量是一个比较关键的数值。一般 JEDEC 里面会对于 setup time 和 hold time 做比较详细的描述，如下图所示，

Table 70 — ADD/CMD Setup and Hold Base-Values for 1V/ns

Symbol	Reference	DDR3-800	DDR3-1066	DDR3-1333	DDR3-1600	DDR3-1866	DDR3-2133	Units
tIS(base) AC175	V _{IHL(ac)}	200	125	65	45	-	-	ps
tIS(base) AC150	V _{IHL(ac)}	350	275	190	170	-	-	ps
tIS(base) AC135	V _{IHL(ac)}	-	-	-	-	65	60	ps
tIS(base) AC125	V _{IHL(ac)}	-	-	-	-	150	135	ps
tIH(base) DC100	V _{IHL(dc)}	275	200	140	120	100	95	ps

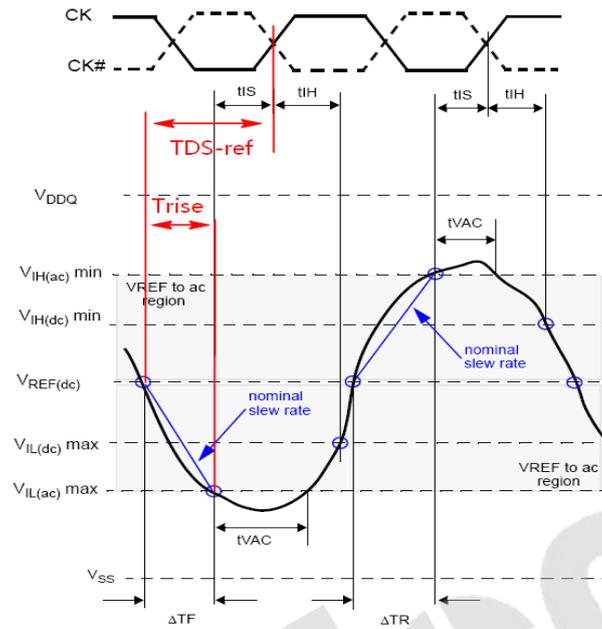
从上图中，我们可以看到几个比较关键的点，为什么是 tIS(base)和 tIH(base)，还有标题中指明 for 1V/ns，又指代的什么意思？为什么 tIS 参考的是 V_{IHL(ac)}，而 tIH 参考的是 V_{IHL(dc)}呢，AC 和 DC 的区别又是什么？一个小小的参数表格，包含的意义却涉及很多内容。

首先，我们计算建立时间的margin的时候，都是由UI/2-建立时间，实际上此时的建立时间是tIS (total setup time) = tIS(base)+derating， derating是对建立保持时间基准值的修正。对于tIS的定义，为什么会需要用到derating这个参数呢，这实际和规范中tIS(base)的定义方式相关。如下图所示，建立时间等于TDS-ref (在ref处的建立时间) 减去Trise (Vref到Vih AC的时间)。规范中的基准值是预减去了这个Trise的，这个预减去的值是特定slew rate为1V/ns时的值，若判断门限是AC175，则预减去175ps。当slew rate等于1V/ns时，derating为0，不需要调整；当slew rate大于1V/ns (更快)时，从Vref到Vih(ac)所需的时间就少，预减多了，要补回来，所以取值为正；当slew rate小于1V/ns (更慢)时就预减少了，所以取值为负。(引用旧文：DDR X系列之derating)

如何关注

- 1、搜索微信号“高速先生”
- 2、扫描右侧二维码，开始学习





如何关注

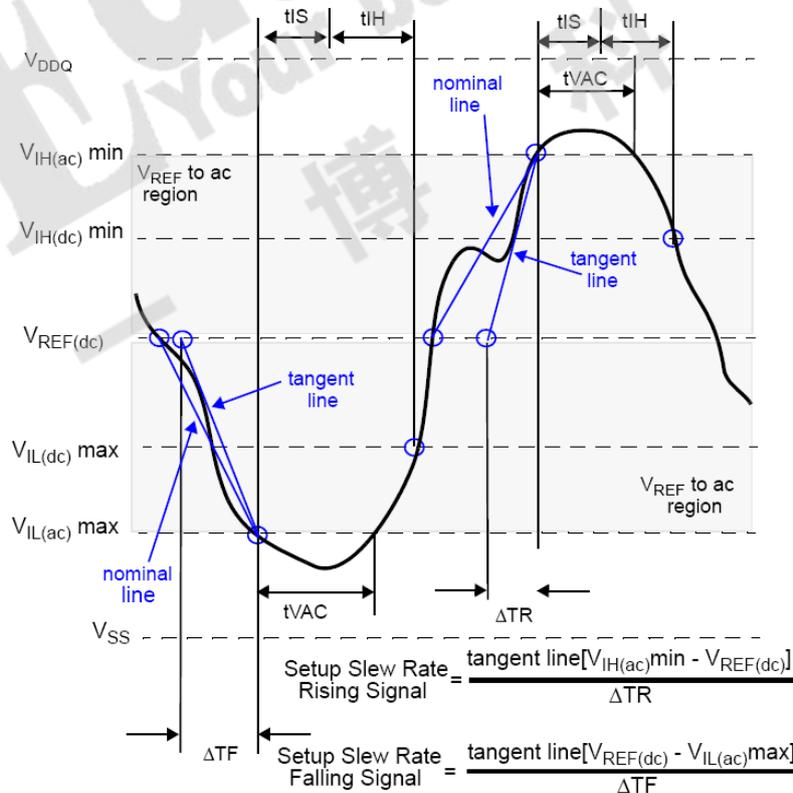
- 1、搜索微信号“高速先生”
- 2、扫描右侧二维码，开始学习



$\Delta t_{IS}, \Delta t_{IH}$ derating in [ps] AC/DC based AC175 Threshold $\rightarrow V_{IH(ac)}=V_{REF(dc)}+175mV, V_{IL(ac)}=V_{REF(dc)}-175mV$																	
CMD/ADD Slew rate V/ns		CK,CK# Differential Slew Rate															
		4.0 V/ns		3.0 V/ns		2.0 V/ns		1.8 V/ns		1.6 V/ns		1.4 V/ns		1.2 V/ns		1.0 V/ns	
		Δt_{IS}	Δt_{IH}	Δt_{IS}	Δt_{IH}	Δt_{IS}	Δt_{IH}	Δt_{IS}	Δt_{IH}	Δt_{IS}	Δt_{IH}	Δt_{IS}	Δt_{IH}	Δt_{IS}	Δt_{IH}	Δt_{IS}	Δt_{IH}
2.0	88	50	88	50	88	50	96	58	104	66	112	74	120	84	128	100	
1.5	59	34	59	34	59	34	67	42	75	50	83	58	91	68	99	84	
1.0	0	0	0	0	0	0	8	8	16	16	24	24	32	34	40	50	
0.9	-2	-4	-2	-4	-2	-4	6	4	14	12	22	20	30	30	38	46	
0.8	-6	-10	-6	-10	-6	-10	2	-2	10	6	18	14	26	24	34	40	
0.7	-11	-16	-11	-16	-11	-16	-3	-8	5	0	13	8	21	18	29	34	
0.6	-17	-26	-17	-26	-17	-26	-9	-18	-1	-10	7	-2	15	8	23	24	
0.5	-35	-40	-35	-40	-35	-40	-27	-32	-19	-24	-11	-16	-2	-6	5	10	
0.4	-62	-60	-62	-60	-62	-60	-54	-52	-46	-44	-38	-36	-30	-26	-22	-10	

至于建立时间和保持时间的参考电压值不一致，主要是因为 AC 和 DC 的代表意义不一样，AC 指由高低电平跳变时需要的参考电压，DC 则指保持所在电平时的阈值电压， t_{IS} 是以数据从前一状态变化为当前状态的时刻开始算起，对应于状态变化过程，要确保电平已变化到规定电平，所以以更为严格的 AC 参数作为参考； t_{IH} 描述的是数据从稳定到状态转换的时间，对应于电平稳定的过程，而电平一旦建立后，发生状态转换的门限电压值是参考 DC，所以 t_{IH} 也以 DC 参数作为参考。

信号的波形很多情况都是不完美的，也许有回沟，也许会有台阶，如下图所示，这种情况下，skew rate 就不能用下图所示的 nominal line，而应该选取 tangent line。



如何关注

- 1、搜索微信号“高速先生”
- 2、扫描右侧二维码，开始学习



今天的问题是：设置 DDR4 的眼图模板时，需要考虑哪些参数。

【关于一博】

一博科技成立于 2003 年 3 月，专注于高速 PCB 设计、PCB 制板、SMT 焊接加工、元器件供应等服务。作为全球最大的高速 PCB 设计公司，我司在中国、美国、日本设立研发机构，全球研发工程师 500 余人。超大规模的高速 PCB 设计团队，引领技术前沿，遍布全国的研发客服团队，贴近客户需求。

一博旗下 PCB 线路板厂成立于 2009 年，致力为广大客户提供高品质、高多层的制板服务。

一博旗下 PCBA 总厂成立于 2013 年，专注研发打样、中小批量的 SMT 贴片、组装等服务。

PCB 设计、制板、贴片、物料无缝衔接，一博一站式平台致力于缩短客户研发周期，提供方便省心的柔性生产解决方案，已得到 50 余家五百强的认证通过。一博，值得信赖。EDADOC,Your Best Partner。

【关于高速先生】

高速先生由深圳市一博科技有限公司 R&D 技术研究部创办，用浅显易懂的方式讲述高速设计，成立至今保持每周发布两篇原创技术文章，已和大家分享了百余篇呕心沥血之作，深受业内专业人士欢迎，是中国高速电路第一自媒体品牌。

如何关注

- 1、搜索微信号“高速先生”
- 2、扫描右侧二维码，开始学习





扫一扫，即可关注

Edadoc
Your best partner
— 博 科 技

如何关注

- 1、搜索微信号“高速先生”
- 2、扫描右侧二维码，开始学习

