

【高速先生原创|DDR 系列】走进 JEDEC,解读 DDR(上)

作者：刘为霞 一博科技高速先生团队队员

走进 JEDEC,解读 DDR(上)

之前已经讲过 DDR 的前世今生，以及 DDR 的各种功能探秘，基本上对于 DDR，我们已经有了比较深刻的认识，接下来就是利用我们已有的标准，去解读 DDR。

通常，DDR 设计完成之后，对信号质量并没有一个完全确定的概念，需要通过仿真和测试的手段去判断和验证。而此时，往往我们拿到的就是一个波形，测试波形或者仿真波形，该如何去判断其信号质量，参照的标准又是怎样的，就是我们需要去考虑的重点。

DDR 信号是数字信号，表现为 0、1 两种形式，一般看到的波形都是类似于正弦波的样式，什么时候判定为 1，什么时候判定为 0 呢？每一个信号都是以电磁波的形式进行传输，因此一定具有相应的幅值，所以判定方法肯定是当幅值高于某一个值时，判定信号为 1，低于某一个值时，判定为 0。而判定的依据——某一个值就是从 JEDEC 中找到的。如图一所示，是 DDR3 地址命令信号的 AC、DC 标准，对应相应的速率，就可以在波形上面标注出相应的 VIH 和 VIL。当幅值范围为 VIHAC (min)~VIHDC (min) 时，判定为 1，当幅值范围为 VILAC (max)~VILDC (max) 时判定为 0，如下图二所示

Table 23 — Single-Ended AC and DC Input Levels for Command and Address

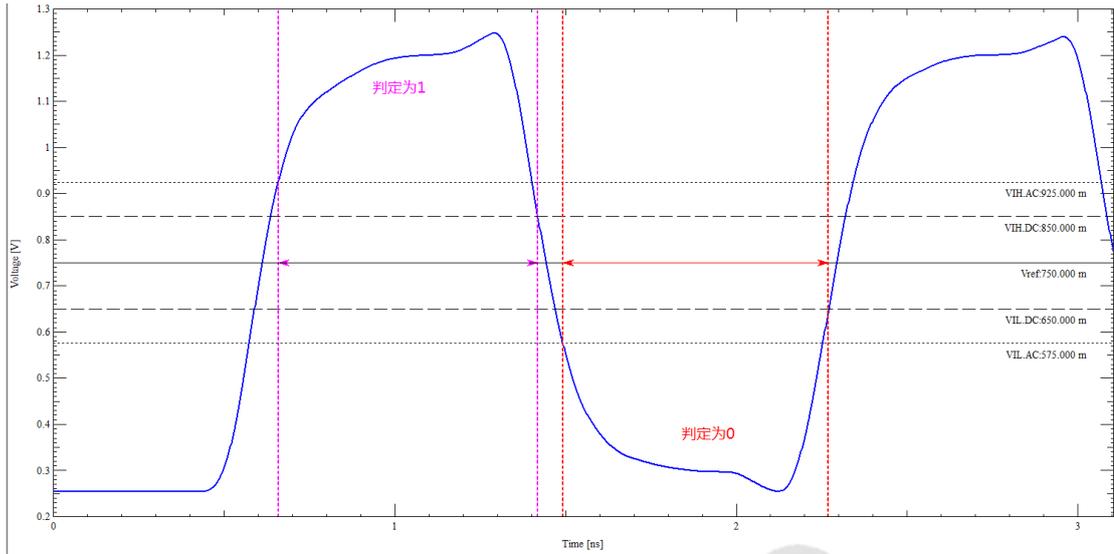
Symbol	Parameter	DDR3-800/1066/1333/1600		DDR3-1866/2133		Unit	Notes
		Min	Max	Min	Max		
VIH.CA(DC100)	DC input logic high	Vref + 0.100	VDD	Vref + 0.100	VDD	V	1, 5
VIL.CA(DC100)	DC input logic low	VSS	Vref - 0.100	VSS	Vref - 0.100	V	1, 6
VIH.CA(AC175)	AC input logic high	Vref + 0.175	Note 2	-	-	V	1, 2, 7
VIL.CA(AC175)	AC input logic low	Note 2	Vref - 0.175	-	-	V	1, 2, 8
VIH.CA(AC150)	AC input logic high	Vref + 0.150	Note 2	-	-	V	1, 2, 7
VIL.CA(AC150)	AC input logic low	Note 2	Vref - 0.150	-	-	V	1, 2, 8
VIH.CA(AC135)	AC input logic high	-	-	Vref + 0.135	Note 2	V	1, 2, 7
VIL.CA(AC135)	AC input logic low	-	-	Note 2	Vref - 0.135	V	1, 2, 8
VIH.CA(AC125)	AC input logic high	-	-	Vref + 0.125	Note 2	V	1, 2, 7
VIL.CA(AC125)	AC input logic low	-	-	Note 2	Vref - 0.125	V	1, 2, 8
V _{RefCA(DC)}	Reference Voltage for ADD, CMD inputs	0.49 * VDD	0.51 * VDD	0.49 * VDD	0.51 * VDD	V	3, 4, 9

图一

如何关注

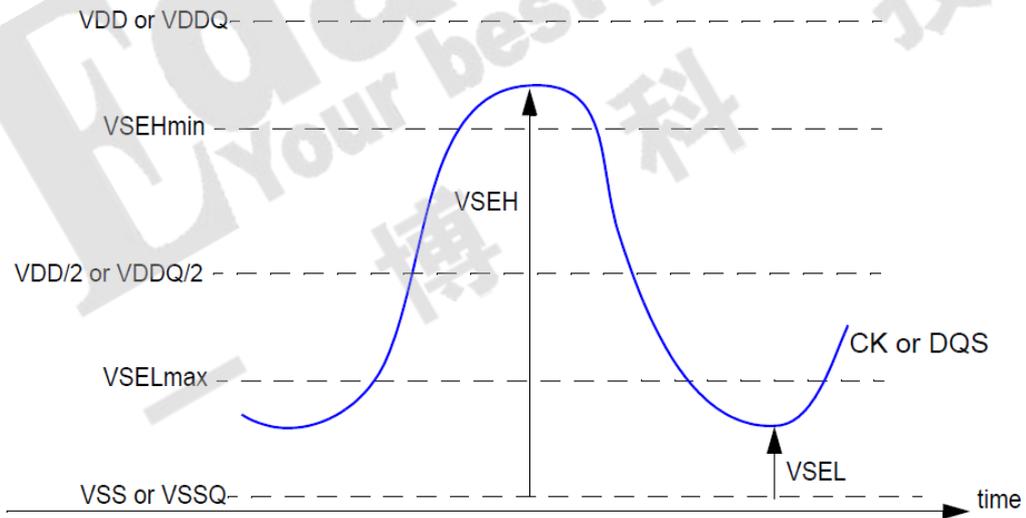
- 1、搜索微信号“高速先生”
- 2、扫描右侧二维码，开始学习





图二

对于做为差分线的 CK 信号和 DQS 信号而言，判定的要求又分为单根和差分模式，单根模式的判定标准和地址数据线基本一致，如下图三所示。它的判定标准只有 VSEH 和 VSEL。实际这两个值对应的就是 VIH.AC 和 VIL.AC。



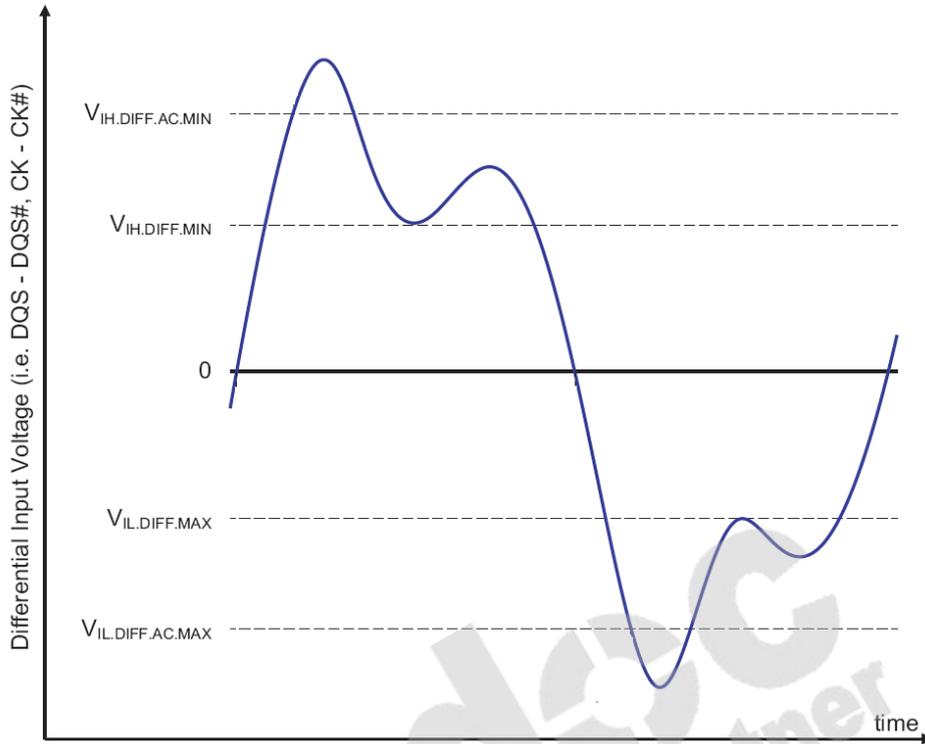
图三

差分模式如图四所示，数据见表格。

如何关注

- 1、搜索微信号“高速先生”
- 2、扫描右侧二维码，开始学习





Symbol	Parameter	DDR3-800, 1066, 1333, & 1600		Unit
		Min	Max	
V_{IHdiff}	Differential input high	+ 0.200	note 3	V
V_{ILdiff}	Differential input logic low	Note 3	- 0.200	V
$V_{IHdiff(ac)}$	Differential input high ac	$2 \times (V_{IH(ac)} - V_{ref})$	Note 3	V
$V_{ILdiff(ac)}$	Differential input low ac	note 3	$2 \times (V_{IL(ac)} - V_{ref})$	V

图四

而且同时对两个单根的交点也有一定的要求，如下图五所示，两个单根的交点位置要在 V_{SEH} 和 V_{SEL} 之间，否则的话差分模式下，正半周期和负半周期可能会有比较大的一个比例差异。

如何关注

- 1、搜索微信号“高速先生”
- 2、扫描右侧二维码，开始学习



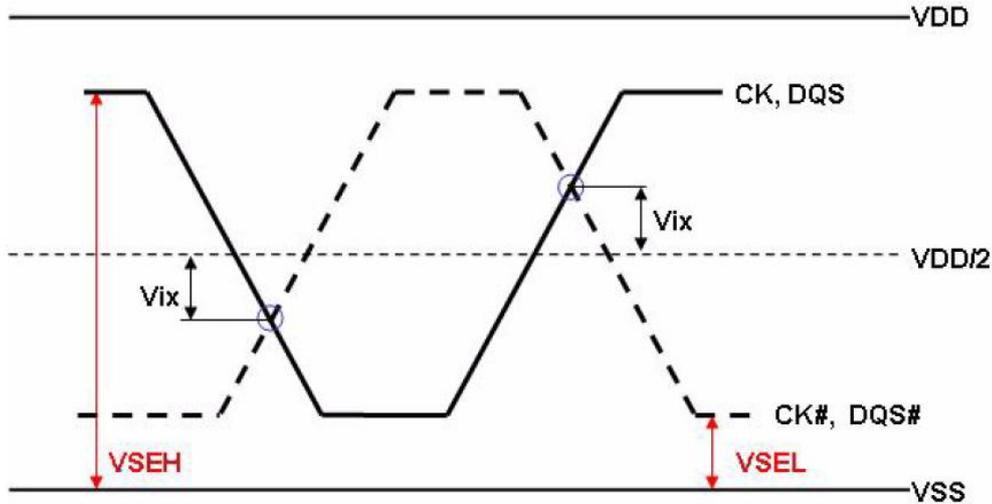
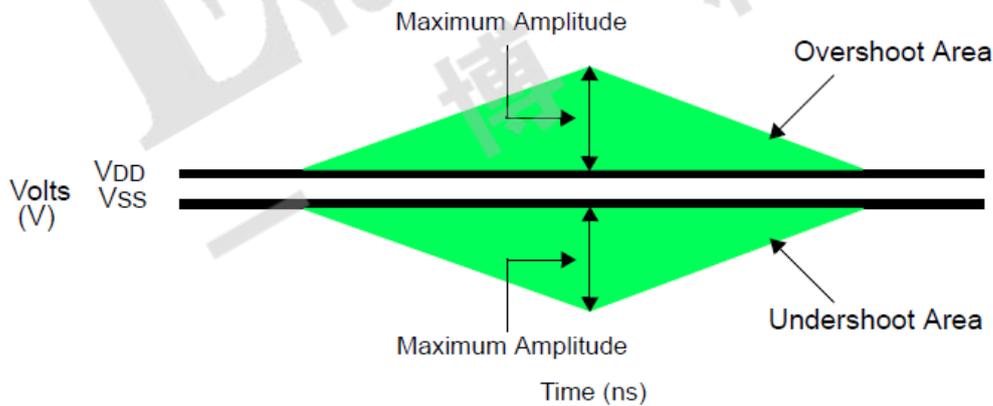


Figure 94 — Vix Definition

图五

对信号幅值的要求不仅仅在这一个方面，幅值太小，会让芯片无法识别信号，那么幅值越大，岂不是对于信号的判定越有利。其实不然，一般的芯片都会有一个耐压值，高于该值，对于芯片的使用寿命会有一个较大的影响，所以，可以看到 JEDEC 中，还有一个 Overshoot 和 Undershoot 的概念，下面是 DDR3 对于信号这方面的一个要求，图六中是对 Overshoot 和 Undershoot 一个面积区域和具体的数值的定义，即最大值的范围在 $VSS-0.4 \sim VDD+0.4$ 之间，斜率按照相应的速率查找，其中斜率的定义对于数据线和地址线是有区别的，要用到的时候，在 JEDEC 中查找即可。



	DDR3-800	DDR3-1066	DDR3-1333	DDR3-1600	DDR3-1866	DDR3-2133	Units
Maximum peak amplitude allowed for overshoot area. ¹ (See Figure 99)	0.4	0.4	0.4	0.4	0.4	0.4	V
Maximum peak amplitude allowed for undershoot area. ² (See Figure 99)	0.4	0.4	0.4	0.4	0.4	0.4	V
Maximum overshoot area above VDDQ (See Figure 99)	0.25	0.19	0.15	0.13	0.11	0.10	V-ns
Maximum undershoot area below VSSQ (See Figure 99)	0.25	0.19	0.15	0.13	0.11	0.10	V-ns

如何关注

- 1、搜索微信号“高速先生”
- 2、扫描右侧二维码，开始学习



图六

这些都是对 DDR 信号最基础的认识，只是基于幅值方面的一些要求。今天的问题是：VREF 电源的噪声容限是多少，如果 VREF 电源不稳定，对于 DDR 有什么影响？

【关于一博】

一博科技成立于 2003 年 3 月，专注于高速 PCB 设计、PCB 制板、SMT 焊接加工、元器件供应等服务。作为全球最大的高速 PCB 设计公司，我司在中国、美国、日本设立研发机构，全球研发工程师 500 余人。超大规模的高速 PCB 设计团队，引领技术前沿，遍布全国的研发客服团队，贴近客户需求。

一博旗下 PCB 线路板厂成立于 2009 年，致力为广大客户提供高品质、高多层的制板服务。

一博旗下 PCBA 总厂成立于 2013 年，专注研发打样、中小批量的 SMT 贴片、组装等服务。

PCB 设计、制板、贴片、物料无缝衔接，一博一站式平台致力于缩短客户研发周期，提供方便省心的柔性生产解决方案，已得到 50 余家五百强的认证通过。一博，值得信赖。EDADOC,Your Best Partner。

【关于高速先生】

高速先生由深圳市一博科技有限公司 R&D 技术研究部创办，用浅显易懂的方式讲述高速设计，成立至今保持每周发布两篇原创技术文章，已和大家分享了百余篇呕心沥血之作，深受业内专业人士欢迎，是中国高速电路第一自媒体品牌。

如何关注

- 1、搜索微信号“高速先生”
- 2、扫描右侧二维码，开始学习





扫一扫，即可关注

如何关注

- 1、搜索微信号“高速先生”
- 2、扫描右侧二维码，开始学习

