

【高速先生原创|DDR 系列】 DDRX 的关键技术介绍（下）

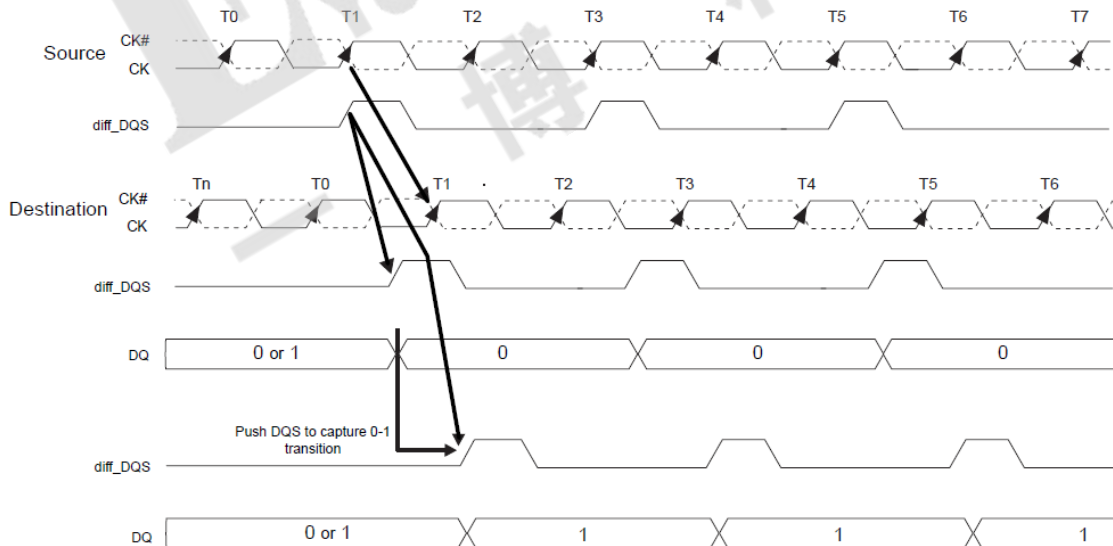
作者：周伟 一博科技高速先生团队队员

DDRx 的关键技术介绍（下）

今天要介绍的是 DDR3 和 DDR4 最关键的一些技术，write leveling 以及 DBI 功能。

Write leveling 功能与 Fly_by 拓扑

Write leveling 功能和 Fly_by 拓扑密不可分。Fly_by 拓扑主要应用于时钟、地址、命令和控制信号，该拓扑可以有效的减少 stub 的数量和他们的长度，但是却会导致时钟和 Strobe 信号在每个芯片上的飞行时间偏移,这使得控制器（FPGA 或者 CPU）很难保持 tDQSS、tDSS 和 tDSH 这些参数满足时序规格。因此 write leveling 应运而生，这也是为什么在 DDR3 里面使用 fly_by 结构后数据组可以不用和时钟信号去绕等长的原因，数据信号组与组之间也不用去绕等长，而在 DDR2 里面数据组还是需要和时钟有较宽松的等长要求的。DDR3 控制器调用 Write leveling 功能时，需要 DDR3 SDRAM 颗粒的反馈来调整 DQS 与 CK 之间的相位关系，具体方式如下图一所示。



图一、 Write leveling

如何关注

- 1、搜索微信号“高速先生”
- 2、扫描右侧二维码，开始学习



Write leveling 是一个完全自动的过程。控制器（CPU 或 FPGA）不停的发送不同延时的 DQS 信号，DDR3 SDRAM 颗粒在 DQS-DQS# 的上升沿采样 CK 的状态，并通过 DQ 线反馈给 DDR3 控制器。控制器端反复的调整 DQS-DQS# 的延时，直到控制器端检测到 DQ 线上 0 到 1 的跳变（说明 tDQSS 参数得到了满足），控制器就锁住此时的延时值，此时便完成了一个 Write leveling 过程；同时在 Leveling 过程中，DQS-DQS# 从控制器端输出，所以在 DDR3 SDRAM 侧必须进行端接；同理，DQ 线由 DDR3 SDRAM 颗粒侧输出，在控制器端必须进行端接；

需要注意的是，并不是所有的 DDR3 控制器都支持 write leveling 功能，所以也意味着不能使用 Fly_by 拓扑结构，通常这样的主控芯片会有类似以下的描述：

The following optional DDR3 features are not supported:

- Read and Write leveling

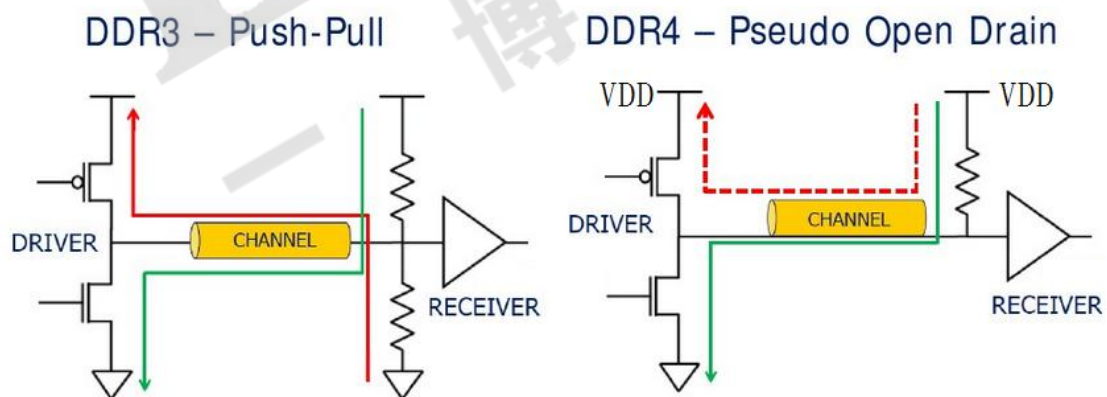
之前就出现过类似的案例，请点击往期的文章：

[DDR3 不能正常工作，Fly_by 的错，粗心惹的祸（陈雅请给个链接）](#)

DBI 功能与 POD 电平

DBI 的全称是 Data Bus Inversion 数据总线反转/倒置，它与 POD 电平密不可分，它们也是 DDR4 区别于 DDR3 的主要技术突破。

POD 电平的全称是 Pseudo Open-Drain 伪漏极开路，其与 DDR3 对比简单的示例电路如下图二所示。



图二 POD 示意电路

从中可以看到，当驱动端的上拉电路导通，电路处于高电平时（也即传输的是“1”），此时两端电势差均等，相当于回路上没有电流流过，但数据“1”还是照样被传输，这样的设计减少了功率消耗。

如何关注

- 1、搜索微信号“高速先生”
- 2、扫描右侧二维码，开始学习



正是由于 POD 电平的这一特性，DDR4 设计了 DBI 功能。当一个字节里的“0”比特位多于“1”时，可以使能 DBI，将整个字节的“0”和“1”反转，这样“1”比“0”多，相比原（反转前）传输信号更省功耗，如下表一所示。

DQ[0:7] per UI	DBI	After Converting Data	# of "0" including DBI
0000_0000	0	1111_1111	1
0000_0001	0	1111_1110	2
0000_0011	0	1111_1100	3
0000_0111	0	1111_1000	4
0000_1111	1	0000_1111	4
0001_1111	1	0001_1111	3
0011_1111	1	0011_1111	2
0111_1111	1	0111_1111	1
1111_1111	1	1111_1111	0

表一 DBI 示例

以上就是 DDRx 的一些主要的关键技术介绍，可以用如下表二所示来总结下 DDRx 的特性对比。

	DDRx SDRAM 特性				
	DDR	DDR2	DDR3	LPDDR3	DDR4
速率 (Mbps)	200~400	400~800	800~1600	1333~2133	1600~3200
VDDQ (V)	2.5	1.8	1.5	1.2	1.2
电平接口	SSTL_2	SSTL_18	SSTL_15	HSUL_12	POD12
选通信号	单端	可选单端 /差分	差分	差分	差分
ODT	无	有	有	可选	有
Slew Rate	有	有	有	有	无

如何关注

- 1、搜索微信号“高速先生”
- 2、扫描右侧二维码，开始学习



Derating					
Write Leveling	无	无	有	有	有
DBI	无	无	无	无	有

表二 DDRx SDRAM 特性对比

本期问题：所有 DDR4 信号都是 POD 电平吗？以及 DBI 在读写时是如何操作的？

【关于一博】

一博科技成立于 2003 年 3 月，专注于高速 PCB 设计、PCB 制板、SMT 焊接加工、元器件供应等服务。作为全球最大的高速 PCB 设计公司，我司在中国、美国、日本设立研发机构，全球研发工程师 500 余人。超大规模的高速 PCB 设计团队，引领技术前沿，遍布全国的研发客服团队，贴近客户需求。

一博旗下 PCB 线路板厂成立于 2009 年，致力为广大客户提供高品质、高多层的制板服务。

一博旗下 PCBA 总厂成立于 2013 年，专注研发打样、中小批量的 SMT 贴片、组装等服务。

PCB 设计、制板、贴片、物料无缝衔接，一博一站式平台致力于缩短客户研发周期，提供方便省心的柔性生产解决方案，已得到 50 余家五百强的认证通过。一博，值得信赖。EDADOC,Your Best Partner。

【关于高速先生】

高速先生由深圳市一博科技有限公司 R&D 技术研究部创办，用浅显易懂的方式讲述高速设计，成立至今保持每周发布两篇原创技术文章，已和大家分享了百余篇呕心沥血之作，深受业内专业人士欢迎，是中国高速电路第一自媒体品牌。

如何关注

- 1、搜索微信号“高速先生”
- 2、扫描右侧二维码，开始学习





扫一扫，即可关注

Edadoc
Your best partner
— 博 科 技

如何关注

- 1、搜索微信号“高速先生”
- 2、扫描右侧二维码，开始学习

