

【高速先生原创|DDR 系列】DDR_X 的关键技术介绍（中）

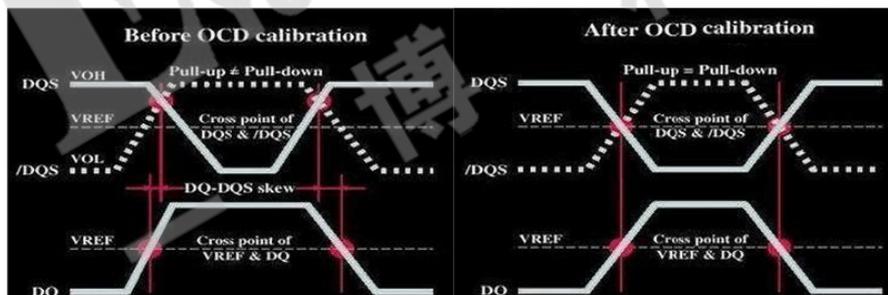
作者：周伟 一博科技高速先生团队队员

DDR_X 的关键技术介绍（中）

在 DDR_X 里面经常会被一些缩写误扰，如 OCD、OCT 和 ODT，我想有同样困扰的大有人在，今天还是继续上一篇的关键技术来介绍一下大家的这些困扰吧。

片外驱动调校 OCD（Off-Chip Driver）

OCD 是在 DDR-II 开始加入的新功能，而且这个功能是可选的，有的资料上面又叫离线驱动调整。OCD 的主要作用在于调整 I/O 接口端的电压，来补偿上拉与下拉电阻值，从而调整 DQS 与 DQ 之间的同步确保信号的完整与可靠性。调校期间，分别测试 DQS 高电平和 DQ 高电平，以及 DQS 低电平和 DQ 高电平的同步情况。如果不满足要求，则通过设定突发长度的地址线来传送上拉/下拉电阻等级（加一档或减一档），直到测试合格才退出 OCD 操作，通过 OCD 操作来减少 DQ、DQS 的倾斜从而提高信号的完整性及控制电压来提高信号品质。具体调校如下图一所示。



图一 OCD

不过，由于在一般情况下对应用环境稳定程度要求并不太高，只要存在差分 DQS 时就基本可以保证同步的准确性，而且 OCD 的调整对其他操作也有一定影响，因此 OCD 功能在普通台式机上并没有什么作用，其优点主要体现在对数据完整性非常敏感的服务器等高端产品领域。

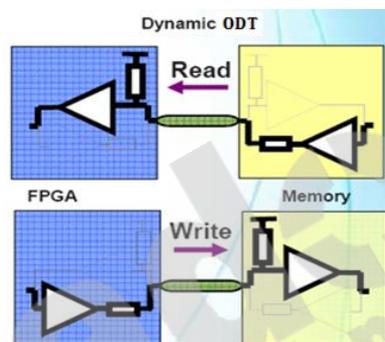
ODT（On-Die Termination，片内终结）

如何关注

- 1、搜索微信号“高速先生”
- 2、扫描右侧二维码，开始学习



ODT 也是 DDR2 相对于 DDR1 的关键技术突破，所谓的终结（端接），就是让信号被电路的终端吸收掉，而不会在电路上形成反射，造成对后面信号的影响。顾名思义，ODT 就是将端接电阻移植到了芯片内部，主板上不再有端接电路。在进入 DDR 时代，DDR 内存对工作环境提出更高的要求，如果先前发出的信号不能被电路终端完全吸收掉而在电路上形成反射现象，就会对后面信号的影响造成运算出错。因此目前支持 DDR 主板都是通过采用终结电阻来解决这个问题。由于每根数据线至少需要一个终结电阻，这意味着每块 DDR 主板需要大量的终结电阻，这也无形中增加了主板的生产成本，而且由于不同的内存模组对终结电阻的要求不可能完全一样，也造成了所谓的“内存兼容性问题”。而在 DDR-II 中加入了 ODT 功能，当在 DRAM 模组工作时把终结电阻器关掉，而对于不工作的 DRAM 模组则进行终结操作，起到减少信号反射的作用，如下图二所示。



图二 ODT 端接示意图

ODT 的功能与禁止由主控芯片控制，在开机进行 EMRS 时进行设置，ODT 所终结的信号包括 DQS、DQS#、DQ、DM 等。这样可以产生更干净的信号品质，从而产生更高的内存时钟频率速度。而将终结电阻设计在内存芯片之上还可以简化主板的设计，降低了主板的成本，而且终结电阻器可以和内存颗粒的“特性”相符，从而减少内存与主板的兼容问题的出现。

此外关于 ODT 的介绍还可以参考高速先生前期的文章，以下是链接：

“DDR3 系列之 ODT，就是这么任性！”

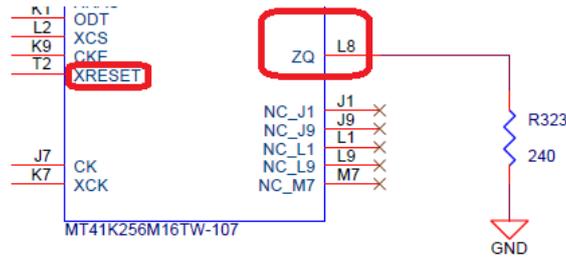
重置（Reset）

重置是 DDR3 新增的一项重要功能，并为此专门准备了一个引脚。这一引脚将使 DDR3 的初始化处理变得简单。当 Reset 命令有效时，DDR3 内存将停止所有的操作，并切换至最少量活动的状态，以节约电力。在 Reset 期间，DDR3 内存将关闭内在的大部分功能，所有数据接收与发送器都将关闭，且所有内部的程序装置将复位，DLL（延迟锁相环路）与时钟电路将停止工作，甚至不理睬数据总线上的任何动静。这样一来，该功能将使 DDR3 达到最节省电力的目的，新增的引脚如下图三所示。

如何关注

- 1、搜索微信号“高速先生”
- 2、扫描右侧二维码，开始学习





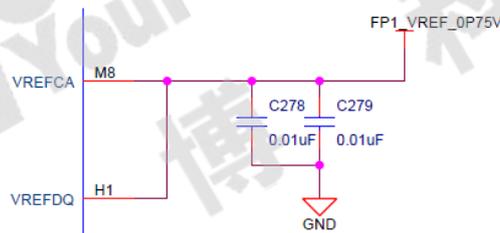
图三 Reset 及 ZQ 引脚

ZQ 校准

如上图三所示，ZQ 也是一个新增的引脚，在这个引脚上接有一个 240 欧姆的低公差参考电阻。这个引脚通过一个命令集，通过片上校准引擎（ODCE, On-Die Calibration Engine）来自动校验数据输出驱动器导通电阻与 ODT 的终结电阻值。当系统发出这一指令之后，将用相应的时钟周期（在加电与初始化之后用 512 个时钟周期，在退出自刷新操作后用 256 时钟周期、在其他情况下用 64 个时钟周期）对导通电阻和 ODT 电阻进行重新校准。

VREFCA & VREFDQ

对于内存系统工作非常重要的参考电压信号 VREF，在 DDR3 系统中将 VREF 分为两个信号。一个是为命令与地址信号服务的 VREFCA，另一个是为数据总线服务的 VREFDQ，它将有效的提高系统数据总线的信噪等级，如下图四所示。



图四 VREFCA & VREFDQ

前面说到的 OCT，那么 OCT 到底是什么呢？

【关于一博】

如何关注

- 1、搜索微信号“高速先生”
- 2、扫描右侧二维码，开始学习



一博科技成立于 2003 年 3 月，专注于高速 PCB 设计、PCB 制板、SMT 焊接加工、元器件供应等服务。作为全球最大的高速 PCB 设计公司，我司在中国、美国、日本设立研发机构，全球研发工程师 500 余人。超大规模的高速 PCB 设计团队，引领技术前沿，遍布全国的研发客服团队，贴近客户需求。

一博旗下 PCB 线路板厂成立于 2009 年，致力为广大客户提供高品质、高多层的制板服务。

一博旗下 PCBA 总厂成立于 2013 年，专注研发打样、中小批量的 SMT 贴片、组装等服务。

PCB 设计、制板、贴片、物料无缝衔接，一博一站式平台致力于缩短客户研发周期，提供方便省心的柔性生产解决方案，已得到 50 余家五百强的认证通过。一博，值得信赖。EDADOC,Your Best Partner。

【关于高速先生】

高速先生由深圳市一博科技有限公司 R&D 技术研究部创办，用浅显易懂的方式讲述高速设计，成立至今保持每周发布两篇原创技术文章，已和大家分享了百余篇呕心沥血之作，深受业内专业人士欢迎，是中国高速电路第一自媒体品牌。



扫一扫，即可关注

如何关注

- 1、搜索微信号“高速先生”
- 2、扫描右侧二维码，开始学习

