

## 【高速先生原创|DDR 系列】DDR<sub>X</sub> 的关键技术介绍（上）

作者：周伟 一博科技高速先生团队队员

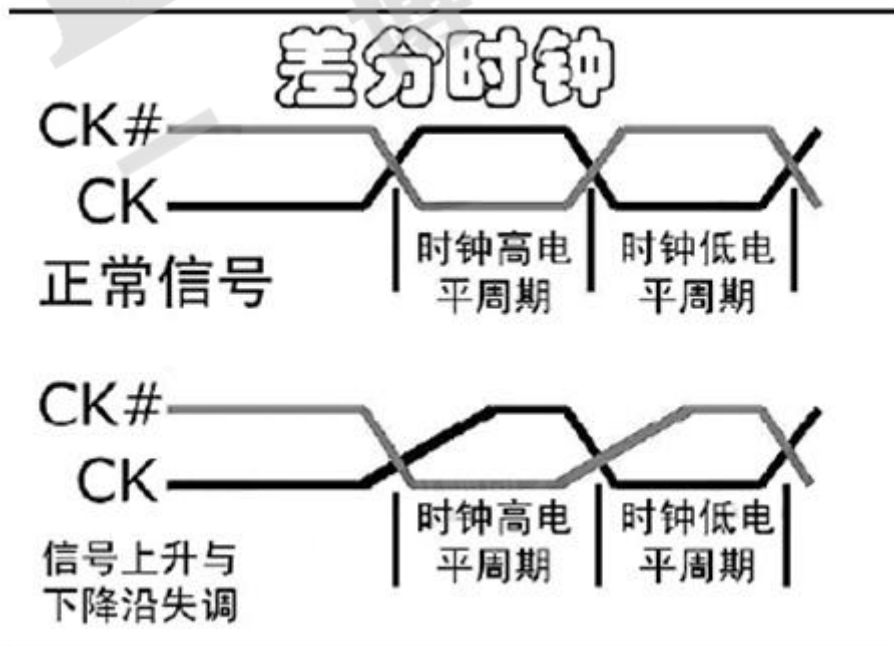
### DDR<sub>X</sub> 的关键技术介绍（上）

在上一篇文章里面问到了 DDR<sub>X</sub> 相对于前一代来说的关键技术突破在哪里，虽然没有人回答得完全正确，但这个也是很正常的，因为通过几句话要想说清楚也确实是不容易的，所以还是通过文章来把这些关键技术再给大家介绍一下。

#### 差分时钟技术

差分时钟是 DDR 的一个重要且必要的设计，但大家对 CK#（CKN）的作用认识很少，很多人理解为第二个触发时钟，其实它的真实作用是起到触发时钟校准的作用。

由于数据是在 CK 的上下沿触发，造成传输周期缩短了一半，因此必须要保证传输周期的稳定以确保数据的正确传输，这就要求 CK 的上下沿间距要有精确的控制。但因为温度、电阻性能的改变等原因，CK 上下沿间距可能发生变化，此时与其反相的 CK#（CKN）就起到纠正的作用（CK 上升快下降慢，CK#则是上升慢下降快），如下图一所示。



#### 如何关注

- 1、搜索微信号“高速先生”
- 2、扫描右侧二维码，开始学习



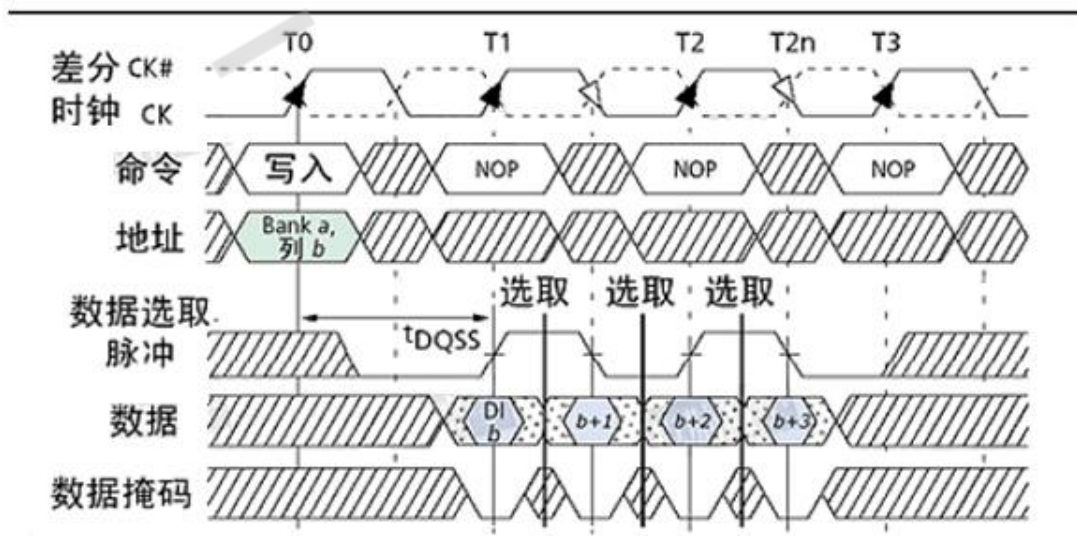
图一 差分时钟示意图

### 数据选取脉冲 (DQS)

就像时钟信号一样，DQS 也是 DDR 中的重要功能，它的功能主要用来在一个时钟周期内准确的区分出每个传输周期，并便于接收方准确接收数据。每一颗 8bit DRAM 芯片都有一个 DQS 信号线，它是双向的，在写入时它用来传送由主控芯片发来的 DQS 信号，读取时，则由 DRAM 芯片生成 DQS 向主控发送。完全可以说，它就是数据的同步信号。

在读取时，DQS 与数据信号同时生成（也是在 CK 与 CK# 的交叉点）。而 DDR 内存中的 CL 也就是从 CAS 发出到 DQS 生成的间隔，数据真正出现在数据 I/O 总线上相对于 DQS 触发的时间间隔被称为 tAC。实际上，DQS 生成时，芯片内部的预取已经完毕了，由于预取的原因，实际的数据传出可能会提前于 DQS 发生（数据提前于 DQS 传出）。由于是并行传输，DDR 内存对 tAC 也有一定的要求，对于 DDR266，tAC 的允许范围是 ±0.75ns，对于 DDR333，则是 ±0.7ns，其中 CL 里包含了一段 DQS 的导入期。

DQS 在读取时与数据同步传输，那么接收时也是以 DQS 的上下沿为准吗？不，如果以 DQS 的上下沿区分数据周期的危险很大。由于芯片有预取的操作，所以输出时的同步很难控制，只能限制在一定的时间内，数据在各 I/O 端口的出现时间可能有快有慢，会与 DQS 有一定的间隔，这也就是为什么要有一个 tAC 规定的原因。而在接收方，一切必须保证同步接收，不能有 tAC 之类的偏差。这样在写入时，DRAM 芯片不再自己生成 DQS，而以发送方传来的 DQS 为基准，并相应延后一定的时间，在 DQS 的中部为数据周期的选取分割点（在读取时分割点就是上下沿），从这里分隔开两个传输周期。这样做的好处是，由于各数据信号都会有一个逻辑电平保持周期，即使发送时不同步，在 DQS 上下沿时都处于保持周期中，此时数据接收触发的准确性无疑是最高，如下图二所示。



#### 如何关注

- 1、搜索微信号“高速先生”
- 2、扫描右侧二维码，开始学习



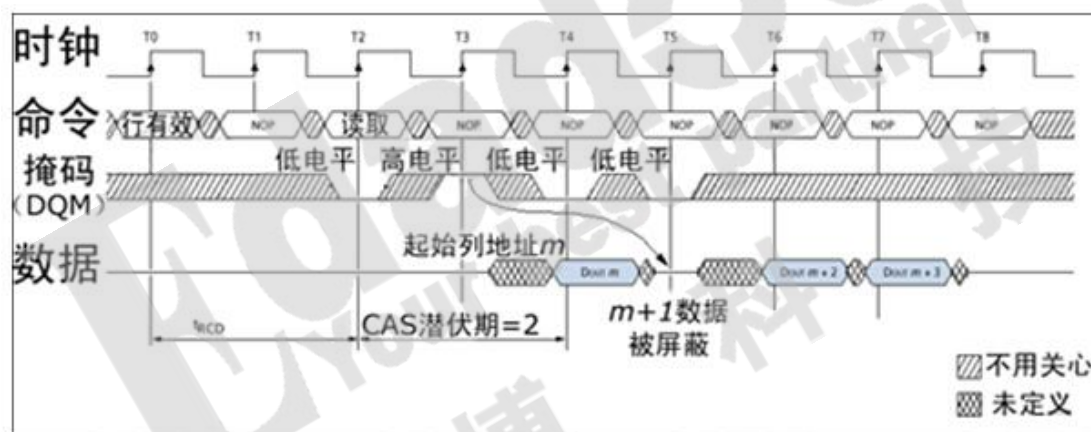
图二 数据时序

### 数据掩码技术 (DQM)

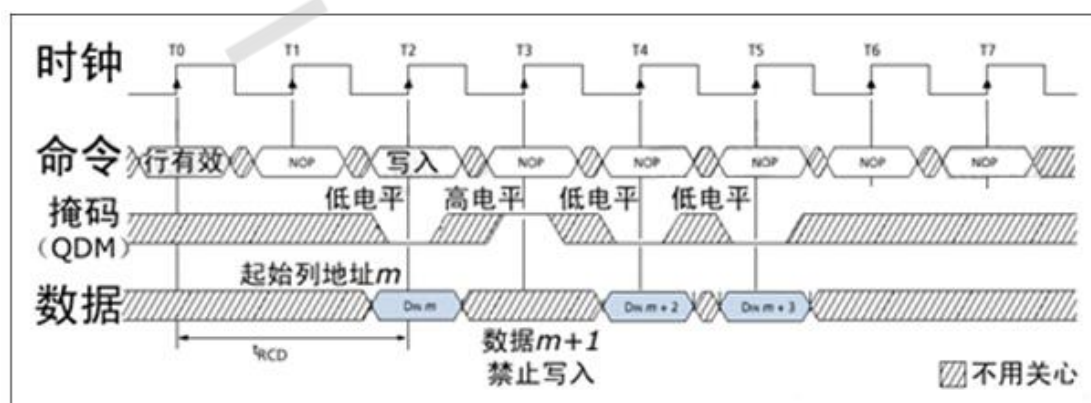
不是 DDR 所特有的，但对于 DDR 来说也是比较重要的技术，所以一并介绍下。

为了屏蔽不需要的数据，人们采用了数据掩码 (Data I/O Mask, 简称 DQM) 技术。通过 DQM，内存可以控制 I/O 端口取消哪些输出或输入的数据。这里需要强调的是，在读取时，被屏蔽的数据仍然会从存储体传出，只是在“掩码逻辑单元”处被屏蔽。

DQM 由主控芯片控制，为了精确屏蔽一个 P-Bank 位宽中的每个字节，每个 64bit 位宽的数据中有 8 个 DQM 信号线，每个信号针对一个字节。这样，对于 4bit 位宽芯片，两个芯片共用一个 DQM 信号线，对于 8bit 位宽芯片，一个芯片占用一个 DQM 信号，而对于 16bit 位宽芯片，则需要两个 DQM 引脚。SDRAM 官方规定，在读取时 DQM 发出两个时钟周期后生效，而在写入时，DQM 与写入命令一样是立即生效，如下图三和四分别显示读取和写入时突发周期的第二笔数据被取消。



图三 读取时数据掩码操作



图四 写入时数据掩码操作

如何关注

- 1、搜索微信号“高速先生”
- 2、扫描右侧二维码，开始学习



所以 DQM 信号的作用就是对于突发写入，如果其中有不存入的数据，就可以运用 DQM 信号进行屏蔽。DQM 信号和数据信号同时发出，接收方在 DQS 的上升与下降沿来判断 DQM 的状态，如果 DQM 为高电平，那么之前从 DQS 中部选取的数据就被屏蔽了。

有人可能会觉得，DQM 是输入信号，意味着 DRAM 芯片不能发出 DQM 信号给主控芯片作为屏蔽读取数据的参考。其实，该读哪个数据也是由主控芯片决定的，所以 DRAM 芯片也无需参与主控芯片的工作，哪个数据是有用的就留给主控芯片自己去选择。

好了，前面介绍了 DQS 的功能，那么我们在测试时根据 DQS 和 DQ 的波形是如何区分数据的读写操作的？

## 【关于一博】

一博科技成立于 2003 年 3 月，专注于高速 PCB 设计、PCB 制板、SMT 焊接加工、元器件供应等服务。作为全球最大的高速 PCB 设计公司，我司在中国、美国、日本设立研发机构，全球研发工程师 500 余人。超大规模的高速 PCB 设计团队，引领技术前沿，遍布全国的研发客服团队，贴近客户需求。

一博旗下 PCB 线路板厂成立于 2009 年，致力为广大客户提供高品质、高多层的制板服务。

一博旗下 PCBA 总厂成立于 2013 年，专注研发打样、中小批量的 SMT 贴片、组装等服务。

PCB 设计、制板、贴片、物料无缝衔接，一博一站式平台致力于缩短客户研发周期，提供方便省心的柔性生产解决方案，已得到 50 余家五百强的认证通过。一博，值得信赖。EDADOC,Your Best Partner。

## 【关于高速先生】

高速先生由深圳市一博科技有限公司 R&D 技术研究部创办，用浅显易懂的方式讲述高速设计，成立至今保持每周发布两篇原创技术文章，已和大家分享了百余篇呕心沥血之作，深受业内专业人士欢迎，是中国高速电路第一自媒体品牌。

### 如何关注

- 1、搜索微信号“高速先生”
- 2、扫描右侧二维码，开始学习





扫一扫，即可关注

Edadoc  
Your best partner  
— 博 科 技

如何关注

- 1、搜索微信号“高速先生”
- 2、扫描右侧二维码，开始学习

