

## 【高速先生原创|高速串行系列】阻抗偏高到 60 至 65 欧姆有什么危害

作者：袁波 一博科技高速先生团队成员

### 阻抗偏高到 60~65 欧姆有什么危害（上）

在《避开假八层的温柔陷阱----浅谈六层板的叠层》一文中，文章结尾我们提出了一个问题：当主线段阻抗不是 50 欧姆，而是偏离到 60~65 欧姆，这样对信号来说到底有什么危害呢？很多网友都给出了自己的答案，这些答案分别从不同的角度对阻抗变高对信号的影响做出了分析。很多情况下，我们只是定性的分析一下，知道阻抗偏高对信号不好，至于这种影响到底到什么程度恐怕也很难说清楚。下面就让我们通过仿真实例来看看，阻抗偏高到 60~65 欧姆对信号到底有什么危害。

#### 1、从反射角度分析

一般情况下，板子上的 DDR 信号较多，且 DDR 信号传输速率也不低，我们就以 DDR 主控芯片为例来仿真验证一下。首先搭建如下拓扑结构：

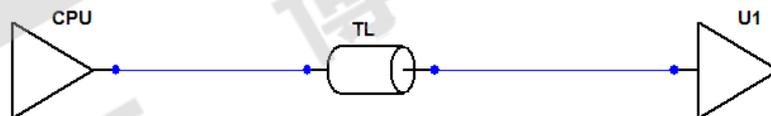


图 1

主控芯片是飞思卡尔的 P1020，接收端选用的是美光 DDR3 颗粒。信号速率为 800Mbps。中间传输线的阻抗分别取 40,50,60,65 欧姆，对比 U1 端接收到的波形，如图 2 所示：

#### 如何关注

- 1、搜索微信号“高速先生”
- 2、扫描右侧二维码，开始学习



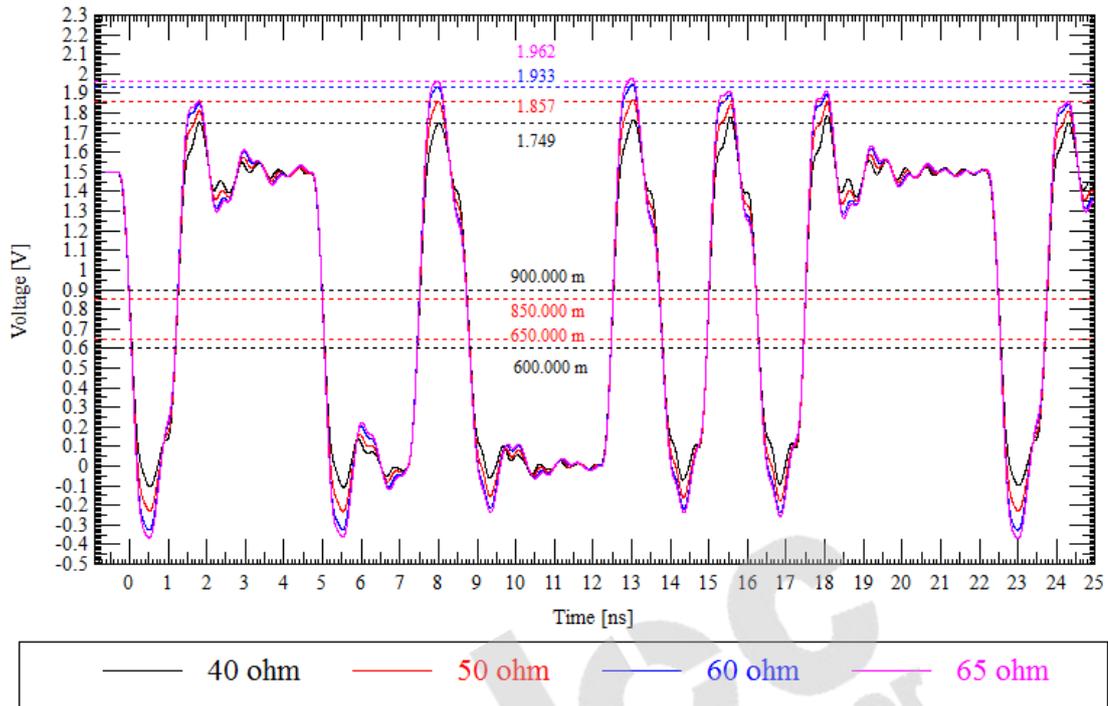


图 2

由图 2 可知，在传输线阻抗为 65 欧姆的时候，信号波形的过冲很大，已经超出了芯片的耐压值，像这种情况，作为 SI 工程师就必须采取一定的措施了，通常是给通道加上端接电阻。那么在有串联电阻端接的情况下，信号波形又是怎样的呢？我们来验证一下。

在图 1 的拓扑结构中加入串联电阻，如下图 3 所示：

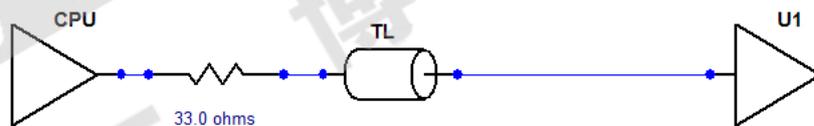


图 3

与上面的例子一样，扫描中间传输线阻抗，得到的波形如下图 4 所示：

如何关注

- 1、搜索微信号“高速先生”
- 2、扫描右侧二维码，开始学习



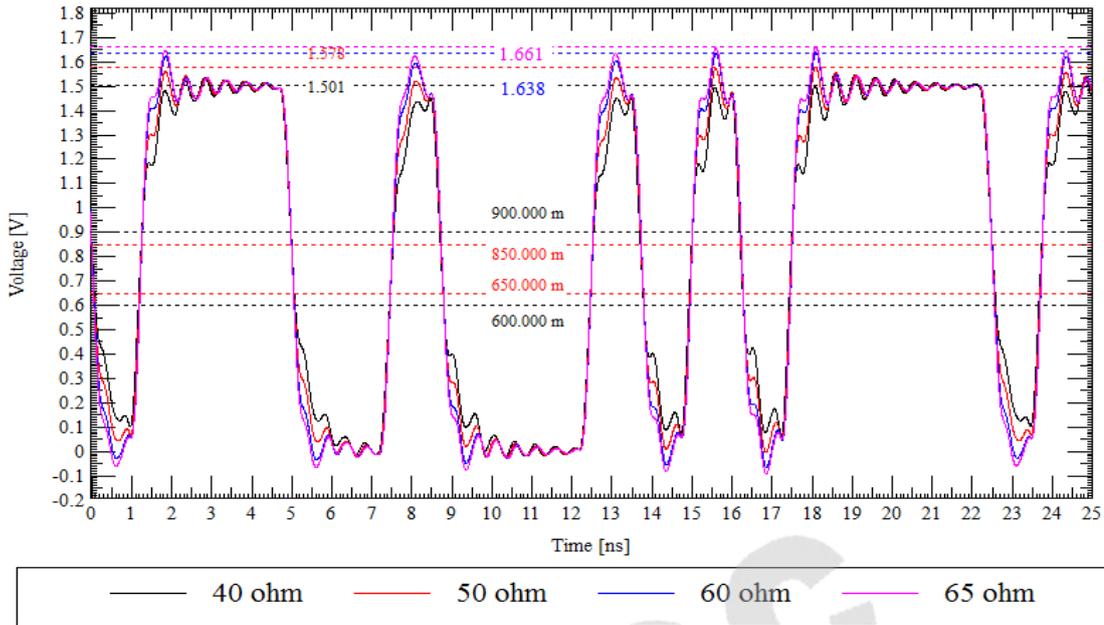


图 4

由图 4 可知，和没有加串阻时候的趋势一样，传输线阻抗较高时，信号的过冲大一些。在添加串联电阻之后，信号的过冲被降了下来，可见串阻的作用是很明显的。

加串阻只是其中的一种改善措施，像 DDR 地址信号一般会加上拉电阻，加上上拉电阻后又会有什么变化呢？还是来仿真一下，拓扑结构如下图 5 所示：

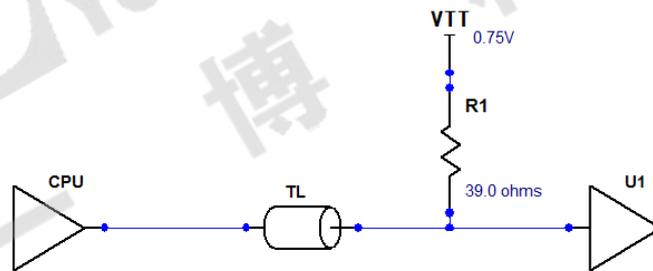


图 5

同样，扫描中间一段传输线阻抗，波形如下图 6：

如何关注

- 1、搜索微信号“高速先生”
- 2、扫描右侧二维码，开始学习



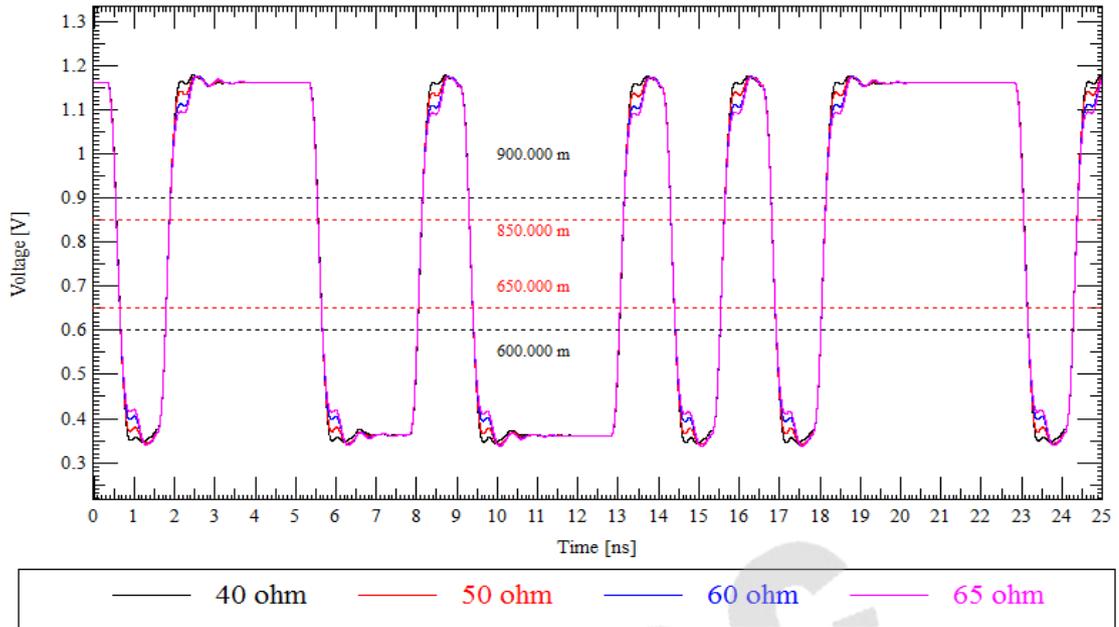
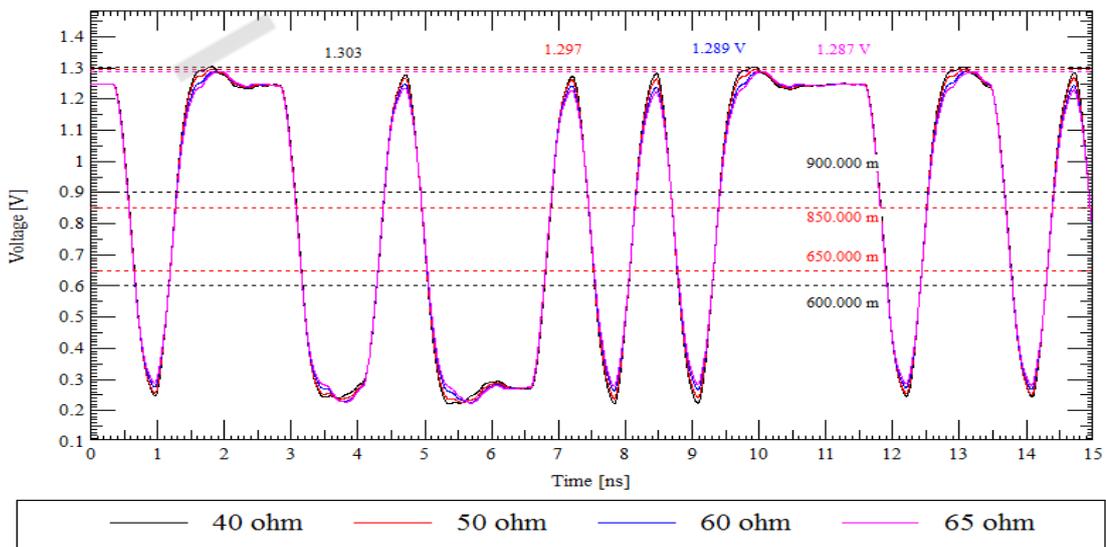


图 6

由图 6 可知，在有上拉电阻的时候，主线段阻抗变化对波形的影响也是较小的。

数据信号一般都有终端 ODT 端接电阻，我们再来看一下在打开 ODT 状态下，信号线阻抗变化对信号的影响。信号速率为 1.6Gbps，接收端使用 60 欧姆 ODT（其实从反射的原理中，我们可以知道 ODT 取值的大小会影响反射的幅值，这里我们主要比较主线段阻抗变化对信号质量的影响，所以接收端选取了一个固定的 ODT 阻值）。

仿真波形如下图 7 所示：



如何关注

- 1、搜索微信号“高速先生”
- 2、扫描右侧二维码，开始学习



图 7

由上图 7 可知，在打开 ODT 情况下，过冲很小，且四种阻抗对应的波形差异很小，这样主线段阻抗偏离对信号的影响几乎可以忽略了。

上面仿真实例简单分析了传输通道的四种情况，当然现实的拓扑结构可能要比这个复杂一些，但是上面的这四种情况也是能够说明一些问题的，相信网友们已经发现了一些规律。

### 阻抗偏高到 60~65 欧姆有什么危害（中）

紧接着上期文章的话题，为什么在没有端接措施的情况下，主线段阻抗较高会导致过冲很厉害呢？大家应该都知道，过冲厉害的原因肯定是信号反射比较厉害，造成信号反射的原因无非就是阻抗不匹配了。上期的仿真实例中，造成反射比较厉害的原因就是驱动器的输出阻抗和与之相连的传输线阻抗不匹配。我们来扫描一下驱动器的输出阻抗，搭建如下拓扑结构：

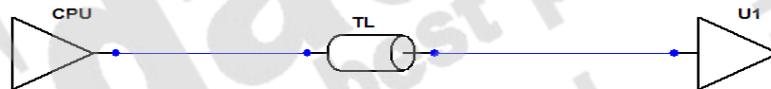


图 1

驱动模型和上期选用的一样，这次我们在驱动端加载一个上升沿，扫描中间一段传输线，得到的波形如下图 2 所示：

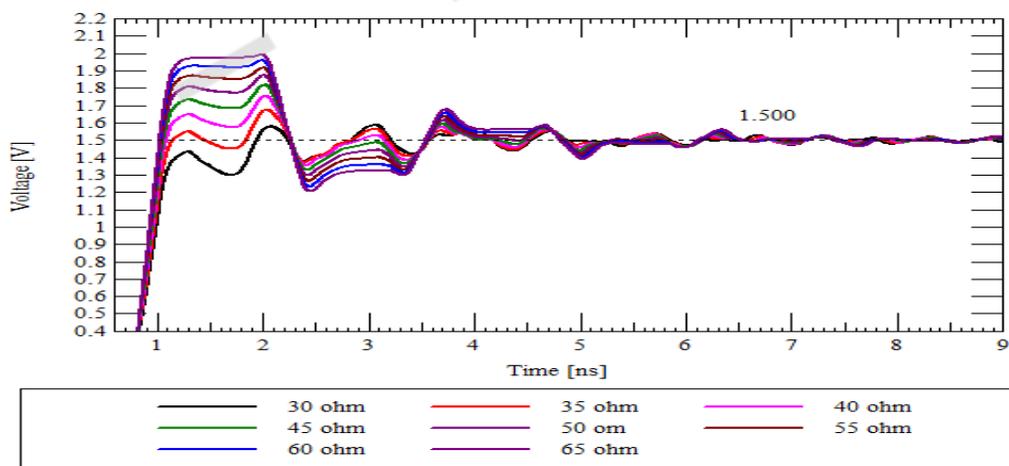


图 2

#### 如何关注

- 1、搜索微信号“高速先生”
- 2、扫描右侧二维码，开始学习



由上图 2 知，当传输线阻抗取 35 欧姆的时候，电压幅值一开始就达到 1.5V 左右，反射很小，说明此时传输线的阻抗与驱动器的输出阻抗是近似匹配的。当我们的主线段阻抗偏高到 60 至 65 欧姆时，几乎与驱动器的输出阻抗相差一倍，阻抗匹配相差这么多，信号的反射比较严重也就不足为怪了。

## 2、从损耗角度分析

在 PCB 的叠层确定之后，我们控阻抗的主要手段就是调节线宽了。布线时，有时往往会出现布线空间不足的问题，很多工程师会选择走细线。走细线会使得阻抗偏高，且生产制造难度加大，我想很少有工程师从损耗的角度考虑走细线对信号的影响吧，下面我们就来分析一下，线宽变窄对信号的损耗到底有什么影响。

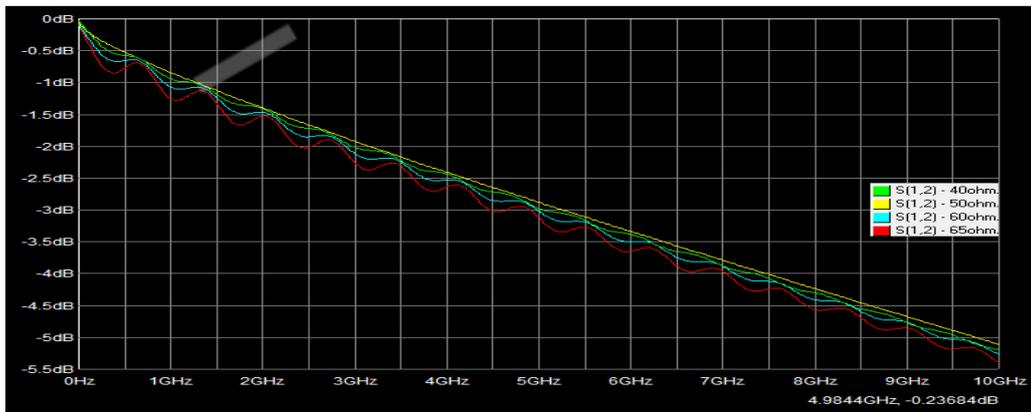
我们分别看看微带线和带状线在线宽变细的情况下，损耗的情况。叠层如下：

Layer Name	Original design	Dielectric thickness (unit mil)	suggestion
	Build - up		Build - up
L1	0.5oz+plating(1.59)	1.59	0.5oz+plating
L2	PP(1*2313)	4.03	PP(1*2313)
	1oz	1.2	1oz
Core	Core	20.00	Core
	1oz	1.2	1oz
L3	PP(1*7628)	6.00	PP(1*1080)
L4	PP(1*7628)	1.2	PP(1*1080)
	1oz	1.2	1oz
Core	Core	20.00	Core
	1oz	1.2	1oz
L5	PP(1*2313)	4.03	PP(1*2313)
L6	0.5oz+plating(1.59)	1.59	0.5oz+plating
Remark:		62.04	Total board thickness: 62.98±0.3 mil

图 3

我们还是研究阻抗是 40,50,60,65 欧姆的时候传输线所对应的损耗差异。在以上叠层下，这四种阻抗下，微带线对应的线宽分别是 9.5mil, 6.2mil, 4mil, 3.2mil。

在端口阻抗都是 50 欧姆的条件下，扫描这四种线宽所对应传输线在线长为 5inch 条件下的 S 参数。得到传输线的插损与回损如下图 4 所示：



### 如何关注

- 1、搜索微信号“高速先生”
- 2、扫描右侧二维码，开始学习



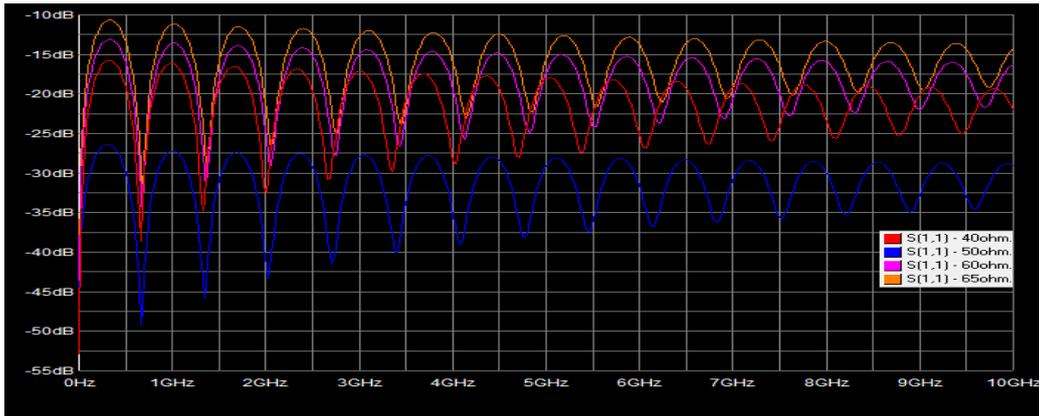


图 4

图 3 所对应的叠层下，阻抗是 40,50,60,65 欧姆的时候，带状线所对应的线宽分别是 10mil, 7mil, 4.5mil, 3.4mil。同样，我们默认传输线端口阻抗是 50 欧姆，扫描通道 S 参数，得到的插损与回损曲线分别如图 5 示：

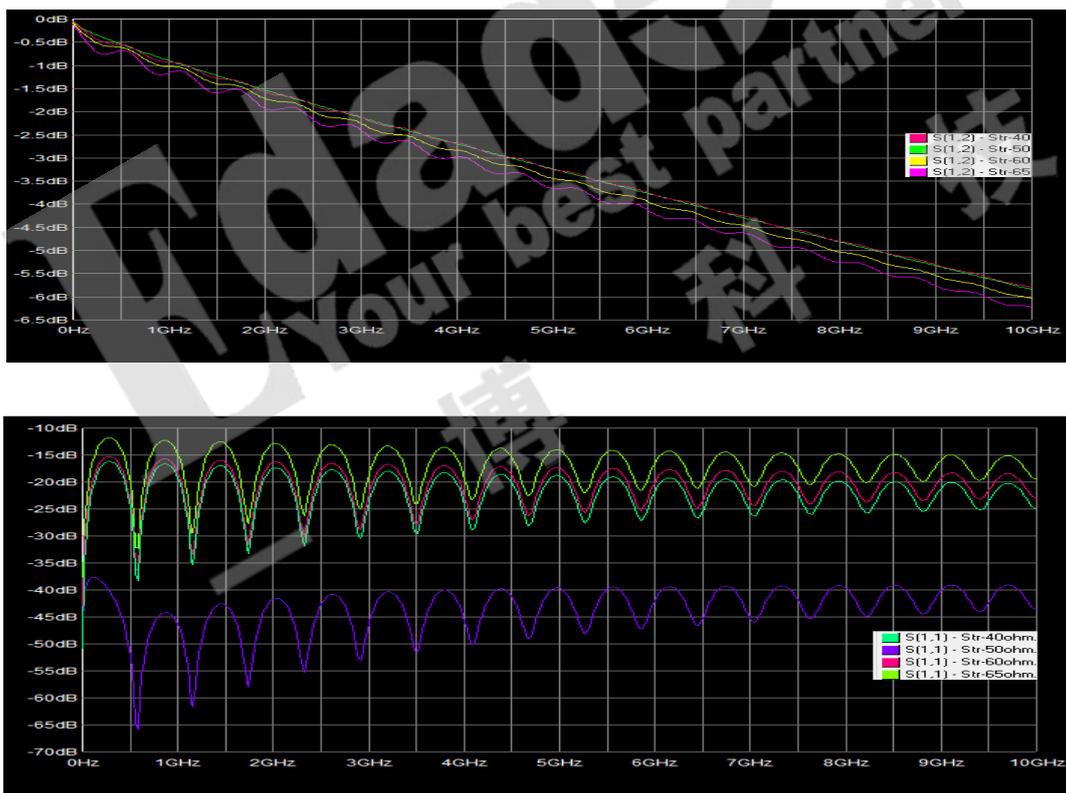


图 5

和我们预想的一样，四种线宽对应插损和回损都是有差异的，线宽越细，对应的插损越小，回损越大。插损反映的是传输到终端能量与总输入能量之比，回损反映的是反

如何关注

- 1、搜索微信号“高速先生”
- 2、扫描右侧二维码，开始学习



射能量和输入能量之比，那么，导致能量没有被完全传输过去的原因，是因为能量被反射到源端，还是能量被通道消耗掉了呢？

原来，上图中的 S 参数在扫描的时候都做了端口归一化处理，就是在扫描的时候默认端口阻抗都是 50 欧姆，现在我们扫描的时候改变一下端口的阻抗，使其与被扫描传输线阻抗一致，我们再来看看通道插损与回损的情况，微带线损耗如下图 6 示：

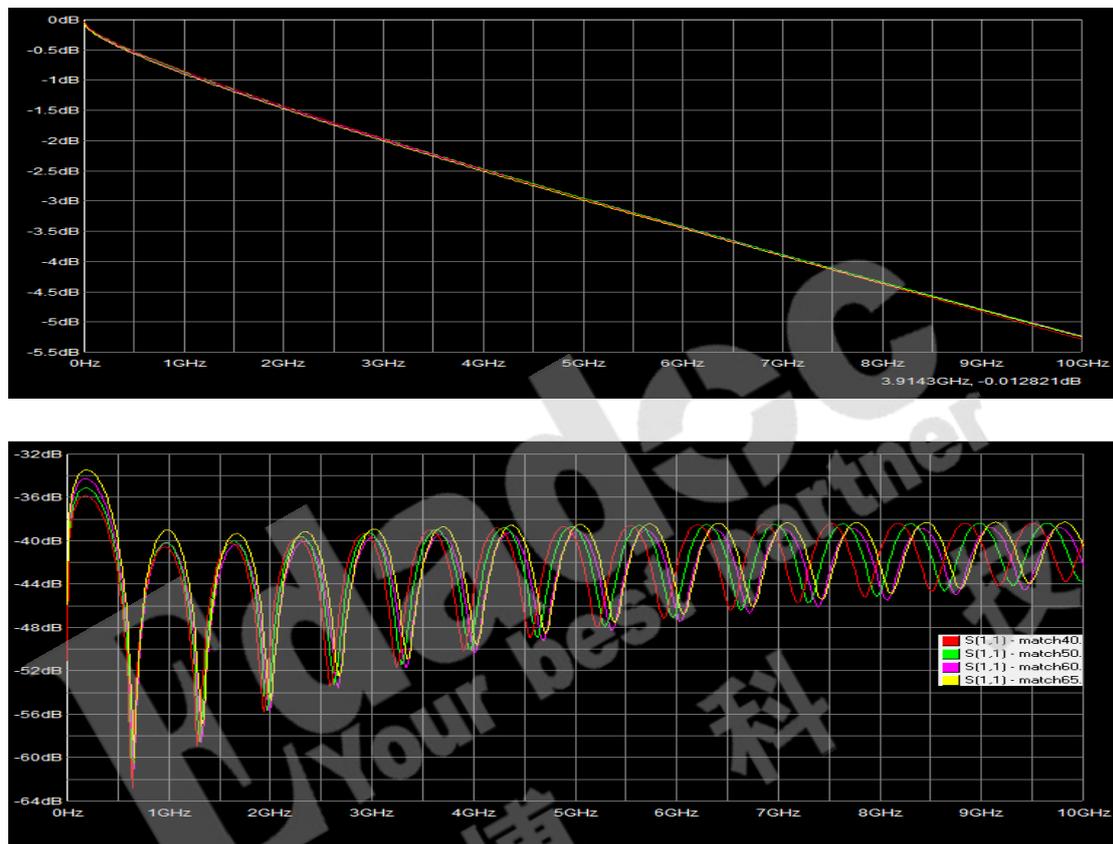
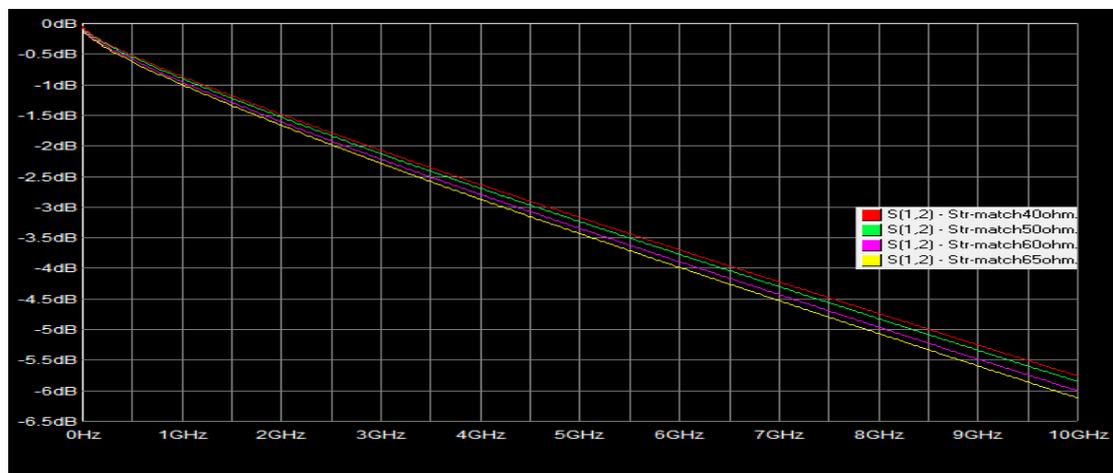


图 6

带状线在端口阻抗与传输线阻抗一致的时候，插损与回损曲线如下图 7 示：



如何关注

- 1、搜索微信号“高速先生”
- 2、扫描右侧二维码，开始学习



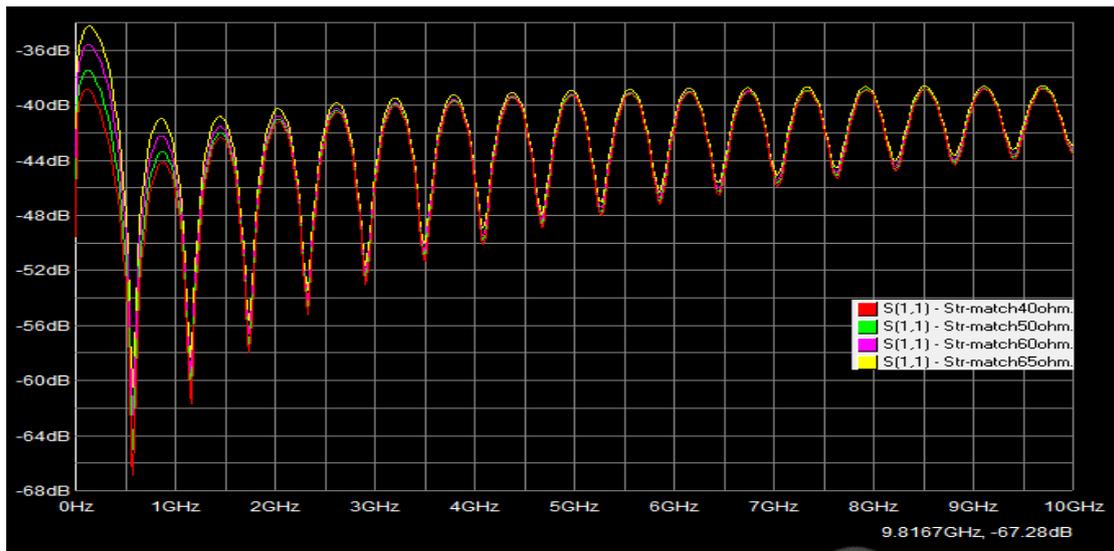


图 7

由上图可知，在端口阻抗匹配的情况下，通道的插损与回损曲线差异没有那么大。对于插损来说，带状线与我们想象的一样，线宽越细，损耗越大，但是微带线就没有那么明显。作者认为出现这一现象也是正常的，因为传输线损耗是导体损耗与介质损耗的综合作用，一般情况下是介质损耗占主导作用。微带线和带状线结构不一样，带状线电磁场分布在两个参考层之间，相对较稳定。微带线电磁场有部分分布在空气中，电磁场分布与导体形状也有一定关系，情况比较复杂，由于篇幅关系，这里就不再做深入的分析。

本文简单分析了线宽发生变化时，传输线的损耗情况，可以发现：线宽变化对阻抗的影响比对损耗的影响要大得多，我们应重点关注阻抗不匹配对信号所带来的损害，至于损耗，一般在传输通道很长，速率很高的串行通道中才考虑。解决信号的损耗问题，我们的着眼点也通常在使用 DF 值更小的板材。

文章没有结束，篇幅关系，敬请期待下期内容...

## 阻抗偏离到 60~65 欧姆有什么危害（下）

记得刚接触信号完整性分析的时候，读的最多的就是 Eric Bogatin 著的《Signal Integrity: Simplified》，中文译作《信号完整性分析》，书中将所有信号完整性噪声问题归结为四个方面，分别是：单一网络的信号完整性；两个或多个网络间的串扰；电源和地分配中的轨道塌陷；来自整个系统的电磁干扰和辐射。当然，信号完整性涉及到的

### 如何关注

- 1、搜索微信号“高速先生”
- 2、扫描右侧二维码，开始学习



问题应该不止这些，但是这四个方面为我们的信号完整性分析提供了很好的思路，一般如果信号质量出现了问题，我们一般都会从这四个方面寻找原因。

高速先生上篇文章中提到，导致阻抗偏高的一个主要原因就是不能使用比较薄的芯板，这样会导致信号离参考层的距离较远。这种情况除了会使信号的反射严重，对于串扰又有什么影响呢？还是来验证一下。

### 3、从串扰角度分析

我们假设有两根线，两线线宽及线间距不变。只是改变信号线到参考层距离，使单根线阻抗分别达到 40,50,60,65 欧姆，看看信号的串扰波形有什么变化。仿真示意如下图 1：

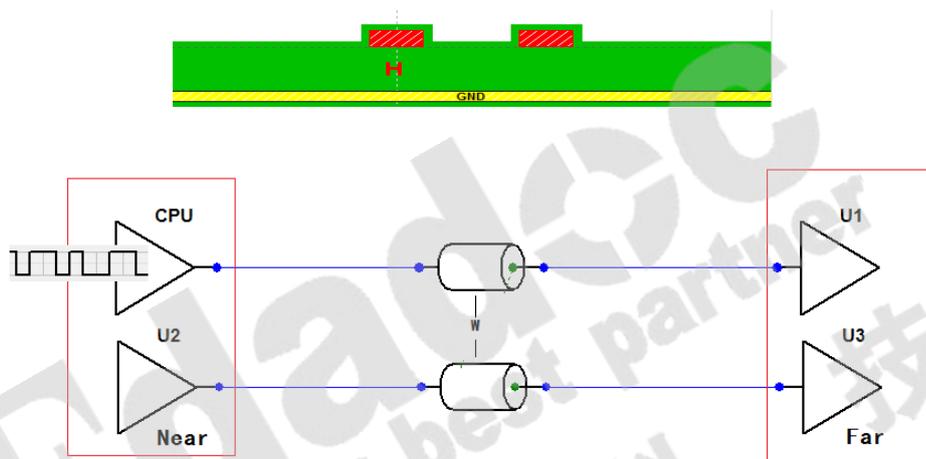
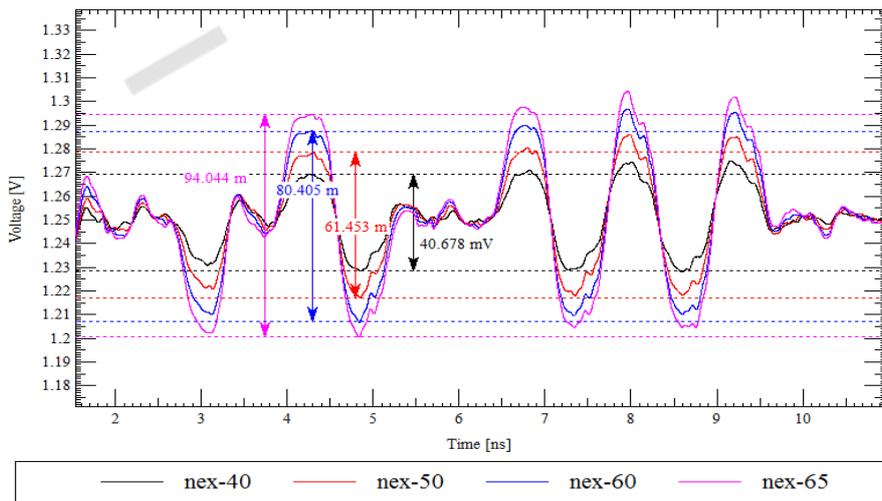


图 1

改变信号层到参考层距离，得到近端串扰（图 2）与远端串扰（图 3）波形如下：



#### 如何关注

- 1、搜索微信号“高速先生”
- 2、扫描右侧二维码，开始学习



图 2

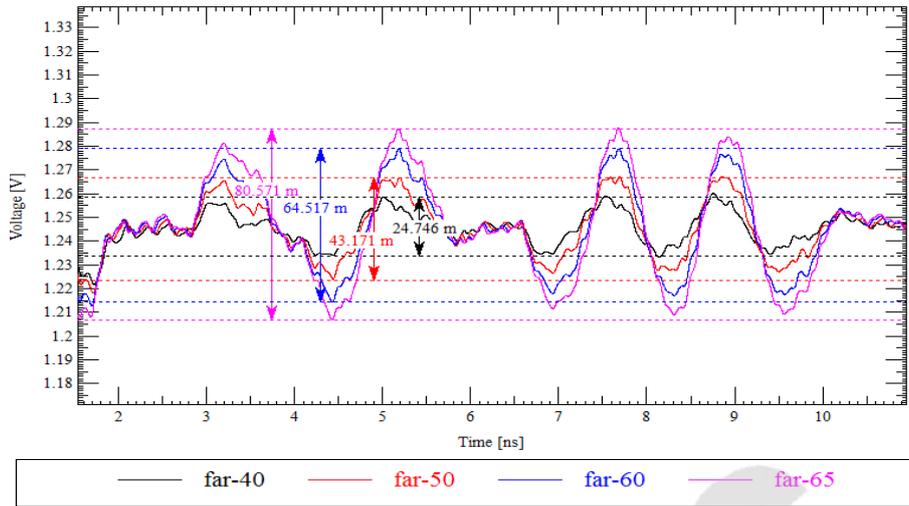


图 3

由上图可知，这种信号线到参考层之间距离增大导致的阻抗偏高，对串扰是不利的，阻抗越高，串扰越厉害。为什么会这样呢？我们还是回到串扰产生的原因，一般认为线间距变小会使串扰加剧。因为线间距变小之后攻击线和受害线之间的耦合作用更明显了，如图 4 所示。

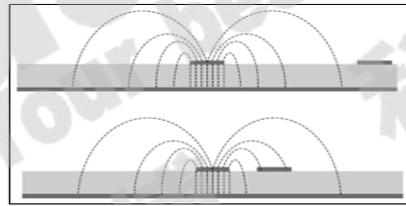


图 4

信号到参考层之间的距离也会影响信号间的电磁场分布，如下图 5 所示，如果信号到参考层之间的距离很近，信号电场主要分布在信号与地之间，当信号到地之间的距离变远之后，电场会更多的耦合到旁边的信号线，这样就会造成串扰加剧。

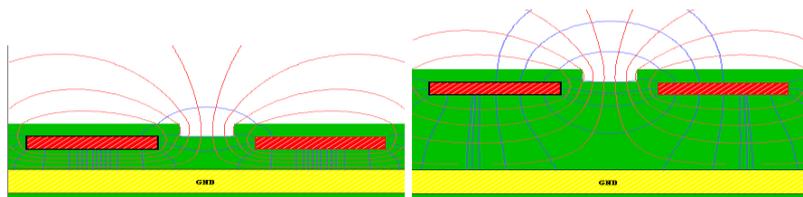


图 5

总结：

如何关注

- 1、搜索微信号“高速先生”
- 2、扫描右侧二维码，开始学习



文章终于结束了，不知道各位网友还记得文章的前两部分内容吗？我们来总结一下：当通道有端接电阻，上拉电阻或者芯片有 ODT 的情况下，线路阻抗从 40~65 欧姆不会导致太大的过冲，如果没有这些端接措施，线路阻抗越高，过冲越大。作者认为反射较厉害的原因是传输线阻抗与芯片的输出阻抗不匹配，如果是接口信号，如网口，USB 等，或者是背板——子板这样的互连结构，阻抗失配也都会增加反射。同时，在本文设定的条件下，信号到参考层距离变远导致的阻抗升高，会对串扰产生不利影响，阻抗越高，串扰越大。

综上所述：不是任何情况下都可以采用高阻抗方案，除非您的信号通道有良好的端接措施且对串扰以及损耗等要求不是很严格，通常情况下，我们还是好好遵守芯片的阻抗控制规则吧。

小编这篇文章对解答您的疑问有帮助吗？群殴阻抗，阻抗群殴，我们的下一篇文章将带给您更多的精彩！

## 【关于一博】

一博科技专注于高速 PCB 设计、PCB 制板、焊接加工、物料供应等服务。作为全球最大的高速 PCB 设计公司，我司在中国、美国、日本设立研发机构，全球研发工程师 500 余人。超大规模的高速 PCB 设计团队，引领技术前沿，贴近客户需求。

一博旗下 PCB 板厂成立于 2009 年，位于广东四会（广州北 50KM），采用来自日本、德国的一流加工设备，TPS 精益生产管理以及品质管控体系的引入，致力为广大客户提供高品质、高多层的制板服务。

一博旗下 PCBA 总厂位于深圳，并在上海设立分厂，现有 12 条 SMT 产线，配备全新进口富士 XPF、NXT3、全自动锡膏印刷机、十温区回流炉等高端设备，并配有波峰焊、AOI、XRAY、BGA 返修台等配套设备，专注研发打样、中小批量的 SMT 贴片、组装等服务。

## 【关于高速先生】

高速先生由深圳市一博科技有限公司 R&D 技术研究部创办，用浅显易懂的方式讲述高速设计，成立至今保持每周发布两篇原创技术文章，已和大家分享了百余篇呕心沥血之作，深受业内专业人士欢迎，是中国高速电路第一自媒体品牌。

### 如何关注

- 1、搜索微信号“高速先生”
- 2、扫描右侧二维码，开始学习





扫一扫，即可关注

Edadoc  
Your best partner  
— 博 科 技

如何关注

- 1、搜索微信号“高速先生”
- 2、扫描右侧二维码，开始学习

