

【高速先生原创|高速串行系列】串行概述

作者：陈德恒 一博科技高速先生团队成员

SERDES 概述

写在开头：不出意外的话，这又是一个系列话题。包括串行，损耗，加重均衡等。小陈才疏学浅，只能写出个概述，望大神指正。

再写在开头：当小陈还是一个无忧无虑的大学生的時候，说过一句这样的话“懂你的人并不是你想要什么就给你什么，而是他给了你，你才发现这才是你想要的。”如 iPhone 之于手机，如频域之于信号分析。以前小陈觉得频域这东西不如时域好用，不明白这个想象中的东西怎么可能比实际存在的时域更加简单。直到脑子里能把一个个频域的点看成一个正弦波，直到发现一条复杂无比的通道能使用一个清晰的 S 参数表示。

为何串行

人们对高速的追求就像对美好生活的向往一样永无止境。在人们面前有两条路可以走，第一条是增加信道的数量，用更多的信道传输更多的信号，也就是我们所说的并行；第二条是提高单通道的信号速率，也就是我们所说的高速串行。

而在现在的高速传输中，SERDES 早已成为了绝对的主流。主要是因为并行传输有着先天的劣势：时钟周期变得越来越短，并行的时序已经无法满足。

在之前的《串扰系列》中有说到，由于使用数字信号通信，信道的噪声容限有了很大的提升，DDR3 信号的噪声裕量甚至能达到了 600mV，相当于信号电平的 40%。这 40%的裕量将被反射，损耗，电源噪声，串扰等问题瓜分。串行信号同样面临着这样的问题，于是

SERDES：“工程师爸爸，我上升沿陡，反射会比较严重！”

于是工程师把高速串行信号的驱动阻抗和接收阻抗都做成了 100 欧姆，与传输线相匹配：“我已经帮你把源端和末端两个最严重的反射给去掉啦，剩下的就靠你啦。”

SERDES：“工程师爸爸，我翻转次数多，串扰会比较严重！”

如何关注

- 1、搜索微信号“高速先生”
- 2、扫描右侧二维码，开始学习



于是工程师在所有的串行管脚附近都放上了地管脚：“我已经帮你把你跟你兄弟姐妹隔开啦，剩下的就靠你啦。”

这时隔壁家做连接器的王叔叔跑过来摸了摸 SERDES 的头：“小 SERDES 啊，我已经把连接器的串扰做到千分之一以下了。”

SERDES：“工程师爸爸，我电频低，好怕电源噪声！”

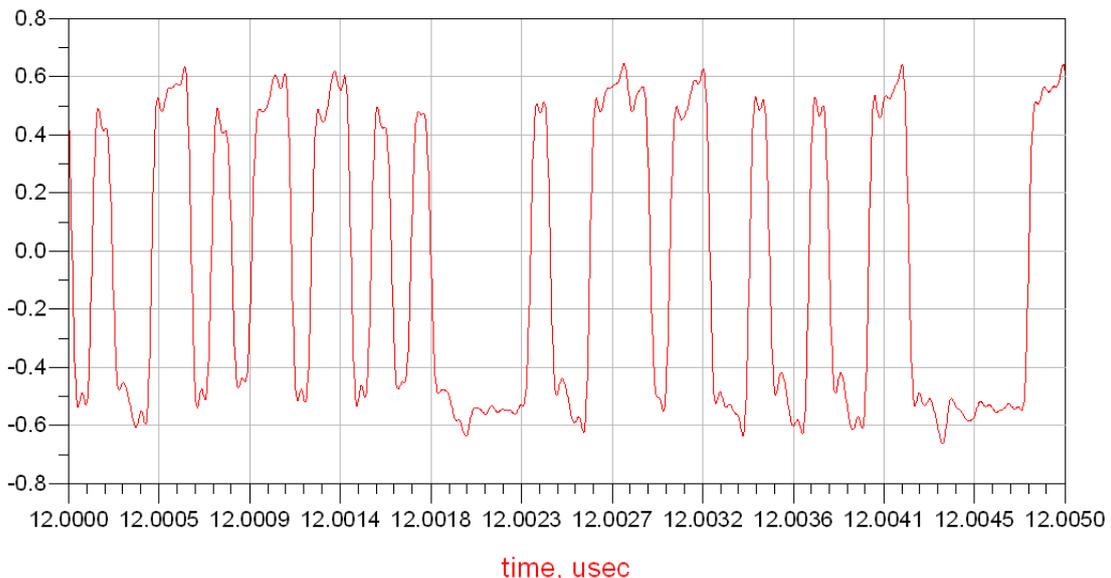
工程师看了 SERDES 笑了笑：“傻孩子，爹爹严格执行优生优育啊，你兄弟姐妹没几个，不像临村的并行，一家兄弟姐妹可以去踢世界杯了啊。”

SERDES：“工程师爸爸，我要更大的噪声容限！”

工程师皱了皱眉头：“这个不好办啊，我努力试试把”。于是就出现了串行发送端 0.6V 的 V_{oh} ，接收端 60mV 的 V_{ih} 。

SERDES 一看，0.6V 对 60mV，90%的裕量哇！开开心心跑到一条平坦性衰落的路面上玩去了。

出门的时候，他是这样子的：

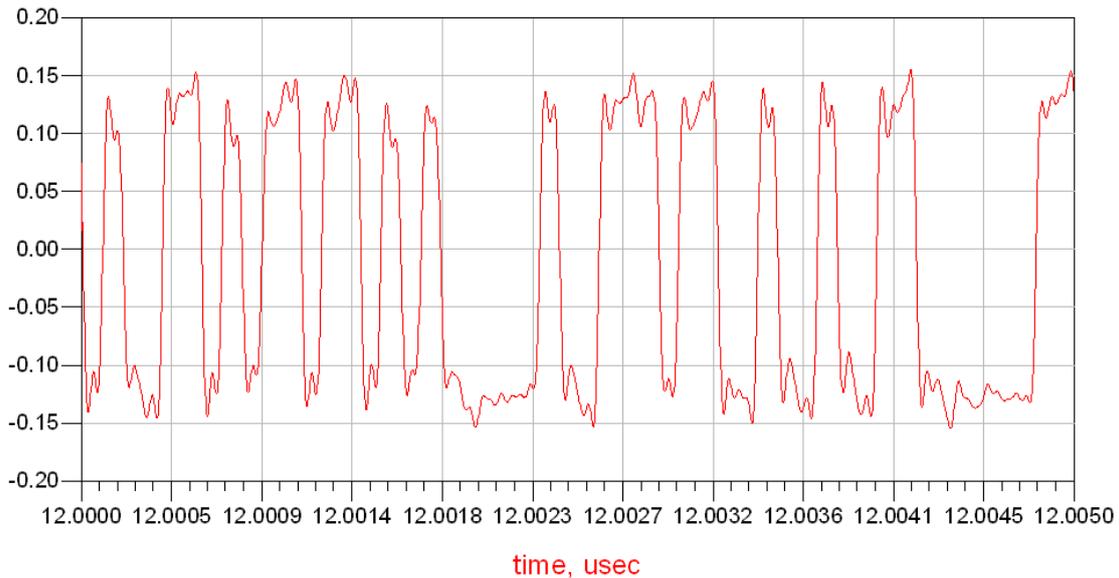


回到家的时候，他是这样子的：

如何关注

- 1、搜索微信号“高速先生”
- 2、扫描右侧二维码，开始学习





虽然衰减了 75%，但是工程师爸爸还是第一眼就认出了他就是小 SERDES。

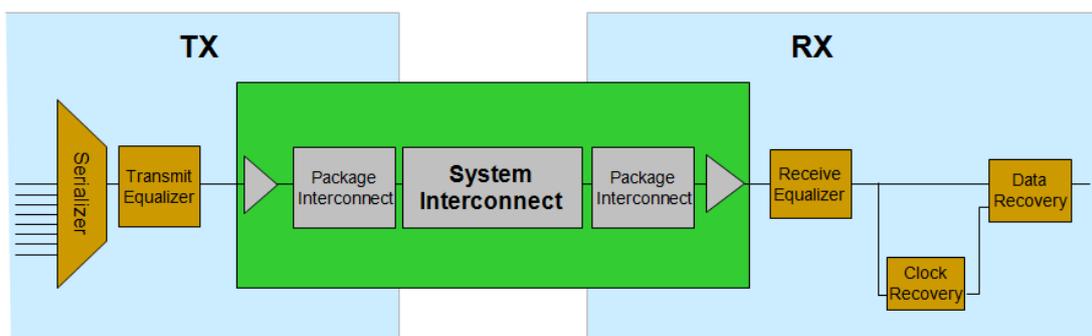
这时，一直藏在旁边树后的[并行]露出了半边面孔，瞄了一眼，阴测测的说：“小婊砸，跑得快就那么嚣张，你以为所有的路都是平坦性衰落么，嘿嘿嘿嘿。”

问：小 SERDES 将会遇到什么困难？

简单的串行

做过 layout 的朋友一定会有一种这样的感觉，串行通道恐怕是最容易设计的部分了。通道就一对差分线，芯片端串行部分信号 pin 的密度都相对低，出线也十分简单，最多在通道上有一对 AC 耦合电容，有些厂商甚至已经将电容集成在芯片中了。

和所有的互联结构一样，SERDES 无非也就是输出，输入，与互连通道。



如何关注

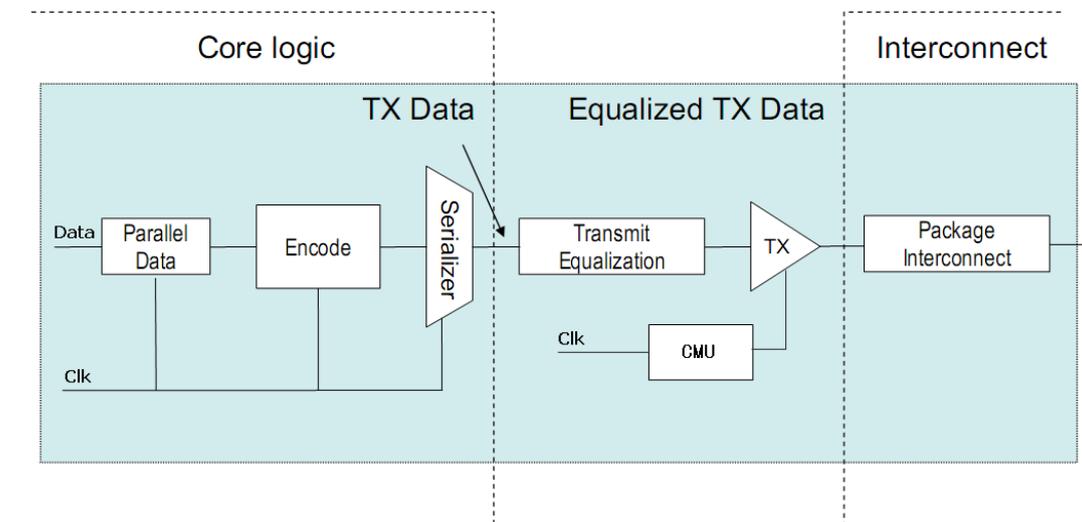
- 1、搜索微信号“高速先生”
- 2、扫描右侧二维码，开始学习



不过，SERDES 在芯片端比一般的信号要多出一些东西。首先，需要在 TX 端完成将并行信号变成串行信号过程，该过程通过串行器来实现，将 n 个速率为 x 的并行信号，变成一个速率为 $n*x$ 的串行信号，这样在 $1/x$ 的时间内，串行信号就包含了 n 个信息。在这个过程中，参考时钟的质量就至关重要了，我想，谁都不愿意看到在并行信号中地位相同的两个信号，变成串行信号之后一个占 150ps 一个却只有 50ps 了吧。

当然，为了保证信号的直流平衡（不要有长 0 长 1 的出现）等性能，在将数据进行串并转换之前，会将信号进行编码。在数据串化之后，会经过预加重模块，再出芯片，来到我们的信道上。

简单来说 TX 就是一个编码>>串化>>预加重>>输出的过程。



而通道上，就是我们熟悉的走线，过孔，连接器了。这些在之后的文章中做具体说明。

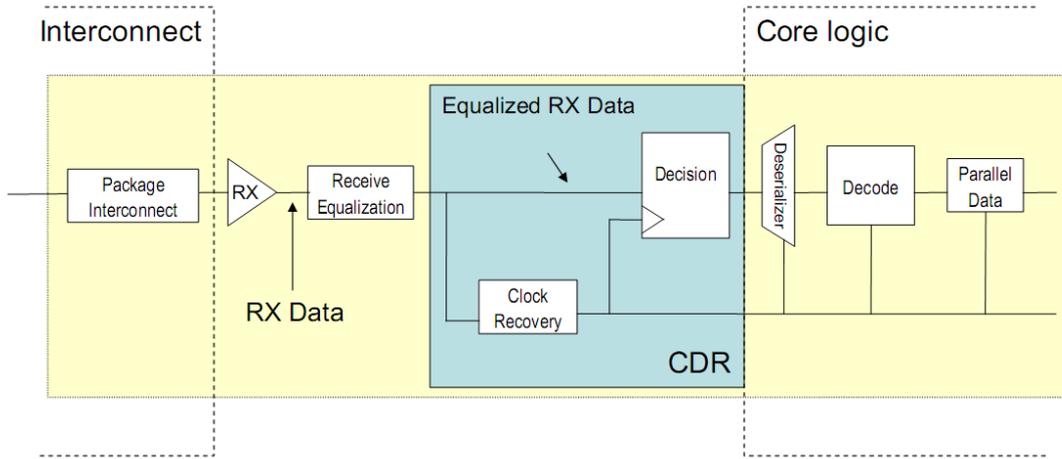
这里还有一个容易被大家忽略的东西，就是器件的封装。虽然很多协议对通道的要求是并不包含芯片封装的，但是一个好的芯片封装可以为通道增加非常多的裕量，这也是为什么很多通道性能并不是很好但是芯片工作起来非常顺畅的原因之一。同样是 BGA 封装，flip chip 的寄生电感是 wire bonding 的 30%。当然，更好的性能自然意味着更高的成本，just you know。

在串行通道的 RX 端，进行着与 TX 相反的过程。首先经过一个均衡器，将信号进行均衡处理。再通过 CDR（clock data recovery）将串行信号解串为并行信号。

如何关注

- 1、搜索微信号“高速先生”
- 2、扫描右侧二维码，开始学习





大道至简。可是在这至简的大道背后，各位工程师们可是在编码，均衡，封装等地方做了非常多的努力呢。

本期问题，列举 4-6 个 SERDES 标准组织。

串行与损耗

在第一篇文章中说到，人们是并不怎么担心平坦性衰落的，而频率选择性衰落会使得信号大幅的失真。很不巧，在当前 PCB 的应用中，我们大部分的损耗都是频率选择性的。

大家通常将损耗分为三部分：介质损耗，导体损耗，辐射损耗。其中，辐射损耗非常非常小，基本上可以忽略不计，让我们来看看介质损耗与导体损耗。

首先，介质损耗又分为两种：

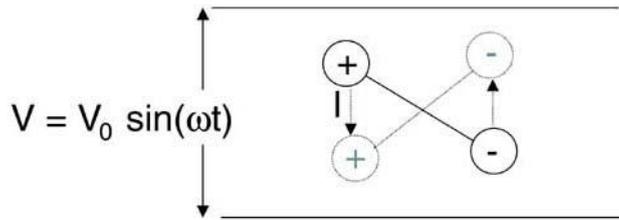
一种是漏电流。当信号线传输的是交变电流的时候，信号路径与回流路径构成的这个电容就会有电流通过，**电流大小与频率有关**，理想的电容是不消耗能量的。但是由于材料本身并不是完全绝缘的，实际上在电容两端施加电压时，本身有漏电流流过介质，而介质本身的电阻率会随着信号频率而变小。有电流通过电阻，恩，这就是我们的漏电流损耗，这个损耗并不是太大，在 nW 级别。

另一种是偶极子重取向引起的损耗。材料中本身是有偶极子（带电粒子）的，当信号从传输线上经过时，信号路径与回流路径之间形成电场，材料中的带电粒子受到电场力而运动，看起来就像电流流过介质一样，电场力转换的频率（偶极子来回摆动的频率）与信号速率有关。形象点说的话，微波炉您知道吧？

如何关注

- 1、搜索微信号“高速先生”
- 2、扫描右侧二维码，开始学习





两种介质损耗都是垂直于信号路径的，对边比邻边是 \tan ，所以我们用一个叫损耗正切角的参数来描述材料的损耗。普通的 FR4 损耗角在 0.02 以上，而当前已经商用的材料中，损耗角较低的已经低于 0.002 了。

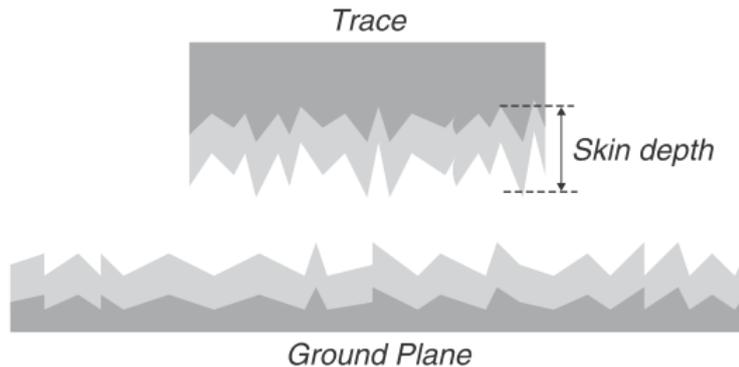
而导体损耗则分为两侧层次：

第一层是由于趋肤深度引起的电阻损耗。电阻损耗是一个平坦性损耗的典型例子，但是为什么导体损耗也是频率选择性的呢？这就是因为信号在高频之后会产生趋肤效应，导致电流流过的面积越来越小，而使得阻抗越来越大。

$$\delta = 2.5 \sqrt{\frac{1}{f}}$$

趋肤深度与频率的关系 (um, GHz)

第二层是由于表面粗糙度引起的电阻损耗。当趋肤深度与材料的梳齿结构可比时，表面粗糙度带来损耗就不可忽略了，这个在以前的章节中也有说明，就不再展开了。



本期问题是，在一些设计中，高速串行总线走线区域并没有大电流的电源平面分布，为何在系统运行时也会大量发热？

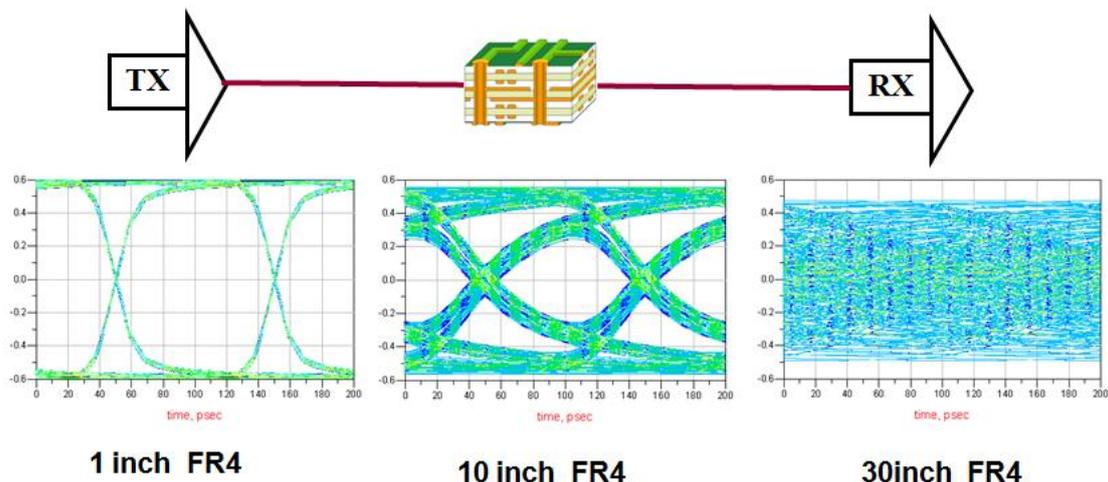
如何关注

- 1、搜索微信号“高速先生”
- 2、扫描右侧二维码，开始学习

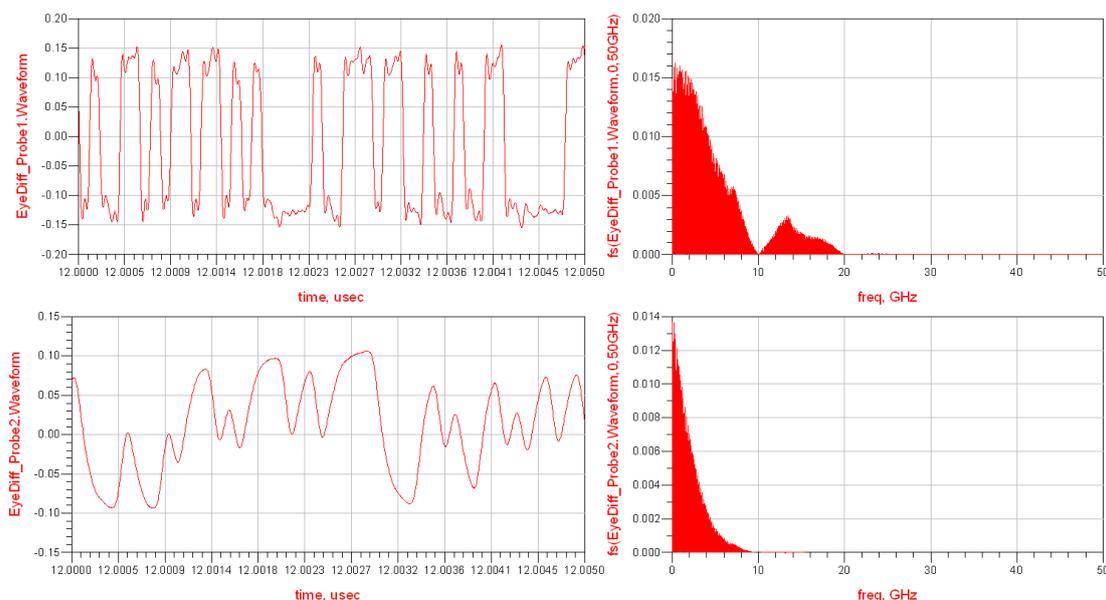


损耗战争

关于损耗的现象，大家看的最多的应该是类似于下面这幅图了，走线越长眼图闭合度越高，直至完全没有眼睛。



这张图描述的是损耗过大的现象。不过如果只是单单说一个眼图闭合并不能精确的描述它。的确，眼高从 1100mV 左右到了后面的没有眼睛，但是还需要注意它的峰峰值从 1200mV 只衰减到了 1000mV。眼图闭合的原因是高频分量过多的衰减。下面这张图能从频域中更直观的看出衰减的情况：



右边的两幅频谱图相除就是我们 S 参数中的插损了。

如何关注

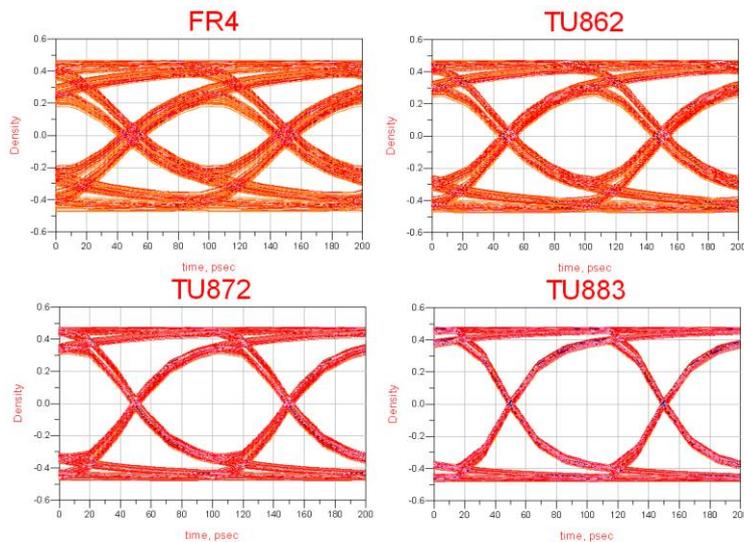
- 1、搜索微信号“高速先生”
- 2、扫描右侧二维码，开始学习



要避免这样的情况出现，最最简单的方法就是缩短我们的传输距离，但是为了诗与远方，信号的长距离传输不可避免，那么我们必须使用其他的方法，向这样的频率选择性衰减宣战了。

第一个方法，减小信号的带宽，使用较集中的频谱传输信号，1GHz 跟 10GHz 的衰减相差十万八千里，4999MHz 跟 5001MHz 差别总不大了吧。无线通信就是这么干的，可是带宽窄意味着传输的信息量少，要传输更多的信息可不能单向的这么干。

第二个方法，使用更好的材料，板材，铜箔，玻纤布等等。下图是当前主流高中低损耗板材，在传输同样距离情况下的眼图对比：



效果立竿见影，同样价格也立竿见影 😂😂😂。

第三种方法，用光纤传输。这个也是很多人想的方向，当前的光传输方案还是无法避免在板上引出较长的走线。在板上埋入光纤的话成本比上一中方法更不可能接受。不过在将来有什么技术革新的话倒还是喜闻乐见的。

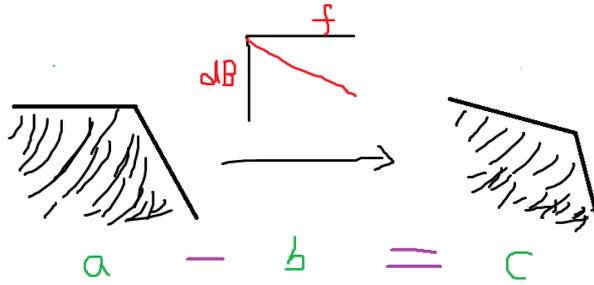
方法还有很多，但是上面例举的方法都是想着如何减小频率选择性衰减，有没有什么办法能让我们看着这些损耗说“他强任他强，清风抚山岗，他横由他横，明月照大江”呢？

当然有，那就是预加重与均衡。我们知道信号由初始的频谱 a ，经过一个有损耗的通道损耗了频谱 b ，到接收端的时候变成频谱 c ，

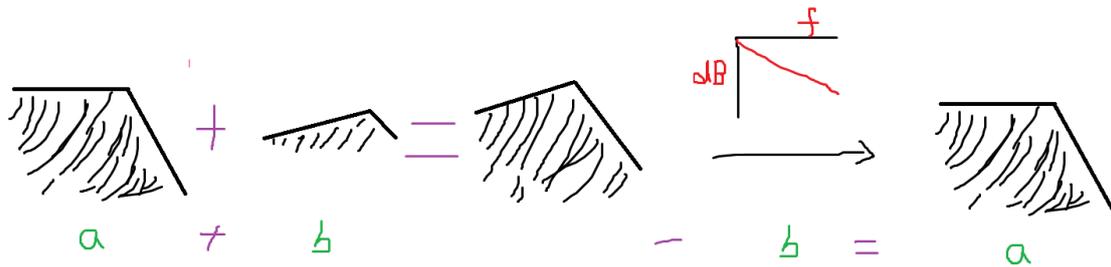
如何关注

- 1、搜索微信号“高速先生”
- 2、扫描右侧二维码，开始学习





频谱 c 构成的信号不能满足我们正确接收信号的要求，那我们能不能在发送端发送之前先加上损耗 b，使得在接收端得到的为 $a+b-b=a$ 呢？



显然是可以的，这就是预加重均衡的基本思路。

本期问题，例举几种不同的均衡技术类型。

FIR 与预加重

为了“原创”二字小陈同学用小画板画图画得好辛苦啊，但一些借用还是不可避免，侵删！

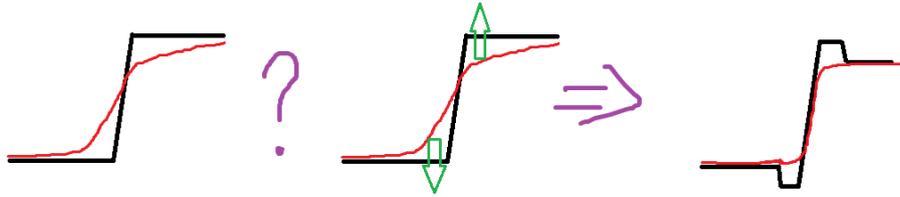
其实预加重与均衡的思路是一样的，都是减小信号的低频分量，增加信号的高频分量。只不过位置不同，一个在 TX 端，一个在 RX 端。同时，预加重与均衡使用的技术手段也不尽相同。

预加重主要的手段是使用 FIR-Finite Impulse Response，有限冲激响应滤波器。在时域上就非常好理解，本来我发送端（黑色）一个好好的阶跃信号，通过一个通道之后到接收端（红色）上升沿不是会变缓吗？那我在最开始的时候就把你将会变缓的地方拉的更陡，在上升沿的前面减去一个脉冲信号，在上升沿的后面加上一个脉冲信号。到接收端的时候就算你衰减了，也不过只是衰减成了我没有将上升沿变陡之前的样子。

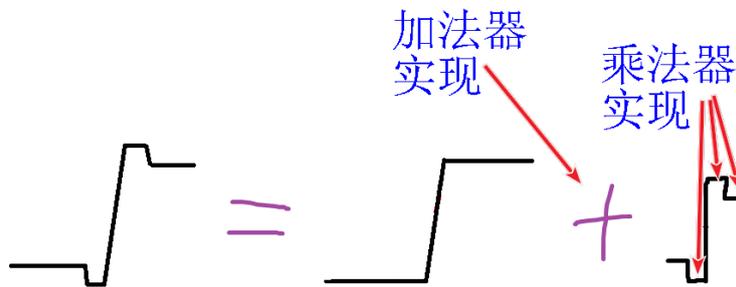
如何关注

- 1、搜索微信号“高速先生”
- 2、扫描右侧二维码，开始学习

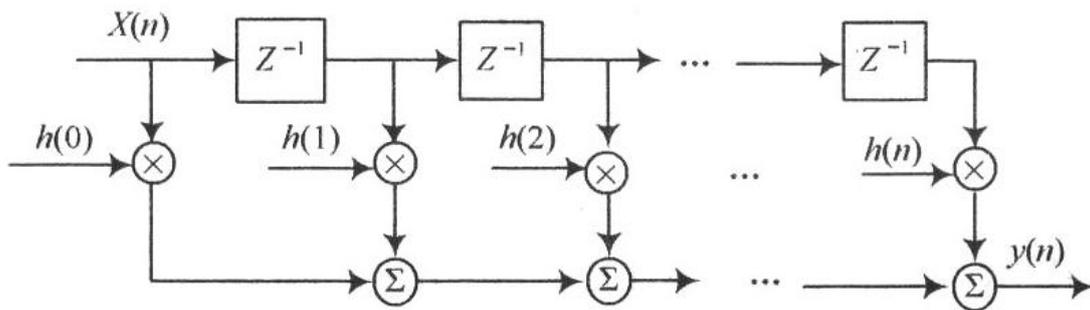




硬件实现也非常简单。使用乘法器生成一些不同的脉冲信号，然后通过加法器将这些脉冲信号加在上升沿的不同位置。至于乘以多少，加在哪里根据不同的通道特性来决定。



我们这几幅图里面属于比较简单的 FIR 滤波器，你可以看到，他只是拉低了上升沿的前面一位，拉高了上升沿的后面一位。实际上 FIR 可以有更多的 tap（可以将 tap 理解为一次乘和加的过程），可以改变上升沿前面或后面的更多位，一个 FIR 滤波器的结构示意图如下：



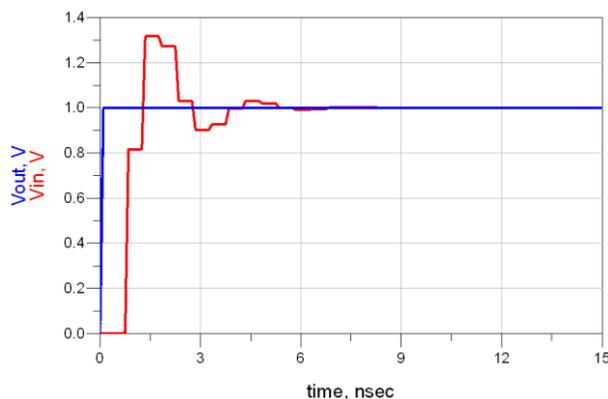
读到这里，再看看本文的第一张图，不知道会不会有朋友疑惑，为何还要拉对上升沿的后面几位进行 FIR 的过程？保持 1 或 0 的部分又不会因为高频衰减而大幅波动，衰减不是只体现在上升/下降沿上吗？

确实，衰减主要在边缘上，但是实际通道中可不止有损耗，还有反射、串扰等引起的问题。假如通道上有一段阻抗不连续，我们的阶跃信号就会变成这个样子：

如何关注

- 1、搜索微信号“高速先生”
- 2、扫描右侧二维码，开始学习





Si go yi! 看到这里想必大家也想到了，FIR 滤波器貌似不止能解决损耗问题，顺带还能解决一些由反射引起的振铃呢！

上面讲到的基本都是增加高频分量。其实在 TX 端，除了预加重同时还有去加重，与预加重不同，去加重是衰减低频分量，效果是一样的，只不过在接收端接收到的信号整体幅值会比使用预加重低，但是这种相当于平坦性衰减的东西谁关心呢？

使用 FIR 滤波器之后的频率响应在之前的《de emphasis 学习笔记》一文中已有详细解析，大家有兴趣的话可以再去翻一下那篇文章。

TX 端除了 FIR 滤波器，有时候也会用上 CTLE 技术，我们下回分解。

本期问题：很多时候人们选择去加重而不使用预加重，为什么？

均衡技术

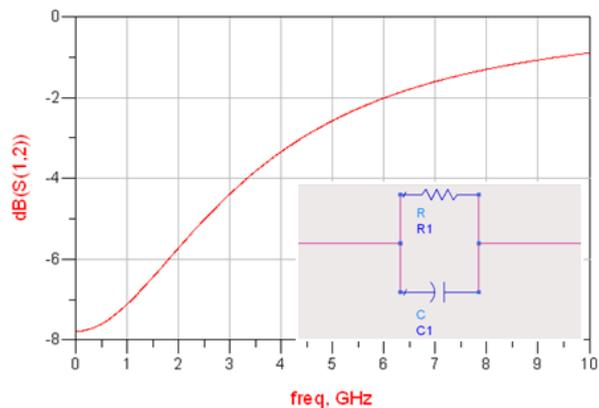
来，跟着小陈一起念：“减小低频能量，增加高频能量！减小低频能量，增加高频能量！减小低频能量，增加高频能量！”不管使用何种预加重均衡的方法，我们的核心思想是不变的。不过在念这句话的时候，大家觉不觉得跟另外一个器件性能很像？对，高通滤波器。

最简单的无源 CTLE-Continuous Time Linear Equalizer 连续时间均衡器其实就相当于一个高通滤波器，物理实现也非常简单，就是一个电阻与电容的并联，他的频率响应是这样子的：

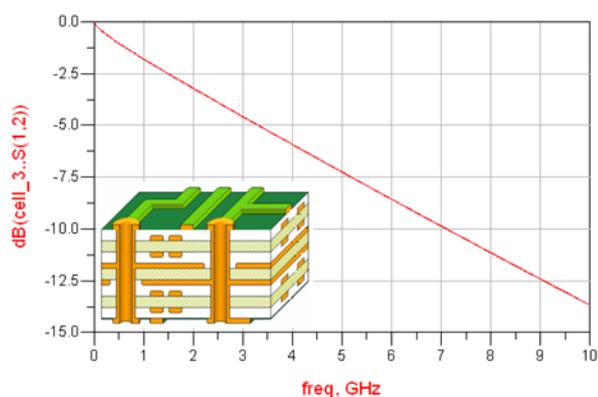
如何关注

- 1、搜索微信号“高速先生”
- 2、扫描右侧二维码，开始学习

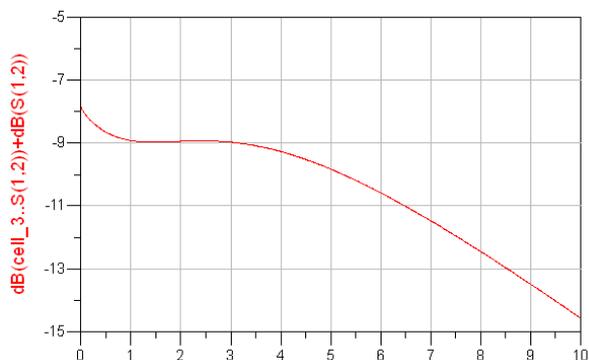




而我们的有损线的频率响应大概是这样的：



将走线与前面的高通滤波器串联在一起的话，全通道的频率响应是这样子的：



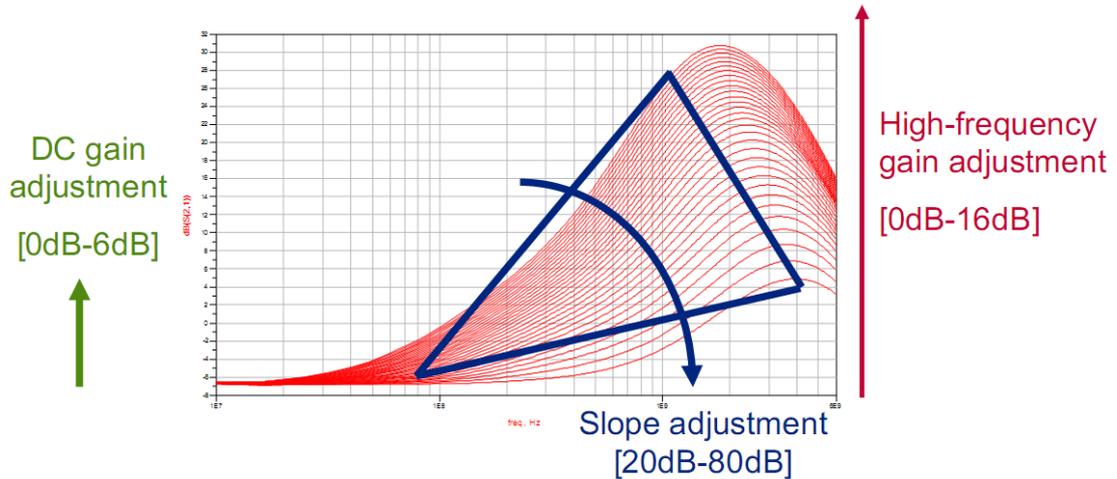
看起来好惨，低频段的都直接衰减了-9个 dB。可是再仔细一看，在5GHz以内似乎变成了平坦性衰落，而10Gbps信号最主要的频谱分布就在5GHz之内，该通道去传输10Gbps的信号似乎不再需要担心出现严重的ISI问题。要根据不同的通道去调整高通滤波器的频率响应的话，只需要调整电阻和电容的大小即可。

除去简单的无源CTLE，芯片内部大多是有源CTLE，由多个有源滤波器构成。其频率响应可调，下图是某芯片的CTLE频响示意图：

如何关注

- 1、搜索微信号“高速先生”
- 2、扫描右侧二维码，开始学习

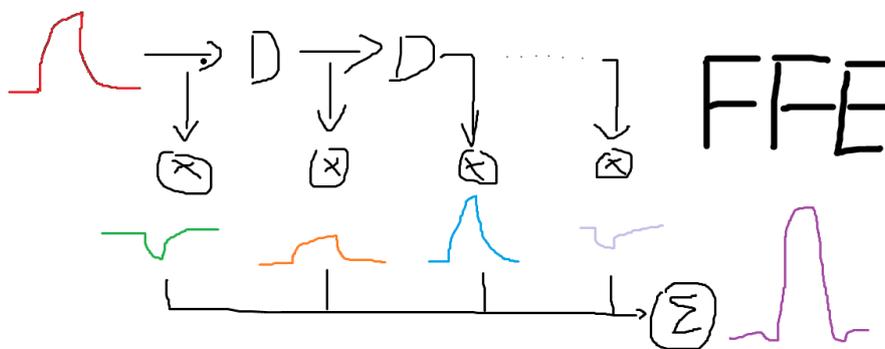




可以看到，实际上高频的增益其实是可以做到很高了，16dB 是什么概念呢？普通 10inch 的 FR4 在 10GHz 时候的损耗大概在 16dB 左右。

RX 端均衡除去 CTLE 技术之外，常用的还有 FFE (Feed-Forward Equalizer, 前馈均衡器)

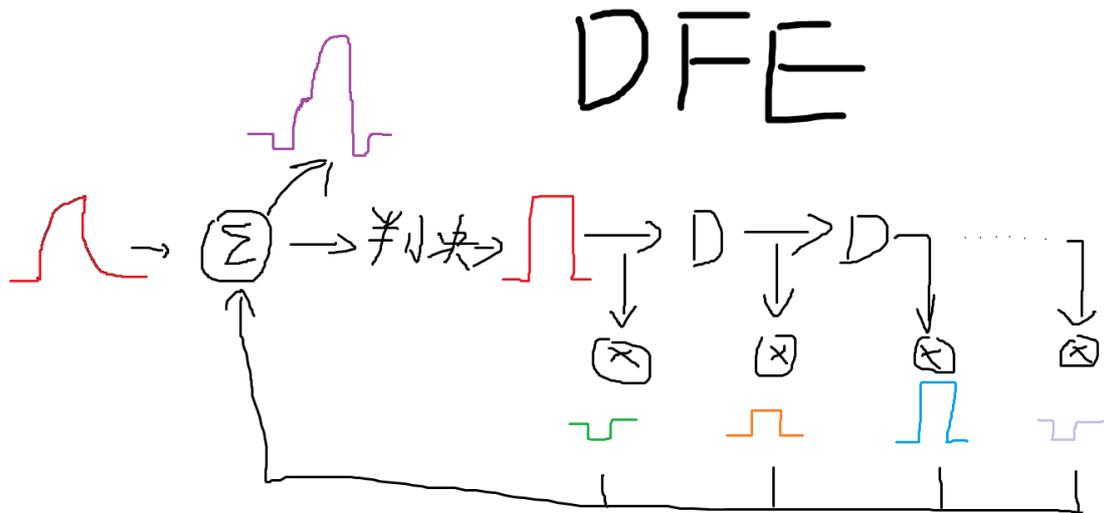
DFE (Decision Feedback Equalizer, 判决反馈均衡器)。这两个就跟 FIR 比较像。只不过 FIR 中的乘法器是乘一个脉冲信号，而 FFE 与 DFE 中的乘法器，乘以信号本身。看图理解：



如何关注

- 1、搜索微信号“高速先生”
- 2、扫描右侧二维码，开始学习





(画图好辛苦，大概意思是这样，叠加后的波形画得不好就不要管他了)

FFE 与 DFE 最大的不同就在于各 tap 工作之前的那一个判决步骤了吧。

本期问题：通常 RX 端使用 DFE 多还是 FFE 多，为什么？

没有尽头的战役

在这对于预加重与均衡的优缺点稍微做一下总结：

1. 预加重实现起来比均衡要简单，功耗低一些。
2. 预加重增益不能做太大，一个 1.1Vpp 的输出不可能预加重后转化为 5Vpp 的输出。
3. 预加重会增加通道之间的串扰。
4. 通道之间的串扰显然不会影响预加重本身，但是会对 CTLE 与 FFE 造成影响。不过由于 DFE 经过了判决步骤，噪声对 DFE 的影响较小。
5. 对应预加重的增益问题，显然均衡器在增益方面有着明显的优势。

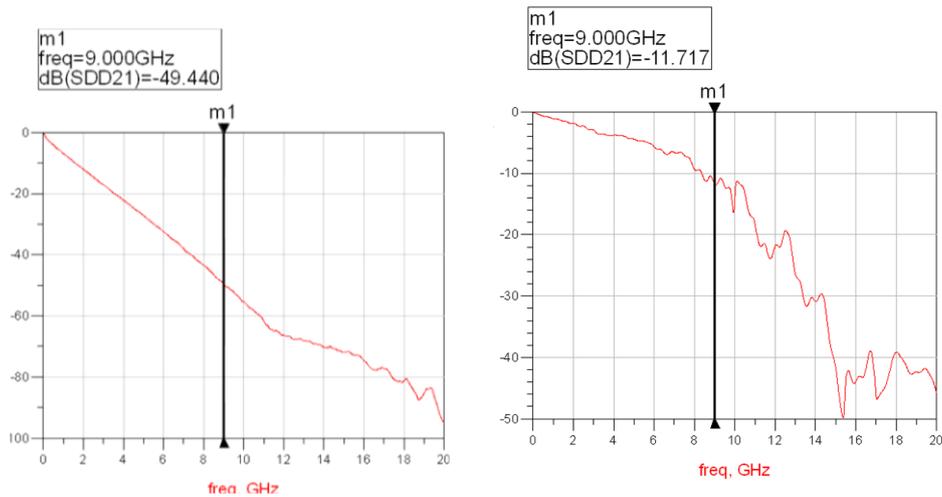
说到增益问题，实际上，现在的预加重的增益可以做到 10dB 左右，均衡的增益可以做到 30dB 甚至更高。看到这里不知道大家是不是会松一口气，预加重与均衡增益加起来有差不多 40dB，这差不多是使用 FR4 板材 1m 长的走线在 10GHz 处的损耗。结合其他减小频率选择性损耗影响的方法（板材，铜箔等），看起来频率选择性损耗似乎并不是不可战胜。那我们与损耗的战争结束了吗？

如何关注

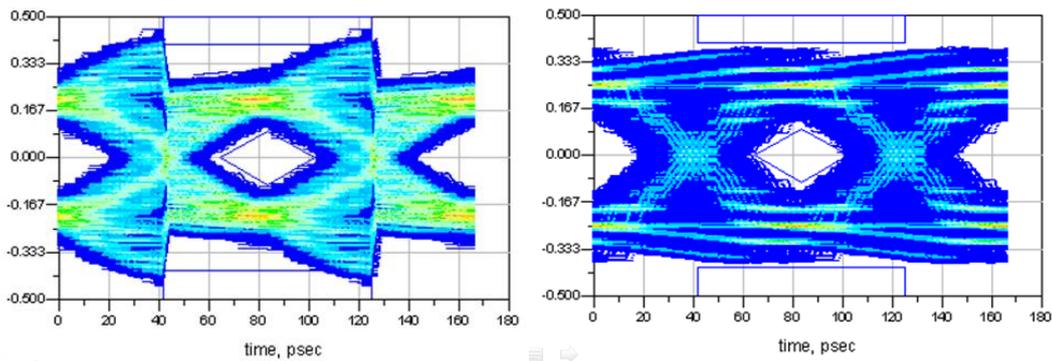
- 1、搜索微信号“高速先生”
- 2、扫描右侧二维码，开始学习



大家看下面这样一组图：



看到这样两个插损曲线，左边的在 9GHz 损耗接近-50dB，右边只有-12dB 不到，大家觉得他们在跑 SAS3（12Gbps）时 RX 端各自的眼图是什么样子的？



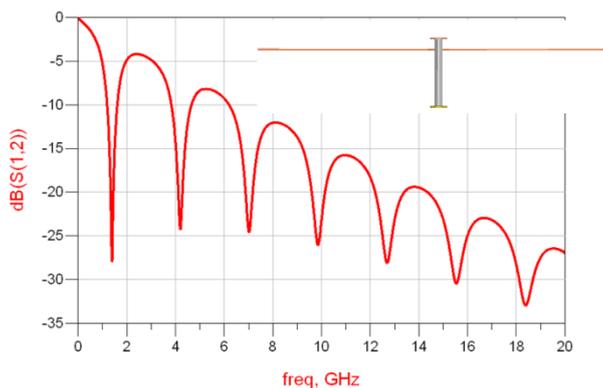
是的，大家没有看错，小陈也没有将两幅图放反。大家仔细看这两幅图的峰峰值，左边这一幅明显的比右边的大非常多，这是因为左边通道损耗高，自适应均衡后选择的增益更大。

假如还是我们在上一张里所看到的那个高通滤波器，但是通道上有一个很长的 stub，通道的参数变成了这样：

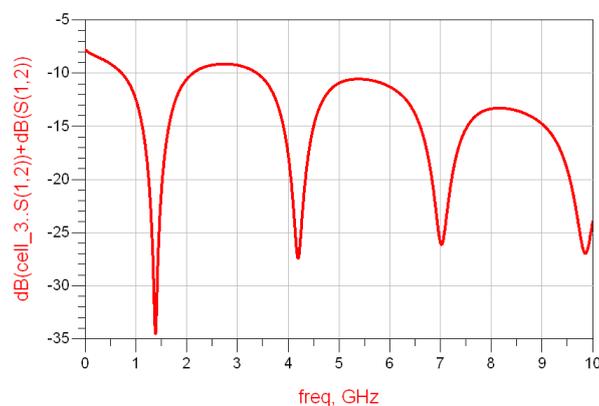
如何关注

- 1、搜索微信号“高速先生”
- 2、扫描右侧二维码，开始学习





经过那个高通滤波器之后，全通道的频率响应是这样：



一个本身震荡很大并且非常不规律的通道，是无法通过均衡器将通道变成一个平坦性衰落的。

所以在 802.3ap/bj, OIF-CEI, SFF8431 这些协议中，会专门有一个 ILD (insertion loss deviation) 指标对插损的振幅进行约束。

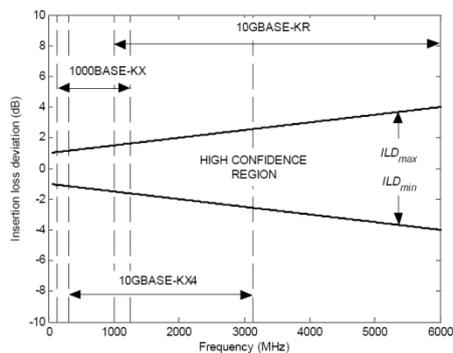


Figure 69B-6—Insertion loss deviation limits

这些震荡由反射，串扰，模态转换引起。兜兜转转，我们又回到了解决反射与串扰问题。所以以前说过：“对于信号完整性是什么这个问题，入门工程师会告诉你的是反射和串扰，老工程师告诉你的也是反射和串扰”。

如何关注

- 1、搜索微信号“高速先生”
- 2、扫描右侧二维码，开始学习



问题来了

文中-50dB 损耗的通道眼图中，为什么每个 UI 会有上下两个大大的直角三角形突起部分？

高速先生欢迎您和我们一起进行交流，关注微信名（高速先生），直接将答案通过会话回复，参与互动答题即有机会获得奖品，回复关键词“奖品”查看更多。

【关于一博】

一博科技专注于高速 PCB 设计、PCB 制板、焊接加工、物料供应等服务。作为全球最大的高速 PCB 设计公司，我司在中国、美国、日本设立研发机构，全球研发工程师 500 余人。超大规模的高速 PCB 设计团队，引领技术前沿，贴近客户需求。

一博旗下 PCB 板厂成立于 2009 年，位于广东四会（广州北 50KM），采用来自日本、德国的一流加工设备，TPS 精益生产管理以及品质管控体系的引入，致力为广大客户提供高品质、高多层的制板服务。

一博旗下 PCBA 总厂位于深圳，并在上海设立分厂，现有 12 条 SMT 产线，配备全新进口富士 XPF、NXT3、全自动锡膏印刷机、十温区回流炉等高端设备，并配有波峰焊、AOI、XRAY、BGA 返修台等配套设备，专注研发打样、中小批量的 SMT 贴片、组装等服务。

【关于高速先生】

高速先生由深圳市一博科技有限公司 R&D 技术研究部创办，用浅显易懂的方式讲述高速设计，成立至今保持每周发布两篇原创技术文章，已和大家分享了百余篇呕心沥血之作，深受业内专业人士欢迎，是中国高速电路第一自媒体品牌。

如何关注

- 1、搜索微信号“高速先生”
- 2、扫描右侧二维码，开始学习





扫一扫，即可关注

如何关注

- 1、搜索微信号“高速先生”
- 2、扫描右侧二维码，开始学习

