

【高速先生原创|生产与高速系列】不同的走线层，一样的 STUB

作者：黄刚 一博科技高速先生团队队员

N 年的宝贵经验告诉我们，遇到过孔 stub 时，最好办法就是器件在表层走线靠下层，器件在底层走线就靠上层，这样能把 stub 降到最低。但是，有没有这样一种情况，你们觉得无论走哪一层都觉得不能把 stub 降得很低的情况呢？

还有这种操作!!!



恩，还真有这么一种操作，而且其实我们还见得不少。在比较理想的器件布局下，我们喜欢把高速信号的收发芯片都放在同一面，要么都是表层，要么都是底层。原因很简单，这样的话我们从表层的 pin 打孔到内层走线时，只要我们走到了靠下的层（以器件放表层说明，如果是放底层则相反哈），这样两个过孔就都会是比较短的过孔 stub，有利于提高信号传输质量。而且不要老是动不动就提要背钻这事嘛，能保证质量的同时又可以简单快捷的省成本和加工流程这种好事，相信谁都不会拒绝吧？

如何关注

- 1、搜索微信号“高速先生”
- 2、扫描右侧二维码，开始学习





但是，有的高速信号却不能做到两个器件都放在正面，看起来好像显得我们不重视这些高速走线似的。大家是不是觉得只要我们先保证它们的传输的话，就肯定轻松的做到先把它们都放在表层是吧？有的东西连臣妾都不能保证啊，更何况 PCB 工程师呢？例如，其中一个器件是双面都有高速走线的 pin。。。



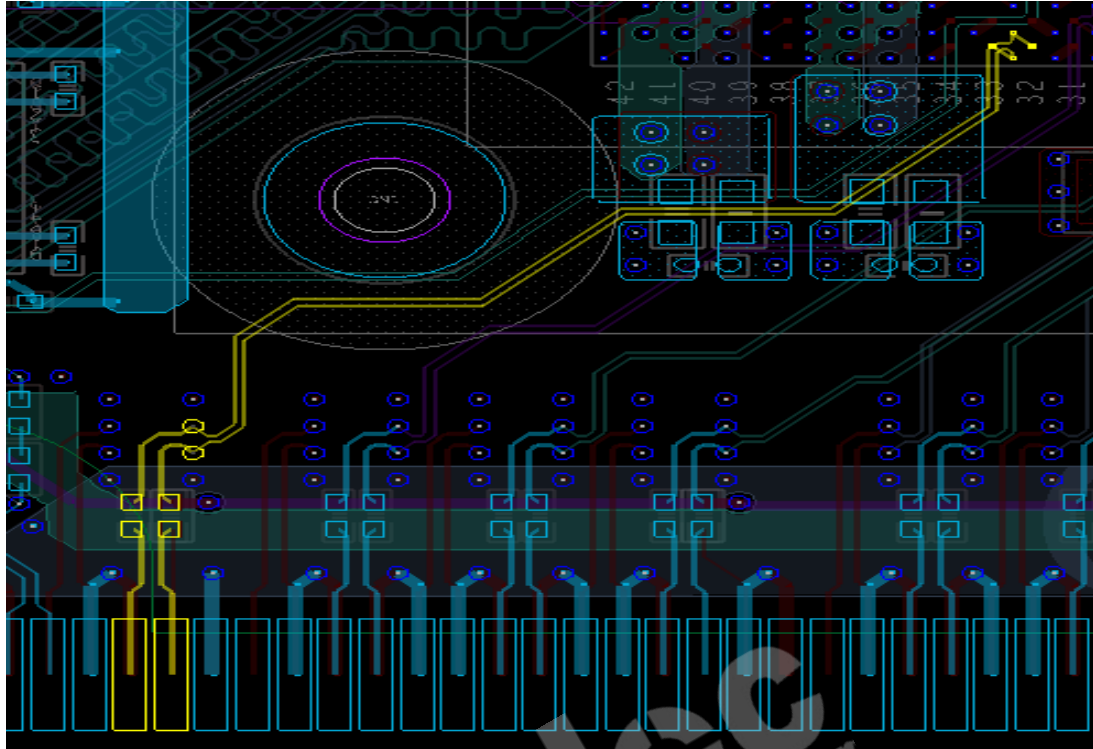
I should not reply.
我竟无言以对

其实这样的器件是有的，而且应用很广泛，其中一种就是我们今天的主人公，PCIE 金手指。在我们很多 PCIE 子卡设计中，都会遇到它。它的封装就是双面的焊盘结构。这样的 PCIE 信号我们最近接触非常多，主要就是应用在现在很火的人工智能领域上。

如何关注

- 1、搜索微信号“高速先生”
- 2、扫描右侧二维码，开始学习





像上图高亮的 TX 链路（怎么分的 TX 还是 RX？看看电容呗）是在底层，而我们的主芯片放在表层，那我们的内线走线好像走到哪一层就是不能达到放同一面时的效果，无论是放在靠上层还是靠下层，都会有其中一个过孔有很长的 stub。这时能够想象 PCB 工程师的心情就好像下图的情况一样矛盾。。。



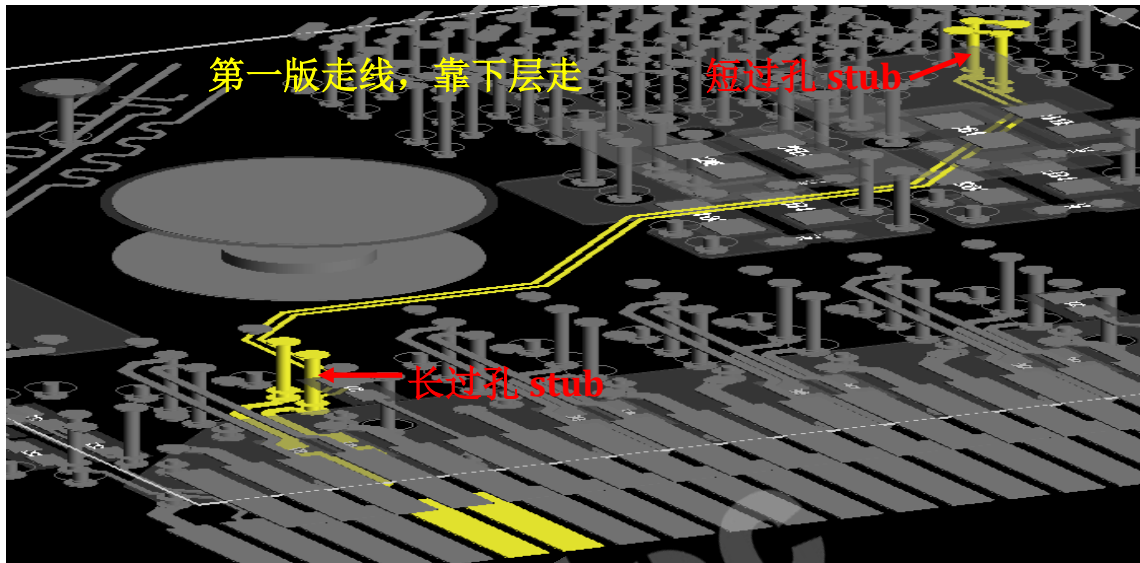
在说完了前面的铺垫之后，再说说本文想描述的案例。该信号走的是 PCIE3.0 的协议（8Gbps），板厚是 2.0mm。在第一版中，客户为了省成本，问我们能不能不背钻处理，然后我们高速先生也不是动不动就叫客户背钻的，因为经过验证之后，认为把走线走到靠下层时，长过孔的 stub 大概在 60mil 左右，对于 8Gbps

如何关注

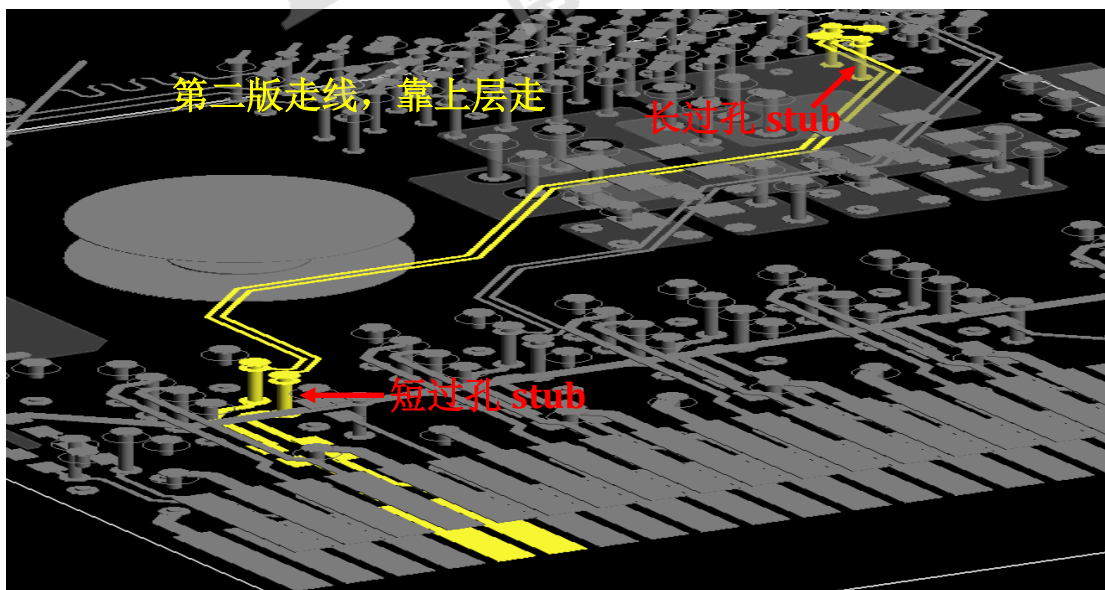
- 1、搜索微信号“高速先生”
- 2、扫描右侧二维码，开始学习



的信号仍在可以接受的范围。客户也怀着将信将疑的心态投了板，不过还好没等多久，回板之后客户进行了 PCIE 的测试（子卡插到 base 进行测试），发现真的是 OK 的哦，传输没有问题。



一切都没什么问题之后，后面客户又开始了第二版，其他走线有一些改动，PCIE 这部分原理图没有改动。本来按说 PCIE 直接 copy 就好了，但是由于靠下面的走线需要让给更高速的信号，因此无法继续按照上一版靠底层走线。这时 PCB 工程师想到反正都会有一个长的过孔 stub，影响应该是一样的，因此就把走线放在和下层对称的上层去走，于是就第二版的链路变成了这样（由于后面要对比两者的区别，因此我们用同一条链路不同走线层来对比会更有说服力）。



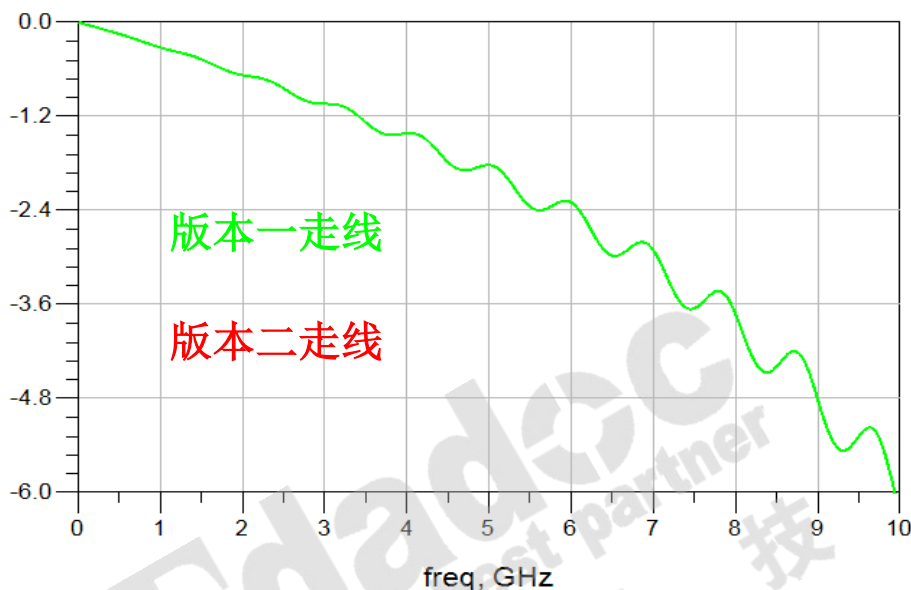
如何关注

- 1、搜索微信号“高速先生”
- 2、扫描右侧二维码，开始学习



这就是前面说到，无论靠上还是靠下都会有一个长的过孔 stub 无法避免。其实乍一看，感觉应该是一样的，因为还是有一个长的和一个短的过孔 stub 的影响。事实上是这样吗？

我们把两种情况进行仿真对比一下，他们的传输损耗有非常惊人的结论，那就是真的就是一样的。如下所示：高速先生们再三确认后。确定真的是有两根曲线，真的一模一样哈。红的曲线被绿的覆盖了。。。



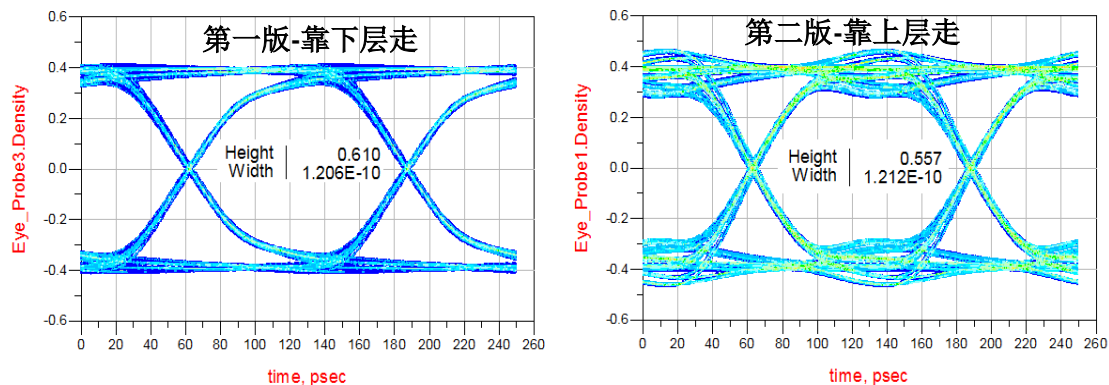
后面想了一下，其实一样也是对的。对于这种线性时不变系统而言。事实上他们就应该是一样的。理论不想过多解释哈，对于这种名词大家感兴趣再去搜搜哈。简单来说就是从最后接收来看，首先时间是一样的，然后 stub 一样的情况下是不 care 长 stub 和短 stub 的顺序，能量经过振荡传输到接收端的时候就是一样的。那看起来这种 case 下走靠上还是靠下层真没有影响？

很多时候当你有一个认为正确的结论时，往往需要经得住很多人的敲打。例如有同事就提出，要不给他们赋了收发模型看看眼图是不是也一样？好，这个主意非常好，因为对于很多人来说，S 参数远没有时域的波形或者眼图直观，于是我们加入收发模型进行仿真后，就立马把这个结论推翻了。。。

如何关注

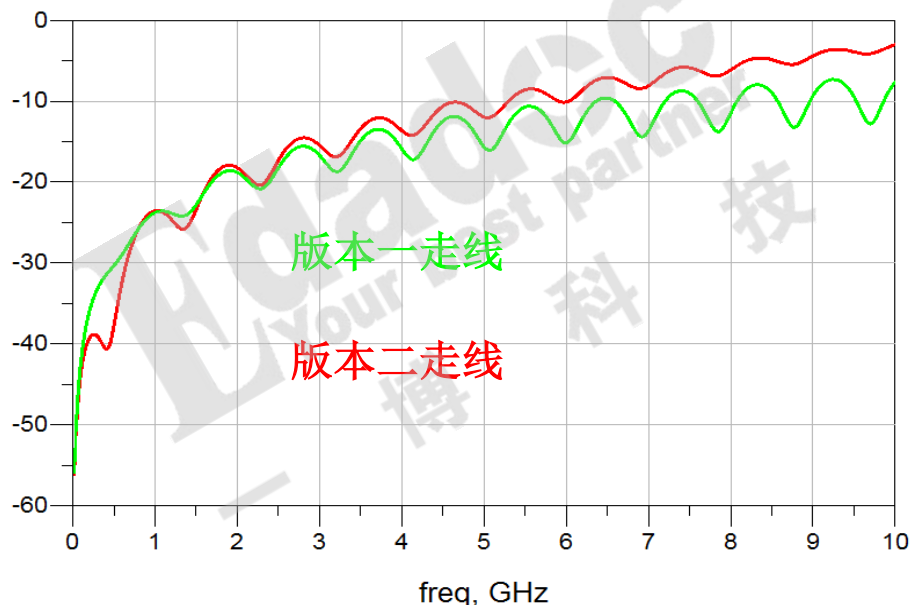
- 1、搜索微信号“高速先生”
- 2、扫描右侧二维码，开始学习





突然发现原有差距会那么大，眼高居然差了 50 多 mV。两者看起来波形都不错，但是在 PCIe 链路中，这个只是子卡部分，插上 base 板后接收裕量就肯定很小了，所以这个已经是一个很大的差距了。

在惊讶之余我们再回头看看这两条链路的回波损耗，终于发现了不一样的地方。



从回波损耗来看，版本一的结果的确会比版本二要好。这就是导致眼图有差异的原因了。所以对于这种始终会存在过孔 stub 的情况下，我们走线层的选择其实会影响很大，不能再按照传统的单纯靠下层或者靠上层来走了，这时候必须具体问题具体分析哈。

如何关注

- 1、搜索微信号“高速先生”
- 2、扫描右侧二维码，开始学习



【关于一博】

深圳市一博科技股份有限公司（简称一博科技）成立于 2003 年 3 月，专注于高速 PCB 设计、PCB 制板、SMT 焊接加工和供应链服务。我司在中国、美国、日本设立研发机构，全球研发工程师 600 余人。

一博旗下 PCB 板厂位于深圳松岗，采用来自日本、德国等一流加工设备，TPS 精益生产管理以及品质管控体系的引入，致力为广大客户提供高品质、高多层的制板服务。

一博旗下 PCBA 总厂位于深圳，并在上海、成都、长沙设立分厂，厂房面积 23000 平米，现有 30 条 SMT 产线，配备全新进口富士 XPF、NXT3、AIMEX III、全自动锡膏印刷机、十温区回流炉、波峰焊等高端设备，并配有 AOI、XRAY、SPI、智能首件测试仪、全自动分板机、BGA 返修台、三防漆等设备，专注研发打样、中小批量的 SMT 贴片、组装等服务。作为国内 SMT 快件厂商，48 小时准交率超过 95%。常备一万余种 YAGEO、MURATA、AVX、KEMET 等全系列阻容以及常用电感、磁珠、连接器、晶振、二三极管，并提供全 BOM 元器件服务。

PCB 设计、制板、贴片、物料一站式硬件创新平台，缩短客户研发周期，方便省心。

EDADOC, Your Best Partner.

【关于高速先生】

高速先生由深圳市一博科技有限公司 R&D 技术研究部创办，用浅显易懂的方式讲述高速设计，成立至今保持每周发布两篇原创技术文章，已和大家分享了百余篇呕心沥血之作，深受业内专业人士欢迎，是中国高速电路第一自媒体品牌。



扫一扫，即可关注

如何关注

- 1、搜索微信号“高速先生”
- 2、扫描右侧二维码，开始学习

