

## 【高速先生原创|生产与高速系列】ALLEGRO-DFX 准确性设计（一）

作者：肖勇超 一博科技高速先生团队队员

随着电子产品迭代的时间越来越短，产品研发的周期成为工程师最大的挑战之一。如何提升设计效率就成为行业必须要探索的方向，EDA 软件及产品公司都在此方向投入巨大的关注。在注重设计速度提升的同时，大家也认识到提高设计正确性，通过使项目设计一次成功，来减少返工时间，从而提升设计效率达到缩短项目周期的目的。

以往我们使用 allegro 16X 设计时，遵循 DXF 约束布局时我们通过设置合理的 PACKAGE KEEPIN、PACKAGE KEEPOUT 和 ROUTE KEEPIN 等规则，结合合理的 Physical 和 Spacing 规则来保证我们的设计准确性。Physical 规则设置如下图所示：

Objects		Line Width		Neck		Differential Pair				Vias	
Type	S	Min	Max	Min Width	Max Length	Min Line Spac	Primary Gap	Neck Gap	(+)Tolerance		(-)Tolerance
		mil	mil	mil	mil	mil	mil	mil	mil	mil	
Dsn	<input type="checkbox"/>	4.00;2.50;3.00...	0.00	2.36	500.00	0.00	0.00	0.00	0.00	0.00	VIA8-BGA;VIA4-10_L2-L...
PCS	<input type="checkbox"/>	3.00	3.00	2.36	500.00	0.00	0.00	0.00	0.00	0.00	VIA8-BGA;...
PCS	<input type="checkbox"/>	4.00;2.50;3.00...	0.00	2.36	500.00	0.00	0.00	0.00	0.00	0.00	VIA8-BGA;VIA...
PCS	<input type="checkbox"/>	15.00	0.00	2.36	10000.00	0.00	0.00	0.00	0.00	0.00	VIA8-BGA;VIA...
PCS	<input type="checkbox"/>	13.00	13.00	10.00	100.00	0.00	0.00	0.00	0.00	0.00	VIA8-BGA;...
PCS	<input type="checkbox"/>	3.00;3.00;3.00...	0.00	2.36	500.00	0.00	0.00	0.00	0.00	0.00	VIA8-BGA;...
PCS	<input type="checkbox"/>	3.00;2.55;3.00...	0.00	2.36	500.00	0.00	0.00	0.00	0.00	0.00	VIA8-BGA;...
PCS	<input type="checkbox"/>	3.00;2.55;3.00...	0.00	2.36	500.00	0.00	0.00	0.00	0.00	0.00	VIA8-BGA;...
PCS	<input type="checkbox"/>	3.00;2.45;3.00...	0.00	2.36	500.00	0.00	0.00	0.00	0.00	0.00	VIA8-BGA;...

### Physical 规则

根据单板的实际情况合理设计层叠阻抗和最小线宽（注意工艺加工能力）；不同阻抗线在同一层面进行合理的线宽区分便于加工识别，保证阻抗设计准确性；同时注意最大板厚钻径比。而对于 Spacing 规则设置，同样需要结合单板设计合理的规则。例如：最小的 line/via、line/SMD、shape/via、via/via 的最小间距是否满足加工要求；合理的 SMD Pin/SMD Pin、SMD Pin/Thru Pin、Spacing 规则保证器件的 DFA；CLK、DDR、PCIE 以及 48V 等信号同样需要设计合理的 Spacing 规则来保证信号完整性。Spacing 规则设置如下图所示：

#### 如何关注

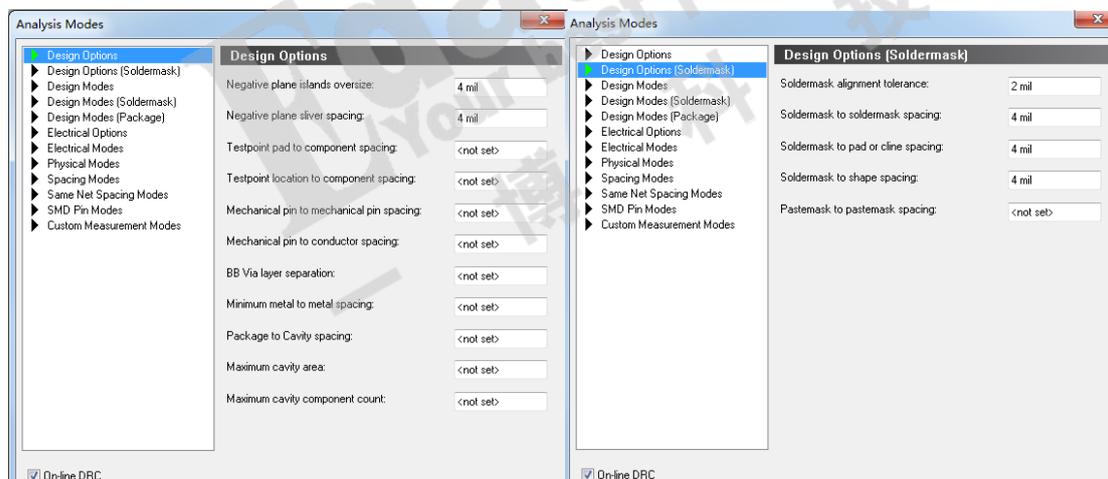
- 1、搜索微信号“高速先生”
- 2、扫描右侧二维码，开始学习





- |  |                             |
|--|-----------------------------|
| Assigned Function Report                   | Net Loop Report             |
| Bill of Material Report                    | Net Single Pin and No Pin   |
| Bill of Material Report (Condensed)        | Netin (back anno.)          |
| Cadence Schematic Feedback Report          | Netin (non-back)            |
| Component Pin Report                       | Padstack Definition Report  |
| Component Report                           | Padstack Usage Report       |
| Cross-Section Report                       | Pin Swap Report             |
| Dangling Lines, Via and Antenna Report     | Placed Component Report     |
| Design Partition Report                    | Properties on Nets Report   |
| Design Rules Check (DRC) Report            | Route Jumper Report         |
| Design Rules Net Shorts Check (DRC) Report | Shape Dynamic State         |
| Diffpair Gap Report                        | Shape Islands               |
| Edadoc Valor Report                        | Shape No Net                |
| Embedded Cavity Report                     | Shape Report                |
| Embedded Component Report                  | Slot Hole Report            |
| Etch Detailed Length Report                | Spare Function Report       |
| Etch Length by Layer Report                | Summary Drawing Report      |
| Etch Length by Layer and Width Report      | Symbol Availability Check   |
| Etch Length by Net Report                  | Symbol Library Path Report  |
| Etch Length by Pin Pair Report             | Symbol Pin Report           |
| Film Area Report                           | Testprep Report             |
| Film Area Short Report                     | Unassigned Functions Report |
| Function Pin Report                        |                             |
| Function Report                            |                             |
| Missing Fillets Report                     |                             |
| Module Report                              |                             |
| Net List Report                            |                             |

### 报表检查



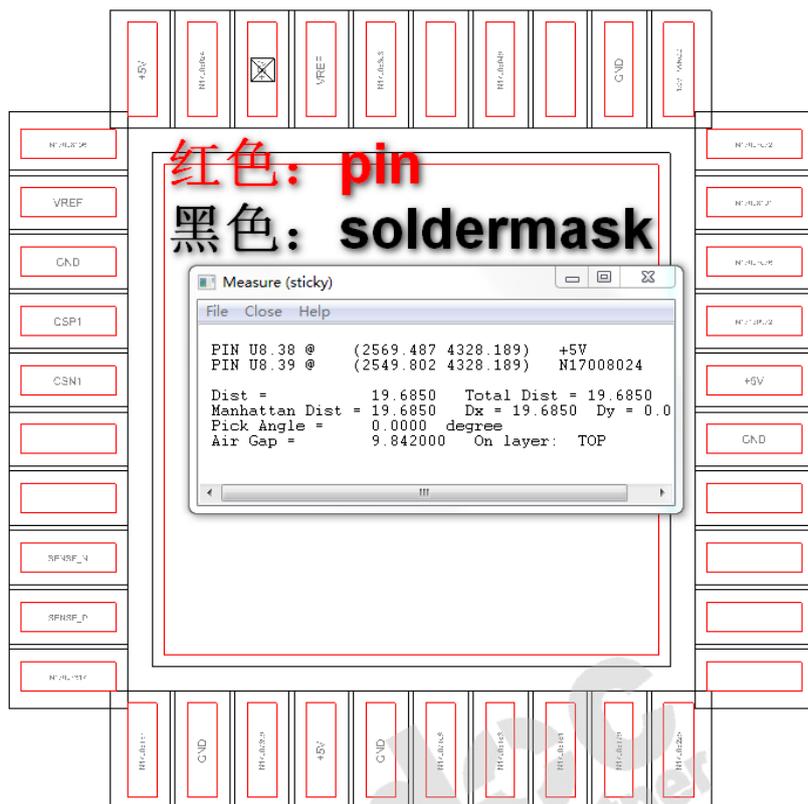
### 工艺规则设置

而对于 DDR4/高速串行总线，需要设计工程师关注阻抗、耦合、布线细节等各个方面。但是随着密度的增加，PCB 板上成千上万的高速信号，靠人力去检查优化，效率是非常低下的，也容易造成疏漏，很难全面保证设计的准确性；而且部分隐性问题对于非专业人员来说就是定时炸弹。如下图所示案例：

#### 如何关注

- 1、搜索微信号“高速先生”
- 2、扫描右侧二维码，开始学习





案例一



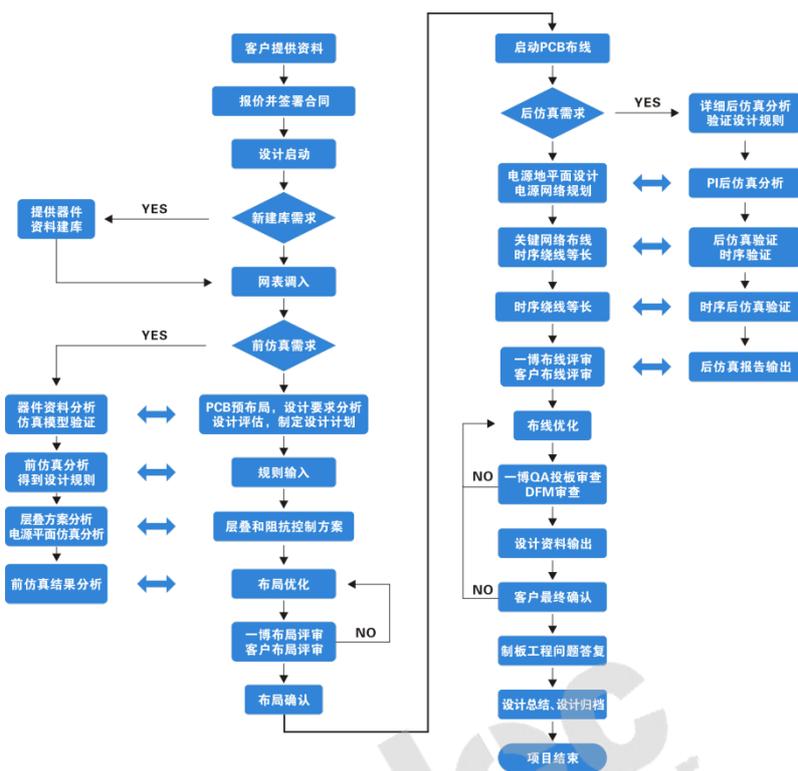
案例二

当然不同的公司在 PCB 设计部分都有自己相关的规范和流程，对于 PCB 设计准确性通过各部门通力合作来保证，如一博科技的设计流程如下所示：

如何关注

- 1、搜索微信号“高速先生”
- 2、扫描右侧二维码，开始学习





一博 PCB 设计流程

随着消费类电子的设计进入高速信号时代，更加复杂高密的设计，DFX 问题一直都是困扰 Layout 工程师的一大难题。常规 Layout 设计规则只是约束线宽和间距，对于复杂的 DFX 问题只能依靠人工检查，难以保证设计的准确性，而通过团队协作时需要较多的时间沟通反馈，后期通过第三方辅助软件检查或者等 PCB 工厂的工程确认来反馈问题重新修改设计，则影响效率和项目交期。Layout 工程师需要工具辅助来规避常规的 DFX 问题，保证设计准确性。

## 【关于一博】

深圳市一博科技股份有限公司（简称一博科技）成立于 2003 年 3 月，专注于高速 PCB 设计、PCB 制板、SMT 焊接加工和供应链服务。我司在中国、美国、日本设立研发机构，全球研发工程师 600 余人。

### 如何关注

- 1、搜索微信号“高速先生”
- 2、扫描右侧二维码，开始学习



一博旗下 PCB 板厂位于深圳松岗，采用来自日本、德国等一流加工设备，TPS 精益生产管理以及品质管控体系的引入，致力为广大客户提供高品质、高多层的制板服务。

一博旗下 PCBA 总厂位于深圳，并在上海、成都、长沙设立分厂，厂房面积 23000 平米，现有 30 条 SMT 产线，配备全新进口富士 XPF、NXT3、AIMEX III、全自动锡膏印刷机、十温区回流炉、波峰焊等高端设备，并配有 AOI、XRAY、SPI、智能首件测试仪、全自动分板机、BGA 返修台、三防漆等设备，专注研发打样、中小批量的 SMT 贴片、组装等服务。作为国内 SMT 快件厂商，48 小时准交率超过 95%。常备一万余种 YAGEO、MURATA、AVX、KEMET 等全系列阻容以及常用电感、磁珠、连接器、晶振、二三极管，并提供全 BOM 元器件服务。

PCB 设计、制板、贴片、物料一站式硬件创新平台，缩短客户研发周期，方便省心。

EDADOC, Your Best Partner.

## 【关于高速先生】

高速先生由深圳市一博科技有限公司 R&D 技术研究部创办，用浅显易懂的方式讲述高速设计，成立至今保持每周发布两篇原创技术文章，已和大家分享了百余篇呕心沥血之作，深受业内专业人士欢迎，是中国高速电路第一自媒体品牌。



扫一扫，即可关注

### 如何关注

- 1、搜索微信号“高速先生”
- 2、扫描右侧二维码，开始学习

