

【高速先生原创|生产与高速系列】生产偏差之“层偏”的前因后果

作者：刘丽娟 一博科技高速先生团队队员

【关键词 keyword】层偏、串扰、阻抗

【内容摘要 description】

生产过程会造成诸多偏差，其中一项是“层偏”，层偏会造成阻抗不连续、串扰变大等不利于产品性能的因素。但层偏不可避免，提前洞悉了其中的奥秘，我们才能知道该如何在产品阶段规避恶化因素，或者说如何在设计上为产品性能留出恰当的裕量以抵消劣化。

【正文】

去年我们陶醉在技术的海洋中无法自拔，导致部分读者表示太高大上、看不懂。新年伊始，我们来点接地气的，讨论讨论生产环节对信号质量、产品性能的影响。任何硬件产品设计好了，都得生产。但是，凡是生产，必有偏差。生产会造成哪些偏差？偏差量有多大？产品性能是否能够接受这个偏差？这许多的问题，在 2018 年将为大家一一介绍。

今天讲讲生产造成的诸多偏差中的一项：“层偏”。层偏是指：在不同的芯板在相互叠合生产中，芯板（core）与芯板（core）之间发生错位现象。

PCB 板是用一层 core、一层 PP 压合而成的，PP 是半固态的，就好比在纸的上下面都涂上胶水，然后一张一张地摞起来，不可能 100%都对齐，而且胶水是具有流动性，摞完再一压，纸张之间还会滑动。摞得越厚，整体层偏就越大，效果如下图所示：

你以为的效果：



俯视图切面图



如何关注

- 1、搜索微信号“高速先生”
- 2、扫描右侧二维码，开始学习



实际出来的效果：

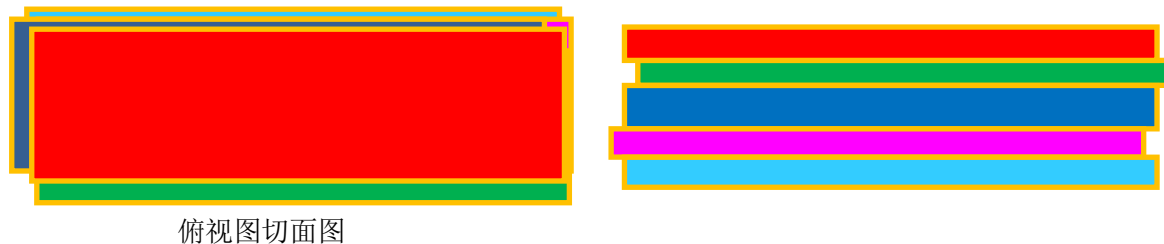


图 1. 理想 vs.现实

再来看看实际PCB的情况,比如在 GSSG 叠层(GND layer- Signal layer- Signal layer- GND layer) 中布线, 设计效果、实际产品效果如下图所示:

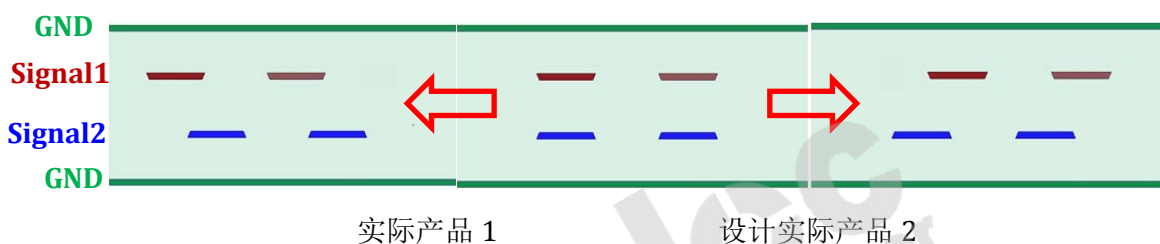
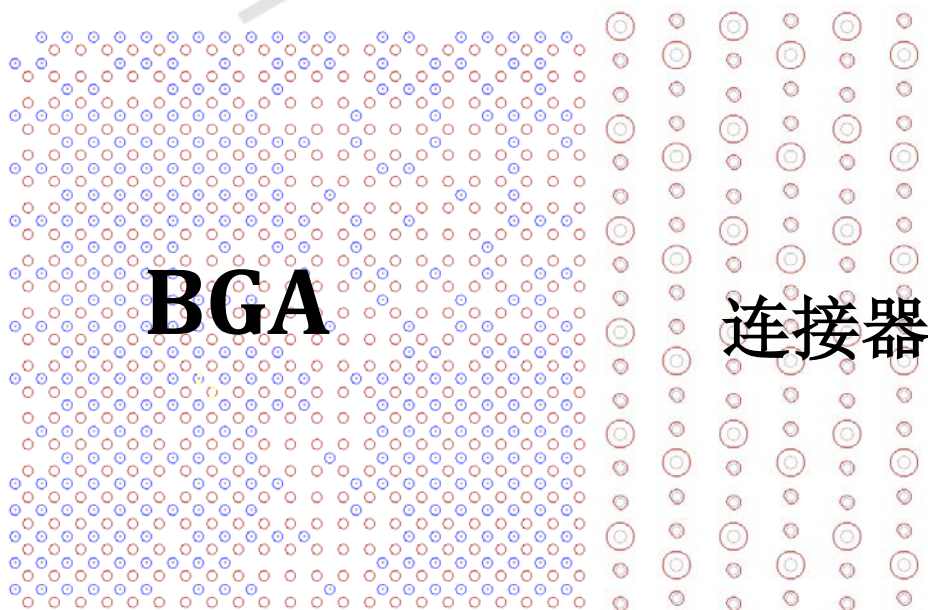


图 2. 设计 vs.产品

我们研究层偏, 目的在于研究层偏对信号的恶化影响。下面以一个非常典型的案例讲解层偏的影响。

1. 层偏对阻抗的影响

trace 在板上常常需要穿过密集的过孔区域, 比如 BGA 区域、连接器区域, 此时 trace 离过孔的距离就受到限制, 不是你想远离就能远离的, 我们常说此处的布线通道有限。



如何关注

- 1、搜索微信号“高速先生”
- 2、扫描右侧二维码, 开始学习



我们设计时在阻抗表里，对各种不同线宽、线距的 trace，都会注明其允许阻抗波动的范围，比如 $100\text{ohm} \pm 10\%$ 或者 $95\text{ohm} \pm 8\%$ ，假设设计阻抗为 100ohm 的 trace 由于压合后材料的 Dk 偏小，导致 trace 的实测阻抗为 105ohm ，但是按照设计要求， 105ohm 的阻抗没有超过 $100\text{ohm} \pm 10\%$ ，满足工厂的交付质量。

在上面这个 105ohm 阻抗的前提下，trace 又在过孔旁边穿过，假设我们在设计阶段将其 layout 成下图所示的原始设计。我们知道生产加工环节会发生层偏，可能往左偏，也有可能往右偏（不是我们希望的），完全是随机的。设计阶段要从 worse 的角度去考虑产品性能，下面只分析向右层偏的情况。

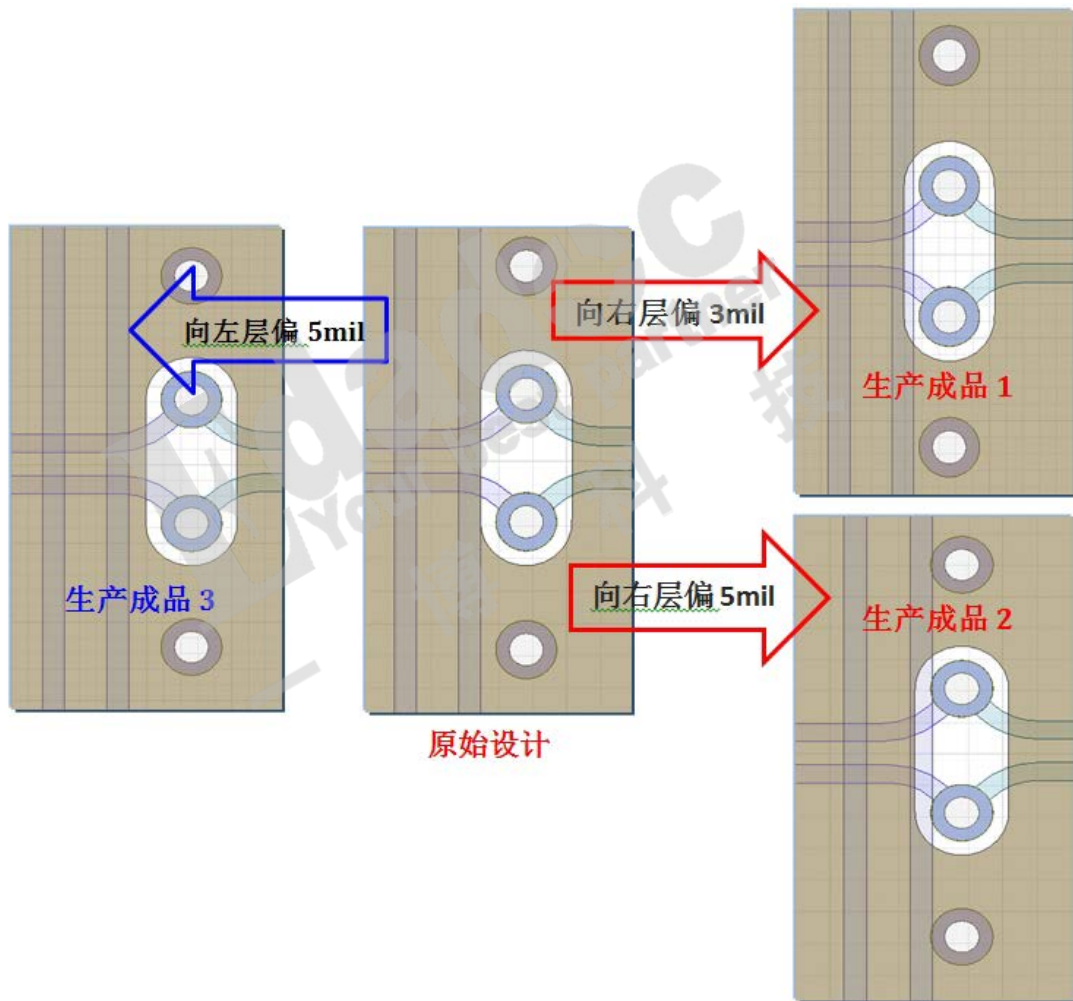


图 3.层偏图

从上面这张图可以看到，向右层偏导致走线进入过孔反焊盘的区域，走线有一部分没有参考层。相信大家一眼就能看出：阻抗有问题。没错！进入反焊盘区域阻抗会向上波动，如下图所示：

如何关注

- 1、搜索微信号“高速先生”
- 2、扫描右侧二维码，开始学习



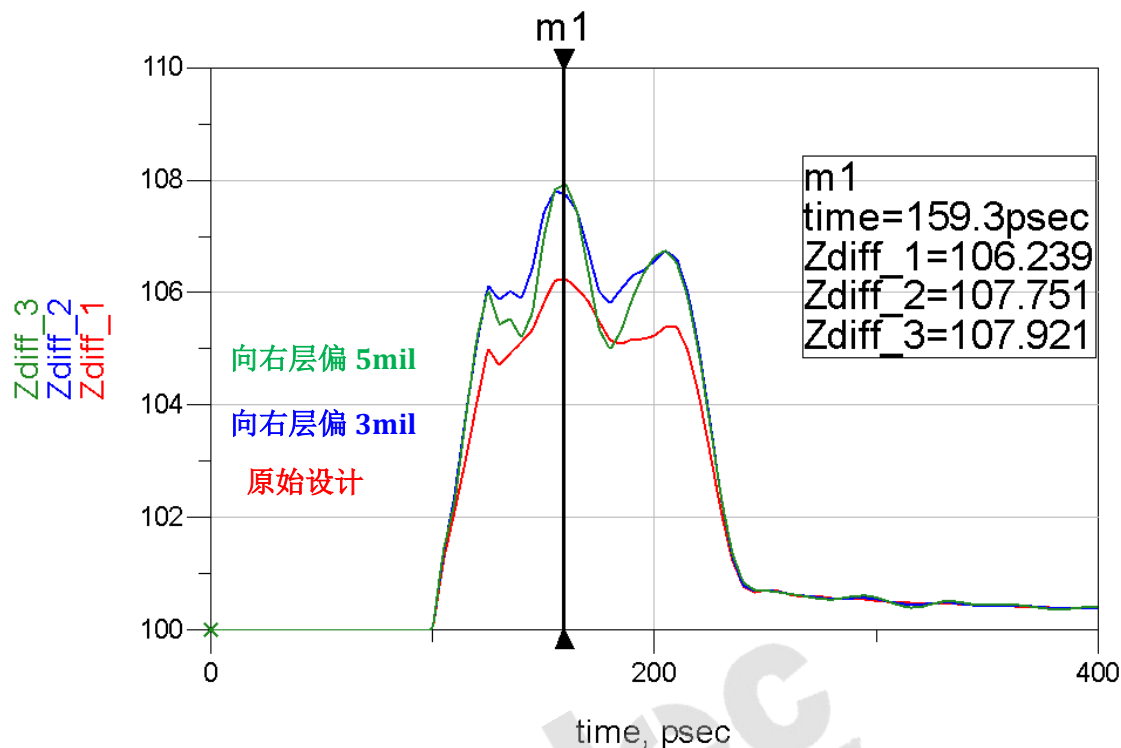


图 4. 层偏造成 Trace 阻抗波动

原始设计的阻抗在 106ohm，如果发生 5mil 层偏，进入过孔反焊盘区域的走线阻抗向上波动到 108ohm。假如在密集过孔区域（比如 BGA），trace 往往要穿过几排过孔才能出来，这会使得 trace 阻抗频繁波动，类似于：106~108~106~108~106。你的系统是否能容忍频繁的 2ohm 的阻抗波动？如果你的走线阻抗做出来已经是上限 110ohm 了（即 100 ohm +10%），在 110ohm 的基础上再加 2ohm，是否还能容忍？是否会影响产品的良率？……事后去担心这种种问题，不如在设计阶段就想办法规避掉。

2. 层偏对串扰的影响

层偏除了会造成阻抗不连续，还会造成串扰比预估的大。下面看看层偏对串扰的影响，在下图 4 所示的链路上，在 Diff_Port2 上加 1000mVpp 的 Xtalk，看看 Diff_Port1 上接收到的串扰有多大。

如何关注

- 1、搜索微信号“高速先生”
- 2、扫描右侧二维码，开始学习



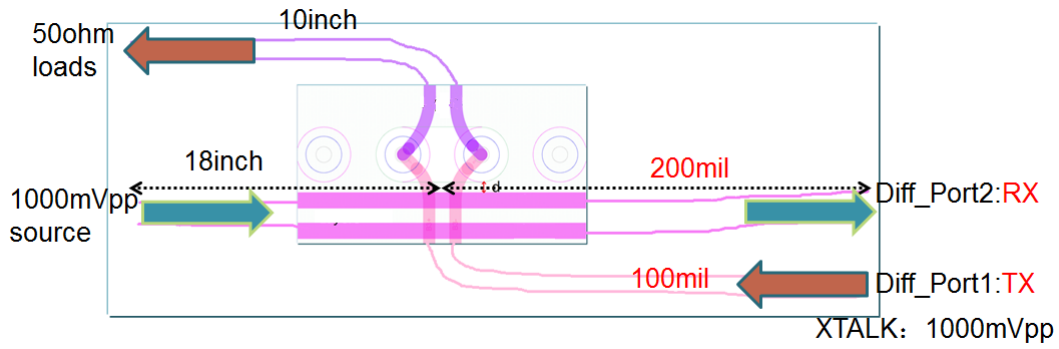
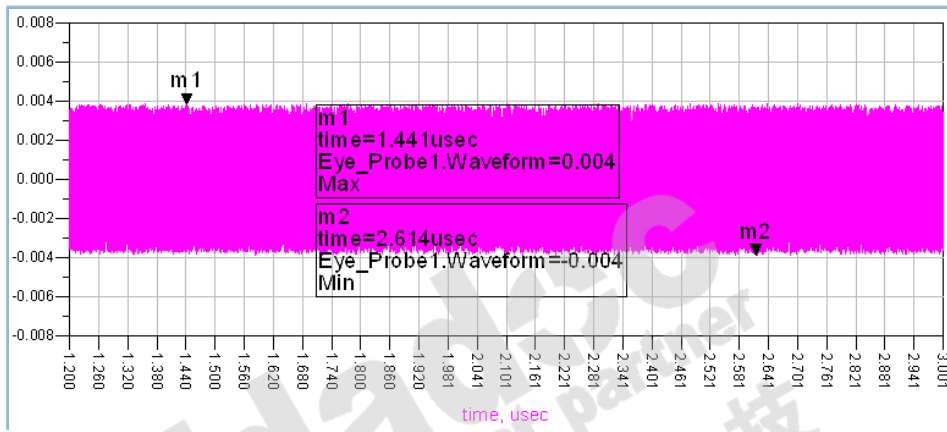
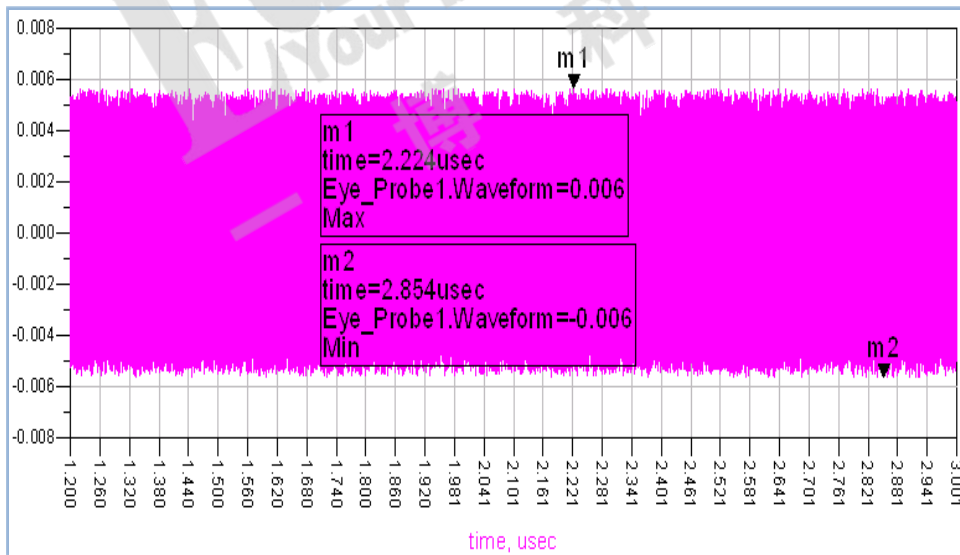


图 4. 加串扰



原始设计：8mVpp 串扰

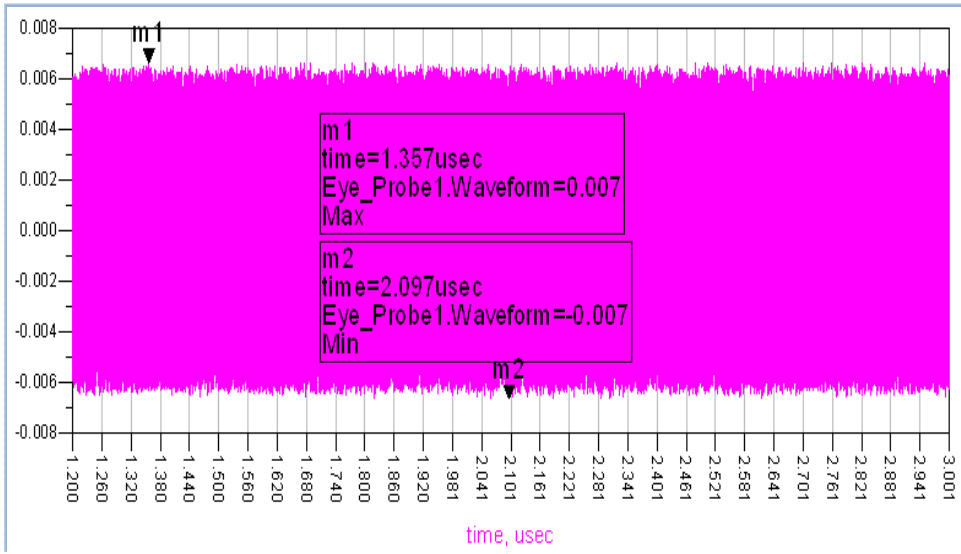


层偏 3mil: 12mVpp 串扰

如何关注

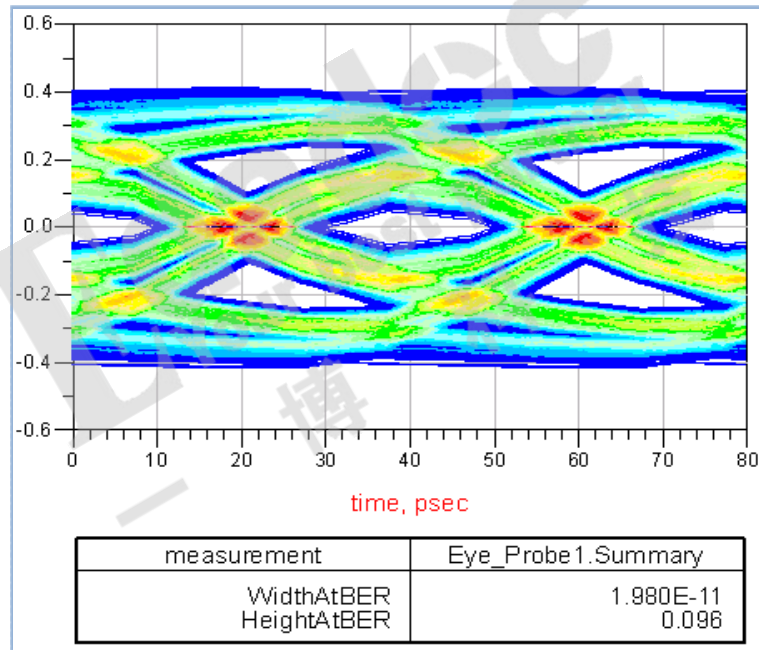
- 1、搜索微信号“高速先生”
- 2、扫描右侧二维码，开始学习





层偏 5mil: 14mVpp 串扰

在上面 3 种不同的串扰量，对于接收端的眼图有多大的影响？如下图所示：

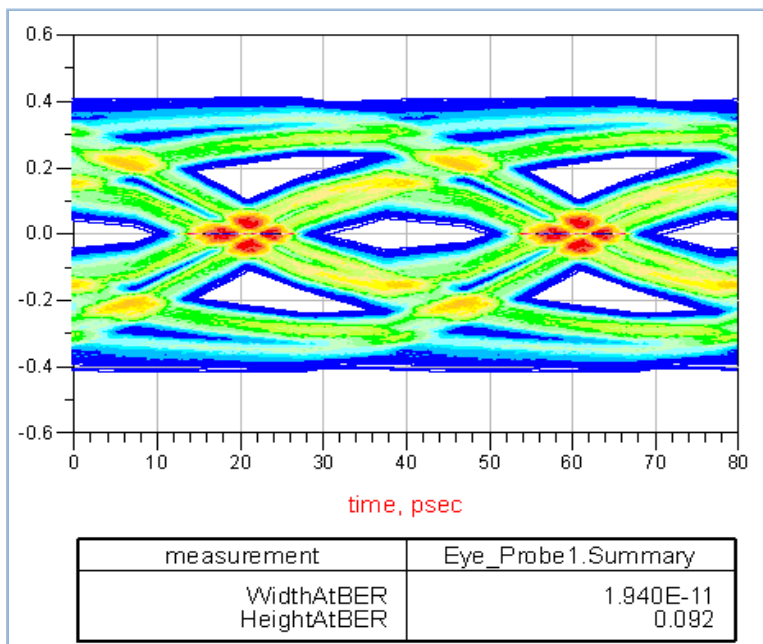


原始设计：

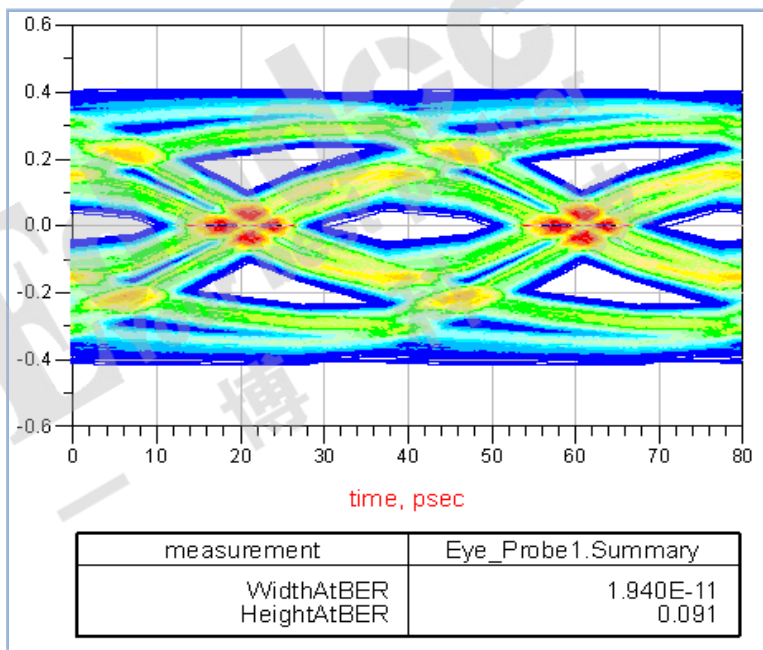
如何关注

- 1、搜索微信号“高速先生”
- 2、扫描右侧二维码，开始学习





层偏 3mil:



层偏 5mil:

将上面 6 张图的数据总结在一个表格里，如下所示：

	串扰值	眼高
原始设计	8mVpp	96mVpp
产品发生层偏：3mil	12 mVpp	92mVpp
产品发生层偏：5mil	14 mVpp	91mVpp

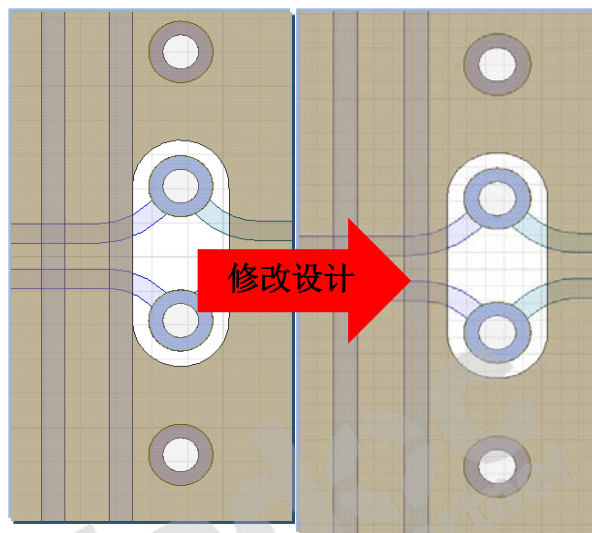
如何关注

- 1、搜索微信号“高速先生”
- 2、扫描右侧二维码，开始学习



上面这个表格里只是走线进入一对过孔的反焊盘区域所引起的的串扰增加量、眼高减小量，如果走线是需要穿过密集过孔区域，一旦发生层偏，串扰量就会急剧增加，会使得预计的系统裕量减小。

虽然生产加工环节的层偏不可避免，但是提前洞悉了其中的奥秘，就可以在设计阶段提前给出措施，将层偏带来的影响降到可接受范围。比如留出层偏量：3~5mil，如下图所示：



【关于一博】

一博科技成立于 2003 年 3 月，专注于高速 PCB 设计、PCB 制板、SMT 焊接加工和供应链服务。我司在中国、美国、日本设立研发机构，全球研发工程师 600 余人。

一博旗下 PCB 板厂位于深圳松岗，采用来自日本、德国等一流加工设备，TPS 精益生产管理以及品质管控体系的引入，致力为广大客户提供高品质、高多层的制板服务。

一博旗下 PCBA 总厂位于深圳，并在上海、成都设立分厂，厂房面积 15000 平米，现有 20 条 SMT 产线，配备全新进口富士 XPF、NXT3、AIMEX III、全自动锡膏印刷机、十温区回流炉、波峰焊等高端设备，并配有 AOI、XRAY、SPI、智能首件测试仪、全自动分板机、BGA 返修台、三防漆等设备，专注研发打样、中小批量的 SMT 贴片、组装等服务。作为国内 SMT 快件厂商，48 小时准交率超过 95%。常备一万余种 YAGEO、MURATA、AVX、KEMET 等全系列阻容以及常用电感、磁珠、连接器、晶振、二三极管，源自原厂或一级代理，现货在库，并提供全 BOM 元器件供应。

如何关注

- 1、搜索微信号“高速先生”
- 2、扫描右侧二维码，开始学习



【关于高速先生】

高速先生由深圳市一博科技有限公司 R&D 技术研究部创办，用浅显易懂的方式讲述高速设计，成立至今保持每周发布两篇原创技术文章，已和大家分享了百余篇呕心沥血之作，深受业内专业人士欢迎，是中国高速电路第一自媒体品牌。



扫一扫，即可关注

Edadoc
Your best partner
一博科技

如何关注

- 1、搜索微信号“高速先生”
- 2、扫描右侧二维码，开始学习

