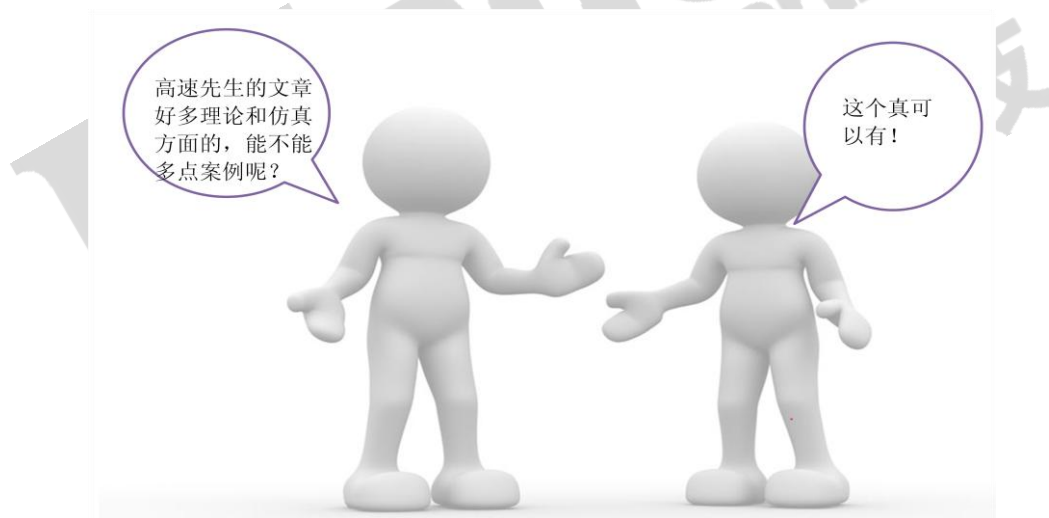


【高速先生原创|案例分享系列】

作者：周伟 一博科技高速先生团队成员

一、案例分享系列之开篇

一次去客户现场沟通，顺便问了下客户对我们高速先生文章的意见和建议，客户提了一个很好的建议：“你们文章的内容主要是理论和仿真为主，能不能多点案例相关的文章，这个应该比较受欢迎”。真是一语点醒梦中人，是啊，前不久我们都还在为文章的素材大伤脑筋，甚至我们的小陈都开始写诗来感叹码字难痛苦了，这不我们一年上万款的 PCB 设计，总有一些经典的案例吧，还别说，手上正好有些，好东西不能沉箱底了，慢慢掏出来分享给大家吧，也希望大家喜欢。



案例我想很多人手上都有，作为工程人员如果手上没有收集一些案例还真就算不上是一个经验老道的攻城狮，因为失败是成功之母，没有经历过失败挫折怎么可能成长和成功呢？经验正是由一个一个失败的案例总结出来的，高速先生在这里作为一个平台，也希望看到文章的工程师能总结自己手上的案例，把它分享出来，让更多的人不要再犯同样的错误，这也是节省了社会资源。同时，分享文章也不是白忙活的，毕竟也占用了大家的时间和精力，如果大家看到前段时间的高速先生文章投票就知道，对于读者喜欢的文章，后面的奖励可是实打实的，虽然高速先生也知道有些童鞋的分享是无私的，但我们也只是想尽我们的绵薄之力鼓励那些无私分享的人，仅此而已。

有点像广征英雄帖的味道，英雄，高速先生呼唤您的出现！

如何关注

- 1、搜索微信号“高速先生”
- 2、扫描右侧二维码，开始学习



回到正题，既然是案例分享系列，当然就会有很多系列的案例，而我们目前对案例的定义是在设计调试中出现了工作不正常，然后通过一定的原因分析最终解决了前面的问题，解决过程包括修改软件参数、配置信息甚至是改版等手段，大家应该对中间的分析过程最感兴趣吧，所以我们要分享的正是分析解决过程。如果您手上也有这种案例，还是上面那句话，英雄，我们给您平台，欢迎分享！

目前我们的案例计划主要围绕以下的内容：

- 1、DDR4/3/2 设计案例
- 2、串扰引起的失效案例
- 3、电源设计案例
- 4、多路复用（反射）案例
- 5、高速信号设计案例

二、DDR3 不能运行到额定频率

高速先生前面零零散散的写了一些 DDR3 系列的文章，虽然有小部分的案例说到了问题点，但那只是为了引出主题而写，而且只是点到为止，既然是案例，就要把问题的来龙去脉描述清楚，这个案例的问题是这样的：

某客户有一个板子需要新增一部分功能，想将原来的小板改为大板，但出于成本考虑，又将原来的 8 层板改为了 6 层板，板子做出后在实际测试时 DDR3 只能降频到 400MHz 才能稳定工作，而之前的 8 层板可以稳定工作在 533MHz，这两版的电源供给情况基本一致，主控及 DDR3 芯片的型号和批次也是一致的。客户也是比较有经验的，做过多种尝试如调整驱动及 ODT 等都没有改善，后来就找到了我们。

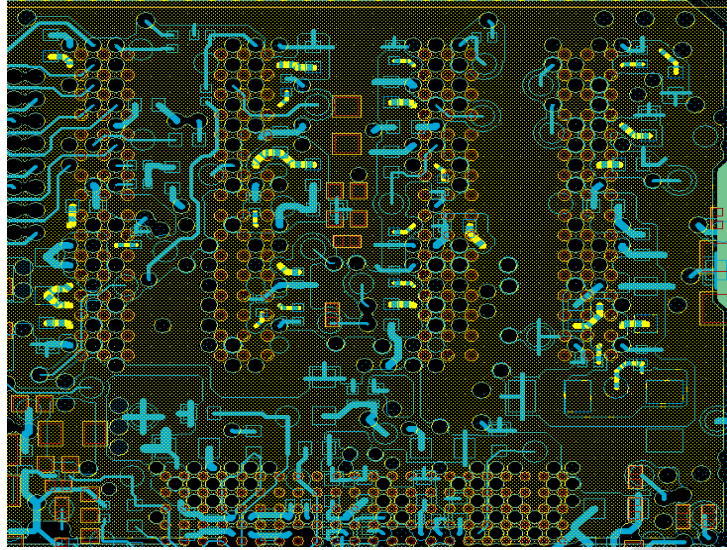
原因分析：大家都知道，一般 DDR3 运行不到额定的频率最直接的影响因素就是时序，时序裕量太小或不足都会导致系统工作不稳定或根本就运行不上去。而影响 DDR3 时序的因素主要有以下几点：电源噪声、串扰、等长匹配、信号质量等。只要上面几大点没出什么问题，DDR3 出问题的几率也会相对少很多（前提是硬件原理和软件配置没问题）。下面我们就针对各种因素来各个击破，这种时候用排除法是比较好的。

电源噪声：电容分布基本上是 0.1uF 的电容，无其他容值的电容，适当增加几个大容值电容在低频的时候效果更好，但测试电源噪声只有 20mV 左右，量级比较小，所以电源噪声的影响可以初步排除。

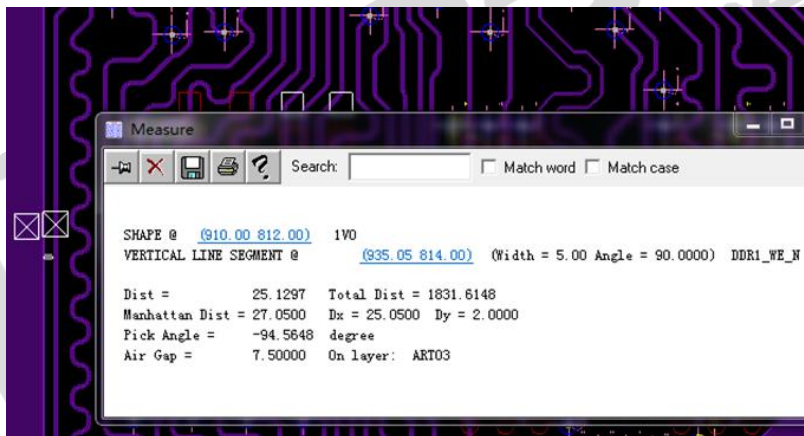
如何关注

- 1、搜索微信号“高速先生”
- 2、扫描右侧二维码，开始学习





串扰问题：数据信号间距 10.55mil，地址信号 10mil；信号之间的间距为 2H(W)，线路中心距离为 3H(W)，若空间允许，间距可以适当加大。



信号与旁边的电源地网络不能太近，需要避免（小问题）

ART01		1.0(0.5oz+plating)
PREPREG		4.0mil
GND02		1.2mil(1oz)
CORE		5mil
ART03		1.2mil(1oz)
PREPREG		35mil
ART04		1.2mil(1oz)
CORE		5mil
VCC05		1.2mil(1oz)
PREPREG		4.0mil
ART06		1.0(0.5oz+plating)

由于是 3、4 层内层走线，但从叠层看 3、4 层之间的间距已足够大，串扰问题影响比较小。

如何关注

- 1、搜索微信号“高速先生”
- 2、扫描右侧二维码，开始学习



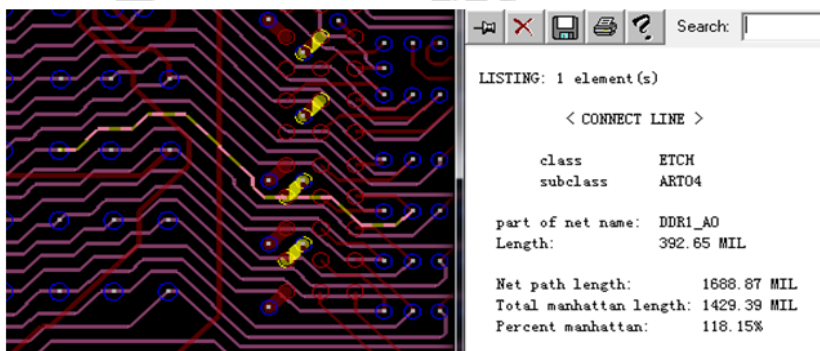
信号质量问题：此板 DDR3 地址、命令信号用了外部的上拉电阻，另外客户也已经调整过芯片驱动及 ODT 功能，所以信号质量问题也不大。

等长匹配问题：

- 1、主控芯片是否有 write and read leveling(读写平衡)。经查此主控芯片为国内芯片厂家研发的，一般国产芯片需要格外注意，由于读写平衡功能需要购买额外的 IP，而注重成本的国产芯片为了降低成本，结果就可想而知了，具备此功能的芯片就相对的比较少。那没有了这个功能，我们的 DDR3 通常就按照 DDR2 的约束规则来布线（就事论事，没有贬低国产芯片的意思，事实上我们都要支持国产哈，支持国产，从你我做起，希望国货越来越强！）。
- 2、重点关注数据组与时钟（地址）的等长匹配。

正常工作的板子走线长度如下所示，地址与时钟的长度相差 200mil 内：

DDR1_DQ24	943.01	DDR1_A0	1688.87
DDR1_DQ25	981.45	DDR1_A1	1652.21
DDR1_DQ26	1062.19	DDR1_A2	1726.20
DDR1_DQ27	1071.28	DDR1_A3	1746.48
DDR1_DQ28	1108.87	DDR1_A4	1781.66
DDR1_DQ29	1069.49	DDR1_A5	1782.82
DDR1_DQ30	944.20	DDR1_A6	1792.35
DDR1_DQ31	1045.96	DDR1_A7	1815.21
DDR1_DQS0_N	981.42	DDR1_A8	1688.30
DDR1_DQS0_P	982.11	DDR1_A9	1782.85
DDR1_DQS1_N	1011.17	DDR1_A10	1583.11
DDR1_DQS1_P	1015.43	DDR1_A11	1670.07
DDR1_DQS2_N	926.35	DDR1_A12	1739.95
DDR1_DQS2_P	929.57	DDR1_A13	1731.41
DDR1_DQS3_N	963.49	DDR1_A14	1721.58
DDR1_DQS3_P	962.15		



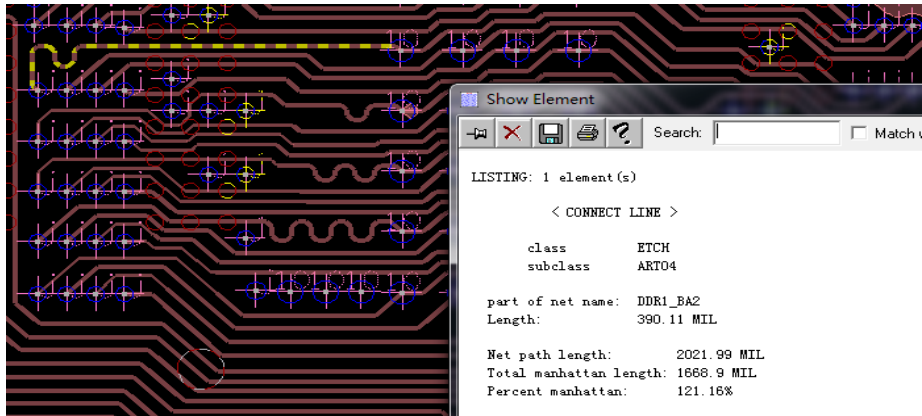
地址平均长度在 1750mil，减掉一个分支 400mil，这样芯片到芯片的长度是 1350mil，数据信号平均在 1000mil，等长范围在 500mil 内。

有欠缺的板子走线长度如下所示。

如何关注

- 1、搜索微信号“高速先生”
- 2、扫描右侧二维码，开始学习





- 数据组内做了严格等长，地址、控制、时钟也做了等长，但数据与时钟相差较大，如下所示。

DDR1_DQS0_N	796.51	
DDR1_DQS0_P	793.26	
DDR1_DQS1_N	568.39	
DDR1_DQS1_P	564.41	
DDR1_DQS2_N	720.63	
DDR1_DQS2_P	724.45	
DDR1_DQS3_N	560.37	
DDR1_DQS3_P	553.73	
DDR1_A0	2028.11	
DDR1_A1	1986.03	
DDR1_A2	2046.33	
DDR1_A3	2027.56	
DDR1_A4	2011.19	
DDR1_A5	2032.15	
DDR1_A6	2036.89	
DDR1_A7	2099.38	
DDR1_A8	2099.88	
DDR1_A9	2020.32	
DDR1_A10	2002.50	

- 地址信号平均总长度 2000mil 减掉一个分支长度 400mil,大致可以知道主控到其中一个颗粒的长度在 1600mil,而数据信号最短的长度才 550mil,之间相差比较大,超过了 1000mil。

这也是前后两版差异最大的地方，由于主控芯片没有读写平衡功能，再加上由之前的 8 层板改成了 6 层板，布线空间的减少就使得我们的工程师没有过多的去绕线，而系统不能自动调整数据与时钟的偏差，最终导致时序裕量不够，这应该就是 DDR3 运行不到额定频率的主要原因。

三、大家来找茬之任性的 DDR2 设计（上）

前面有讲到设计人员因为没有留意到 DDR3 主控没有读写平衡功能，就按照常规的布线要求来走线，导致数据和时钟信号长度差异较大，最终使得 DDR3 系统运行不到额定频率。看来没有读写平衡的 DDR3,直接按照 DDR2 的设计规则来做还是比较靠谱的，那么 DDR2 的设计到底有哪些规则呢？我想大家肯定会比较感兴趣吧。

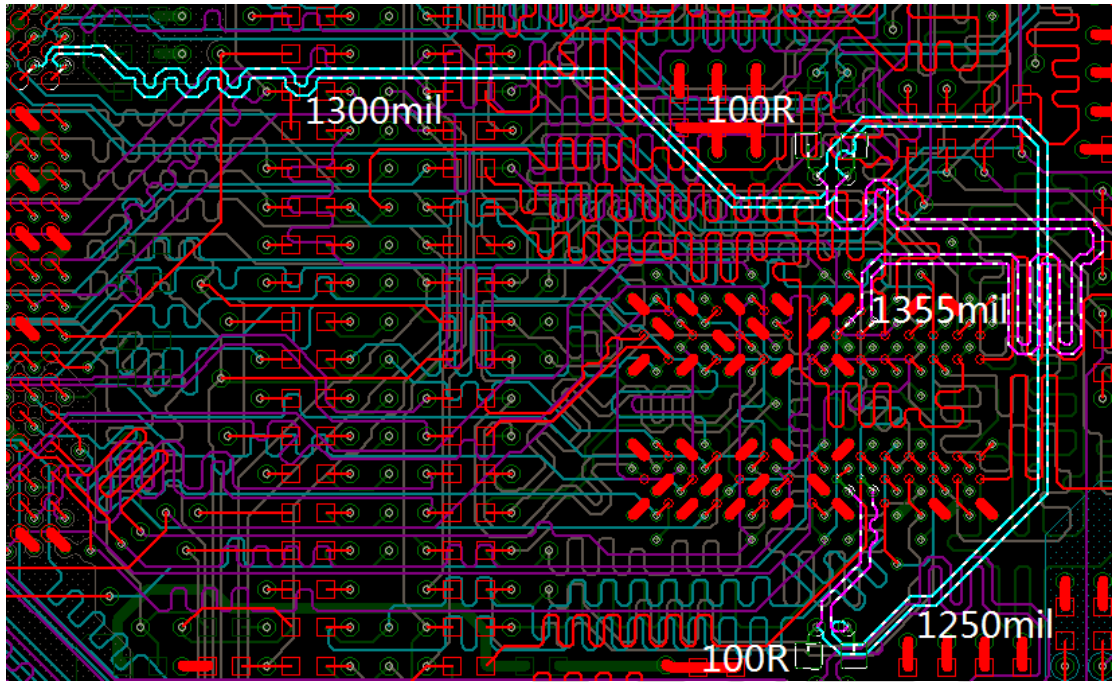
到底有哪些规则呢？所谓实践出真理，还是先来看看下面的这个案例吧！

这个 DDR2 系统采用 8 片颗粒表底贴的设计，地址、控制、命令信号一拖八，其余信号一拖二，但最终的系统跑不起来。查看 PCB 设计，列出部分信号的截图如下，先不评论，各位慢慢开始来找茬吧。

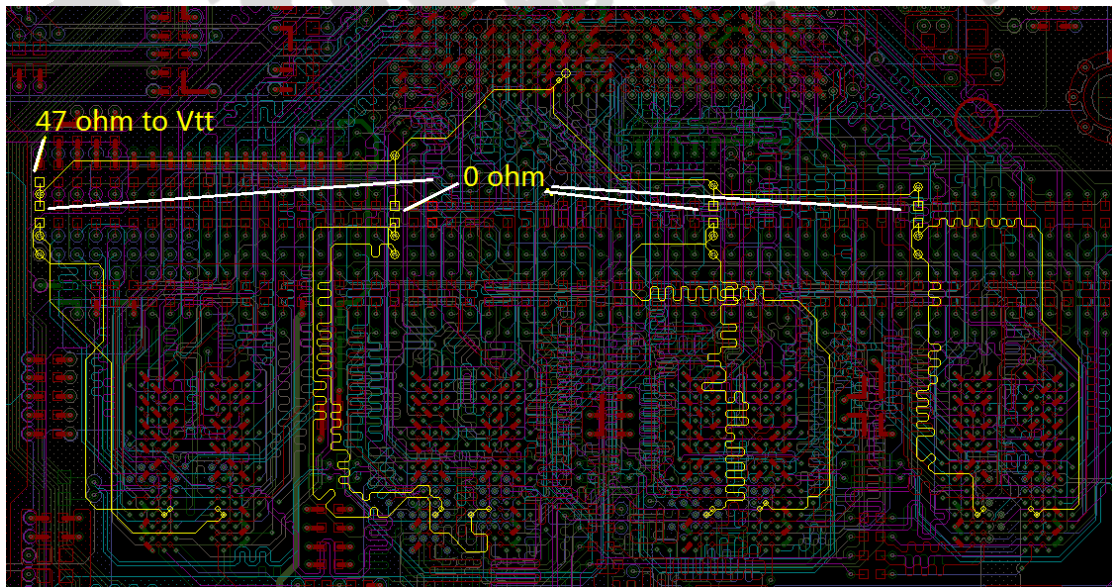
如何关注

- 1、搜索微信号“高速先生”
- 2、扫描右侧二维码，开始学习





上图高亮部分为时钟信号(绿白)的走线，从主控芯片出来换层经过 1300mil 到分支过孔，此处端接一个 100ohm 差分阻抗，再从过孔处分支各走一段 1250mil 和 1350mil 的走线到表底两个颗粒，其中一个颗粒再端接一个 100 欧姆差分电阻，其他的时钟信号也大致如此。

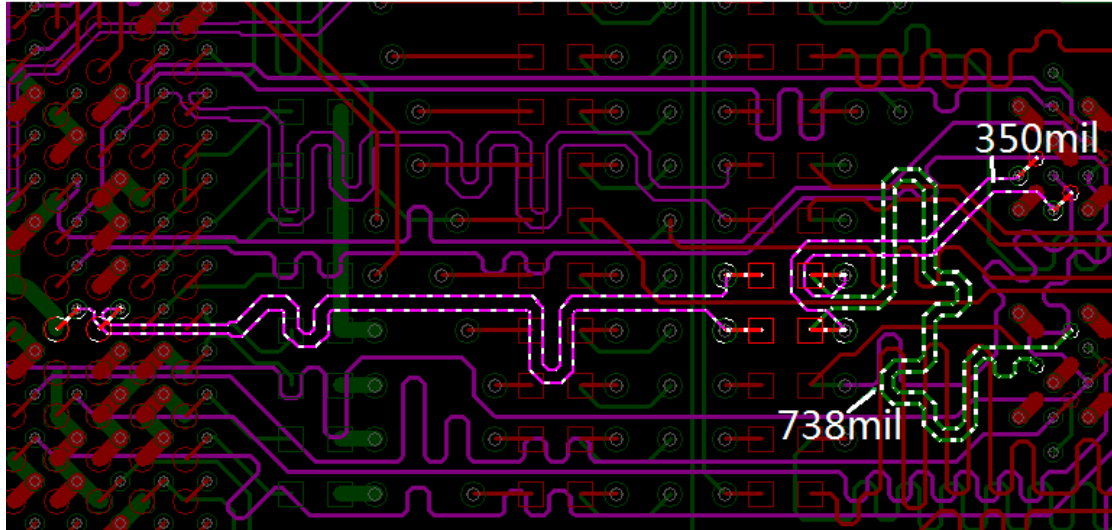


图中黄色高亮部分为地址信号走线，从主控芯片出来马上第一级分支，再约 600mil 进行第二级分支，再一个分支经过 1000mil 进行第三级分支，另一分支在 50mil 左右也开始第三级分支，最后接 0ohm 串阻约 1100mil 到颗粒，其中最边上某一第三分支过孔处上拉一个 47ohm 电阻到 Vtt,其他的地址、控制信号也大致如此结构。

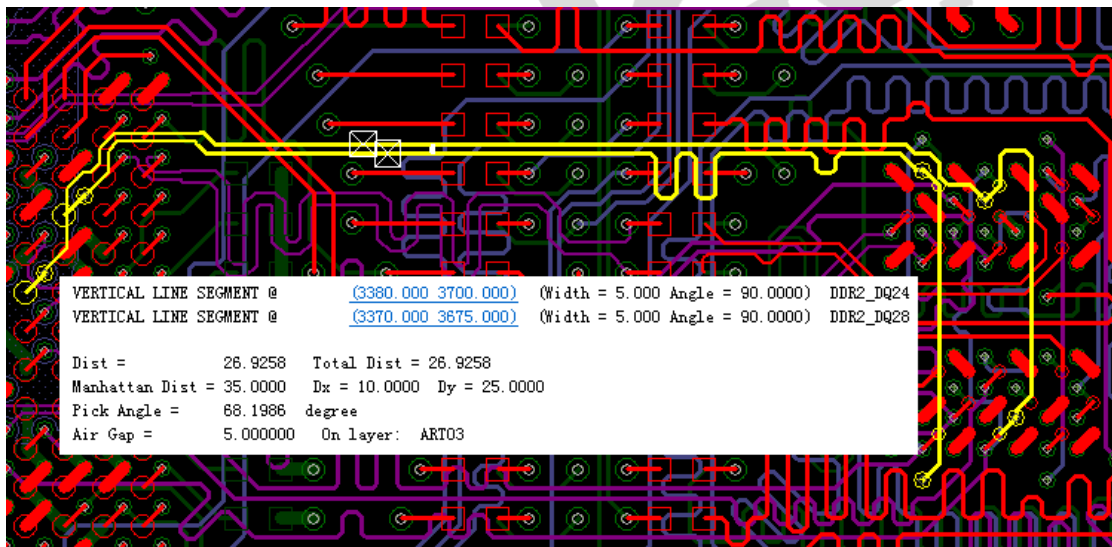
如何关注

- 1、搜索微信号“高速先生”
- 2、扫描右侧二维码，开始学习





再来看 DQS 信号，如上图高亮玫红白点信号，进过一级分支各 0ohm 串阻经 350mil 和 738mil 的线路到表底层颗粒，其他的差异不大。



最后再看数据信号，图中黄色高亮部分，采用的菊花链结构，先到其中一个颗粒，再到另一面的第二个颗粒，其他的数据信号也是这种结构。

好了，其他的如电源我们就不用看了，看到这里我们已经大致知道这个 DDR2 系统跑不起来是有原因的啦，请注意！问题来了，你找到哪些茬了吗？

四、大家来找茬之任性的 DDR2 设计（下）

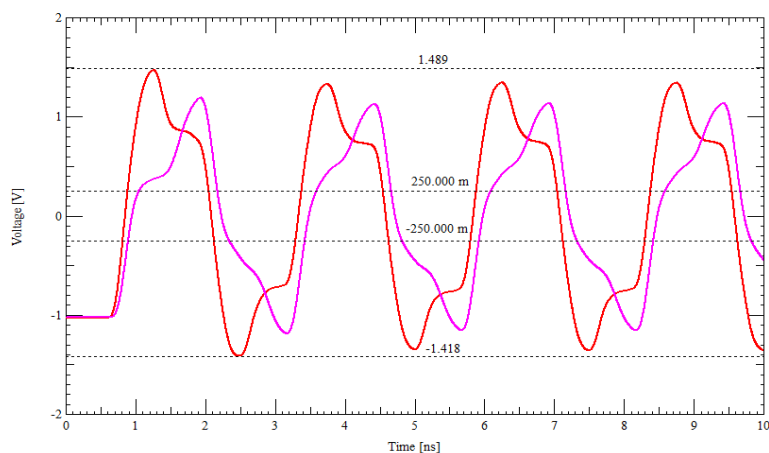
在上一篇的文章中我们有截取各组信号的大致走线结构，从这个走线上我们到底可以看出什么问题会导致该 DDR2 系统运行异常呢？下面请看我们一一为您分解。

如何关注

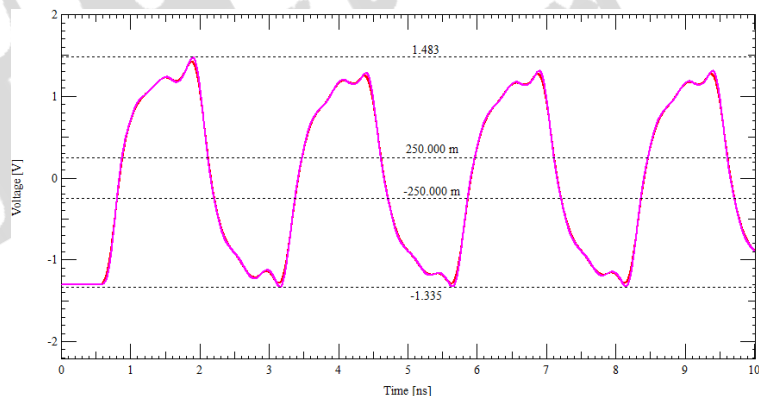
- 1、搜索微信号“高速先生”
- 2、扫描右侧二维码，开始学习



时钟信号一拖二采用 T 型拓扑结构无可厚非，也说明有一定的设计概念，但是对于 T 型拓扑的设计要点还不是很清楚。一般我们的 DDR2 信号的 T 型结构需要主干线比较长，分支比较短，最好在 500mil 以内，这是看到的第一个问题，该设计分支和主干线路长度差不多；第二个问题是如果要外部端接，一般这个端接会放到第一个分支处，而该设计虽然在分支处加了端接，但在另一端靠近颗粒处又加了一个多余的端接，这就造成我们 T 型结构的不平衡。所谓的 T 型又叫等臂分支结构，需要两个分支长度、结构、端接尽量一致(长度有偏差时，最好控制在 20mil 内)，而该设计却没有做到这一点。我们仿真了原版本设计和改善后的时钟信号，波形对比如下所示。



原始版本时钟信号仿真结果



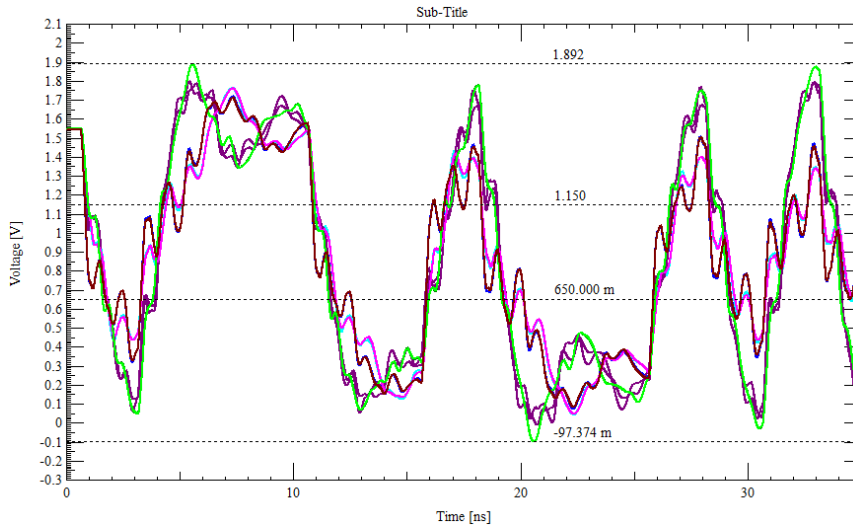
改善后的时钟信号仿真结果

地址信号一拖八也采用 T 型结构，按照上面对 T 型结构的说明，主干要长分支尽量短且对称的原则，我们可以看到这个地址信号的走线结构就比较凌乱，可想而知信号肯定会很差。且看原始设计和改善后的仿真结果对比。

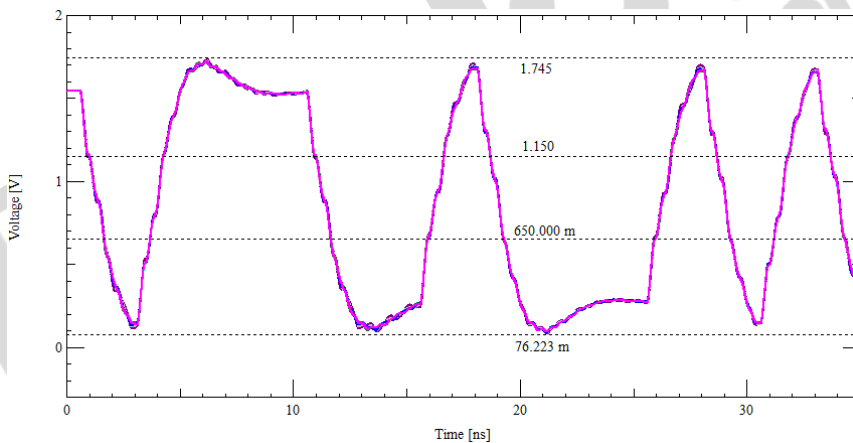
如何关注

- 1、搜索微信号“高速先生”
- 2、扫描右侧二维码，开始学习





原始版本的地址信号仿真结果



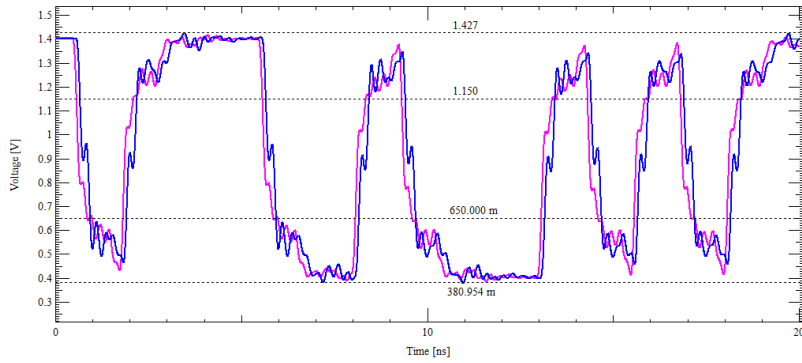
改善后的地址信号仿真结果

DQS 信号也大致一样，没有按照 T 型结构的最好原则来布线，不再赘述。最后来看数据信号，数据信号需要完全参照 DQS 信号走线，包括等长。好了，现在的数据信号却走成了菊花链结构，且没法和 DQS 去做严格的等长，另外信号之间的间距也很小，容易引起串扰问题，真的很任性！

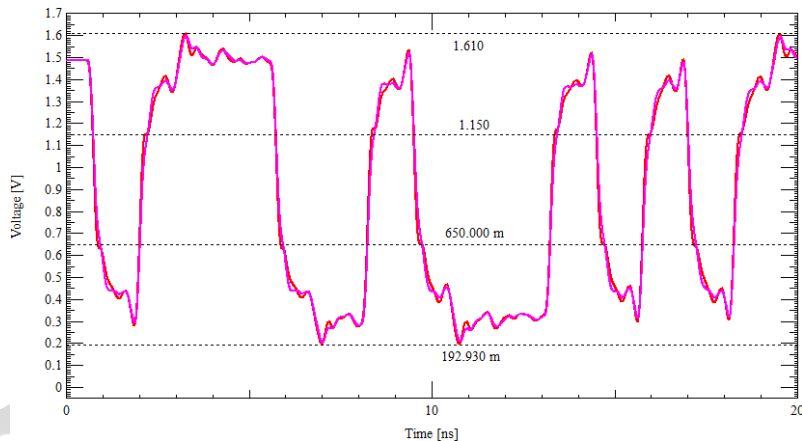
如何关注

- 1、搜索微信号“高速先生”
- 2、扫描右侧二维码，开始学习





原始版本的数据信号写操作仿真结果



改善后的数据信号写操作仿真结果

上面只是每组信号的单独分析，再看看全局的一些考虑吧。

- 1、总体上加了太多的串阻，占用了布线空间且多打出许多过孔。
- 2、地址、命令和控制信号需要和对应的时钟信号保持一定的等长（等长范围视具体芯片来定，一般在 $\pm 200\text{mil}$ ）。
- 3、数据组需要和对应的 DQS 信号等长（一般在 50mil 内），尽量同组信号同层布线。
- 4、数据组与对应的时钟信号也需要有一定的等长，为了给后续调试留出更多的裕量，一般这个等长比时序仿真出来的结果更短，常见的在 $\pm 500\text{mil}$ 内。因为参考的时钟关系，这也意味着数据组与组之间的长度偏差也在 $\pm 500\text{mil}$ 内。当然这些等长范围都是一些经验值，具体的更要看对应的芯片。

好了，以上只是对 DDR2 的设计做了一部分常规性的总结。

如何关注

- 1、搜索微信号“高速先生”
- 2、扫描右侧二维码，开始学习



问题来了

DDR2 地址信号一拖四的 T 型结构什么情况下可以不加外部上拉端接？如果要加端接应该放在哪里？

高速先生欢迎您和我们进行交流，关注微信名（高速先生），直接将答案通过会话回复，参与互动答题即有机会获得奖品，回复关键词“奖品”查看更多。

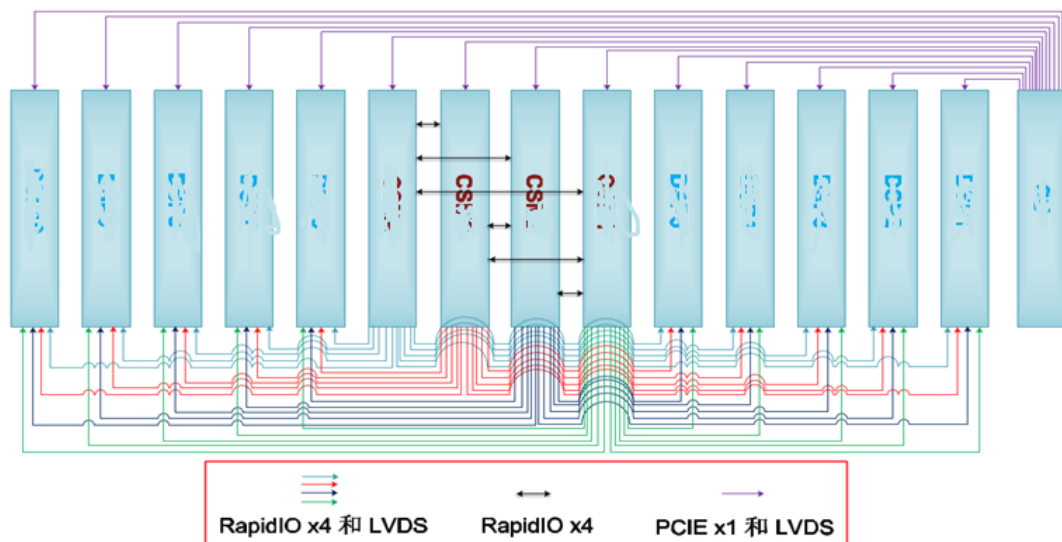
五、案例分享之继续来找茬

经过上次的案例分享已经过了一段时间，可能大家还在想说好的案例分享呢？小编也想连载的，可惜一直不能静下心来好好的写稿，整天被各种事情催着跑，有时甚至都觉得自己是客服代表了，忙得都没朋友了有木有？用一塌糊涂来形容都不为过。

答应过的案例分享还是要继续的，哪怕没有其他的人愿意一起出来分享，小编也只能硬着头皮往前走了。后续的案例我考虑换个玩法，就是先把出现的问题抛出来，让大家自己去发现问题，并且提供可行的解决方案，答案我们就在后一篇的文章里面公布出来，这样应该更好玩点吧。好了，闲话少说，直接上菜！

今天的案例可能之前在一些客户现场或者某些城市的研讨会现场有讲过，有些人可能已经知道了答案，但还是在这里再次分享一下，看过的人就再温故而知新了。

某背板上有多块子卡，当单独插一块或同时插几块(<5)的时候都能正常工作，但同时插多块(>5)的时候有误码，甚至有些不能正常工作，背板结构如下图一所示。



如何关注

- 1、搜索微信号“高速先生”
- 2、扫描右侧二维码，开始学习



图一 背板结构图

（抱歉，一些关键的信息做了一定的隐藏，这个主要是出于客户的隐私及信息安全考虑，请大家见谅，谁都不希望自己公司的信息外露，作为攻城狮，我们还是需要时刻注意信息安全的哈！）

此背板厚度 4mm，上面基本都是连接器插槽，都是 RapidIO、LVDS 和 PCIE 等差分信号，另外还有部分的低速单端信号，这些信号的特点是速率都不算太高，最高的也就 3.125Gbps，所以当初客户设计的时候也没有特别注意，而且还适当的压缩了成本，背景就是这样的。看到这里，大家的心里是否基本知道这个问题的大致方向了呢？

没有方向的话我们接着往下看。

TOP	PLANE	COPPER	1.2
	DIELECTRIC	FR-4	5.4
ART02	CONDUCTOR	COPPER	1.2
	DIELECTRIC	FR-4	4.3
ART03	CONDUCTOR	COPPER	1.2
	DIELECTRIC	FR-4	5.4
GND04	PLANE	COPPER	1.2
	DIELECTRIC	FR-4	5.12
ART05	CONDUCTOR	COPPER	1.2
	DIELECTRIC	FR-4	5.75
ART06	CONDUCTOR	COPPER	1.2
	DIELECTRIC	FR-4	5.12
GND07	PLANE	COPPER	1.2
	DIELECTRIC	FR-4	5.4
ART08	CONDUCTOR	COPPER	1.2
	DIELECTRIC	FR-4	4.3
ART09	CONDUCTOR	COPPER	1.2
	DIELECTRIC	FR-4	5.4
POWER10	PLANE	COPPER	1.2
	DIELECTRIC	FR-4	7.09
ART11	CONDUCTOR	COPPER	1.2
	DIELECTRIC	FR-4	8.6
POWER12	PLANE	COPPER	1.2
	DIELECTRIC	FR-4	4.3
POWER13	PLANE	COPPER	1.2
	DIELECTRIC	FR-4	8.6
ART14	CONDUCTOR	COPPER	1.2
	DIELECTRIC	FR-4	7.09
POWER15	PLANE	COPPER	1.2
	DIELECTRIC	FR-4	5.4
ART16	CONDUCTOR	COPPER	1.2
	DIELECTRIC	FR-4	4.3
ART17	CONDUCTOR	COPPER	1.2
	DIELECTRIC	FR-4	5.4
GND18	PLANE	COPPER	1.2
	DIELECTRIC	FR-4	5.12
ART19	CONDUCTOR	COPPER	1.2
	DIELECTRIC	FR-4	5.75
ART20	CONDUCTOR	COPPER	1.2
	DIELECTRIC	FR-4	5.12
GND21	PLANE	COPPER	1.2
	DIELECTRIC	FR-4	5.4
ART22	CONDUCTOR	COPPER	1.2
	DIELECTRIC	FR-4	4.3
ART23	CONDUCTOR	COPPER	1.2
	DIELECTRIC	FR-4	5.4
BOTTOM	PLANE	COPPER	1.9

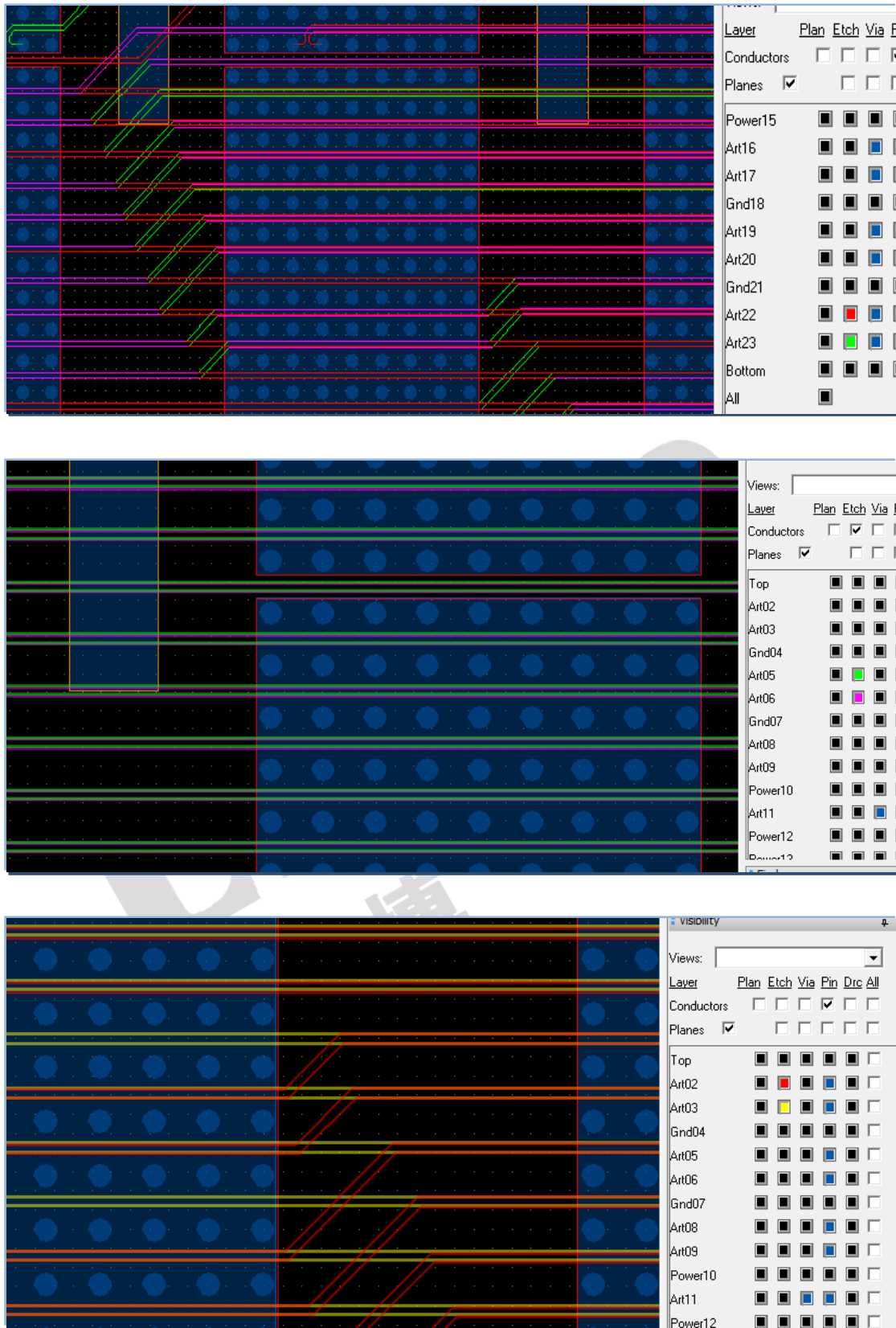
图二 叠层结构

叠层可以看出什么问题，看不出来继续往下看。

如何关注

- 1、搜索微信号“高速先生”
- 2、扫描右侧二维码，开始学习





图三 部分信号的截图

看到这里，大家应该有方向了吧，小编表示不能再继续发图了，否则就该剧透啦。

如何关注

- 1、搜索微信号“高速先生”
- 2、扫描右侧二维码，开始学习



问题来了

接着该神探出场了，各位神探，从上面的描述及图片里大家是否发现一些蛛丝马迹？这个案例主要是什么问题造成的？应该怎么去改善？

高速先生欢迎您和我们一起进行交流，关注微信名（高速先生），直接将答案通过会话回复，参与互动答题即有机会获得奖品，回复关键词“奖品”查看更多。

六、继续来找茬之串扰案例分解

大家如果心细的话应该会留意到本期文章的题目，串扰案例分解，已经可以揭示上期问题的答案了，主要是串扰在作怪，原来如此，是不是恍然大悟？

从截图可以看到，本设计的问题主要有 3 点：1、叠层设计不合理，信号与信号之间的间距比信号到参考的间距还小；2、双内层走线没有避免平行走线的问题，而且能避开的区域也没有意识去避开，以上两点造成的直接影响就是串扰很大；3、板子本身比较厚，这样靠近表层的信号势必 Stub 很长，影响阻抗及回损。

解决该串扰最直接有效的方法是优化叠层，尤其是这种过多个连接器的背板设计。

要想完全消除串扰影响，最好就是加参考层，能一层信号一层参考是最好不过的，这也是多数背板的叠层设计方案，当然，成本会有一定的增加。优化后的叠层如下图一所示。

top	1.8	art15	0.6
pp-1080*2	5.9	pp-1080*2	5.9
art02	0.6	gnd16	0.6
core	5.9	core	5.9
gnd03	0.6	art17	0.6
pp-1080*2	5.9	pp-1080*2	5.9
art04	0.6	gnd18	0.6
core	5.9	core	5.9
gnd05	0.6	art19	0.6
pp-1080*2	5.9	pp-1080*2	5.9
art06	0.6	gnd20	0.6
core	5.9	core	5.9
power07	0.6	art21	0.6
pp-1080*2	5.9	pp-1080*2	5.9
art08	0.6	power22	0.6
core	5.9	core	5.9
gnd09	0.6	art23	0.6
pp-1080*2	5.9	pp-1080*2	5.9
art10	0.6	gnd24	0.6
core	5.9	core	5.9
gnd11	0.6	art25	0.6
pp-1080*2	5.9	pp-1080*2	5.9
art12	0.6	gnd26	0.6
core	5.9	core	5.9
gnd13	0.6	art27	0.6
pp-1080*2	5.9	pp-1080*2	5.9
art14	0.6	bottom	1.8
core	15		
			4.765

如何关注

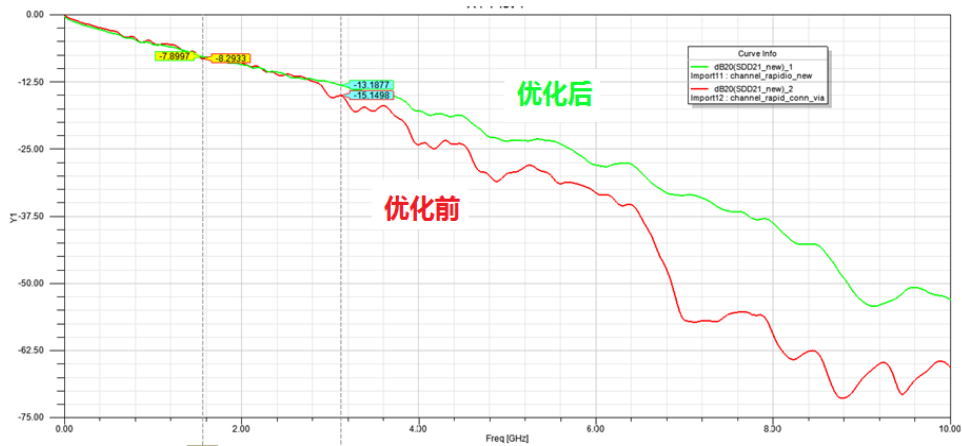
- 1、搜索微信号“高速先生”
- 2、扫描右侧二维码，开始学习



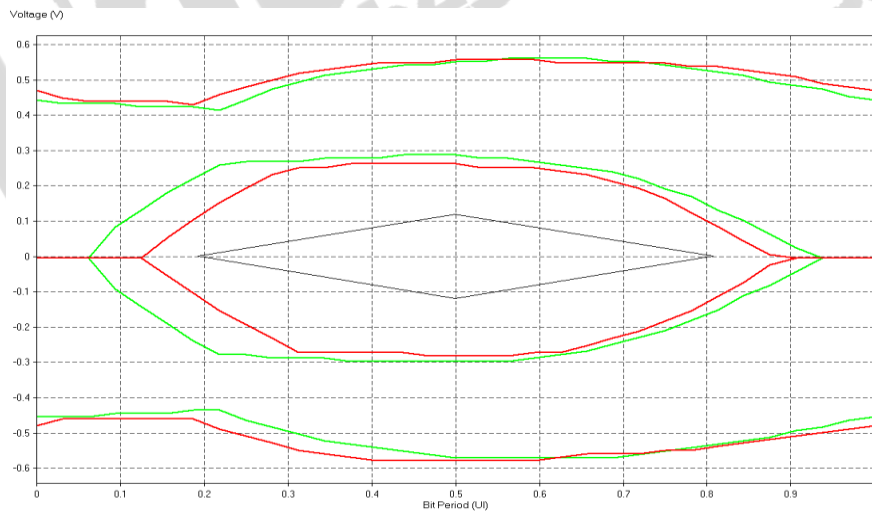
图一 优化后的叠层

上面的解释用仿真其实也是可以验证的。

另外对过孔也进行一定的背钻等优化处理，分别提取优化前后单对通道（不考虑串扰）和多对通道的模型（考虑串扰），然后进行通道无源及有源眼图仿真，单通道的仿真结果对比如下图二和图三所示。



图二 优化前后通道插损对比



图三 优化前后通道眼图对比

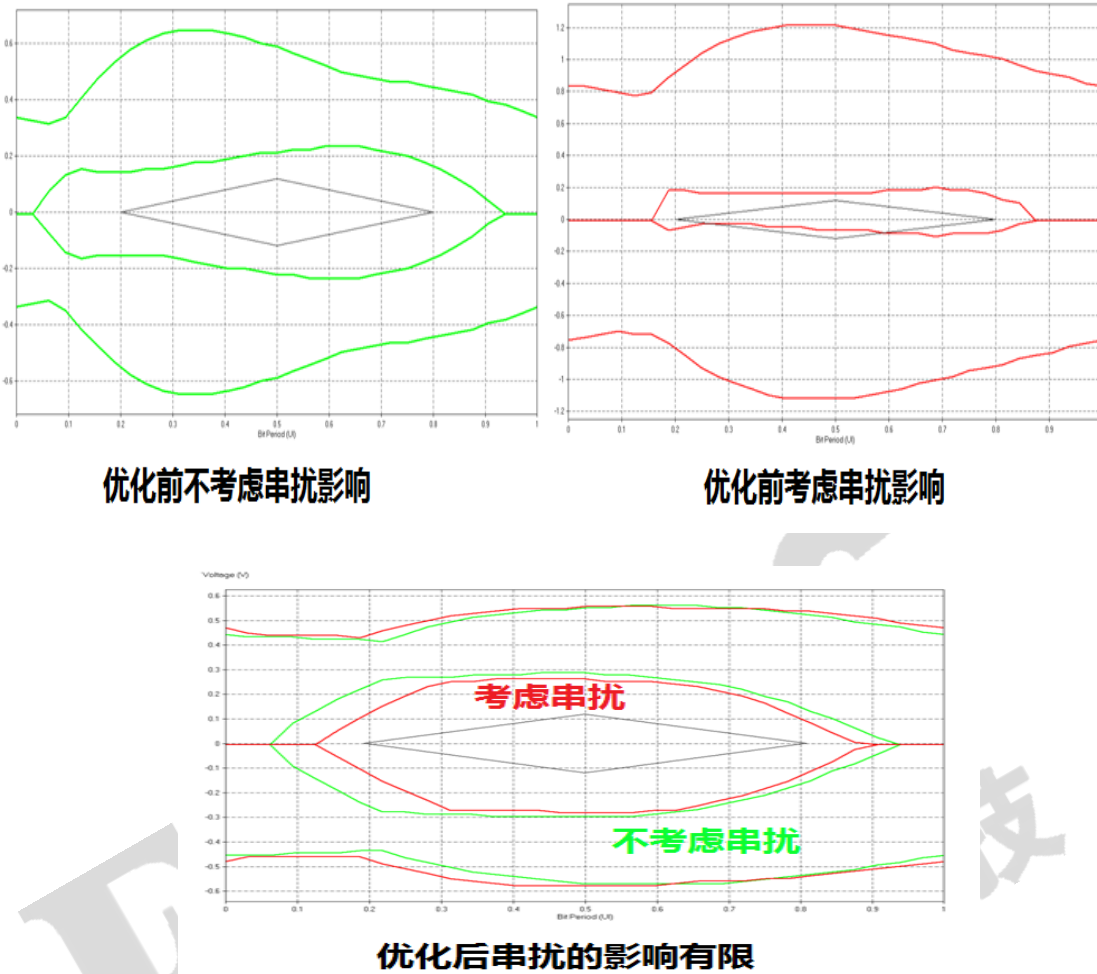
从以上单通道的仿真也可以说明，优化前虽然性能会差一点，但如果不考虑串扰的话单通道眼图还是满足要求的，这也可以解释插几个槽位还是可以工

如何关注

- 1、搜索微信号“高速先生”
- 2、扫描右侧二维码，开始学习



作的。我们再来仿真下考虑串扰的情况，仿真对比如下图四所示。



图四 优化前后考虑串扰的眼图对比

从图四可以看出，一旦考虑串扰，也就是多个插槽同时工作的时候，原始设计的背板因为串扰的原因眼图已经不满足要求了，而经过优化后即使考虑串扰，也就是多个插槽同时工作都不会对眼图有太大的影响，眼图照样满足要求，也就是系统照样正常工作。

经过后期的实际测试，此背板问题最终得到了解决。好了，问题又来了~

问题来了

文中提到了背钻，那么什么情况下需要背钻，大家是否有相应的经验值？

高速先生欢迎您和我们一起进行交流，关注微信名（高速先生），直接将答案通过会话回复，参与互动答题即有机会获得奖品，回复关键词“奖品”查看更多。

如何关注

- 1、搜索微信号“高速先生”
- 2、扫描右侧二维码，开始学习



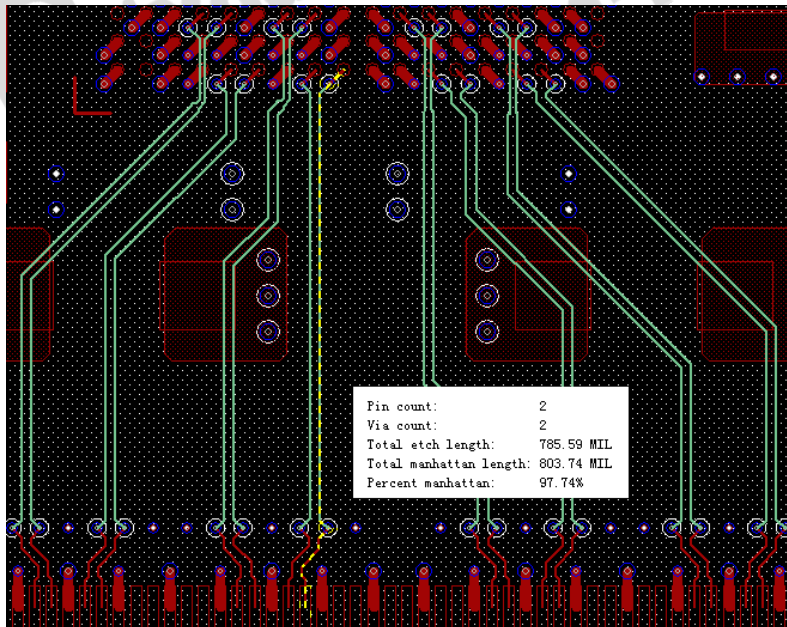
七、案例分享之任性的短线设计

最近高速先生走进千家万户（客户现场）活动进行的如火如荼，受到了邀请单位的热烈欢迎，目前我们已经在成都、西安、长沙、武汉、广州、上海、南京、杭州等地开展了部分活动，大家的赞誉让我们更有了分享的乐趣，同时我们也听到了很多宝贵的意见。大家的支持和认可是我们四处奔波的动力，也是我们继续写下去的源泉。

有人错过什么了吗？什么？你不知道高速先生的千家万户活动？还记得小陈在前几期（具体哪期忘记了，好像是码字难那一篇吧）里面说到的如果大家对高速设计有兴趣的，可以邀请高速先生亲临现场探讨对高速设计的一些理解，答疑解惑等。这个绝对不是随口一句话说说而已的哦，虽然没有官方的正式发文，但我们已经在某些地方受邀和大家互动了。在此再透露点更具体的实施细节，只要能组织 5 个人以上的伙伴（前提是对高速设计有兴趣或疑问的），就可以邀请高速先生去贵司现场进行交流啦（免费哈），深圳的可随约随到，话题有高速设计与仿真相关、高速板材选择、DDR3/4 设计以及电源完整性设计与仿真等，约吗？

下面又到了我们案例分享的时间，事情是这样的。

一个朋友前不久设计了一款 28G-VSR 协议的板子接光模块，光口连接器采用的是 CFP2 的表贴连接器，由于 PHY 芯片到光口连接器距离很短，所以当初设计的时候就直接从芯片打孔连线过来，没有经过任何特殊的处理，最后板上走线总长度约 800mil，如下图一所示。



图一

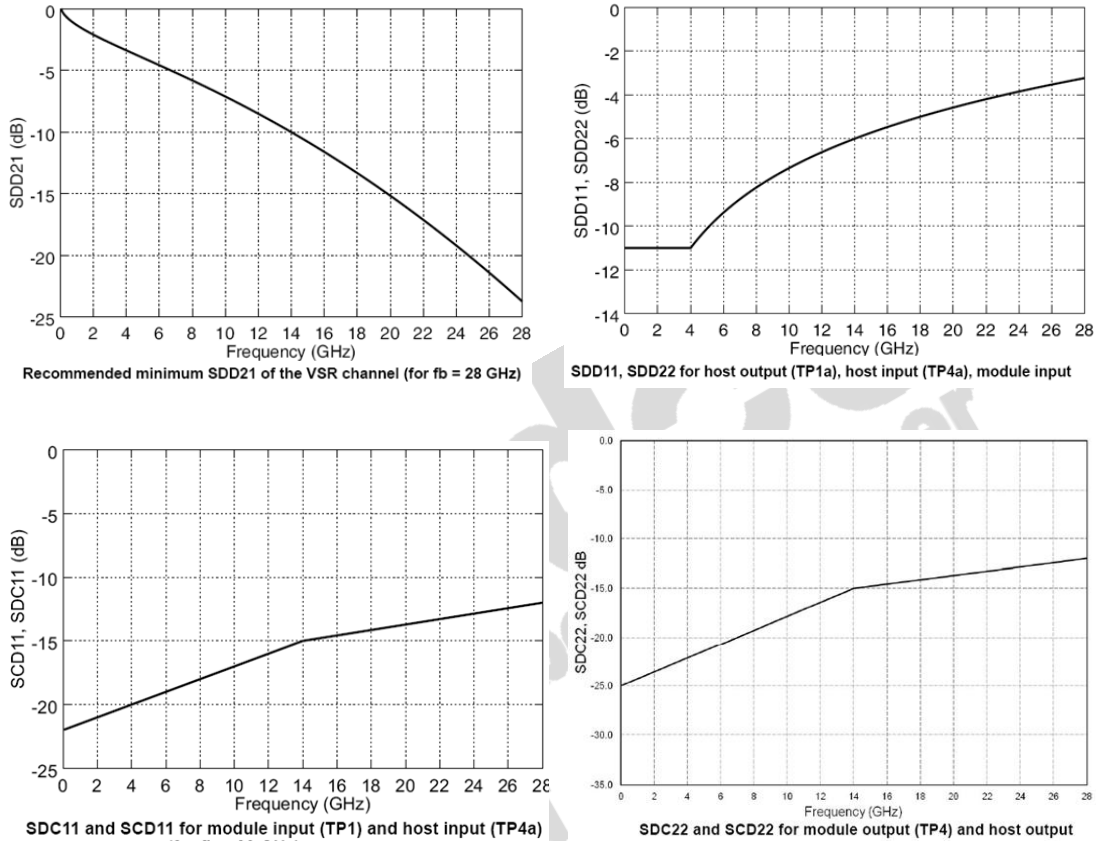
如何关注

- 1、搜索微信号“高速先生”
- 2、扫描右侧二维码，开始学习



很多人都会想这么短的线应该不会有什么问题的吧，随便拉连上就好了。可是我们要看到这个不是普通的信号，而是 28G 的高速信号，也许在低速信号阶段可以这样随便拉拉就好了，但到了高速信号还能这么任性吗？

我们还是先来看看 28G-VSR 协议里面到底定义了通道的哪些东西吧，如下图二所示，有插损、回损及模态转换的一些无源要求。



说到这里，有些人可能已经猜到了这个设计最终的结果，既然是案例，当然是有问题的，最后的结果是运行过程中经常出现一些莫名其妙的误码。

问题来了

各位神探，这么短的线路问题到底出在哪里呢？

高速先生欢迎您和我们进行交流，关注微信名（高速先生），直接将答案通过会话回复，参与互动答题即有机会获得奖品，回复关键词“奖品”查看更多。

如何关注

- 1、搜索微信号“高速先生”
- 2、扫描右侧二维码，开始学习

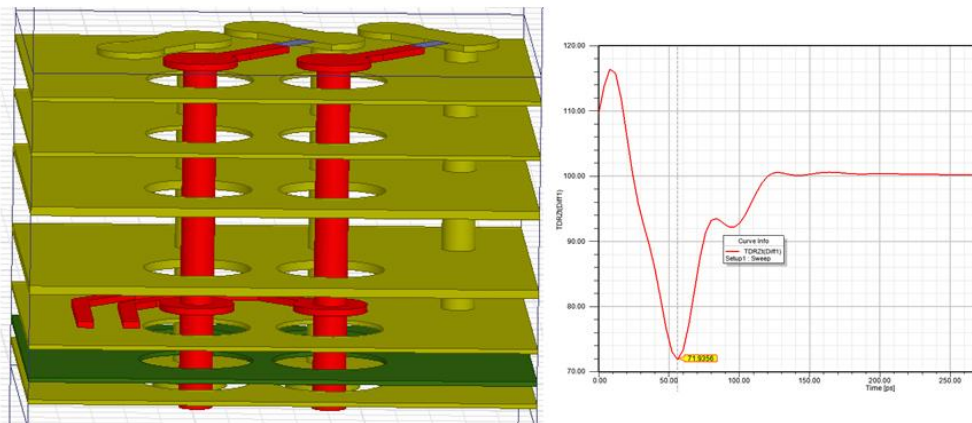


八、答案分解之任性的短线设计

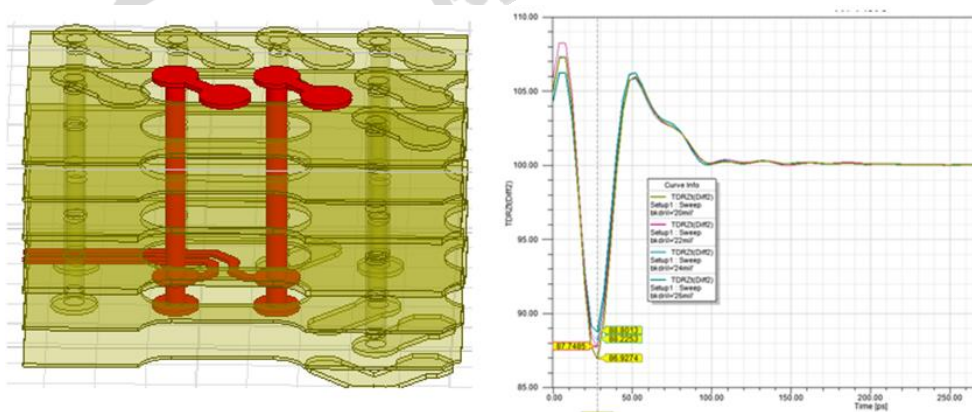
其实对于做过高速背板设计的朋友们来说，这个问题会经常出现，那就是往往比较长的信号只要经过一定的加重均衡调整后是没有问题的，而偏偏比较短的信号有时任你怎么调整都无能为力，死活就是调不通，最近去拜访的一个客户也正好出现了类似的问题，看来高速信号设计短线更要好好优化才行。

下面还是来讨论一下我们上期任性的短线设计，这个设计最大的问题是过孔、连接器焊盘处阻抗没有一定的优化，导致回损比较大，回损同时也影响到插损和模态转换，最终通道无源的参数肯定不会好，这就导致了系统的一些误码（同时回损是比较难以通过加重及均衡来调整的，后期高速先生再发专文来解释为什么）。口说无凭，看看我们的仿真验证吧。

优化前BGA处过孔模型



图一 优化前过孔模型



图二 优化后过孔模型

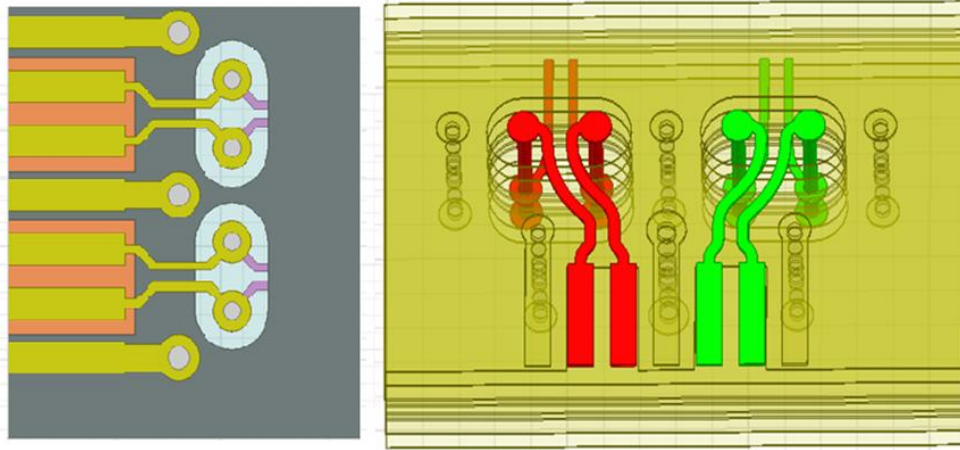
如何关注

- 1、搜索微信号“高速先生”
- 2、扫描右侧二维码，开始学习

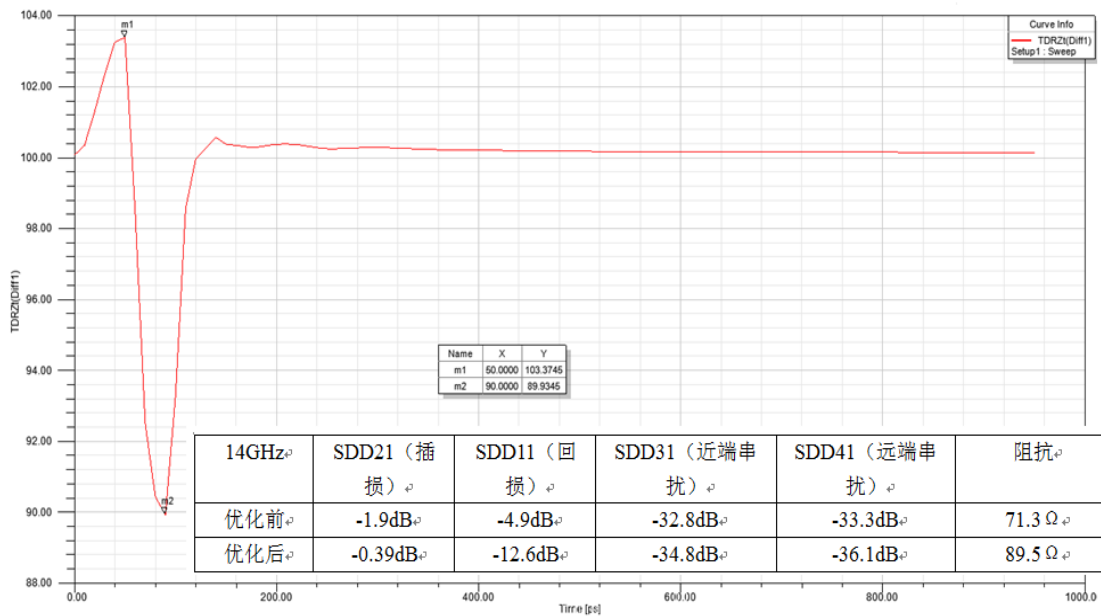


⊖	SDD21(dB)⊖		SDD11(dB)⊖		最低阻抗 (ohm)⊖
	@12.5G⊖	@25G⊖	@12.5G⊖	@25G⊖	
优化前⊖	-1.65⊖	-6.47⊖	-15.72⊖	-11.35⊖	71.9⊖
优化后⊖	-1.25⊖	-4.5⊖	-12.8⊖	-17.3⊖	88⊖

表一 优化前后过孔无源参数对比



图三 光口连接器焊盘及过孔优化

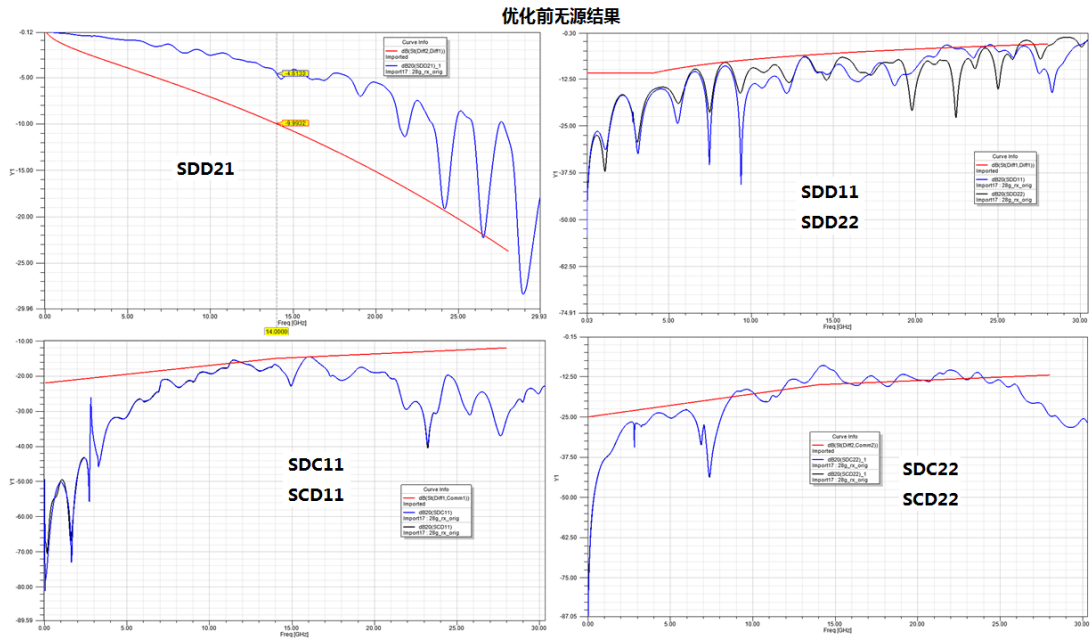


图四 光口连接器焊盘及过孔优化前后无源参数对比

如何关注

- 1、搜索微信号“高速先生”
- 2、扫描右侧二维码，开始学习

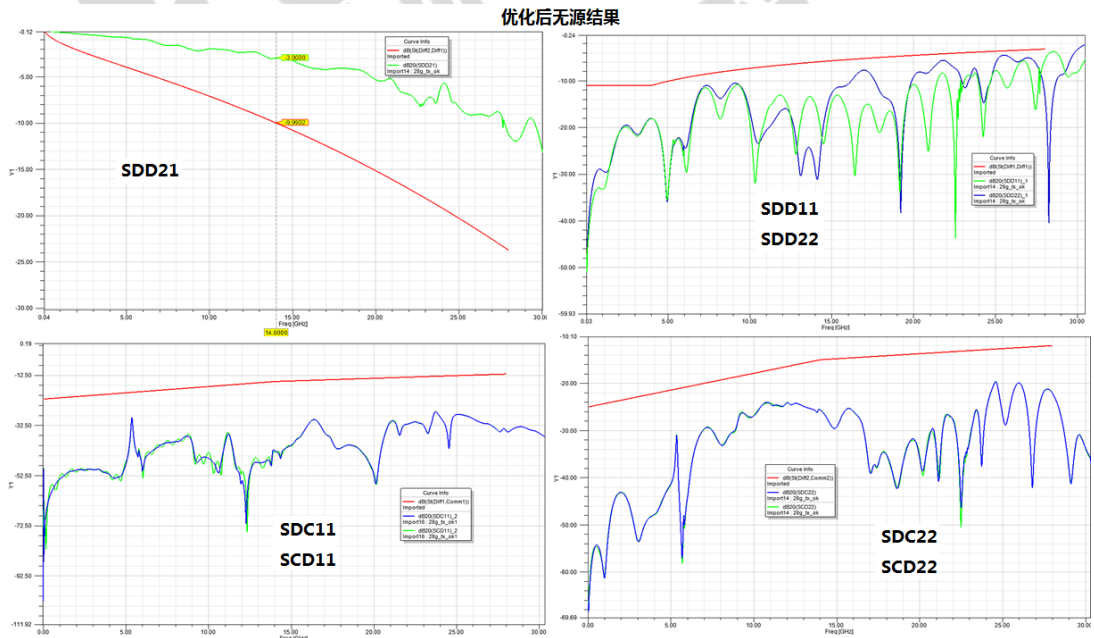




图五 优化前全通道无源参数

从全通道无源参数可以看到，回损曲线（SDD11/22）压到了模板，导致插损曲线（SDD21）在高频的时候也压了模板，接着模态转换的曲线（SDC11/22、SCD11/22）也压了模板，这可能就是最终导致系统出现误码的原因。

再看看经过优化后的全通道的无源参数结果吧，如下图六所示。



图六 优化后全通道无源参数

如何关注

- 1、搜索微信号“高速先生”
- 2、扫描右侧二维码，开始学习



最后朋友在我们的建议下经过优化后，系统误码的问题得到了解决。

问题来了

这种超高速连接器的表贴焊盘到底需要怎么优化呢？

高速先生欢迎您和我们一起进行交流，关注微信名（高速先生），直接将答案通过会话回复，参与互动答题即有机会获得奖品，回复关键词“奖品”查看更多。

【关于一博】

一博科技专注于高速 PCB 设计、PCB 制板、焊接加工、物料供应等服务。作为全球最大的高速 PCB 设计公司，我司在中国、美国、日本设立研发机构，全球研发工程师 500 余人。超大规模的高速 PCB 设计团队，引领技术前沿，贴近客户需求。

一博旗下 PCB 板厂成立于 2009 年，位于广东四会（广州北 50KM），采用来自日本、德国的一流加工设备，TPS 精益生产管理以及品质管控体系的引入，致力为广大客户提供高品质、高多层的制板服务。

一博旗下 PCBA 总厂位于深圳，并在上海设立分厂，现有 12 条 SMT 产线，配备全新进口富士 XPF、NXT3、全自动锡膏印刷机、十温区回流炉等高端设备，并配有波峰焊、AOI、XRAY、BGA 返修台等配套设备，专注研发打样、中小批量的 SMT 贴片、组装等服务。

【关于高速先生】

高速先生由深圳市一博科技有限公司 R&D 技术研究部创办，用浅显易懂的方式讲述高速设计，成立至今保持每周发布两篇原创技术文章，已和大家分享了百余篇呕心沥血之作，深受业内专业人士欢迎，是中国高速电路第一自媒体品牌。

如何关注

- 1、搜索微信号“高速先生”
- 2、扫描右侧二维码，开始学习





扫一扫，即可关注

Edadoc
Your best partner
— 博 科 技

如何关注

- 1、搜索微信号“高速先生”
- 2、扫描右侧二维码，开始学习

