

## 【高速先生原创|叠层系列】层叠设计与串扰控制

作者：吴均 一博科技高速先生团队队长

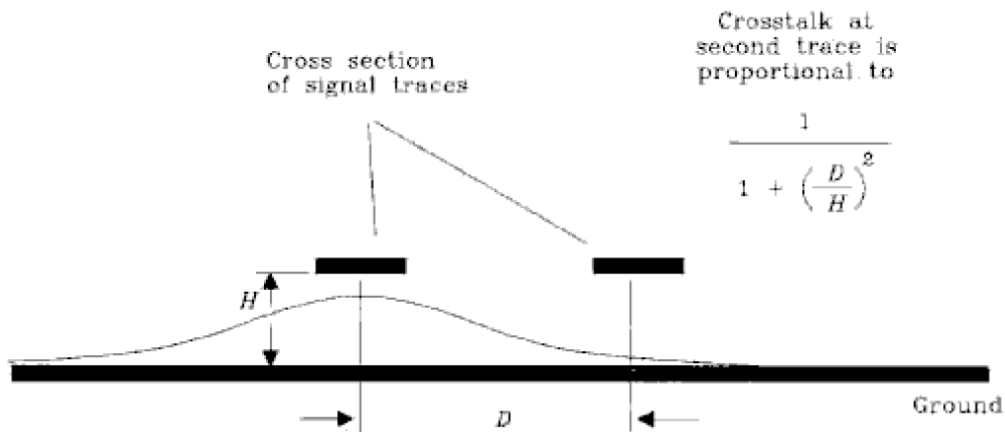
# 层叠设计与串扰控制

## 1、层叠设计与同层串扰

很多时候，串扰超标的根源就来自于层叠设计。也就是我们第一篇文章说的设计上先天不足，后面纠正起来会比较困难。

讲到层叠对串扰的影响，这里有另一张图片，和上文提到的参考平面的图片一脉相承。我们能看到，层间距离  $H$  是影响串扰的关键因素。当  $D=3H$  的时候，不考虑  $K$  的话，串扰大约在 10% 左右。这也是所谓 3H 原则的由来吧，我们在了解串扰之后，就需要把 3W 原则改为 3H 原则了。

$$\text{Crosstalk} \approx \frac{K}{1 + (D/H)^2} \quad [5.2]$$



从上图还可以留意到，如果要减小串扰的话，可以减小  $H$  或者增大  $D$ 。只不过  $H$  太小，为了控制阻抗，线宽也会相应变小，增大加工难度，或者增加了导体损耗。而增

### 如何关注

- 1、搜索微信号“高速先生”
- 2、扫描右侧二维码，开始学习



大 D，当然会受到布线空间的约束。所以我们一直提倡的，PCB 设计是权衡的艺术，而权衡的技巧，就来自于对理论的深入理解，以及适当的工程量化能力。

## 2、层叠设计与层间串扰

提到权衡，就必须讲一下现在各种规则里面提的比较多的双带线，也就是 Dualstripline 结构。各大公司对 Dualstripline 的设计都会制定非常详细的设计规则。

以 Intel 的 Purley 平台规则为例，为了降低成本，双带线结构经常被采用，要注意层间串扰。推荐的层叠可以看到，L2~L5 之间构成双带线结构，L3 和 L4 之间的距离是 10mil，而 L2 到 L3 以及 L4 到 L5 是 3mil，从层叠的源头来控制层间串扰。

### 3.18 Dual Stripling Routing Guidelines

Dual-stripline is commonly used to reduce the layer count, and hence the BOM cost in a PCB design. Inter-layer crosstalk (ILC), however, is the main concern for dual-stripline routing, comparing to stripline or microstrip routing. For a consistent and robust design of dual-striplines, refer to the white paper "Design and Modeling of Dual-Striplines", document # 546791 on IBP.

0.072", 12 Layers  
All dimensions in mils (\*1)

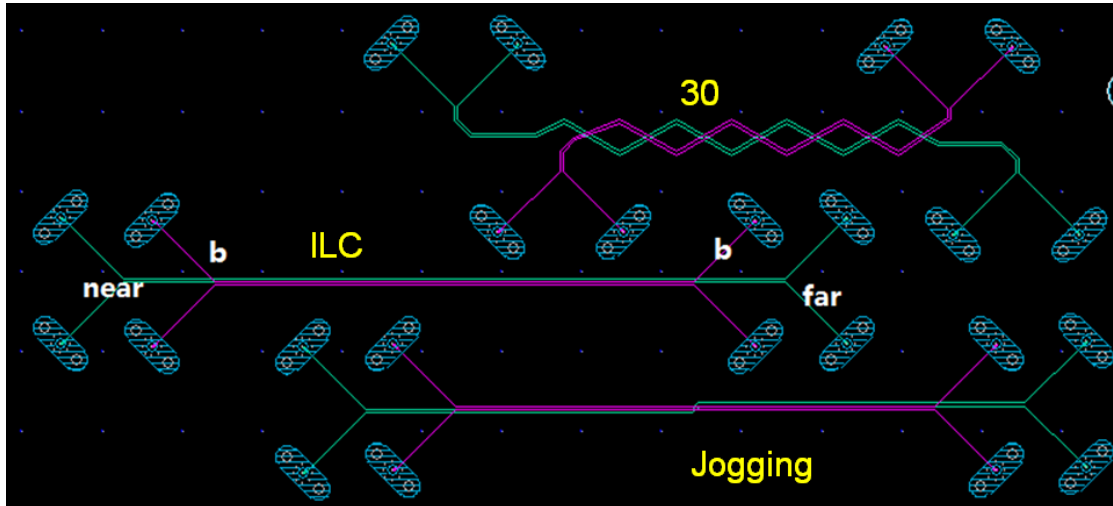
Lyr	Desc.	Cu Weight	Thickness	Differential																			
				width	space	85-Ohms				93-Ohms				100-Ohms									
						Z0 tol.	Max SDD21 4GHz	Max SDD21 8GHz	width	space	Z0 tol.	Max SDD21 4GHz	Max SDD21 8GHz	width	space	Z0 tol.	M SDI 4G						
	Solder Mask		0.5																				
L1	signals	0.5 oz.	1.9	5.00	7.00	+/-15%	0.69	1.38	4.50	13.50	+/-10%	0.69	1.38	4.01	13.99	+/-10%							
	Prepreg		2.7																				
L2	GND/PWR	1.0 oz.	1.2																				
	Core		3.0																				
L3	signals	1.0 oz.	1.2	4.50	7.00	+/-10%	0.65	1.25	4.51	14.99	+/-10%	0.65	1.25	3.81	15.69	+/-10%							
	Prepreg (*2)		10.0																				
L4	signals	1.0 oz.	1.2	4.50	7.00	+/-10%	0.65	1.25	4.51	14.99	+/-10%	0.65	1.25	3.81	15.69	+/-10%							
	Core		3.0																				
L5	GND/PWR	1.0 oz.	1.2																				
	Prepreg		3.0																				
L6	signals	1.0 oz.	1.2	4.50	7.00	+/-10%	0.65	1.25	4.51	14.99	+/-10%	0.65	1.25	3.81	15.69	+/-10%							

具体的设计建议中，还提出用 30 度夹角来规避双带线结构层间串扰的方法。以及使用 Jogging 的方式来平衡串扰。下图就是我们针对这些不同的走线方式做的测试板。

#### 如何关注

- 1、搜索微信号“高速先生”
- 2、扫描右侧二维码，开始学习





一直关注高速先生的朋友，都知道我们会经常做一些测试板来验证各种走线细节的差异。我们通过验证分析，比较有把握的结论都已经陆续在研讨会 Paper 以及高速先生的文章中进行分享。还有一些结论，要么是我们也还有困惑，要么就是结论还不够充分，我们还会继续深入研究。双带线的 30 度夹角以及 Jogging 走线就属于我们认为还不够充分，也还有些疑惑的 Item。所以这次就不公开发表结论了，感兴趣的朋友，或者想和高速先生一起来分析的朋友，可以在微信后台留言留下具体的联系方式（姓名、公司、Email、电话等信息），我们可以把阶段性的研究成果单独发给你们，大家一起来看看现在的结论有没有问题，下一步该往哪个方向研究。

Anyway，双带线的层间串扰是业内都关心的问题，这样的结构，层叠设计非常重要，从一开始就要做好规划。

## 【关于一博】

一博科技专注于高速 PCB 设计、PCB 制板、焊接加工、物料供应等服务。作为全球最大的高速 PCB 设计公司，我司在中国、美国、日本设立研发机构，全球研发工程师 500 余人。超大规模的高速 PCB 设计团队，引领技术前沿，贴近客户需求。

一博旗下 PCB 板厂成立于 2009 年，位于广东四会（广州北 50KM），采用来自日本、德国的一流加工设备，TPS 精益生产管理以及品质管控体系的引入，致力为广大客户提供高品质、高多层的制板服务。

一博旗下 PCBA 总厂位于深圳，并在上海设立分厂，现有 12 条 SMT 产线，配备全新进口富士 XPF、NXT3、全自动锡膏印刷机、十温区回流炉等高端设备，并配有波峰焊、

### 如何关注

- 1、搜索微信号“高速先生”
- 2、扫描右侧二维码，开始学习



AOI、XRAY、BGA 返修台等配套设备，专注研发打样、中小批量的 SMT 贴片、组装等服务。

## 【关于高速先生】

高速先生由深圳市一博科技有限公司 R&D 技术研究部创办，用浅显易懂的方式讲述高速设计，成立至今保持每周发布两篇原创技术文章，已和大家分享了百余篇呕心沥血之作，深受业内专业人士欢迎，是中国高速电路第一自媒体品牌。



扫一扫，即可关注

### 如何关注

- 1、搜索微信号“高速先生”
- 2、扫描右侧二维码，开始学习

