

【高速先生原创|制造工艺系列】避开假八层的温柔陷阱----浅谈六

层板的叠层

作者：王辉东 吴均 一博科技高速先生团队成员

在《PCB的筋骨皮》一文中，我们提出了当板厚在1.6mm及以上时，怎样避免使用假八层的叠层，而导致PCB成本增加的问题。感觉大家的回答很踊跃哈，看来这个问题还是比较典型的。本来想截取一些回答放在这里，不过篇幅的关系，大家可以自己去上一篇文章，看看文章后面的精选答复。

在此文中我们结合平时的设计经验，提出了自己的见解，希望给大家一个答案，请大家指导分享。

1、什么是假八层

我们常规的六层板叠层，是L2-3一张芯板(core)，L4-5(core)一张芯板，其它的用PP加铜箔，最后压合在一起而成的。如图一所示。

Layer Name	Original design	Dielectric thickness (unit mil)	suggestion
	Build - up		Build - up
L1	0.5oz+plating(1.59)	1.59	0.5oz+plating
	PP(1*2313)	4.00	PP(1*2313)
L2	1oz	1.2	1oz
	Core	14.00	Core
L3	1oz	1.2	1oz
	PP(1*7628)	16.00	PP(1*7628)
	PP(1*7628)		PP(1*7628)
L4	1oz	1.2	1oz
	Core	14.00	Core
L5	1oz	1.2	1oz
	PP(1*2313)	4.00	PP(1*2313)
L6	0.5oz+plating(1.59)	1.59	0.5oz+plating
Remark:		59.98	Total board thickness: 62.98±6.3 mil

图一

但是六层板板厚在1.6mm及以上时，如果要进行常规阻抗控制（单线50欧姆，差分100欧姆），在层叠上会导致3、4层之间的厚度较高，超过3个7628半固化片的厚度。因大部分工厂PP最多只能叠3张（超过3张压合时，PP经高温由半固化状态转变成液态后容易从PNL板边流失）。这时候在生产上通常会用一个光板（没有铜皮的芯板或者把常规芯板两面的铜箔蚀刻掉）添加在3、4层之间来辅助达到预期的层叠厚度，这就是通常所说的假八层。其实那并不是真正的八层板，而是为了满足板子阻抗的需要，而出现的一种特殊叠层方式。比如下图六层板因阻抗或设计所限，中间多用了一张光板，

如何关注

- 1、搜索微信号“高速先生”
- 2、扫描右侧二维码，开始学习



两张芯板加一张光板，这本来是八层的叠构设计，实际做出来是六层的效果。这种就叫假八层板（实际是真六层板）。

当然这只是假八层其中的一种情况，如下图所示，3、4层之间用了2张7628半固化片加一个假芯板的方案，这个做法会增加成本。

Layer Name	Original design		suggestion		DK @1GHz	Estimated residual copper
	Build - up	Dielectric thickness (unit mil)	Dielectric thickness (unit mil)	Build - up		
L1	0.5oz+plating(1.59)		1.59	0.5oz+plating		61%
	PP(1*2313)	4	3.96	PP(1*2313)	4.01	
L2	1oz		1.2	1oz		80%
	Core	5.12	5.12	Core	4.12	
L3	1oz		1.2	1oz		30%
	PP(1*7628)	50	33.84	PP(1*7628)	4.26	
	Etched Core			Etched Core	4.34	
	PP(1*7628)			PP(1*7628)	4.26	
L4	1oz		1.2	1oz		30%
	Core	5.12	5.12	Core	4.12	
L5	1oz		1.2	1oz		80%
	PP(1*2313)	4	3.96	PP(1*2313)	4.01	
L6	0.5oz+plating(1.59)		1.59	0.5oz+plating		53%
Remark:			59.98	Total board thickness: 62.99±6.3 mil luding plate copper and		

图二

你注意到了吗？

图一用的是两张芯板(core)，而图二中用的是三张芯板(core)，成本有很大的差异。

那么我们怎样去避免这种情况的出现呢，我们推荐了以下几种做法，请大家参考借鉴。

2、非高密时的解决方案

三个布线层方案

这个答案有人回复了：如果可以实现3个布线层完成设计，那么六层板完全可以设计成为常规层叠。或者关键信号线（高速信号）数量不多，区域集中，也可以使用这个层叠方案，局部高速信号区域对应的相邻层铺地铜，做成局部3层布线（L1&L4&L6）。叠层如下（阻抗计算从略，大家可以自己算算，后面也是一样只写层叠）

Layer Name	Original design		suggestion		
	Build - up	Dielectric thickness (unit mil)	Build - up	Dielectric thickness (unit mil)	
L1	0.5oz+plating(1.59)		0.5oz+plating	1.59	
	PP(1*2313)	4.03	PP(1*2313)	4.03	
L2	1oz		1oz	1.2	
	Core	20.00	Core	20.00	
L3	1oz		1oz	1.2	
	PP(1*7628)	6.00	PP(1*1080)	6.00	
	PP(1*7628)		PP(1*1080)		
	PP(1*7628)		PP(1*1080)		
L4	1oz		1oz	1.2	
	Core	20.00	Core	20.00	
L5	1oz		1oz	1.2	
	PP(1*2313)	4.03	PP(1*2313)	4.03	
L6	0.5oz+plating(1.59)		0.5oz+plating	1.59	
Remark:			62.04	Total board thickness: 62.98±6.3 mil	

图三

如何关注

- 1、搜索微信号“高速先生”
- 2、扫描右侧二维码，开始学习



缺点：关键信号多的情况下，三个层无法满足布线需求。

较宽线宽方案

板子的密度不高，没有小间距的器件，可以使用比较大的线宽进行设计的板子（比如 8mil 左右线宽）叠层和阻抗控制如下：

Layer Name	Original design	suggestion	
	Build - up	Dielectric thickness (unit mil)	Build - up
L1	0.5oz+plating(1.59)	1.59	0.5oz+plating
	PP(1*2313)	5.60	PP(1*1080)
L2	1oz	1.2	1oz
	Core	9.85	Core
L3	1oz	1.2	1oz
	PP(1*7628)	23.00	PP(1*7628)
	PP(1*7628)		PP(1*7628)
	PP(1*7628)		PP(1*1080)
L4	1oz	1.2	1oz
	Core	9.85	Core
L5	1oz	1.2	1oz
	PP(1*2313)	5.60	PP(2*1080)
L6	0.5oz+plating(1.59)	1.59	0.5oz+plating
Remark:		61.88	Total board thickness: 62.98±6.3 mil

图四

缺点：以上层叠方案，阻抗线设计为表层 8~9mil 左右，内层 6~10mil

存在小间距器件时，以上方案比较难于布线。

3、非高速时的解决方案

在一些没什么高速信号，阻抗控制的要求可以稍微降低一点，比如保证各层阻抗一致，但是阻抗的中心值为 60~65 欧姆，差分线控制在 105 欧姆左右，叠层和阻抗控制如下：

Layer Name	Original design	suggestion	
	Build - up	Dielectric thickness (unit mil)	Build - up
L1	0.5oz+plating(1.59)	1.59	0.5oz+plating
	PP(1*2313)	5.60	PP(1*1080)
L2	1oz	1.2	1oz
	Core	9.85	Core
L3	1oz	1.2	1oz
	PP(1*7628)	23.00	PP(1*7628)
	PP(1*7628)		PP(1*7628)
	PP(1*7628)		PP(1*1080)
L4	1oz	1.2	1oz
	Core	9.85	Core
L5	1oz	1.2	1oz
	PP(1*2313)	5.60	PP(2*1080)
L6	0.5oz+plating(1.59)	1.59	0.5oz+plating
Remark:		61.88	Total board thickness: 62.98±6.3 mil

如何关注

- 1、搜索微信号“高速先生”
- 2、扫描右侧二维码，开始学习



图五

缺点：这个层叠方案有一定的技术风险，需要评估高速信号的反射。

（篇幅关系，提高阻抗的方案对高速信号的影响，会在后面的文章进行分析）

4、总结

其他方案还有 1、2，5、6 作为布线层，3、4 为电源地平面的方案，这个方案需要表层走线极短，只进行 Fan out 的设计，同时 1、2 之间，5、6 之间的阻抗差距极大。

另外在设计时将阻抗设计成共面阻抗，此将叠层厚度调整厚，线宽加大，线到周围铜箔的间距调小也可以实现非假八层的方案来满足阻抗需求及降低成本。

当然，大家的回复里面还有其他方案：比如把板厚改成 1.2mm，这需要考虑机械结构的要求，一般情况下无法实现。

其实，明眼人会说出面的所有方案都是有局限性的：

- 信号较杂乱，必须要 4 个布线层才能完成布线
- 有高密的 BGA，无法走较宽的线
- 速率较高，DDR3/4，高速串行总线，控其他阻抗担心有风险
-

高速先生想说的就是：您的板子都高速又高密了，然后付出接近八层板的成本，却只得到六层板的性能，您真的不知道该怎么办吗？😅

问题来了

请各位预估下，本来是单线 50 欧姆，差分 100 欧姆的阻抗控制要求，按照上文建议的把单线阻抗中心值控制在 60~65 欧姆，差分在 105~110 欧姆时，信号会有哪些潜在的风险？

高速先生欢迎您和我们一起进行交流，关注微信名（高速先生），直接将答案通过会话回复，参与互动答题即有机会获得奖品，回复关键词“奖品”查看更多。

如何关注

- 1、搜索微信号“高速先生”
- 2、扫描右侧二维码，开始学习



【关于一博】

一博科技专注于高速 PCB 设计、PCB 制板、焊接加工、物料供应等服务。作为全球最大的高速 PCB 设计公司，我司在中国、美国、日本设立研发机构，全球研发工程师 500 余人。超大规模的高速 PCB 设计团队，引领技术前沿，贴近客户需求。

一博旗下 PCB 板厂成立于 2009 年，位于广东四会（广州北 50KM），采用来自日本、德国的一流加工设备，TPS 精益生产管理以及品质管控体系的引入，致力为广大客户提供高品质、高多层的制板服务。

一博旗下 PCBA 总厂位于深圳，并在上海设立分厂，现有 12 条 SMT 产线，配备全新进口富士 XPF、NXT3、全自动锡膏印刷机、十温区回流炉等高端设备，并配有波峰焊、AOI、XRAY、BGA 返修台等配套设备，专注研发打样、中小批量的 SMT 贴片、组装等服务。

【关于高速先生】

高速先生由深圳市一博科技有限公司 R&D 技术研究部创办，用浅显易懂的方式讲述高速设计，成立至今保持每周发布两篇原创技术文章，已和大家分享了百余篇呕心沥血之作，深受业内专业人士欢迎，是中国高速电路第一自媒体品牌。



扫一扫，即可关注

如何关注

- 1、搜索微信号“高速先生”
- 2、扫描右侧二维码，开始学习

